

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2018-110293

(P2018-110293A)

(43) 公開日 平成30年7月12日(2018.7.12)

(51) Int.Cl.	F I	テーマコード (参考)
H03K 19/0185 (2006.01)	H03K 19/00 101B	5J056
H03F 3/45 (2006.01)	H03F 3/45 Z	5J500
H03K 19/094 (2006.01)	H03K 19/094	

審査請求 未請求 請求項の数 7 O L (全 15 頁)

(21) 出願番号 特願2016-256523 (P2016-256523)
 (22) 出願日 平成28年12月28日 (2016.12.28)

(71) 出願人 390005175
 株式会社アドバンテスト
 東京都練馬区旭町1丁目32番1号
 (74) 代理人 110000486
 とこしえ特許業務法人
 (72) 発明者 笠原 清貴
 東京都練馬区旭町1丁目32番1号 株式
 会社アドバンテスト内
 Fターム(参考) 5J056 AA11 CC01 CC04 CC21
 5J500 AA01 AA12 AC15 AF15 AH25
 AK02 AK05 AK06 AK18 AK22
 AM08 AT01 DN01 DN22 DN23
 DP02

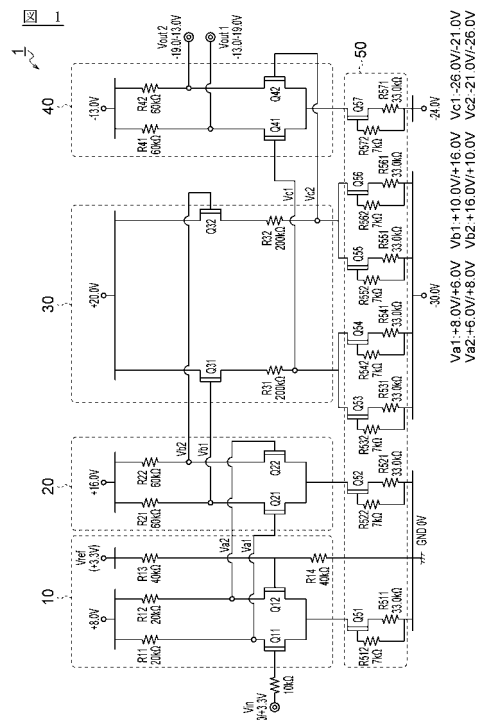
(54) 【発明の名称】 デバイス測定用治具

(57) 【要約】

【課題】スイッチング素子にGaN半導体を用いて、安定性の向上を図ることが可能な制御装置を提供する。

【解決手段】入力信号に対する差を増幅する差動増幅回路10と、差動増幅回路10の出力側に接続され、入力される電圧をクリップするクリッピング回路とを備え、差動増幅回路10は、GaN半導体で形成された複数のスイッチング素子Q11、Q12を有し、クリッピング回路は、GaN半導体で形成されたスイッチング素子Q41、Q42を有する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

入力信号に対する差分を増幅する差動増幅回路と、
前記差動増幅回路の出力側に接続され、入力される電圧をクリップするクリッピング回路とを備え、
前記差動増幅回路は、G a N半導体で形成された複数のスイッチング素子を有し、
前記クリッピング回路は、前記G a N半導体で形成されたスイッチング素子を有する制御装置。

【請求項 2】

前記差動増幅回路の出力側に接続され、前記差動増幅回路から出力される電圧の電圧差を増幅する増幅回路を備え、
前記増幅回路は、前記G a N半導体で形成されたスイッチング素子を有する請求項 1 記載の制御装置。

10

【請求項 3】

前記差動増幅回路の出力側に接続され、前記差動増幅回路から出力される電圧のレベルをシフトするレベルシフト回路を備え、
前記レベルシフト回路は、前記G a N半導体で形成されたスイッチング素子を有する請求項 1 又は 2 記載の制御装置。

【請求項 4】

前記差動増幅回路に含まれる前記スイッチング素子の制御電圧を変更可能な電圧可変回路を備え、
前記差動増幅回路は、前記入力信号の電圧と前記制御電圧との差分を増幅する請求項 1 ~ 3 のいずれか一項に記載の制御装置。

20

【請求項 5】

前記差動増幅回路に接続された電流源を備え、
前記電流源は、前記G a N半導体で形成されたスイッチング素子を有する請求項 1 ~ 4 のいずれか一項に記載の制御装置。

【請求項 6】

前記差動増幅回路に含まれる前記複数のスイッチング素子の各端子に共通して接続される電流源を備える
請求項 1 ~ 5 のいずれか一項に記載の制御装置。

30

【請求項 7】

前記差動増幅回路に含まれる前記複数のスイッチング素子是对称に接続され、
前記入力信号は、前記複数のスイッチング素子のうち一方のスイッチング素子の制御端子に入力され、
参照電圧が、前記複数のスイッチング素子のうち他方のスイッチング素子の制御端子に入力され、
前記入力信号は、高レベルの電圧値及び低レベルの電圧値の何れか一方を示し、
前記参照電圧の電圧値は、前記高レベルの電圧値と前記低レベルの電圧値との間に設定されている
請求項 1 ~ 6 のいずれか一項に記載の制御装置。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、G N半導体を用いた制御装置に関するものである。

【背景技術】

【0002】

G a N半導体をメインスイッチに使用したスイッチ装置が知られている（例えば特許文献 1）。

【先行技術文献】

50

【特許文献】

【0003】

【特許文献1】特開2012-145010号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

入力信号に基づき制御対象を制御する制御装置がスイッチング素子を有しており、このスイッチング素子にGaN半導体を用いた場合には、スイッチング素子の閾値電圧のばらつきによって、制御装置の安定性（ロバスト性）が低下する、という問題があった。

【0005】

本発明が解決しようとする課題は、スイッチング素子にGaN半導体を用いて、安定性の向上を図ることが可能な制御装置を提供することである。

【課題を解決するための手段】

【0006】

[1]本発明に係る制御装置は、入力信号に対する差分を増幅する差動増幅回路と、前記差動増幅回路の出力側に接続され、入力される電圧をクリップするクリッピング回路とを備え、前記差動増幅回路は、GaN半導体で形成された複数のスイッチング素子を有し、前記クリッピング回路は、前記GaN半導体で形成されたスイッチング素子を有する。

【0007】

[2]上記発明において、前記制御装置は、前記第1差動増幅回路から出力信号に対する差分を増幅する第2差動増幅回路を備え、前記第2差動増幅回路は、前記GaN半導体で形成された複数のスイッチング素子を有し、前記クリッピング回路は、前記第2差動増幅回路から出力される出力電圧をクリップしてもよい。

【0008】

[3]上記発明において、前記制御装置は、前記差動増幅回路の出力側に接続され、前記差動増幅回路から出力される電圧のレベルをシフトするレベルシフト回路を備え、前記レベルシフト回路は、前記GaN半導体で形成されたスイッチング素子を有してもよい。

【0009】

[4]上記発明において、前記制御装置は、前記差動増幅回路に含まれる前記スイッチング素子の制御電圧を変更可能な電圧可変回路を備え、前記差動増幅回路は、前記入力信号の電圧と前記制御電圧との差分を増幅してもよい。

【0010】

[5]上記発明において、前記制御装置は、前記差動増幅回路に含まれる前記複数のスイッチング素子の各端子に共通して接続される電流源を備えてもよい。

【0011】

[6]上記発明において、前記制御装置は、前記差動増幅回路に含まれる前記複数のスイッチング素子の各端子に共通して接続される電流源を備えてもよい。

【0012】

[7]上記発明において、前記制御装置は、前記差動増幅回路に含まれる前記複数のスイッチング素子是对称に接続され、前記入力信号は、前記複数のスイッチング素子のうち一方のスイッチング素子の制御端子に入力され、参照電圧が、前記複数のスイッチング素子のうち他方のスイッチング素子の制御端子に入力され、前記入力信号は、高レベルの電圧値及び低レベルの電圧値の何れか一方を示し、前記参照電圧の電圧値は、前記高レベルの電圧値と前記低レベルの電圧値との間に設定されてもよい。

【発明の効果】

【0013】

本発明によれば、入力信号に対する差分を増幅する差動増幅回路と、差動増幅回路の出力側に接続され、入力される電圧をクリップするクリッピング回路が設けられ、差動増幅回路に含まれる複数のスイッチング素子及びクリッピング回路に含まれるスイッチング素子がGaN半導体で形成されている。これにより、制御装置の安定性の向上を図ることが

10

20

30

40

50

できる。

【図面の簡単な説明】

【0014】

【図1】図1は、本発明の実施形態における制御装置の回路図である。

【図2】図2は、図1に示す制御装置における、入力電圧 (V_{in}) に対する出力電圧 (V_{1} 、 V_{2}) の特性を示すグラフである。

【図3】図3は、図1に示す制御装置における、入力電圧 (V_{in}) に対する出力電圧 (V_{c1} 、 V_{c2}) の特性を示すグラフである。

【図4】図4は、図1に示す制御装置における、入力電圧 (V_{in}) に対する出力電圧 (V_{out1} 、 V_{out2}) の特性を示すグラフである。

10

【図5】図5は、本発明の実施形態におけるスイッチ装置の回路図である。

【図6】図6は、比較例におけるスイッチ装置の回路図である。

【図7A】図7Aは、図6に示すスイッチ装置における、入力電圧 (V_{in}) に対する、制御装置の出力電圧 (メインスイッチのゲート電圧: V_G) の特性を示すグラフである。

【図7B】図7Bは、図5に示すスイッチ装置における、入力電圧 (V_{in}) に対する、制御装置の出力電圧 (メインスイッチのゲート電圧: V_G) の特性を示すグラフである。

【図8A】図8Aは、図5に示すスイッチ装置において、参照電圧を1.0Vにした場合の、入力電圧に対する出力電圧 (メインスイッチのゲート電圧: V_G) の特性を示すグラフである。

【図8B】図8Bは、図5に示すスイッチ装置において、参照電圧を5.0Vにした場合の、入力電圧に対する出力電圧 (メインスイッチのゲート電圧: V_G) の特性を示すグラフである。

20

【発明を実施するための形態】

【0015】

以下、本発明の実施形態を図面に基づいて説明する。

【0016】

本実施形態に係る制御装置1について、図1を参照しながら説明する。図1は、本実施形態に係る制御装置1の回路図である。

【0017】

制御装置1は、入力信号に基づきメインスイッチのオン及びオフを切り替えるための制御回路である。入力信号は外部から入力されるスイッチング信号であって、入力信号の波形は、ハイレベル (オン電圧) 及びローレベル (オフ電圧) のオンオフ波形である。制御装置1は、入力信号の電圧差でメインスイッチのオンオフを切り替えるために、入力信号の電圧を増幅し、電圧レベルをシフトさせる (電圧レベルを変換している)。入力信号の電圧差は、オン状態を示すハイレベルの電圧と、オフ状態を示すローレベルの電圧の差に相当する。

30

【0018】

制御装置1は、差動増幅回路10、20、レベルシフト回路30、差動増幅回路40及び電流源50を備えている。制御装置1は、複数のスイッチング素子を有しており、各スイッチング素子は、GaN半導体により形成されている。

40

【0019】

ここで、GaN (窒化ガリウム) の素子特性について、シリコン (Si) 系の素子特性と比較しつつ説明する。GaN系はSi系に比べて、絶縁破壊強度、熱伝導率、及び高温状態での動作性等で優れた特性をもち、材料としての物性特性で優位な点が多い。その一方で、GaN系のプロセス (製造工程、市場への汎用性) が、Si系と比べて成熟していないため、GaN半導体素子のばらつきが大きいという問題がある。

【0020】

メインスイッチ及び制御回路を備えたスイッチ装置を例にした場合に、GaN系の素子ばらつきを回避するための構成として、以下のようなスイッチ装置が考えられる。メインスイッチがGaN半導体で形成され、メインスイッチを制御する制御回路がSi系のスイ

50

ッチで構成される。そして、メインスイッチ及び制御回路がマルチチップ化されている。現状の多くのスイッチ装置が、このような構成を採用している。

【0021】

上記スイッチ装置では、制御回路がSi系の素子で構成されているため、リソースの高密度化又は高い耐熱性を実現することが困難であった。すなわち、スイッチ装置において、リソースの高密度化又は耐熱性の向上を実現させるためには、メインスイッチに加えて制御系のスイッチング素子にGaN半導体を用いることで、GaN半導体でモノリシック化することが望まれる。言い換えると、スイッチ装置に含まれるスイッチング素子は、メインスイッチのみではなく、全てのスイッチング素子をGaN半導体で形成されることが望まれる。

10

【0022】

しかしながら、制御回路をGaN半導体でモノリシック化した場合には、GaN半導体素子のばらつきが問題となる。GaN系のスイッチは、エビ抵抗等の素子ばらつきにより、オン、オフを切り替える閾値電圧に、ばらつきが生じることがある。そして、GaNスイッチのばらつきが大きい場合には、制御回路のロバスト性(制御の安定性)が低くなってしまふ。本実施形態に係る制御装置1は、GaN半導体でモノリシック化された制御回路(IC回路)であって、図1に示すような回路構成をとることで、ばらつきの大きいGaNスイッチを使用しつつロバスト性の向上を図る。なお、図1に示す回路構成は一例にすぎず、入力信号の電圧レンジ又はメインスイッチの動作電圧のレンジに応じて、電源電圧、抵抗素子、又は各回路素子の接続形態を変更してもよい。

20

【0023】

図1に示すように、制御装置1の入力側には、差動増幅回路10が設けられている。差動増幅回路10は、片側入力差動回路であり、入力信号に対する差分を増幅する。差動増幅回路10は、対称に接続された複数のスイッチング素子Q11、Q12、抵抗R11~R14を有している。抵抗R11及び抵抗R12の抵抗値は20kである。抵抗R13及び抵抗R14の抵抗値は40kである。スイッチング素子Q11及びスイッチング素子Q12は、GaN半導体で形成されている。スイッチング素子Q11の特性及びスイッチング素子Q12の特性は同一である。スイッチング素子Q11のゲート端子(制御端子)には入力信号が入力され、スイッチング素子Q12のゲート端子には参照電圧が入力される。入力信号(V_{in})は、0Vをローレベルとし、+3.3Vをハイレベルとしたスイッチング信号である。 V_{in} は入力信号の電圧(入力電圧)である。スイッチング素子Q11のゲート端子には、ゲート抵抗(R15)が接続されている。スイッチング素子Q11のドレイン端子は抵抗R11を介して基準電源に接続され、スイッチング素子Q12のドレイン端子は抵抗R12を介して電源に接続されている。電源電圧は+8.0Vに設定されている。スイッチング素子Q11のソース端子及びスイッチング素子Q12のソース端子は、1つの電流源に共通して接続されている。

30

【0024】

抵抗13及び抵抗14は、参照電圧(V_{ref})を分圧するための抵抗であり、参照電圧用の電源と接地点(GND)との間で、直列に接続されている。抵抗13と抵抗14との接続点がスイッチング素子Q12のドレイン端子に接続されている。これにより、分圧された参照電圧(V_{ref})がスイッチング素子Q12のドレイン端子に印可される。スイッチング素子Q12のドレイン端子に入力される参照電圧は、スイッチング素子Q11のゲート端子に入力される入力信号の midpoint 電圧に設定されている。 midpoint 電圧は、入力信号のハイレベルとローレベルとの間の電圧である。

40

【0025】

スイッチング素子Q11のドレイン端子及びスイッチング素子Q12のドレイン端子には、それぞれ出力用の一対の配線が接続されている。

【0026】

差動増幅回路20は、差動増幅回路10の出力側に接続されており、差動増幅回路10から出力される出力電圧の差を増幅する。差動増幅回路20は、スイッチング素子Q21

50

、Q 2 2、及び抵抗 R 2 1、R 2 2を有している。抵抗 R 2 1及び抵抗 R 2 2の抵抗値は 6 0 k である。スイッチング素子 Q 2 1、Q 2 2は、G a N半導体で形成されている。スイッチング素子 Q 2 1の特性及びスイッチング素子 Q 2 2の特性は同一である。スイッチング素子 Q 2 1、Q 2 2は、対称に接続されており、それぞれのゲート端子には、差動増幅回路 1 0の出力線が接続されている。スイッチング素子 Q 2 1のドレイン端子は抵抗 R 2 1を介して電源に接続され、スイッチング素子 Q 2 2のドレイン端子は抵抗 R 2 2を介して電源に接続されている。電源電圧は + 1 6 . 0 Vに設定されている。スイッチング素子 Q 2 1、Q 2 2のソース端子は、1つの電流源に共通して接続されている。スイッチング素子 Q 2 1のドレイン端子及びスイッチング素子 Q 2 2のドレイン端子には、それぞれ出力用の一対の配線が接続されている。

10

【 0 0 2 7 】

レベルシフト回路 3 0は、差動増幅回路 2 0から出力される電圧のレベルをシフトする回路であって、レベルシフト回路 3 0は、差動増幅回路 2 0の出力を、マイナス電位を基準とした出力電圧に変換する。レベルシフト回路 3 0は、差動増幅回路 1 0、2 0の出力側に接続されている。レベルシフト回路 3 0は、スイッチング素子 Q 3 1、Q 3 2及び抵抗 R 3 1、R 3 2を有している。抵抗 R 3 1及び抵抗 R 3 2の抵抗値は 2 0 0 k である。スイッチング素子 Q 3 1、Q 3 2は、G a N半導体で形成されている。スイッチング素子 Q 3 1の特性及びスイッチング素子 Q 3 2の特性は同一である。スイッチング素子 Q 3 1、Q 3 2は対称に接続されており、それぞれのゲート端子には、差動増幅回路 2 0の出力線が接続されている。スイッチング素子 Q 3 1のドレイン端子及びスイッチング素子 Q 3 2のドレイン端子は電源に接続されている。電源電圧は + 2 0 . 0 Vである。スイッチング素子 Q 3 1のソース端子には抵抗 R 3 1が接続され、スイッチング素子 Q 3 2のソース端子には抵抗 R 3 2が接続されている。スイッチング素子 Q 3 1のソース端子と、スイッチング素子 Q 3 2のソース端子は、抵抗 R 3 1、R 3 2を介して、それぞれ独立した電流源に接続されている。抵抗 R 3 1の低電位側の端子（スイッチング素子 Q 3 1のソース端子とは反対側の端子）には出力用の配線が接続され、抵抗 R 3 2の低電位側の端子（スイッチング素子 Q 3 2のソース端子とは反対側の端子）には出力用の配線が接続されている。

20

【 0 0 2 8 】

差動増幅回路 4 0は、レベルシフト回路 3 0から出力される電圧をクリップする回路である。また、差動増幅回路 4 0は、レベルシフト回路 3 0に印可される電圧範囲（ - 3 0 Vから + 2 0 Vの範囲）に対して、差動増幅回路 4 0への印加電圧範囲（ - 2 4 Vから - 1 3 Vの範囲）を狭めることで、出力電圧波形の整形（シェイピング）を行う。差動増幅回路 4 0の出力電圧のうちハイレベル側の電圧は、レベルシフト回路 3 0から出力される上限電圧よりも低い制限電圧で制限を受けて、差動増幅回路 4 0の出力電圧のうちローレベル側の電圧は、レベルシフト回路 3 0から出力される下限電圧よりも高い制限電圧で制限を受ける。

30

【 0 0 2 9 】

差動増幅回路 4 0は、差動増幅回路 1 0、2 0の出力側に接続されている。差動増幅回路 4 0は、スイッチング素子 Q 4 1、4 2及び抵抗 R 4 2、R 4 3を有している。抵抗 R 4 3及び抵抗 R 4 4の抵抗値は 2 0 0 k である。スイッチング素子 Q 4 1、Q 4 2は、G a N半導体で形成されている。スイッチング素子 Q 4 1の特性及びスイッチング素子 Q 4 2の特性は同一である。スイッチング素子 Q 4 1、Q 4 2は、対称に接続されており、それぞれのゲート端子には、レベルシフト回路 3 0の出力線が接続されている。スイッチング素子 Q 4 1のドレイン端子は抵抗 R 4 1を介して電源に接続され、スイッチング素子 Q 4 2のドレイン端子は抵抗 R 4 2を介して電源に接続されている。電源電圧は - 1 3 . 0 Vに設定されている。スイッチング素子 Q 4 1、Q 4 2のソース端子は、1つの電流源に共通して接続されている。スイッチング素子 Q 4 1のドレイン端子及びスイッチング素子 Q 4 2のドレイン端子には、それぞれ出力用の一対の配線が接続されている。

40

【 0 0 3 0 】

50

電流源 50 は、複数の定電流回路を備えている。複数の定電流回路は、差動増幅回路 10、20、レベルシフト回路 30 及びクリッピング回路の低電流側にそれぞれ接続されており、各回路に定電流を流すための電流源となる。各定電流回路は、スイッチング素子 Q5 ~ Q57、抵抗 R511、R512、R521、R522、R531、R532、R541、R542、R551、R552、R561、R562、R571、R572 を有している。スイッチング素子 Q51 ~ Q57 は、Ga N 半導体で形成されている。抵抗 R511、R521、R531、R541、R551、R561、R571 の抵抗値は 33 k に設定されている。抵抗 R512、R522、R532、R542、R552、R562、R572 の抵抗値は 7 k に設定されている。

【0031】

差動増幅回路 10 に接続された定電流回路は、スイッチング素子 Q1 及び抵抗 R511、R512 を有し、差動増幅回路 10 の共通の電流源として機能する。抵抗 R512 はスイッチング素子 Q1 のゲート - ソース間に接続されている。抵抗 R511 は、抵抗 R512 と並列に接続され、スイッチング素子 Q51 のソース端子に接続されている。

【0032】

差動増幅回路 20 及び差動増幅回路 40 の低電位側には、それぞれ 1 つの定電流回路が接続されている。レベルシフト回路 30 に含まれる左側のアーム回路及び右側のアーム回路に、それぞれ定電流回路が接続されている。アーム回路は、スイッチング素子 Q31、32 及び抵抗 R31、R32 を直接した回路に相当する。各定電流回路の回路構成は、差動増幅回路 10 に接続された定電流回路と同様である。

【0033】

差動増幅回路 10、20 に接続された定電流回路は接地点に接続されている。レベルシフト回路 30 に接続された複数の定電流回路は、基準電圧 (-30.0 V) をとる接続点にそれぞれ接続されている。差動増幅回路 40 に接続された定電流回路は、基準電圧 (-24.0 V) をとる接続点にそれぞれ接続されている。

【0034】

次に、入力信号の入力電圧 (V_{in}) に対する各回路の出力電圧 (V_1 、 V_2 、 V_{b1} 、 V_{b2} 、 V_{c1} 、 V_{c2}) の特性を説明する。 V_1 、 V_2 は差動増幅回路 10 の出力電圧を示し、 V_{b1} 、 V_{b2} はレベルシフト回路 30 の出力電圧を示し、 V_{c1} 、 V_{c2} は差動増幅回路 40 の出力電圧を示す。図 2 は、入力電圧 (V_{in}) に対する出力電圧 (V_1 、 V_2) の特性を示すグラフである。図 3 は、入力電圧 (V_{in}) に対する出力電圧 (V_{c1} 、 V_{c2}) の特性を示すグラフである。図 4 は、入力電圧 (V_{in}) に対する出力電圧 (V_{OUT1} 、 V_{OUT2}) の特性を示すグラフである。

【0035】

出力電圧 (V_1 、 V_2 、 V_{b1} 、 V_{b2} 、 V_{c1} 、 V_{c2}) は、入力電圧 (V_{in}) を、0 V から 3.3 V の範囲内で変化させた時の特性を示している。入力信号がオフ状態を示す場合に、入力電圧 (V_{in}) は 0 V となる。この時、スイッチング素子 Q1 のドレイン電圧である差動増幅回路 10 の出力電圧 (V_1) は 8 V となり、スイッチング素子 Q2 のドレイン電圧である差動増幅回路 10 の出力電圧 (V_2) は 0 V となる。入力信号がオン状態を示す場合に、入力電圧 (V_{in}) は 3.3 V となる。この時、差動増幅回路 10 の出力電圧 (V_1) は 0 V となり、差動増幅回路 10 の出力電圧 (V_2) は 8 V となる。出力電圧 (V_1) の特性及び出力電圧 (V_2) の特性は、1.65 V の入力電圧 (V_{in}) を境に反転したオンオフ波形となっている。すなわち、スイッチング素子 Q2 のゲート電圧を、入力信号のオン電圧とオフ電圧との中点電圧に設定することで、出力電圧 (V_1 、 V_2) は、中点電圧に対応する出力電圧をクロスポイントとして、オン電圧とオフ電圧を切り換えるような特性をとる。

【0036】

スイッチング素子 Q11 及びスイッチング素子 Q12 には、同じ特性の素子が使用されているが、実際には素子ばらつきによってスイッチング素子 Q11、Q12 の動作特性が異なることがある。本実施形態に係る制御装置 1 は、入力側に差動増幅回路 10 を用いて

10

20

30

40

50

いる。そのため、対称に接続されたスイッチング素子 Q_{11} とスイッチング素子 Q_{12} との間で、素子ばらつきが消去される。これにより、スイッチング素子 Q_{11} 、 Q_{12} の素子ばらつきによるロバスト性の低下を抑制できる。

【0037】

差動増幅回路20の出力電圧(V_{b1})は、差動増幅回路10の出力電圧(V_{1})を反転した電圧となり、差動増幅回路20の出力電圧(V_{b2})は、差動増幅回路10の出力電圧(V_{2})を反転した電圧となる。また、差動増幅回路20の入力電圧は差動増幅回路20のゲインで増幅され、出力電圧(V_{b1} 、 V_{b2})の電圧差($6V$)は、出力電圧(V_{1} 、 V_{2})の電圧差($2V$)より大きくなる。

【0038】

レベルシフト回路30の出力電圧(V_{c1})は、差動増幅回路20の出力電圧(V_{b1})をマイナス側にシフトした電圧となり、レベルシフト回路30の出力電圧(V_{c2})は、差動増幅回路20の出力電圧(V_{b2})をマイナス側にシフトした電圧となる。図3に示すように、入力信号がオフ状態を示す場合(入力電圧は V_{in} は $0V$ とする場合)に、出力電圧(V_{c1})は $-26.0V$ となり、出力電圧(V_{c2})は $-21.0V$ となる。入力信号がオン状態を示す場合(入力電圧は V_{in} は $3.3V$ とする場合)に、出力電圧(V_{c1})は $-21.0V$ となり、出力電圧(V_{c2})は $-26.0V$ となる。また出力電圧(V_{c1} 、 V_{c2})は、中点電圧に対応する出力電圧をクロスポイントとして、オン電圧とオフ電圧を切り換えるような特性をとる。

【0039】

差動増幅回路40の出力電圧(V_{OUT1})は、レベルシフト回路30の出力電圧(V_{c1})を反転した電圧となり、差動増幅回路40の出力電圧(V_{OUT2})はレベルシフト回路30の出力電圧(V_{c2})を反転した電圧となる。

【0040】

図4に示すように、差動増幅回路40の出力電圧(V_{OUT1} 、 V_{OUT2})の特性は、差動増幅回路40のクリッピング回路としての機能によって、オフ電圧とオン電圧との間の過渡状態(入力電圧が約 $1.1V$ から約 $2.2V$ までの範囲内)で急峻な特性になっている。すなわち、差動増幅回路10の出力電圧(V_{1} 、 V_{2})の特性(図2を参照)及びレベルシフト回路30の出力電圧(V_{c1} 、 V_{c2})の特性(図3を参照)と比較した場合に、差動増幅回路40の出力電圧(V_{OUT1} 、 V_{OUT2})の特性は、オフ電圧とオン電圧との間の過渡状態で、急峻な特性になっている。

【0041】

次に、制御装置1を備えたスイッチ装置100について、図5を用いて説明する。図5はスイッチ装置100の回路図である。

【0042】

図5に示すスイッチ装置100において、制御回路の部分は、図1に示す制御装置と基本的に同じであるが、以下の点で相違する。スイッチング素子 Q_{12} の制御電圧(ゲート電圧)が変更可能になるように、差動増幅回路10が構成されている。具体的には、参照電圧(V_{ref})が $+1.0V$ から $+5.0V$ までの電圧範囲で変更可能になっている。参照電圧(V_{ref})の変更可能な範囲は、入力信号として入力される電圧範囲に応じて設定される。例えば、入力信号のローレベルの電圧が $0V$ であり、入力信号のハイレベル電圧が $+1.0V$ から $+5.0V$ である場合には、参照電圧(V_{ref})の変更可能な電圧範囲は、入力電圧で許容されている電圧範囲($+1.0V$ から $+5.0V$)に合うように、 $+1.0V$ から $+5.0V$ の範囲に設定されている。なお、スイッチング素子 Q_{12} のゲート電圧は、分圧抵抗(R_{13} 、 R_{14})を可変抵抗にすることで、変更可能としてもよい。

【0043】

また他の相違点として、差動増幅回路40の出力線が一本になっており、出力線はスイッチング素子 Q_{42} のドレイン端子に接続されている。なお、入力信号の動作波形を反転した波形で、制御装置1から出力信号を出力する場合には、差動増幅回路40の出力線を

10

20

30

40

50

、スイッチング素子 Q 4 1 のドレイン端子に接続すればよい。

【 0 0 4 4 】

スイッチ装置 1 0 0 は、制御装置 1 に加えて、メインスイッチ Q_M 及び電圧安定回路 6 0 を備えている。メインスイッチ Q_M は、制御装置 1 によって、オン状態とオフ状態を切り換える。メインスイッチ Q_M は GaN 素子で形成されている。メインスイッチ Q_M の閾値電圧（ゲート閾値電圧）はマイナス電圧である。閾値電圧は、メインスイッチ Q_M をターンオン又はターンオフさせるゲート電圧である。メインスイッチ Q_M は、 - 1 8 . 0 V から + 5 . 2 V まで範囲で動作する。

【 0 0 4 5 】

電圧安定回路 6 0 は、メインスイッチの Q_M のゲート電圧を安定化させるために接続されている。電圧安定回路 6 0 は、制御装置 1 の出力線とメインスイッチ Q_M の間に接続されている。電圧安定回路 6 0 は、スイッチング素子 Q 6 1、抵抗 R 6 1、R 6 2 及び電流源 6 3 を有している。スイッチング素子 Q 6 1 は、GaN 半導体で形成されている。抵抗 R 6 2 は、電流源 5 0 に含まれる定電流回路と電源（0 V）との間に接続されている。抵抗 R 6 2 と電流源 5 0 に含まれる定電流回路との間の接続点は、抵抗 R 6 3 を介してスイッチング素子 Q 6 2 のゲート端子に接続されている。抵抗 R 6 3 はスイッチング素子 Q 6 2 のゲート抵抗である。スイッチング素子 Q 6 1 のドレイン端子は、電流源 6 4 に接続されている。スイッチング素子 6 1 のドレイン端子と電流源 6 4 との間の接続点は、メインスイッチ Q_M のゲート端子に接続されている。

10

【 0 0 4 6 】

電圧安定回路 6 0 の低電位側に接続される定電圧回路は、抵抗 R 5 8 1、5 8 2、スイッチング素子 Q 5 8 を有している。定電流回路の接続形態は、電流源 5 0 に含まれる他の電流源と同様である。

20

【 0 0 4 7 】

なお、スイッチ装置 1 0 0 において、電圧安定回路 6 0 は、トラッキング回路をメインスイッチ Q_M のドレイン及びソースに接続し、ゲート電圧に追随させることでゲート電圧を安定化させてもよい。

【 0 0 4 8 】

次に、比較例に係るスイッチ装置 2 0 0 のゲート電圧特性と比較しつつ、本実施形態に係るスイッチ装置 1 0 0 のゲート電圧特性を説明する。

30

【 0 0 4 9 】

まず、比較例に係るスイッチ装置 2 0 0 の回路構成を説明する。図 6 は、比較例に係るスイッチ装置 2 0 0 の回路図である。

【 0 0 5 0 】

図 6 に示すように、スイッチ装置 2 0 0 は、制御装置 2 1 0、メインスイッチ Q_M を備えている。制御装置 2 1 0 は、入力信号増幅回路 2 1 1、ゲート電圧選択回路 2 1 2、及びトラッキング回路 2 1 3 を備えている。入力信号増幅回路 2 1 1、ゲート電圧選択回路 2 1 2、トラッキング回路 2 1 3 及び電流源 2 1 4 の回路構成は図 6 に示す通りである。また、各回路に含まれるスイッチング素子は GaN で形成されている。各回路に含まれる抵抗の抵抗値及び電源電圧は図 6 に示す通りである。制御装置 2 1 0 の入力端子に入力される入力信号（V_{in}）は、0 V をローレベルとし、+ 3 . 3 V をハイレベルとしたスイッチング信号である。メインスイッチ Q_M の動作電圧の範囲は、- 1 8 . 0 V から + 5 . 2 V までの範囲である。

40

【 0 0 5 1 】

入力信号増幅回路 1 1 0 は、入力信号のオン、オフに対して、抵抗 R 2 8 を導通する電流経路とスイッチング素子 Q 7 のドレイン - ソース間の電流経路とを切り換える。入力信号増幅回路 1 1 0 に含まれるスイッチング素子 Q 8 のソース端子とスイッチング素子 Q 9 のソース端子は異なる電流源に接続されている。すなわち、入力信号増幅回路 1 1 0 に含まれる複数のスイッチング素子 Q 8、Q 9 の各ソース端子は、1 つの電流源に共通して接続されていない。

50

【 0 0 5 2 】

ゲート電圧選択回路 2 1 2 は、入力信号の入力電圧が閾値電圧 (1 . 6 5 V) より高い場合にメインスイッチ Q_M がオン状態となり、入力信号の入力電圧が閾値電圧 (1 . 6 5 V) より低い場合にメインスイッチ Q_M がオフ状態となるように、メインスイッチ Q_M のゲート電圧を調整する。トラッキング回路 2 1 3 は、ゲート電圧に追随させることで、ゲート電圧を安定化する。

【 0 0 5 3 】

比較例に係るスイッチ装置 2 0 0 の電圧特性を説明する。比較例に係るスイッチ装置 2 0 0 は、入力側に入力信号増幅回路 2 1 1 を接続する。入力信号増幅回路 2 1 1 は、本実施形態に係る差動増幅回路 1 0 と異なり、GaN系のスイッチング素子を対称に接続し、差分を増幅するような回路構成になっていない。そのため、入力信号増幅回路 2 1 1 に含まれるスイッチング素子のばらつきが出力電圧に影響し、入力信号の電圧に対して、出力電圧のふれ幅が大きくなる。

10

【 0 0 5 4 】

また、入力信号増幅回路 2 1 1 は、2つの独立した電流源に接続されている。そのため、2つの電流源に含まれるスイッチング素子の間でばらつきが大きい場合には、ばらつきが入力信号増幅回路の出力に影響を及ぼすため、入力信号増幅回路 2 1 1 の出力電圧のふれ幅がさらに大きくなる。

【 0 0 5 5 】

図 7 A は、比較例に係る制御装置 2 1 0 の電圧特性を示すグラフである。電圧特性は、制御装置 2 1 0 に入力される入力電圧 (V_{in}) に対する、制御装置 2 1 0 の出力電圧の特性である。出力電圧は、メインスイッチ Q_M のゲート電圧 (V_G) である。

20

【 0 0 5 6 】

図 7 A に示すように、比較例では、メインスイッチ Q_M のゲート電圧が、入力信号の閾値電圧 (1 . 6 5 V) を境に 0 . 7 V から 3 . 0 V の範囲内で、オン電圧又はオフ電圧のどちらも取り得る状態になっている。そのため、例えば入力電圧 (0 . 8 V) の入力信号が制御装置 2 1 0 に入力された場合には、本来、ゲート電圧がオフ電圧となるはずが、オン電圧になる可能性がある。そして、このようなゲート電圧の不安定な状態を、入力電圧の電圧幅 (V_{in}) で表した場合に、比較例における電圧幅 (V_{in}) は 2 . 3 V となる。すなわち、比較例に係る制御装置 2 1 0 では、GaN系のスイッチング素子のばらつきを起因としたゲート電圧の不安定な状態が、入力電圧 (V_{in}) の電圧幅でみると、2 . 3 V の範囲で生じている。

30

【 0 0 5 7 】

図 7 B は、本実施形態に係る制御装置 1 の電圧特性を示すグラフである。電圧特性は、制御装置 1 に入力される入力電圧 (V_{in}) に対する、制御装置 1 の出力電圧の特性である。出力電圧は、メインスイッチ Q_M のゲート電圧 (V_G) である。

【 0 0 5 8 】

図 7 B に示すように、本実施形態では、メインスイッチ Q_M のゲート電圧が、入力信号の閾値電圧 (1 . 6 5 V) を境に 1 . 5 2 V から 1 . 7 3 V の範囲内で、オン電圧又はオフ電圧のどちらも取り得る状態になっている。ゲート電圧の不安定な状態を、入力電圧の電圧幅 (V_{in}) で表した場合に、本実施形態における電圧幅 (V_{in}) は 0 . 2 1 V となる。例えば入力電圧 (0 . 8 V) の入力信号が制御装置 2 1 0 に入力された場合には、メインスイッチ Q_M のゲート電圧はオフ電圧 (- 1 8 . 0 V) で安定する。すなわち、本実施形態に係る制御装置 1 では、ゲート電圧の不安定な状態になる入力電圧の範囲が、比較例より狭くなる。本実施形態では、GaN系のスイッチング素子のばらつきによる影響を抑制し、制御装置 1 の出力電圧の安定化を図ることができる。

40

【 0 0 5 9 】

次に、参照電圧 (V_{ref}) を変化させたときの、制御装置 1 の電圧特性を説明する。図 8 A は参照電圧 (V_{ref}) が 1 . 0 V であるときの電圧特性を示し、図 8 B は参照電圧 (V_{ref}) が 5 . 0 V であるときの電圧特性を示す。図 8 A、図 8 B に示すグラフの

50

横軸は入力信号の電圧 (V_{in}) を示し、縦軸はメインスイッチ Q_M のゲート電圧 (V_G) を示す。

【0060】

本実施形態に係る制御装置 1 は、入力信号の電圧範囲に合わせて、スイッチング素子 Q_{12} の制御電圧を変更できる。例えば、スイッチング素子 Q_{11} のゲート端子に入力される信号の入力電圧 (V_{in}) の動作範囲が 0 V から 1.0 V であり、入力電圧 (V_{in}) の閾値電圧が 0.5 V に設定されている場合には、参照電圧 (V_{ref}) は 1.0 V に設定される。図 8 A に示すように、メインスイッチ Q_M のゲート電圧は、 0.5 V の入力電圧 (V_{in}) を境に反転したオンオフ波形になる。また、ゲート電圧が不安定になる入力電圧 (V_{in}) の範囲は、 0.39 V から 0.61 V までとなり、電圧幅 (V_{in}) は 0.22 V である。

10

【0061】

また、スイッチング素子 Q_{11} のゲート端子に入力される信号の入力電圧 (V_{in}) の動作範囲が 0 V から 5.0 V であり、入力電圧 (V_{in}) の閾値電圧が 2.5 V に設定されている場合には、参照電圧 (V_{ref}) は 5.0 V に設定される。図 8 B に示すように、メインスイッチ Q_M のゲート電圧は、 2.5 V の入力電圧 (V_{in}) を境に反転したオンオフ波形になる。また、ゲート電圧が不安定になる入力電圧 (V_{in}) の範囲は、 2.38 V から 2.61 V までとなり、電圧幅 (V_{in}) は 0.23 V である。すなわち、本実施形態では、入力電圧 (V_{in}) の動作範囲に合わせて参照電圧 (V_{ref}) を変更した場合でも、ゲート電圧の不安定な状態になる入力電圧の範囲が、比較例より狭くなる。

20

【0062】

以上のように、本実施形態では、入力信号に対する差分を増幅する差動増幅回路 10 と、差動増幅回路 10 の出力側に接続され、入力される電圧をクリップする差動増幅回路 40 を備えている。また、差動増幅回路 10 は GaN 半導体で形成された複数のスイッチング素子 Q_{11} 、 Q_{12} を有し、差動増幅回路 40 はスイッチング素子 Q_{41} 、 Q_{42} を有する。すなわち、本実施形態では、入力側に差動増幅回路を接続しているため、複数のスイッチング素子 Q_{11} 、 Q_{12} で形成される差動対により、スイッチング素子 Q_{11} 、 Q_{12} の閾値電圧が出力電圧のクロスポイントで決まる。これにより、GaN 半導体のばらつきに対して、ロバスト性の高い制御装置を実現できる。

30

【0063】

比較例に係る制御装置 210 は、入力側に入力信号を単純に増幅する回路 (入力信号増幅回路 211) を接続している。比較例に係る制御装置の出力電圧は、GaN 系スイッチのばらつきによる影響を受けて、入力信号の電圧に対する出力電圧のふれ幅が大きくなる。また、比較例に係る制御装置において、電流源の回路構成を工夫することで、GaN 系スイッチのばらつきによる影響を少なくすることも考えられるが、出力電圧のふれ幅を十分に抑えることはできない。例えば、メインスイッチとして、LVCMOS を想定した場合には、入力電圧の電圧幅 (V_{in}) を 0.3 V 以下に抑えることが求められる。しかしながら、比較例に係る制御装置 210 では、入力電圧の電圧幅 (V_{in}) を 0.3 V 以下に抑えることができない。また、比較例に係るスイッチ装置 200 において、電流源の回路構成を工夫したとしても、入力電圧の電圧幅 (V_{in}) を 0.3 V 以下に抑えることは困難であった。

40

【0064】

本実施形態では、図 7 B に示すように、入力電圧の電圧幅 (V_{in}) を 0.3 V 以下に抑えることができる。ゆえに、本実施形態は、制御対象として LVCMOS のようなスイッチを制御する場合にも、高いロバスト性を維持できる。

【0065】

また本実施形態では、差動増幅回路 10 の出力側に、差動増幅回路 10 から出力される電圧の電圧差を増幅する差動増幅回路 20 を接続する。差動増幅回路 20 は、GaN 半導

50

体で形成されたスイッチング素子 Q 2 1、Q 2 2 を有する。これにより、出力信号の動作範囲を広げることができる。

【 0 0 6 6 】

また本実施形態では、差動増幅回路 1 0 の出力側に、差動増幅回路 1 0 から出力される電圧のレベルをシフトするレベルシフト回路 3 0 を接続する。これにより、入力信号の電圧レンジとメインスイッチの動作電圧の電圧レンジが正負で異なるような場合でも、メインスイッチを動作させることができる。

【 0 0 6 7 】

また本実施形態では、スイッチング素子 Q 1 2 の制御電圧を変更可能な回路を備え、差動増幅回路 1 0 により、入力信号の入力電圧と制御電圧との差分を増幅する。これにより、入力電圧レンジを広げ、制御装置 1 の入力インターフェースを S i 系と同程度まで対応可能とする。

10

【 0 0 6 8 】

また本実施形態では、G a N 半導体で形成されたスイッチング素子を電流源 5 0 に用いている。これにより、電流源 5 0 の高密度化及び高耐熱化を実現できる。

【 0 0 6 9 】

また本実施形態では、差動増幅回路 1 0 に含まれる複数のスイッチング素子 Q 1 1、Q 1 2 の各端子に対して、共通の定電流回路（電流源）を接続する。これにより、電流源内における、G a N 系スイッチのばらつきを抑制することができる。

【 0 0 7 0 】

また本実施形態では、差動増幅回路 1 0 に含まれる複数のスイッチング素子 Q 1 1、Q 1 2 を対称に接続し、スイッチング素子 Q 1 1 の制御端子（ゲート端子）に入力信号を入力し、スイッチング素子 Q 1 2 の制御端子（ゲート端子）に参照電圧を入力する。参照電圧の電圧値は、入力信号のオン電圧（ハイレベルの電圧値）とオフ電圧（ローレベルの電圧値）の間に設定されている。これにより、入力電圧レンジを広げつつ、ロバスト性の高い制御装置を実現できる。

20

【 0 0 7 1 】

なお、本実施形態において、差動増幅回路 2 0 は差動型以外の増幅回路でもよい。また、レベルシフト回路 3 0 は差動型の増幅回路に限らず、他の回路構成でもよい。差動増幅回路 4 0 は、差動型の増幅回路に限らず、ダイオード等を接続したクリッピング回路でもよい。

30

【 符号の説明 】

【 0 0 7 2 】

1 ... 制御装置

1 0、2 0、4 0 ... 差動増幅回路

3 0 ... レベルシフト回路

5 0 ... 電流源

6 0 ... 電圧安定回路

1 0 0 ... スイッチ装置

1 1 0 ... 入力信号増幅回路

2 0 0 ... スイッチ装置

2 1 0 ... 制御装置

2 1 1 ... 入力信号増幅回路

2 1 2 ... ゲート電圧選択回路

2 1 3 ... トラッキング回路

5 1 2 ... ゲート電圧選択回路

5 1 3 ... トラッキング回路

Q 1 1、Q 1 2、Q 2 1、Q 2 2、Q 3 1、Q 3 2、Q 4 1、Q 4 2、

Q 5 1 ~ Q 5 8、Q 6 1、Q 6 2 ... スイッチング素子

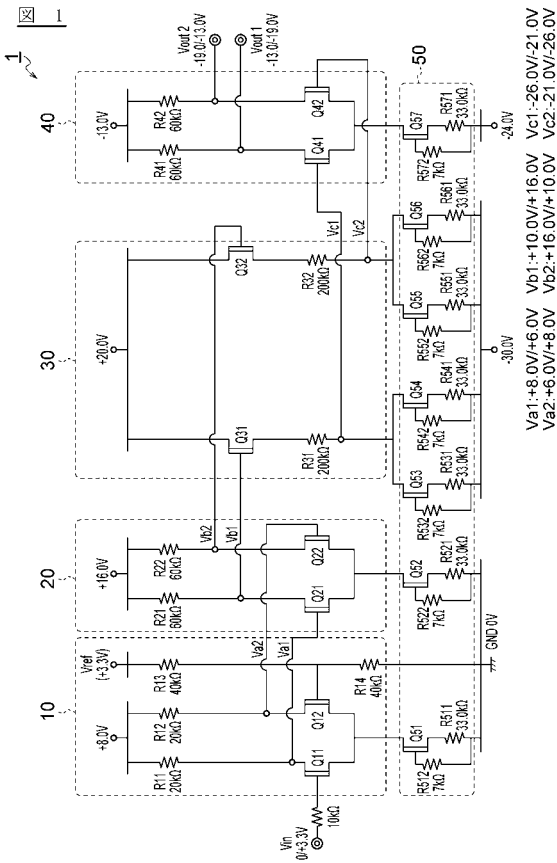
R 1 1、R 1 2、R 2 1、R 2 2、R 2 8、R 3 1、R 3 2、

40

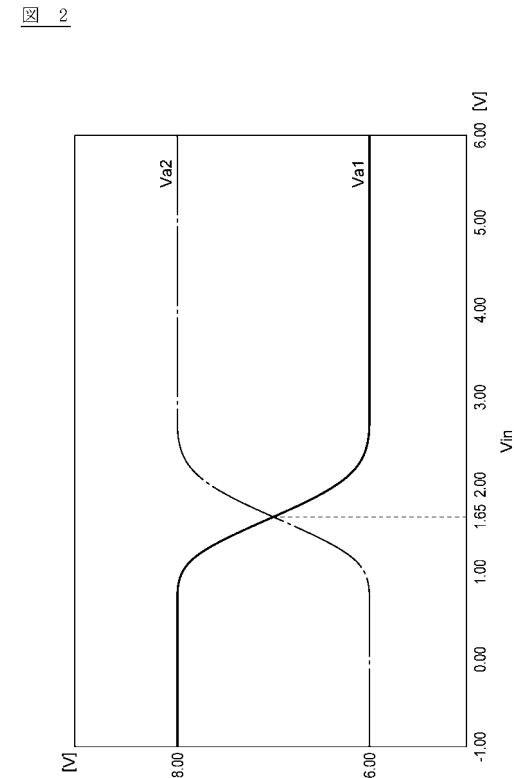
50

R 4 1 ~ R 4 4、R 6 1、R 6 2、R 6 3、R 5 1 1、R 5 1 2、R 5 2 1、R 5 2 2、
R 5 3 1、R 5 3 2、R 5 4 1、R 5 4 2、R 5 5 1、R 5 5 2、R 5 6 1、R 5 6 2、
R 5 7 1、R 5 7 2、R 5 8 1、R 5 8 2 ... 抵抗

【 図 1 】

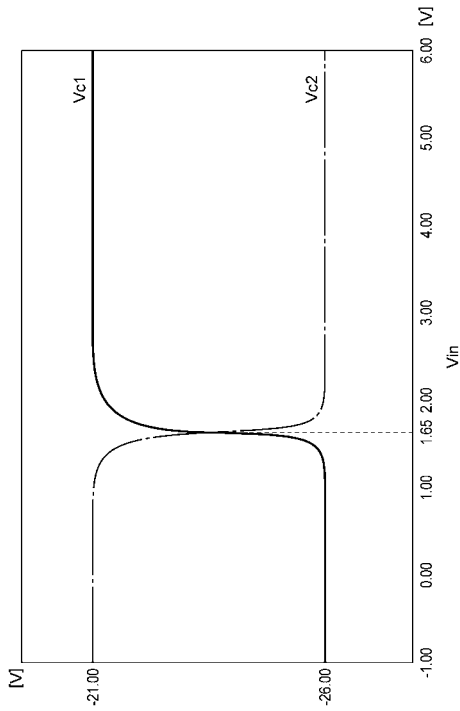


【 図 2 】



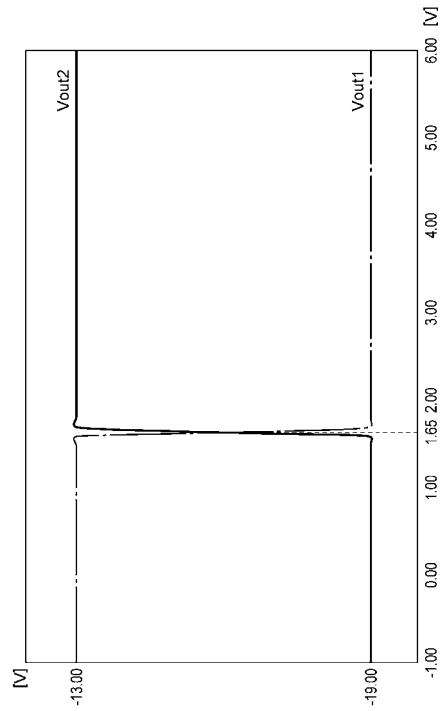
【 3 】

3



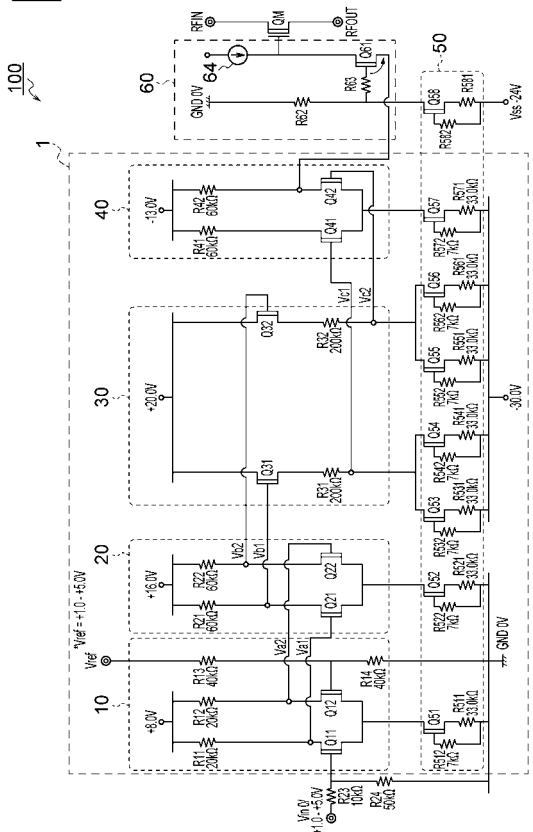
【 4 】

4



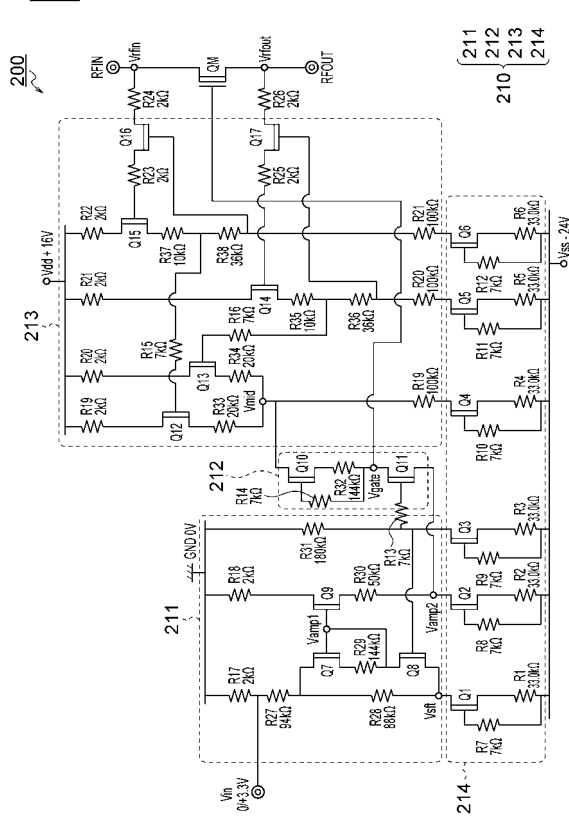
【 5 】

5



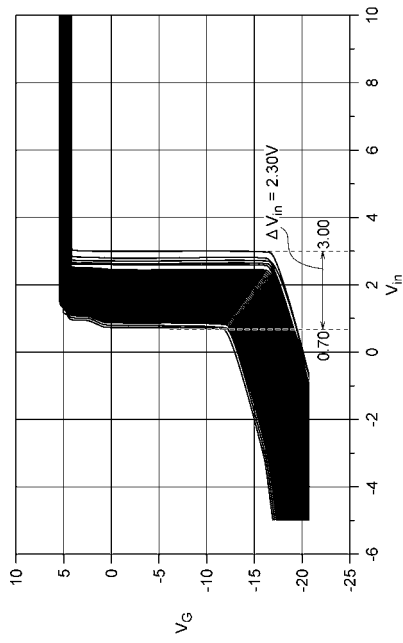
【 6 】

6



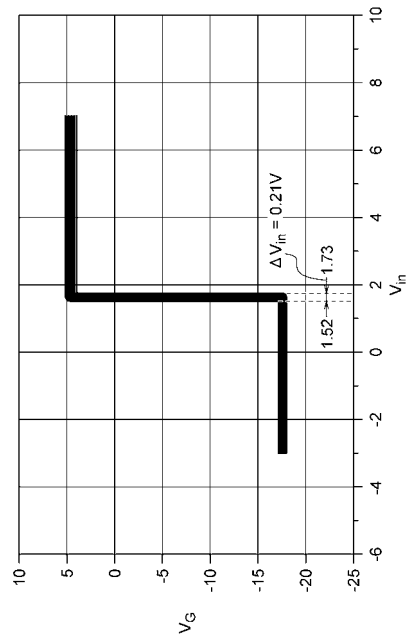
【 7 A 】

7A



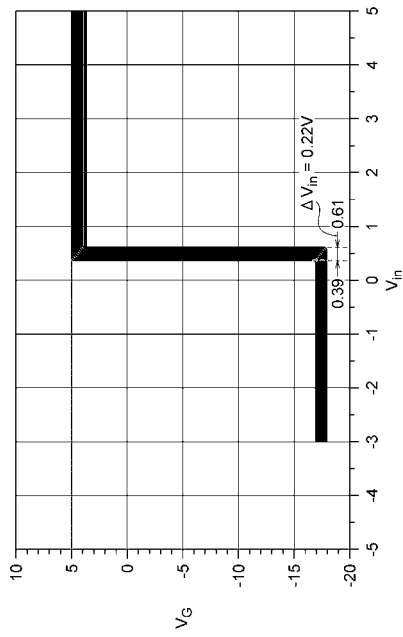
【 7 B 】

7B



【 8 A 】

8A



【 8 B 】

8B

