



(12)发明专利

(10)授权公告号 CN 103680635 B

(45)授权公告日 2018.07.03

(21)申请号 201310401890.2

(22)申请日 2013.09.06

(65)同一申请的已公布的文献号  
申请公布号 CN 103680635 A

(43)申请公布日 2014.03.26

(30)优先权数据  
2012-197224 2012.09.07 JP

(73)专利权人 株式会社半导体能源研究所  
地址 日本神奈川县厚木市

(72)发明人 梅崎敦司

(74)专利代理机构 中国专利代理(香港)有限公司  
72001  
代理人 何欣亭 王忠忠

(51)Int.Cl.

G11C 19/28(2006.01)

G09G 3/20(2006.01)

(56)对比文件

US 2012/0075282 A1,2012.03.29,

US 2006/0145999 A1,2006.07.06,

CN 1885378 A,2006.12.27,

审查员 耿翠萍

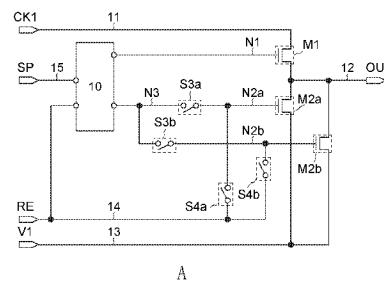
权利要求书2页 说明书26页 附图21页

(54)发明名称

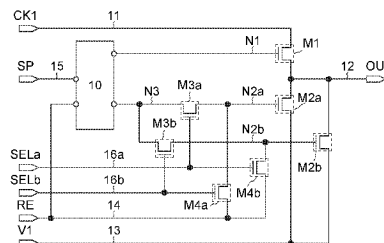
半导体装置

(57)摘要

本发明提供一种半导体装置,该半导体装置能够抑制晶体管的特性变化并能够急剧改变输出信号,而不增加晶体管的W/L。在被供应低电位的布线与输出端子之间设置并联连接的两个晶体管。在从输出端子输出低电位的情况下,先使两个晶体管都处于导通状态,然后使其中一个晶体管处于截止状态。由此,够抑制晶体管的特性变化,并能够急剧改变输出信号,而不增加晶体管的W/L。



A



B

1. 一种半导体装置,包括:

第一晶体管;

第二晶体管;

第三晶体管;

第四晶体管;

第一开关;

第二开关;

第三开关;以及

第四开关,

其中,所述第一晶体管的源极和漏极中的一个与第一布线电连接,

所述第一晶体管的所述源极和所述漏极中的另一个与第二布线电连接,

所述第二晶体管的源极和漏极中的一个与所述第一布线电连接,

所述第二晶体管的所述源极和所述漏极中的另一个与所述第二布线电连接,

所述第一开关的第一端子与所述第一晶体管的栅极电连接,

所述第二开关的第一端子与所述第二晶体管的栅极电连接,

所述第二开关的第二端子与所述第一开关的第二端子电连接,

所述第三开关的第一端子与所述第一晶体管的所述栅极电连接,

所述第三开关的第二端子与第三布线电连接,

所述第四开关的第一端子与所述第二晶体管的所述栅极电连接,

所述第四开关的第二端子与所述第三布线电连接,

所述第三晶体管的源极和漏极中的一个与第四布线电连接,

所述第三晶体管的所述源极和所述漏极中的另一个与所述第一开关的第二端子电连接,

所述第四晶体管的源极和漏极中的一个与所述第二布线电连接,

并且,所述第四晶体管的所述源极和所述漏极中的另一个与所述第一开关的所述第二端子电连接。

2. 根据权利要求1所述的半导体装置,其中所述第三布线具有传输信号的功能。

3. 根据权利要求1所述的半导体装置,其中所述第一晶体管的沟道宽度为所述第二晶体管的沟道宽度的90%以上且110%以下。

4. 根据权利要求1所述的半导体装置,其中所述第一晶体管及所述第二晶体管的各个在沟道形成区中包含氧化物半导体。

5. 根据权利要求1所述的半导体装置,其中所述半导体装置为从便携式游戏机、显示设备、笔记本式个人计算机、个人数字助理和视频摄像机的组中选择一个。

6. 一种半导体装置,包括:

第一晶体管;

第二晶体管;

第三晶体管;

第四晶体管;

第一开关;

第二开关；  
第三开关；以及  
第四开关，

其中，所述第一晶体管的源极和漏极中的一个与第一布线电连接，  
所述第一晶体管的所述源极和所述漏极中的另一个与第二布线电连接，  
所述第二晶体管的源极和漏极中的一个与所述第一布线电连接，  
所述第二晶体管的所述源极和所述漏极中的另一个与所述第二布线电连接，  
所述第一开关的第一端子与所述第一晶体管的栅极电连接，  
所述第二开关的第一端子与所述第二晶体管的栅极电连接，  
所述第二开关的第二端子与所述第一开关的第二端子电连接，  
所述第三开关的第一端子与所述第一晶体管的所述栅极电连接，  
所述第三开关的第二端子与第三布线电连接，  
所述第四开关的第一端子与所述第二晶体管的所述栅极电连接，  
所述第四开关的第二端子与所述第三布线电连接，  
所述第一开关的栅极与所述第四开关的栅极彼此电连接，  
所述第二开关的栅极与所述第三开关的栅极彼此电连接，  
所述第三晶体管的源极和漏极中的一个与第四布线电连接，  
所述第三晶体管的所述源极和所述漏极中的另一个与所述第一开关的第二端子电连接，

所述第四晶体管的源极和漏极中的一个与所述第二布线电连接，

并且，所述第四晶体管的所述源极和所述漏极中的另一个与所述第一开关的所述第二端子电连接。

7. 根据权利要求6所述的半导体装置，其中所述第三布线具有传输信号的功能。

8. 根据权利要求6所述的半导体装置，其中所述第一晶体管的沟道宽度为所述第二晶体管的沟道宽度的90%以上且110%以下。

9. 根据权利要求6所述的半导体装置，其中所述第一晶体管及所述第二晶体管的各个在沟道形成区中包含氧化物半导体。

10. 根据权利要求6所述的半导体装置，其中所述半导体装置为从便携式游戏机、显示设备、笔记本式个人计算机、个人数字助理和视频摄像机的组中选择一个。

## 半导体装置

### 技术领域

[0001] 本发明的一个方式涉及一种半导体装置及包含该半导体装置的显示装置。尤其涉及一种时序电路及包含该时序电路的移位寄存器等的半导体装置。

### 背景技术

[0002] 近年来,对由具有相同极性的晶体管构成的时序电路的开发得到积极地开展。专利文献1还公开了能够抑制晶体管的特性变化的时序电路。

[0003] 图17A示出现有的时序电路的结构。现有的时序电路包含晶体管T13、并联连接的晶体管T14及晶体管T15。在现有的时序电路中,当晶体管T13处于导通状态,且晶体管T14及晶体管T15处于截止状态时,第一时钟信号C1被输出。在第一时钟信号C1为高电平的情况下,第一扫描信号Vg1为高电平(参照图17B)。另外,在奇数帧中,晶体管T13处于截止状态,晶体管T14处于导通状态,且晶体管T15处于截止状态,于是第一供应电压VSS被输出(参照图17C)。另外,在偶数帧中,晶体管T13处于截止状态,晶体管T14处于截止状态,且晶体管T15处于导通状态,于是第一供应电压VSS被输出(参照图17D)。如此,通过使奇数帧中的晶体管T15处于截止状态,并使偶数帧中的晶体管T14处于截止状态,能够抑制晶体管T14及晶体管T15的特性变化。

[0004] [专利文献1]日本专利申请公开2007-004167号公报。

[0005] 另一方面,在现有的时序电路中,使并联连接的两个晶体管中的一个处于截止状态,并仅驱动另一个晶体管,因此并联连接的两个晶体管都需要足够的驱动能力。因此,产生晶体管的 $W$ (沟道宽度)/ $L$ (沟道长度)增大的问题。此外,当晶体管的 $W/L$ 不够大时,输出信号的改变变得缓慢,而导致输出信号产生延迟或失真的问题。

### 发明内容

[0006] 鉴于上述问题,本发明的一个方式的目的之一是提供一种半导体装置,该半导体装置能够抑制晶体管的特性变化并能够急剧改变输出信号,而不增加晶体管的 $W/L$ 。另外,本发明的一个方式的目的之一是提供一种包含新颖电路结构的半导体装置。注意,这些目的的记载不妨碍其他目的的存在。此外,本发明的一个方式并不需要实现所有上述目的。另外,从说明书、附图、权利要求书等的记载得知并可以抽出上述以外的目的。

[0007] 本发明的一个方式是一种半导体装置的驱动方法,该半导体装置包括:第一信号被输入到其源极和漏极中的一个的第一晶体管;第一电位被输入到其源极和漏极中的一个,且其源极和漏极中的另一个与第一晶体管的源极和漏极中的另一个电连接的第二晶体管;其源极和漏极中的一个与第二晶体管的源极和漏极中的一个电连接,且其源极和漏极中的另一个与第一晶体管的源极和漏极中的另一个电连接的第三晶体管;以及用来控制第一晶体管、第二晶体管以及第三晶体管的导通和截止的单元。另外,该半导体装置依次交替重复第一期间及第二期间,该第一期间包括:通过第一晶体管输出第一信号的第一步骤;通过第二晶体管及第三晶体管输出第一电位的第二步骤;以及通过第二晶体管输出第一电位

的第三步骤,并且,该第二期间包括:通过第一晶体管输出第一信号的第四步骤;通过第二晶体管及第三晶体管输出第一电位的第五步骤;以及通过第三晶体管输出第一电位的第六步骤。

[0008] 在上述本发明的一个方式中,也可以在第一期间中分别进行第一步骤、第二步骤及第三步骤两次以上,在第二期间中分别进行第四步骤、第五步骤及第六步骤两次以上。另外,在上述本发明的一个方式中,第二晶体管的沟道宽度可以为第三晶体管的沟道宽度的90%以上且110%以下。另外,在上述本发明的一个方式中,第一晶体管的沟道宽度可以大于第二晶体管的沟道宽度及第三晶体管的沟道宽度。

[0009] 本发明的一个方式是一种半导体装置,该半导体装置包括:其源极和漏极中的一个与第一布线电连接,且其源极和漏极中的另一个与第二布线电连接的第一晶体管;其源极和漏极中的一个与第一布线电连接,且其源极和漏极中的另一个与第二布线电连接的第二晶体管;其第一端子与第一晶体管的栅极电连接的第一开关;其第一端子与第二晶体管的栅极电连接,且其第二端子与第一开关的第二端子电连接的第二开关;其第一端子与第三布线电连接,且其第二端子与第一晶体管的栅极电连接的第三开关;以及其第一端子与第三布线电连接,且其第二端子与第二晶体管的栅极电连接的第四开关。

[0010] 上述本发明的一个方式还可以包括:其源极和漏极中的一个与第四布线连接,其源极和漏极中的另一个与第一开关的第二端子连接,且其栅极与第四布线连接的第三晶体管;以及其源极和漏极中的一个与第二布线连接,且其源极和漏极中的另一个与第一开关的第二端子连接的第四晶体管。另外,上述本发明的一个方式还可以包括:第一期间及第二期间,在该第一期间中,第一开关及第四开关处于接通状态,且第二开关及第三开关处于关断状态,在该第二期间中,第一开关及第四开关处于关断状态,且第二开关及第三开关处于接通状态。

[0011] 本发明的一个方式能够提供一种半导体装置,该半导体装置能够抑制晶体管的特性变化并能够急剧改变输出信号,而不增加晶体管的W/L。另外,本发明的一个方式能够提供一种包含新颖电路结构的半导体装置。

## 附图说明

[0012] 图1A和图1B是示出时序电路的结构的图;

[0013] 图2是时序电路的时序图;

[0014] 图3是时序电路的时序图;

[0015] 图4A和图4B是示出时序电路的工作的图;

[0016] 图5A和图5B是示出时序电路的工作的图;

[0017] 图6A和图6B是示出时序电路的工作的图;

[0018] 图7A和图7B是示出时序电路的工作的图;

[0019] 图8A和图8B是示出时序电路的结构的图;

[0020] 图9A和图9B是示出时序电路的结构的图;

[0021] 图10A至图10C是示出时序电路的结构的图;

[0022] 图11是示出移位寄存器的结构的图;

[0023] 图12A和图12B是示出面板的结构的图;

- [0024] 图13A和图13B是示出晶体管的截面结构的图；
- [0025] 图14A至图14C是液晶显示装置的俯视图及截面图；
- [0026] 图15A至图15E是示出电子设备的图；
- [0027] 图16A至图16C是示出时序电路的结构图；
- [0028] 图17A至图17D是示出现有的时序电路的结构及工作的图。

### 具体实施方式

[0029] 下面,参照附图对本发明的实施方式进行详细说明。但是,本发明不局限于以下说明,而所属技术领域的普通技术人员可以很容易地理解一个事实就是其方式及详细内容在不脱离本发明的宗旨及其范围的情况下可以被变换为各种各样的形式。因此,本发明不应该被解释为仅局限在以下所示的实施方式所记载的内容中。

[0030] 注意,在本发明的范畴内包括包含晶体管的所有半导体装置诸如集成电路、RF标签、显示装置等。此外,在集成电路的范畴内包括含有微处理器、图像处理电路、DSP (Digital Signal Processor:数字信号处理器)或微控制器等的LSI (Large Scale Integrated Circuit:大规模集成电路)以及可编程逻辑器件(PLD:Programmable Logic Device)诸如FPGA(Field Programmable Gate Array:现场可编程门阵列)和CPLD(Complex PLD:复杂可编程逻辑器件)等。此外,在显示装置的范畴内包括液晶显示装置、在每个像素中具备以有机发光元件(OLED)为典型的发光元件的发光装置、电子纸、DMD:(Digital Micromirror Device:数字微镜装置)、PDP(Plasma Display Panel:等离子体显示面板)、FED(Field Emission Display:场致发射显示器)等。

[0031] 注意,在本说明书中显示装置在其范畴内包括:在各像素中形成有液晶元件或发光元件等显示元件的面板;以及该面板安装有包括控制器的IC等的模块。

[0032] 注意,在本说明书中,连接是指电连接,相当于能够供应或传送电流、电压或电位的状态。因此,连接状态不一定是直接连接的状态,而在其范畴内还包括以能够供应或传送电流、电压或电位的方式通过布线、电阻元件、二极管、晶体管等电路元件间接连接的状态。此外,即使当在电路图上独立的构成要素彼此连接时,实际上也有一个导电膜兼具多个构成要素的功能的情况,例如布线的一部分用作电极的情况等。在本说明书中的连接的范畴内包括这种一个导电膜兼具多个构成要素的功能的情况。

[0033] 注意,晶体管的源极是指用作活性层的半导体膜的一部分的源区或与上述半导体膜连接的源电极。与此同样,晶体管的漏极是指上述半导体膜的一部分的漏区或与上述半导体膜连接的漏电极。另外,栅极是指栅电极。

[0034] 此外,晶体管所具有的源极和漏极的名称根据晶体管的极性及施加到各端子的电位的电平互相调换。一般而言,在n沟道晶体管中,将被施加低电位的端子称为源极,而将被施加高电位的端子称为漏极。另外,在p沟道晶体管中,将被施加低电位的端子称为漏极,而将被施加高电位的端子称为源极。在本说明书中,虽然有时为了方便起见假设源极和漏极被固定来说明晶体管的连接关系,但是在实际上根据上述电位的关系调换源极和漏极的名称。

[0035] 实施方式1

[0036] 在本实施方式中,对根据本发明的一个方式的时序电路(也被称为半导体装置)进

行说明。

[0037] 图1A示出本实施方式的时序电路。图1A的时序电路包含晶体管M1、晶体管M2a、晶体管M2b、开关S3a、开关S3b、开关S4a、开关S4b以及电路10。

[0038] 晶体管M1的第一端子(源极和漏极中的一个)与布线11连接,其第二端子(源极和漏极中的另一个)与布线12连接,其栅极与节点N1连接。晶体管M2a的第一端子与布线13连接,其第二端子与布线12连接,其栅极与节点N2a连接。晶体管M2b的第一端子与布线13连接,其第二端子与布线12连接,其栅极与节点N2b连接。开关S3a的第一端子与节点N3连接,其第二端子与节点N2a连接。开关S3b的第一端子与节点N3连接,其第二端子与节点N2b连接。开关S4a的第一端子与布线14连接,其第二端子与节点N2a连接。开关S4b的第一端子与布线14连接,其第二端子与节点N2b连接。电路10的第一端子与布线15连接,其第二端子与布线14连接,其第三端子与节点N1连接,其第四端子与节点N3连接。

[0039] 电路10具有对节点N1供应用来控制晶体管M1的导通和截止的电位的功能。具体而言,电路10具有在对节点N1供应使晶体管M1处于导通状态的电位之后,使节点N1处于浮动状态的功能。此外,电路10具有对节点N1供应使晶体管M1处于截止状态的电位的功能。电路10还具有对节点N3供应用来控制晶体管M2a或晶体管M2b的导通和截止的电位的功能。具体而言,电路10具有对节点N3供应使晶体管M2a或晶体管M2b处于导通状态的电位的功能。此外,电路10具有对节点N3供应使晶体管M2a或晶体管M2b处于截止状态的电位的功能。另外,电路10对节点N3供应的电位在开关S3a处于接通状态的情况下被供应到节点N2a,而在开关S3b处于接通状态的情况下被供应到节点N2b。另外,电路10的连接关系可以通过改变电路10的结构来适当地改变。

[0040] 另外,时序电路中的晶体管都具有相同极性。晶体管的极性为N沟道或P沟道。在本实施方式中,晶体管M1、晶体管M2a及晶体管M2b为N沟道晶体管。

[0041] 另外,晶体管具有控制第一端子的连接对象与第二端子的连接对象之间的导通和非导通的功能。例如,晶体管M1具有控制布线11与布线12之间的导通和非导通的功能。晶体管M2a具有控制布线13与布线12之间的导通和非导通的功能。晶体管M2b具有控制布线13与布线12之间的导通和非导通的功能。

[0042] 另外,晶体管具有保持栅极的连接对象与第一端子或第二端子的连接对象之间的电位差的功能。例如,晶体管M1具有保持布线12与节点N1之间的电位差的功能。

[0043] 另外,可以使用开关代替晶体管。晶体管的第一端子对应于开关的第一端子,晶体管的第二端子对应于开关的第二端子。例如,也可以使用其第一端子连接于布线13,且其第二端子连接于布线12的开关代替晶体管M2a。也可以使用其第一端子连接于布线13,且其第二端子连接于布线12的开关代替晶体管M2b。

[0044] 另外,信号或电位等被输入到布线中,布线具有传输被输入的信号或电位等的功能。例如,布线11的信号或电位优选具有提高布线12的电位的功能。布线13的信号或电位优选具有降低布线12的电位的功能。布线14优选具有控制晶体管M2a及晶体管M2b的导通和截止的功能或者控制电路10的功能。布线15的信号或电位优选具有控制电路10的功能。

[0045] 在本实施方式中,信号CK1(时钟信号)被输入到布线11,信号OUT(输出信号)从布线12被输出,电位V1(第一电位)被供应到布线13,信号RE(复位信号)被输入到布线14,信号SP(起始信号)被输入到布线15。另外,信号CK1、信号SP及信号RE具有高电平或低电平。另

外,低电平电位为电位V1,高电平电位为电位V2(第二电位)。电位V2为高于电位V1的电位。

[0046] 接着,对图1A的时序电路的工作进行说明。

[0047] 图2和图3示出用来说明图1A的时序电路的工作的时序图的一个例子。在图2和图3的时序图中提供有期间Ta及期间Tb。另外,图2示出提供有期间T1a至期间T4a的期间Ta的时序图,图3示出提供有期间T1b至期间T4b的期间Tb的时序图。另外,图2和图3示出开关S3a及开关S4b的接通状态与关断状态的关系、开关S3b及开关S4a的接通状态与关断状态的关系、信号CK1、信号SP、信号RE、节点N1的电位VN1、节点N2a的电位VN2a、节点N2b的电位VN2b以及信号OUT。

[0048] 图4A至图7B示出各期间(也被称为各步骤)中的图1A的时序电路的工作的示意图。图4A示出期间T1a中的图1A的时序电路的工作的示意图,图4B示出期间T2a中的图1A的时序电路的工作的示意图,图5A示出期间T3a中的图1A的时序电路的工作的示意图,图5B示出期间T4a中的图1A的时序电路的工作的示意图,图6A示出期间T1b中的图1A的时序电路的工作的示意图,图6B示出期间T2b中的图1A的时序电路的工作的示意图,图7A示出期间T3b中的图1A的时序电路的工作的示意图,图7B示出期间T4b中的图1A的时序电路的工作的示意图。

[0049] 首先,对期间Ta中的图1A的时序电路的工作进行说明。在期间Ta中,开关S3a及开关S4b处于接通状态,开关S3b及开关S4a处于关断状态。

[0050] 在期间T1a中,信号CK1为低电平,信号SP为高电平,信号RE为低电平。由于电路10对节点N1供应使晶体管M1处于导通状态的电位,因而晶体管M1成为导通状态。此后,电路10停止对节点N1供应电位,因而节点N1成为浮动状态。节点N1的电位保持使晶体管M1处于导通状态的电位,因此,晶体管M1保持导通状态。此外,电路10对节点N2a通过开关S3a供应使晶体管M2a处于截止状态的电位。因此,晶体管M2a成为截止状态。另外,信号RE通过开关S4b被供应到节点N2b。由于信号RE为低电平,因而晶体管M2b成为截止状态。此外,信号CK1通过晶体管M1被供应到布线12。由于信号CK1为低电平,因而布线12的电位为电位V1。即,信号OUT为低电平。

[0051] 在期间T2a中,信号CK1为高电平,信号SP为低电平,信号RE保持低电平。由于电路10继续停止对节点N1供应电位,因而节点N1保持浮动状态,且晶体管M1保持导通状态。此外,电路10继续对节点N2a通过开关S3a供应使晶体管M2a处于截止状态的电位,因此,晶体管M2a保持截止状态。另外,信号RE通过开关S4b继续被供应到节点N2b。由于信号RE保持低电平,因而晶体管M2b保持截止状态。此外,信号CK1通过晶体管M1继续被供应到布线12。由于信号CK1为高电平,因而布线12的电位为电位V2。即,信号OUT为高电平。

[0052] 另外,由于节点N1保持浮动状态,且晶体管M1保持布线12与节点N1之间的电位差,因此随着布线12的电位上升,节点N1的电位也上升。这是所谓的自举工作(bootstrap operation)。由此,节点N1的电位可以超过晶体管M1的第一端子的电位(例如,电位V2)和晶体管M1的阈值电压的总和的值,从而,布线12的电位可以上升到电位V2。

[0053] 在期间T3a中,信号CK1为低电平,信号SP保持低电平,信号RE为高电平。由于电路10对节点N1供应使晶体管M1处于截止状态的电位,因而晶体管M1成为截止状态。此外,电路10对节点N2a通过开关S3a供应使晶体管M2a处于导通状态的电位,因此,晶体管M2a成为导通状态。另外,信号RE通过开关S4b继续被供应到节点N2b。由于信号RE为高电平,因而晶体管M2b成为导通状态。此时,晶体管M2a及晶体管M2b都处于导通状态。此外,信号V1通过晶体



管M2a及晶体管M2b的双方被供应到布线12。因此,布线12的电位为电位V1。即,信号OUT为低电平。

[0054] 另外,电位V1通过晶体管M2a及晶体管M2b的双方被供应到布线12,因此能够减少信号OUT的下降时间,而不增大晶体管M2a及晶体管M2b的W/L。

[0055] 在期间T4a中,信号CK1交替重复高电平及低电平,信号SP保持低电平,信号RE为低电平。由于电路10继续对节点N1供应使晶体管M1处于截止状态的电位,因而晶体管M1保持截止状态。此外,电路10继续对节点N2a通过开关S3a供应使晶体管M2a处于导通状态的电位,因此晶体管M2a保持导通状态。另外,信号RE通过开关S4b继续被供应到节点N2b。由于信号RE为低电平,因而晶体管M2b成为截止状态。此外,信号V1通过晶体管M2a被供应到布线12。因此,布线12的电位保持电位V1。即,信号OUT保持低电平。

[0056] 另外,期间T4a长于期间T1a至期间T3a的每一个,占工作期间的大部分。另外,在期间T4a中晶体管M2b处于截止状态。因此,可以缩短晶体管M2b处于导通状态的时间,由此能够抑制晶体管M2b的特性变化。

[0057] 接着,对期间Tb中的图1A的时序电路的工作进行说明。在期间Tb中,开关S3a及开关S4b处于关断状态,开关S3b及开关S4a处于接通状态。

[0058] 在期间T1b中,信号CK1为低电平,信号SP为高电平,信号RE为低电平。由于电路10对节点N1供应使晶体管M1处于导通状态的电位,因而晶体管M1成为导通状态。此后,电路10停止对节点N1供应电位,因而节点N1成为浮动状态。节点N1的电位保持使晶体管M1处于导通状态的电位,因此,晶体管M1保持导通状态。此外,电路10对节点N2b通过开关S3b供应使晶体管M2b处于截止状态的电位。因此,晶体管M2b成为截止状态。另外,信号RE通过开关S4a被供应到节点N2a。由于信号RE为低电平,因而晶体管M2a成为截止状态。此外,信号CK1通过晶体管M1被供应到布线12。由于信号CK1为低电平,因而布线12的电位为电位V1。即,信号OUT为低电平。

[0059] 在期间T2b中,信号CK1为高电平,信号SP为低电平,信号RE保持低电平。由于电路10继续停止对节点N1供应电位,因而节点N1保持浮动状态,且晶体管M1保持导通状态。此外,电路10继续对节点N2b通过开关S3b供应使晶体管M2b处于截止状态的电位,因此,晶体管M2b保持截止状态。另外,信号RE通过开关S4a继续被供应到节点N2a。由于信号RE保持低电平,因而晶体管M2a保持截止状态。此外,信号CK1通过晶体管M1继续被供应到布线12。由于信号CK1为高电平,因而布线12的电位为电位V2。即,信号OUT为高电平。

[0060] 另外,由于节点N1保持浮动状态,且晶体管M1保持布线12与节点N1之间的电位差,因此随着布线12的电位上升,节点N1的电位也上升。这是所谓的自举工作。由此,节点N1的电位可以超过晶体管M1的第一端子的电位(例如,电位V2)和晶体管M1的阈值电压的总和的值,从而,布线12的电位可以上升到电位V2。

[0061] 在期间T3b中,信号CK1为低电平,信号SP保持低电平,信号RE为高电平。由于电路10对节点N1供应使晶体管M1处于截止状态的电位,因而晶体管M1成为截止状态。此外,电路10对节点N2b通过开关S3b供应使晶体管M2b处于导通状态的电位,因此,晶体管M2b成为导通状态。另外,信号RE通过开关S4a继续被供应到节点N2a。由于信号RE为高电平,因而晶体管M2a成为导通状态。此时,晶体管M2a及晶体管M2b都处于导通状态。此外,信号V1通过晶体管M2a及晶体管M2b的双方被供应到布线12。因此,布线12的电位为电位V1。即,信号OUT为低

电平。

[0062] 另外, 电位V1通过晶体管M2a及晶体管M2b的双方被供应到布线12, 因此能够减少信号OUT的下降时间, 而不增大晶体管M2a及晶体管M2b的W/L。

[0063] 在期间T4b中, 信号CK1交替重复高电平及低电平, 信号SP保持低电平, 信号RE为低电平。由于电路10继续对节点N1供应使晶体管M1处于截止状态的电位, 因而晶体管M1保持截止状态。此外, 电路10继续对节点N2b通过开关S3b供应使晶体管M2b处于导通状态的电位, 因此晶体管M2b保持导通状态。另外, 信号RE通过开关S4a继续被供应到节点N2a。由于信号RE为低电平, 因而晶体管M2a成为截止状态。此外, 信号V1通过晶体管M2b被供应到布线12。因此, 布线12的电位保持电位V1。即, 信号OUT保持低电平。

[0064] 另外, 期间T4b长于期间T1b至期间T3b的每一个, 占工作期间的大部分。另外, 在期间T4b中晶体管M2a处于截止状态。因此, 可以缩短晶体管M2a处于导通状态的时间, 由此能够抑制晶体管M2a的特性变化。

[0065] 如此, 图1A的时序电路能够抑制晶体管的特性变化并能够减少输出信号的下降时间, 而不增加晶体管的W/L。

[0066] 另外, “使晶体管M1处于导通状态的电位”是指超过晶体管M1的第一端子或第二端子的电位(例如, 电位V1)与晶体管M1的阈值电压的总和的值。另外, “使晶体管M1处于截止状态的电位”是指低于晶体管M1的第一端子或第二端子的电位(例如, 电位V1)与晶体管M1的阈值电压的总和的值。使晶体管M1处于截止状态的电位例如为电位V1。另外, “使晶体管M2a或晶体管M2b处于导通状态的电位”是指超过晶体管M2a或晶体管M2b的第一端子的电位(例如, 电位V1)与晶体管M2a或晶体管M2b的阈值电压的总和的值。晶体管M2a或晶体管M2b处于导通状态的电位例如为电位V2。另外, “晶体管M2a或晶体管M2b处于截止状态的电位”是指低于晶体管M2a或晶体管M2b的第一端子的电位(例如, 电位V1)与晶体管M2a或晶体管M2b的阈值电压的总和的值。使晶体管M2a或晶体管M2b处于截止状态的电位例如为电位V1。另外, 使晶体管M1处于截止状态的电位既可以等于使晶体管M2a或晶体管M2b处于截止状态的电位, 又可以与此不同。另外, 使晶体管M2a处于导通状态的电位既可以等于使晶体管M2b处于导通状态的电位, 又可以与此不同。另外, 使晶体管M2a处于截止状态的电位既可以等于使晶体管M2b处于截止状态的电位, 又可以与此不同。

[0067] 另外, 上述工作的说明是一个例子, 工作不局限于此。例如, 电路10也可以在期间T1a中对节点N2a供应使晶体管M2a处于导通状态的电位, 并在期间T1b中对节点N2b供应使晶体管M2b处于导通状态的电位。在此情况下, 在期间T1a中, 晶体管M2a处于导通状态, 于是电位V1通过晶体管M2a被供应到布线12。另外, 在期间T1b中, 晶体管M2b处于导通状态, 于是电位V1通过晶体管M2b被供应到布线12。

[0068] 另外, 电路10也可以在期间T4a及期间T4b中停止对节点N1供应电位。在此情况下, 在期间T4a及期间T4b中, 节点N1处于浮动状态。节点N1的电位保持期间T3a或期间T3b中的电位(使晶体管M1处于截止状态的电位), 因此晶体管M1保持截止状态。

[0069] 另外, 电路10也可以在期间T4a及期间T4b中停止对节点N3供应电位。在此情况下, 在期间T4a中, 节点N3及节点N2a处于浮动状态。节点N2a的电位保持使晶体管M2a处于导通状态的电位, 因此晶体管M2a保持导通状态。另外, 在期间T4b中, 节点N3及节点N2b处于浮动状态。节点N2b的电位保持使晶体管M2b处于导通状态的电位, 因此晶体管M2b保持导通状

态。

[0070] 另外,晶体管M1的W(沟道宽度)/L(沟道长度)优选在图1A的时序电路中的晶体管中最大。例如,晶体管M1的W/L优选大于晶体管M2a及晶体管M2b的W/L。另外,当电路10包含晶体管时,晶体管M1的W/L优选大于电路10中的晶体管的W/L。

[0071] 另外,晶体管M2a的W/L优选大致等于晶体管M2b的W/L。例如,晶体管M2a的W/L优选为晶体管M2b的W/L的 $\pm 10[\%]$ 之内,更优选为 $\pm 5[\%]$ 之内。

[0072] 另外,在本说明书等中,W/L可以替换成W。因为,晶体管的沟道长度大多相同或大致相同。

[0073] 另外,期间Ta和期间Tb的切换优选在期间T4a或期间T4b中进行。具体而言,优选的是,在期间T4a中,开关S3a及开关S4b从接通状态切换到关断状态,开关S3b及开关S4a从关断状态切换到接通状态。另外,优选的是,在期间T4b中,开关S3b及开关S4a从关断状态切换到接通状态,开关S3a及开关S4b从接通状态切换到关断状态。由此,能够防止由期间Ta和期间Tb的切换引起的故障。

[0074] 另外,也可以在开关S3a及开关S4b从接通状态切换到关断状态之后,开关S3b及开关S4a从关断状态切换到接通状态。同样地,也可以在开关S3b及开关S4a从接通状态切换到关断状态之后,开关S3a及开关S4b从关断状态切换到接通状态。换言之,可以存在有开关S3a、开关S3b、开关S4a及开关S4b都处于关断状态的期间。由此,能够防止电路10的第四端子与布线14导通。

[0075] 另外,优选的是,在多次重复期间T1a至期间T4a(例如,重复100次以上,优选为200次以上,更优选为300次以上)之后,将期间Ta切换到期间Tb。另外,优选的是,在多次重复期间T1b至期间T4b(重复100次以上,优选为200次以上,更优选为300次以上)之后,将期间Tb切换到期间Ta。换言之,在期间Ta中优选多次提供有(例如100次以上,优选为200次以上,更优选为300次以上)期间T1a至期间T4a中的任一个。另外,在期间Tb中优选多次提供有(100次以上,优选为200次以上,更优选为300次以上)期间T1b至期间T4b中的任一个。由此,能够抑制由期间Ta和期间Tb的切换引起的耗电量的增大。注意,当重复的次数过多时,晶体管M2a及晶体管M2b的特性有可能会产生偏差。因此,重复期间T1a至期间T4a的次数或重复期间T1b至期间T4b的次数优选少于1000次,更优选少于700次,进一步优选少于500次。

[0076] 另外,开关可以使用晶体管。图1B示出一种时序电路,其中晶体管M3a、晶体管M3b、晶体管M4a及晶体管M4b分别相当于图1A中的开关S3a、开关S3b、开关S4a及开关S4b。晶体管M3a、晶体管M3b、晶体管M4a及晶体管M4b的极性与晶体管M1相同。晶体管M3a的第一端子与节点N3连接,其第二端子与节点N2a连接,其栅极与布线16a连接。晶体管M3b的第一端子与节点N3连接,其第二端子与节点N2b连接,其栅极与布线16b连接。晶体管M4a的第一端子与布线14连接,其第二端子与节点N2a连接,其栅极与布线16b连接。晶体管M4b的第一端子与布线14连接,其第二端子与节点N2b连接,其栅极与布线16a连接。布线16a的信号或电位优选具有控制晶体管M3a的导通和截止的功能或控制晶体管M4b的导通和截止的功能。另外,布线16b的信号或电位优选具有控制晶体管M3b的导通和截止的功能或控制晶体管M4a的导通和截止的功能。在本实施方式中,信号SELa被输入到布线16a,信号SELb被输入到布线16b。

[0077] 在期间Ta中,信号SELa为高电平,信号SELb为低电平。因此,晶体管M3a及晶体管

M4b处于导通状态,晶体管M3b及晶体管M4a处于截止状态。在期间Tb中,信号SELa为低电平,信号SELb为高电平。因此,晶体管M3a及晶体管M4b处于截止状态,晶体管M3b及晶体管M4a处于导通状态。换言之,以分别与开关S3a、开关S3b、开关S4a及开关S4b相同的时机控制晶体管M3a、晶体管M3b、晶体管M4a及晶体管M4b的导通和截止。因此,图1B的时序电路能够进行与图1A的时序电路同样的工作,因此,能够取得与图1A的时序电路同样的效果。

[0078] 另外,信号SELa及信号SELb的低电平电位可以为电位V1。注意,信号SELa及信号SELb的低电平电位不局限于此,也可以为低于电位V1的值。由此,晶体管的栅极与源极之间的电位差低于0[V],因此能够抑制晶体管的特性变化。

[0079] 另外,信号SELa及信号SELb的高电平电位可以为电位V2。注意,信号SELa及信号SELb的高电平电位不局限于此,也可以为高于电位V2的值。由此,可以提高节点N2a及节点N2b的电位。

[0080] 另外,也可以在信号SELa由高电平变为低电平之后,信号SELb由低电平变为高电平。另外,也可以在信号SELb由高电平变为低电平之后,信号SELa由低电平变为高电平。换言之,可以存在有信号SELa及信号SELb都是低电平的期间。由此,能够防止电路10的第四端子与布线14导通。

[0081] 另外,晶体管M3a的W/L优选大致等于晶体管M3b的W/L。例如,晶体管M3a的W/L优选为晶体管M3b的W/L的 $\pm 10[\%]$ 之内,更优选为 $\pm 5[\%]$ 之内。另外,晶体管M4a的W/L优选大致等于晶体管M4b的W/L。例如,晶体管M4a的W/L优选为晶体管M4b的W/L的 $\pm 10[\%]$ 之内,更优选为 $\pm 5[\%]$ 之内。另外,晶体管M1的W/L优选大于晶体管M3a、晶体管M3b、晶体管M4a及晶体管的M4b的W/L。另外,晶体管M2a及晶体管M2b的W/L优选大于晶体管M3a、晶体管M3b、晶体管M4a及晶体管的M4b的W/L。另外,晶体管M4a及晶体管的M4b的W/L优选大于晶体管M3a及晶体管M3b的W/L。

[0082] 本实施方式可以与其他实施方式等所记载的结构适当地组合而实施。

[0083] 实施方式2

[0084] 在本实施方式中,对可用于实施方式1的时序电路中的电路10的电路进行说明。

[0085] 图8A的电路10包含晶体管M5、晶体管M6及电路20。晶体管M5及晶体管M6的极性与晶体管M1相同。晶体管M5的第一端子与布线15连接,其第二端子与节点N1连接,其栅极与布线15连接。晶体管M6的第一端子与布线13连接,其第二端子与节点N1连接,其栅极与布线14连接。电路20的第一端子与节点N1连接,其第二端子与节点N3连接。

[0086] 电路20具有根据节点N1的电位对节点N3供应用来控制晶体管M2a或晶体管M2b的导通和截止的电位的功能。具体而言,电路20具有在节点N1的电位低的情况(例如,期间T3a、期间T3b、期间T4a或期间T4b等)下,对节点N3供应使晶体管M2a或晶体管M2b处于导通状态的电位的功能。另外,电路20具有在节点N1的电位高的情况(例如,期间T1a、期间T1b、期间T2a或期间T2b等)下,对节点N3供应使晶体管M2a或晶体管M2b处于截止状态的电位的功能。另外,可以使用其输入端子连接于节点N1,且其输出端子连接于节点N3的反相器电路代替电路20。

[0087] 在期间T1a及期间T1b中,晶体管M5处于导通状态,晶体管M6处于截止状态。信号SP通过晶体管M5被供应到节点N1。由于信号SP为高电平,因此节点N1的电位上升。当节点N1的电位达到从晶体管M5的栅极的电位(例如,电位V2)减去晶体管M5的阈值电压的值时,晶体

管M5成为截止状态。因此,节点N1成为浮动状态。另外,电路20对节点N3供应使晶体管M2a或晶体管M2b处于截止状态的电位。

[0088] 在期间T2a及期间T2b中,晶体管M5保持截止状态,晶体管M6保持截止状态。另外,电路20继续对节点N3供应使晶体管M2a或晶体管M2b处于截止状态的电位。

[0089] 在期间T3a及期间T3b中,晶体管M5保持截止状态,晶体管M6处于导通状态。由于电位V1通过晶体管M6被供应到节点N1,因此节点N1的电位为电位V1。另外,电路20对节点N3供应使晶体管M2a或晶体管M2b处于导通状态的电位。

[0090] 在期间T4a及期间T4b中,晶体管M5保持截止状态,晶体管M6处于截止状态。另外,电路20继续对节点N3供应使晶体管M2a或晶体管M2b处于导通状态的电位。

[0091] 图8B的电路10与图8A的电路10的不同点为图8B的电路10还包含晶体管M7a及晶体管M7b。晶体管M7a及晶体管M7b的极性与晶体管M1相同。晶体管M7a的第一端子与布线13连接,其第二端子与节点N1连接,其栅极与节点N2a连接。晶体管M7b的第一端子与布线13连接,其第二端子与节点N1连接,其栅极与节点N2b连接。

[0092] 在期间T1a、期间T2a、期间T1b及期间T2b中,晶体管M7a及晶体管M7b处于截止状态。另外,在期间T3a及期间T3b中,晶体管M7a及晶体管M7b处于导通状态。另外,在期间T4a中,晶体管M7a处于导通状态,晶体管M7b处于截止状态。另外,在期间T4b中,晶体管M7a处于截止状态,晶体管M7b处于导通状态。在图8B的电路10中,在期间T3a、期间T4a、期间T3b及期间T4b中,电位V1被供应到节点N1。因此,容易将电位V1保持在节点N1中。

[0093] 图9A的电路10与图8A的电路10的不同点为图9A的电路10中的晶体管M5的栅极与布线17连接。布线17的信号或电位优选具有控制晶体管M5的导通和截止的功能。在本实施方式中,信号CK2被输入到布线17。信号CK2例如为信号CK1的反相信号、具有与信号CK1不同相位的信号等。例如,在期间T1a及期间T1b中信号CK2为高电平,在期间T2a及期间T2b中为低电平,在期间T3a及期间T3b中为高电平或低电平,在期间T4a及期间T4b中交替重复高电平和低电平。

[0094] 在期间T1a及期间T1b中,晶体管M5处于导通状态。因此,信号SP通过晶体管M5被供应到节点N1。信号SP为高电平,因此节点N1的电位上升。然而,当节点N1的电位达到从晶体管M5的栅极的电位(例如,电位V2)减去晶体管M5的阈值电压的值时,晶体管M5成为截止状态。另外,在期间T2a及期间T2b中,晶体管M5处于截止状态。另外,在期间T3a及期间T3b中,当信号CK2为高电平时,晶体管M5处于导通状态。因此,信号SP通过晶体管M5被供应到节点N1。另外,当信号CK2为低电平时,晶体管M5处于截止状态。另外,在期间T4a及期间T4b中,晶体管M5重复导通状态和截止状态。当晶体管M5处于导通状态时,信号SP通过晶体管M5被供应到节点N1。在图9A的电路10中,在期间T4a及期间T4b中,信号SP被供应到节点N1。由于信号SP为低电平,因此,容易将电位V1保持在节点N1中。

[0095] 图9B的电路10与图8A的电路10的不同点为图9B的电路10中的晶体管M5的第一端子与布线18连接。布线18的信号或电位具有使晶体管M1处于导通状态的功能。在本实施方式中,电位V2被供应到布线18。

[0096] 在期间T1a及期间T1b中,晶体管M5处于导通状态。因此,电位V2通过晶体管M5被供应到节点N1,因此节点N1的电位上升。然而,当节点N1的电位达到从晶体管M5的栅极的电位(例如,电位V2)减去晶体管M5的阈值电压的值时,晶体管M5成为截止状态。另外,在期间T2a

至期间T4a以及期间T2b至期间T4b中,晶体管M5处于截止状态。在图9B的电路10中,在期间T1a及期间T1b中,电位V2被供应到节点N1。因此,能够减少流过布线15的电流。

[0097] 另外,在图8B中,晶体管M5的栅极可以与图9A同样地连接于布线17,晶体管M5的第一端子也可以与图9B同样地连接于布线18。尤其是,当图8B中的晶体管M5的栅极连接于布线17时,在期间T4a及期间T4b中,通过晶体管M7a或晶体管M7b被供应到节点N1的电位V1通过晶体管M5被供应到布线15。因此,容易将电位V1保持在布线15中。

[0098] 另外,在图8A、图8B及图9B中,晶体管M5的第一端子可以连接于布线17。由此,例如在期间T1a、期间T4a、期间T1b或期间T4b的一部分中,晶体管M5的第一端子的电位降低,因此能够抑制晶体管M5的特性变化。

[0099] 另外,在图8A、图8B及图9B中,还可以另外设置其第一端子连接于布线15,其第二端子连接于节点N1,且其栅极连接于布线17的晶体管。由此,能够取得与图9A的电路10同样的效果。

[0100] 另外,在图8A、图8B及图9A中,还可以另外设置其第一端子连接于布线18或布线17,其第二端子连接于节点N1,且其栅极连接于布线15的晶体管。由此,能够取得与图9B的电路10同样的效果。

[0101] 另外,如图9A所示,在电路10包含其第一端子连接于布线15,其第二端子连接于节点N1,且其栅极连接于布线17的晶体管的情况下,可以不设置晶体管M6。

[0102] 另外,上述电路10中的晶体管M6的第一端子可以与布线11连接。

[0103] 另外,上述电路10的电路20的第一端子可以与布线12连接。

[0104] 另外,在上述电路10中,晶体管M6的第一端子可以与布线18或布线17连接,且晶体管M6的第二端子可以与节点N3连接。另外,还可以另外设置其第一端子连接于布线18或布线17,其第二端子连接于节点N3,且其栅极连接于布线14的晶体管。另外,还可以另外设置其第一端子连接于布线18或布线17,其第二端子连接于节点N2a,且其栅极连接于布线14的晶体管以及其第一端子连接于布线18或布线17,其第二端子连接于节点N2b,且其栅极连接于布线14的晶体管。

[0105] 接着,对可用于电路20的电路进行说明。

[0106] 图10A的电路20包含晶体管M8及晶体管M9。晶体管M8及晶体管M9的极性与晶体管M1相同。晶体管M8的第一端子与布线18连接,其第二端子与电路20的第二端子连接,栅极与布线18连接。晶体管M9的第一端子与布线13连接,其第二端子与电路20的第二端子连接,其栅极与电路20的第一端子连接。在期间T1a、期间T2a、期间T1b及期间T2b中,晶体管M8及晶体管M9都处于导通状态。另外,在期间T3a、期间T4a、期间T3b及期间T4b中,晶体管M8先处于导通状态然后成为截止状态,晶体管M9处于截止状态。

[0107] 另外,晶体管M8的第一端子也可以与布线11或布线17连接。另外,晶体管M8的栅极也可以与布线11或布线17连接。另外,晶体管M8的第一端子及栅极都可以与布线11或布线17连接。

[0108] 图10B的电路20包含晶体管M10至晶体管M13。晶体管M10至晶体管M13的极性与晶体管M1相同。晶体管M10的第一端子与布线18连接,其第二端子与电路20的第二端子连接。晶体管M11的第一端子与布线13连接,其第二端子与电路20的第二端子连接,其栅极与电路20的第一端子连接。晶体管M12的第一端子与布线18连接,其第二端子与晶体管M10的栅极

连接,其栅极与布线18连接。晶体管M13的第一端子与布线13连接,其第二端子与晶体管M10的栅极连接,其栅极与电路20的第一端子连接。在期间T1a、期间T2a、期间T1b及期间T2b中,晶体管M10处于截止状态,晶体管M11处于导通状态,晶体管M12处于导通状态,晶体管M13处于导通状态。在期间T3a、期间T4a、期间T3b及期间T4b中,晶体管M10处于导通状态,晶体管M11处于截止状态,晶体管M12先处于导通状态然后成为截止状态,晶体管M13处于截止状态。

[0109] 另外,晶体管M10的第一端子、晶体管M12的第一端子及晶体管M12的栅极也可以与布线11或布线17连接。由此,在期间T4a及期间T4b中,电路20可以输出交替重复高电平和低电平的信号。由此,能够抑制晶体管M2a及晶体管M2b的特性变化。

[0110] 图10C的电路20包含晶体管M14至晶体管M18以及电容元件C。晶体管M14至晶体管M18的极性与晶体管M1相同。晶体管M14的第一端子与布线18连接,第二端子与电路20的第二端子连接。晶体管M15的第一端子与布线13连接,其第二端子与电路20的第二端子连接,其栅极与电路20的第一端子连接。晶体管M16的第一端子与布线18连接,其栅极与晶体管M14的栅极连接。晶体管M17的第一端子与布线13连接,其第二端子与晶体管M16的第二端子连接,其栅极与电路20的第一端子连接。晶体管M18的第一端子与布线13连接,其第二端子与晶体管M14的栅极连接,其栅极与电路20的第一端子连接。电容元件C的第一电极与电路20的第一端子连接,其第二电极与晶体管M16的第二端子连接。在期间T1a、期间T2a、期间T1b及期间T2b中,晶体管M14处于截止状态,晶体管M15处于导通状态,晶体管M16处于截止状态,晶体管M17处于导通状态,晶体管M18处于导通状态。在期间T3a、期间T4a、期间T3b及期间T4b中,晶体管M14处于导通状态,其晶体管M15处于截止状态,晶体管M16处于导通状态,晶体管M17处于截止状态,晶体管M18处于截止状态。在图10C的电路20中,在期间T3a及期间T3b中,利用电容元件C的电容耦合使晶体管M14及晶体管M16处于导通状态,因而能够减少电路20的第二端子的电位的上升时间。因此,可以加快晶体管M2a或晶体管M2b变成导通状态的时机,因此进一步能够减少信号OUT的下降时间。

[0111] 本实施方式可以与其他实施方式等所记载的结构适当地组合而实施。

[0112] 实施方式3

[0113] 在本实施方式中,对包含根据本发明的一个方式的时序电路的移位寄存器电路进行说明。

[0114] 图11示出本实施方式的移位寄存器电路。图11的移位寄存器电路包含N(N为3以上的自然数)个时序电路30。注意,在图11中,只示出时序电路30[1]至时序电路30[3]。

[0115] 图11的移位寄存器电路的时序电路30使用图1B的时序电路。在时序电路30[i](i为2以上且N-1以下)中,信号SOUT[i-1]被输入到布线15,信号SELa被输入到布线16a,信号SELb被输入到布线16b,信号SOUT[i+1]被输入到布线14,电位V1被输入到布线13,信号SOUT[i]从布线12被输出。另外,在第“奇数”级的时序电路30中,信号SCK1被输入到布线11,在第“偶数”级的时序电路30中,信号SCK2被输入到布线11。另外,时序电路30[1]与时序电路30[i]的不同点为在时序电路30[1]中信号SSP被输入到布线11。另外,时序电路30[N]与时序电路30[i]的不同点为在时序电路30[N]中复位信号或信号SSP被输入到布线14。

[0116] 信号SCK1为与信号CK1同样的信号,信号SCK2为与信号CK2同样的信号。另外,信号SSP为移位寄存器电路的起始脉冲,是与信号SP同样的信号。另外,信号SOUT为与信号OUT同

样的信号。

[0117] 另外,当电路10采用如图9A那样的连接到布线17的结构时,在第“奇数”级的时序电路30中,对布线17输入信号SCK2,在第“偶数”级的时序电路30中,向布线17输入信号SCK1,即可。

[0118] 另外,当电路10采用如图9B那样的连接到布线18的结构时,在各级的时序电路30中,可以对布线18供应电位V2。

[0119] 本实施方式可以与其他实施方式等所记载的结构适当地组合而实施。

[0120] 实施方式4

[0121] 在本实施方式中,示出作为显示元件使用液晶元件的面板的结构的一个例子。

[0122] 图12A所示的面板60包含像素部61、扫描线驱动电路63以及信号线驱动电路64。另外,像素部61包含多个像素62、按行选择像素62的多个扫描线G以及对被选择的像素62供应图像信号的多个信号线S。各像素62与扫描线G中的至少一个及信号线S中的至少一个连接。另外,扫描线驱动电路63对扫描线G输出信号。信号线驱动电路64对信号线S输出图像信号。

[0123] 扫描线驱动电路63包含移位寄存器电路。移位寄存器电路的输出信号依次被输入到扫描线G。该扫描线驱动电路63的移位寄存器电路可以使用根据本发明的一个方式的时序电路。

[0124] 另外,设置在像素部61中的布线的种类及个数可以根据像素62的结构、个数及配置而决定。具体而言,在图12A所示的像素部61中例示出x列×y行的像素62被配置为矩阵状,且信号线S1至信号线Sx及扫描线G1至扫描线Gy设置在像素部61中的情况。

[0125] 图12B示出像素62的结构的一个例子。像素62包含液晶元件65、晶体管66以及电容元件67。液晶元件65包含第一电极(也被称为像素电极)、第二电极(也被称为对置电极)以及第一电极与第二电极之间的包含被施加电压的液晶材料的液晶层。晶体管66的源极和漏极中的一个与信号线S1至信号线Sx中的一个连接,其源极和漏极中的另一个与液晶元件65的第一电极连接,其栅极与扫描线G1至Gy中的一个连接。晶体管66具有控制信号线S与液晶元件65的第一电极之间的导通和非导通的功能。电容元件67的第一电极与液晶元件65的第一电极连接,其第二电极与未图示的电容线连接。电容元件67具有保持液晶元件65的第一电极与电容线之间的电位差的功能。

[0126] 另外,可以使每个像素62共同使用液晶元件65的第二电极。另外,各像素62的电容元件67的第二电极可以与同一个电容布线连接。另外,可以对电容线供应与液晶元件65的第二电极的电位相同的公共电位。

[0127] 另外,像素62还可以包含晶体管、二极管、电阻元件、电容元件、电感器等其他元件。

[0128] 另外,在本发明的一个方式中,在像素62中,作为用来保持储存在液晶元件65及电容元件67中的电荷的开关,优选使用截止态电流(off-state current)小的晶体管。具体而言,在图12B所示的像素62中,在晶体管66的截止态电流小的情况下,能够防止电荷通过晶体管66泄漏。由此,能够确实地保持对应于供应到液晶元件65及电容元件67的图像信号的电位,从而防止在一个帧期间内因电荷的泄漏而使液晶元件65的透射率发生变化,由此,能够提高所显示的图像的品质。此外,在晶体管66的截止态电流小的情况下,能够防止电荷通过晶体管66泄漏,由此能够减小电容元件67的面积。因此,面板60的透射率得到提高,由此,



抑制由背光灯或前光源等光供应部供应的光在面板60内部损失,能够降低液晶显示装置的耗电量。

[0129] 另外,在本实施方式中,说明作为显示元件使用液晶元件的面板,但是作为显示元件也可以使用发光元件。发光元件将LED(Light Emitting Diode:发光二极管)或OLED(Organic Light Emitting Diode:有机发光二极管)等由电流或电压控制亮度的元件包括在其范畴内。例如,OLED至少包含EL层、阳极及阴极。EL层由设置在阳极与阴极之间的单层或多层构成,其中至少一个层为含有发光物质的发光层。在EL层中,当阴极与阳极之间的电位差为发光元件的阈值电压 $V_{th}$ 以上时,电流被供应到发光元件,由此可以得到电致发光。电致发光包括从单重激发态回到基态时的发光(荧光)以及从三重激发态回到基态时的发光(磷光)。

[0130] 通过将根据本发明的一个方式的时序电路用于扫描线驱动电路63,能够减少扫描线G的信号的下陷时间。因此,能够防止对应于其他的行的图像信号被输入到像素62,能够保持更正确的图像信号,由此能够实现显示品质的提高。

[0131] 另外,当将根据本发明的一个方式的时序电路用于扫描线驱动电路63时,像素62中的晶体管66的极性优选与晶体管M1相同。另外,设置在与扫描线驱动电路63相同的衬底上的晶体管的极性优选与晶体管M1相同。

[0132] 本实施方式可以与其他实施方式等所记载的结构适当地组合而实施。

[0133] 实施方式5

[0134] 在根据本发明的一个方式的半导体装置中,既可以使用在非晶、微晶、多晶或单晶的硅或锗等的半导体膜中具有沟道形成区的晶体管,又可以使用在其带隙比硅宽且其本征载流子密度比硅低的半导体膜中具有沟道形成区的晶体管。

[0135] 作为硅,可以使用:通过等离子体CVD法等气相生长法或溅射法形成的非晶硅;通过激光退火法等处理使非晶硅晶化而得到的多晶硅;通过对单晶硅片注入氢离子等而使表层部剥离的单晶硅等。

[0136] 通过减少用作电子施主(施体)的水分或氢等杂质且减少氧缺陷来实现高纯度化的氧化物半导体(purified OS)是i型(本征半导体)或无限趋近于i型。因此,在被高纯度化的氧化物半导体膜中具有沟道形成区的晶体管的截止态电流显著小且可靠性高。

[0137] 具体而言,根据各种实验可以证明在被高纯度化的氧化物半导体膜中具有沟道形成区的晶体管的截止态电流小。例如,沟道宽度为 $1 \times 10^6 \mu\text{m}$ ,且沟道长度为 $10 \mu\text{m}$ 的元件也可以在源电极与漏电极之间的电压(漏极电压)为1V至10V的范围内获得截止态电流为半导体参数分析仪的测量极限以下,即 $1 \times 10^{-13} \text{A}$ 以下的特性。在此情况下,可知:以晶体管的沟道宽度归一化的截止态电流为 $100 \text{zA}/\mu\text{m}$ 以下。此外,在电路中将电容元件与晶体管连接且由该晶体管控制流入电容元件或从电容元件流出的电荷,并通过使用该电路来测量截止态电流。在该测量时,将被高纯度化的氧化物半导体膜用于上述晶体管的沟道形成区,且根据电容元件的每单位时间的电荷量变迁测量该晶体管的截止态电流。其结果,可知:当晶体管的源电极与漏电极之间的电压为3V时,可以获得更小的截止态电流,即几十 $\text{yA}/\mu\text{m}$ 。由此,将被高纯度化的氧化物半导体膜用于沟道形成区的晶体管的截止态电流比使用具有结晶性的硅的晶体管的截止态电流显著小。

[0138] 此外,在没有特别的说明的情况下,在n沟道晶体管中,本说明书所述的截止态电

流是指如下电流,即:在漏极的电位高于源极及栅极的电位的状态下,当以源极的电位为基准时的栅极的电位为0以下时,流过源极和漏极之间的电流。或者,在p沟道晶体管中,本说明书所述的截止态电流是指如下电流,即:在漏极的电位低于源极及栅极的电位的状态下,当以源极的电位为基准时的栅极的电位为0以上时,流过源极和漏极之间的电流。

[0139] 接着,参照附图对在氧化物半导体膜中具有沟道形成区的晶体管的一个例子进行说明。

[0140] 图13A示出设置在像素中的晶体管201以及设置在驱动电路中的晶体管202的截面结构的一个例子。

[0141] 图13A所示的晶体管201包含设置在绝缘表面上的用作栅极的导电膜204、导电膜204上的绝缘膜205、绝缘膜205上的设置在与导电膜204重叠的位置的半导体膜206、半导体膜206上的用作源极或漏极的导电膜207及导电膜208。另外,在图13A中,在半导体膜206、导电膜207及导电膜208上依次层叠有绝缘膜209及绝缘膜210。晶体管201也可以作为构成要素包含绝缘膜209及绝缘膜210。另外,在绝缘膜209及绝缘膜210上设置有绝缘膜211。另外,在绝缘膜209、绝缘膜210及绝缘膜211中设置有开口,并且在绝缘膜211上设置有通过该开口部与导电膜207连接的导电膜203。

[0142] 另外,导电膜203用作显示元件的第一电极。液晶元件例如包含第一电极、第二电极以及从第一电极及第二电极对其施加电场的液晶层。因此,当将液晶元件设置在晶体管201上时,在绝缘膜211上除了导电膜203之外还设置用作第二电极的导电膜及液晶层,即可。另外,在显示元件为OLED的情况下,在绝缘膜211上除了用作阳极和阴极中的一个的导电膜203之外还设置用作阳极和阴极中的另一个的导电膜及EL层,即可。

[0143] 另外,通过作为绝缘膜211使用树脂,可以防止形成导电膜203的表面产生凹凸。换言之,可以提高形成导电膜203的表面的平坦性。具体而言,绝缘膜211可以使用丙烯酸树脂、环氧树脂、苯并环丁烯类树脂、聚酰亚胺、聚酰胺等有机材料。除了上述有机材料之外,还可以使用硅酮树脂等。另外,通过层叠多个由这些材料形成的绝缘膜,可以形成平坦性更高的绝缘膜211。

[0144] 另外,作为导电膜203,可以使用除了氧化铟、氧化铟-氧化锡(ITO:Indium Tin Oxide)、包含硅或氧化硅的氧化铟-氧化锡、氧化铟-氧化锌(Indium Zinc Oxide)、包含氧化钨及氧化锌的氧化铟、包含氮的Al-Zn类氧化物半导体、包含氮的Zn类氧化物半导体、包含氮的Sn-Zn类氧化物半导体、金(Au)、铂(Pt)、镍(Ni)、钨(W)、铬(Cr)、钼(Mo)、铁(Fe)、钴(Co)、铜(Cu)、钯(Pd)、钛(Ti)之外,还可以使用属于元素周期表中第1族或第2族的元素,即:锂(Li)和铯(Cs)等碱金属;镁(Mg)、钙(Ca)和锶(Sr)等碱土金属;包含上述金属的合金(MgAg、AlLi);铕(Eu)和镱(Yb)等稀土金属;包含上述金属的合金等。另外,例如在通过溅射法或蒸镀法使用上述材料形成导电膜之后,通过使用光刻法的蚀刻将该导电膜加工为所希望的形状,可以形成导电膜203。

[0145] 图13A所示的晶体管202包含设置在绝缘表面上的用作栅极的导电膜212、导电膜212上的绝缘膜205、绝缘膜205上的设置在与导电膜212重叠的位置的半导体膜213、半导体膜213上的用作源极或漏极的导电膜214及导电膜215。另外,在图13A中,在半导体膜213、导电膜214及导电膜215上依次层叠有绝缘膜209及绝缘膜210。另外,在绝缘膜209及绝缘膜210上设置有使用树脂形成的绝缘膜211。

[0146] 另外,在图13A中,也可以将用作驱动电路中的晶体管202的背栅极的导电膜以及用作像素中的液晶元件的电极的导电膜203形成在绝缘膜211上。在采用上述结构的情况下,通过利用蚀刻等将一个导电膜加工为所希望的形状,可以形成导电膜203及用作背栅极的导电膜。由此,可以设置用作背栅极的导电膜,而不增加半导体装置的制造工序。背栅极可以处于浮动状态,也可以处于从外部被供应电位的状态。在采用后者时,既可以对通常的栅极(前栅极)及背栅极供应相同电位的电位,又可以只对背栅极供应接地电位等固定电位。通过控制对背栅极供应的电位,可以控制晶体管202的阈值电压。另外,通过设置背栅极,沟道形成区增加,从而可以增加漏电流。此外,通过设置背栅极,在氧化物半导体膜中容易形成耗尽层,由此可以改善S值。

[0147] 另外,在图13A中,例示出在半导体膜206及半导体膜213与绝缘膜211之间设置有绝缘膜209及绝缘膜210的情况,但是设置在半导体膜206及半导体膜213与绝缘膜211之间的绝缘膜既可以为单层,又可以为三层以上的叠层。

[0148] 另外,绝缘膜210优选具有如下特征,即包含超过化学计量组成的氧,且具有被加热时将上述氧的一部分供应到半导体膜206的功能。此外,优选的是,绝缘膜210中的缺陷少,典型地,通过ESR测量在起因于硅的悬空键的 $g=2.001$ 处呈现的信号自旋密度优选为 $1 \times 10^{18}$  spins/cm<sup>3</sup>以下。注意,如果在将绝缘膜210直接设置在半导体膜206及半导体膜213上时半导体膜206受到损伤,则如图13A所示,优选将绝缘膜209设置在半导体膜206及半导体膜213与绝缘膜210之间。绝缘膜209优选为与绝缘膜210相比在形成时半导体膜206受到的损伤小,且具有使氧透过的功能的绝缘膜。注意,如果能够在抑制半导体膜206及半导体膜213受到的损伤的同时将绝缘膜210直接形成在半导体膜206及半导体膜213上,则不一定需要设置绝缘膜209。

[0149] 此外,优选的是,绝缘膜209中的缺陷少,典型地,通过ESR测量在起因于硅的悬空键的 $g=2.001$ 处呈现的信号自旋密度为 $3 \times 10^{17}$  spins/cm<sup>3</sup>以下。这是因为如果包含在绝缘膜209中的缺陷密度多,氧则与该缺陷键合,绝缘膜209中的氧的透过量有可能减少。

[0150] 此外,优选的是,绝缘膜209与半导体膜206及半导体膜213之间的界面的缺陷少,典型地,通过在与膜表面平行的方向上施加磁场的ESR测量在起因于用作半导体膜206及半导体膜213的氧化物半导体中的氧缺陷的 $g=1.93$ 处呈现的信号自旋密度为 $1 \times 10^{17}$  spins/cm<sup>3</sup>以下,更优选为检测下限以下的绝缘膜。

[0151] 具体而言,绝缘膜209或绝缘膜210可以使用氧化硅膜或氮氧化硅膜。

[0152] 另外,图13B示出在图13A所示的截面结构的基础上还设置绝缘膜210与绝缘膜211之间的绝缘膜217时的晶体管201、与晶体管201连接的导电膜203以及晶体管202的截面结构的一个例子。绝缘膜217优选具有防止氧、氢、水扩散的阻挡效果。或者,绝缘膜217优选具有防止氢、水扩散的阻挡效果。

[0153] 绝缘膜的密度越高而越致密或悬空键越少而在化学上越稳定,示出越高的阻挡效果。对氧、氢、水有阻挡效果的绝缘膜例如可以使用氧化铝、氮氧化铝、氧化镓、氮氧化镓、氧化钪、氮氧化钪、氧化铪、氮氧化铪等形成。对氢、水有阻挡效果的绝缘膜例如可以使用氮化硅膜、氮氧化硅膜等形成。

[0154] 当绝缘膜217对水、氢等具有阻挡效果时,可以防止存在于使用树脂形成的绝缘膜211或面板外部的的水、氢等杂质侵入半导体膜206或半导体膜213。当半导体膜206或半导体

膜213使用氧化物半导体时,侵入氧化物半导体的水或氢的一部分成为电子施主(施体),因此通过使用上述具有阻挡效果的绝缘膜217,可以防止晶体管201及晶体管202的阈值电压因施主的生成而漂移。

[0155] 当半导体膜206或半导体膜213使用氧化物半导体时,如果绝缘膜217对氧具有阻挡效果,则可以防止氧化物半导体中的氧扩散到外部。因此,可以降低在氧化物半导体中成为施主的氧缺陷,由此可以防止晶体管201及晶体管202的阈值电压因施主的生成而漂移。

[0156] 当绝缘膜217和绝缘膜211的密接性比绝缘膜210和绝缘膜211的密接性高时,通过使用绝缘膜217,可以防止绝缘膜211剥离。

[0157] 另外,当半导体膜206及半导体膜213使用氧化物半导体膜时,作为氧化物半导体,优选至少包含铟(In)或锌(Zn)。另外,作为降低使用该氧化物半导体的晶体管的电特性的不均匀的稳定剂,除了上述元素以外优选还包含镓(Ga)。此外,作为稳定剂优选包含锡(Sn)。另外,作为稳定剂优选包含铪(Hf)。此外,作为稳定剂优选包含铝(Al)。此外,作为稳定剂优选包含锆(Zr)。

[0158] 在氧化物半导体中,In-Ga-Zn类氧化物、In-Sn-Zn类氧化物等与碳化硅、氮化镓或氧化镓不同,可以通过溅射法或湿式法制造电特性优良的晶体管,并具有生产性高等的优点。此外,与使用碳化硅、氮化镓或氧化镓的情况不同,在使用上述In-Ga-Zn类氧化物的情况下,可以在玻璃衬底上制造电特性优良的晶体管。此外,可以对应于衬底的大型化。

[0159] 此外,作为其他稳定剂,也可以包含镧系元素的镧(La)、铈(Ce)、镨(Pr)、钕(Nd)、钐(Sm)、铕(Eu)、钆(Gd)、铽(Tb)、镝(Dy)、钬(Ho)、铒(Er)、铥(Tm)、镱(Yb)、镥(Lu)中的一种或多种。

[0160] 例如,作为氧化物半导体,可以使用:氧化铟、氧化镓、氧化锡、氧化锌、In-Zn类氧化物、Sn-Zn类氧化物、Al-Zn类氧化物、Zn-Mg类氧化物、Sn-Mg类氧化物、In-Mg类氧化物、In-Ga类氧化物、In-Ga-Zn类氧化物(也称为IGZO)、In-Al-Zn类氧化物、In-Sn-Zn类氧化物、Sn-Ga-Zn类氧化物、Al-Ga-Zn类氧化物、Sn-Al-Zn类氧化物、In-Hf-Zn类氧化物、In-La-Zn类氧化物、In-Pr-Zn类氧化物、In-Nd-Zn类氧化物、In-Sm-Zn类氧化物、In-Eu-Zn类氧化物、In-Gd-Zn类氧化物、In-Tb-Zn类氧化物、In-Dy-Zn类氧化物、In-Ho-Zn类氧化物、In-Er-Zn类氧化物、In-Tm-Zn类氧化物、In-Yb-Zn类氧化物、In-Lu-Zn类氧化物、In-Sn-Ga-Zn类氧化物、In-Hf-Ga-Zn类氧化物、In-Al-Ga-Zn类氧化物、In-Sn-Al-Zn类氧化物、In-Sn-Hf-Zn类氧化物、In-Hf-Al-Zn类氧化物。

[0161] 另外,例如,In-Ga-Zn类氧化物是指包含In、Ga和Zn的氧化物,而对In、Ga、Zn的比率没有限制。另外,也可以包含In、Ga、Zn以外的金属元素。In-Ga-Zn类氧化物在无电场时的电阻足够高而能够充分地降低截止态电流且迁移率也高。

[0162] 例如,可以使用其原子比为In:Ga:Zn=1:1:1(=1/3:1/3:1/3)或In:Ga:Zn=2:2:1(=2/5:2/5:1/5)的In-Ga-Zn类氧化物或具有与其类似的组成的氧化物。或者,优选使用其原子比为In:Sn:Zn=1:1:1(=1/3:1/3:1/3)、In:Sn:Zn=2:1:3(=1/3:1/6:1/2)或In:Sn:Zn=2:1:5(=1/4:1/8:5/8)的In-Sn-Zn类氧化物或具有与其类似的组成的氧化物。

[0163] 例如,In-Sn-Zn类氧化物比较容易得到高迁移率。但是,使用In-Ga-Zn类氧化物也可以通过降低块体内缺陷密度而提高迁移率。

[0164] 另外,在本发明的一个方式中,可以将包含单晶、多晶(polycrystal)或非晶等状

态的氧化物半导体膜用于晶体管。优选氧化物半导体膜为CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor:C轴取向结晶氧化物半导体)膜。

[0165] CAAC-OS膜不是完全的单晶,也不是完全的非晶。另外,在大多情况下,包含在CAAC-OS膜中的结晶部的尺寸相当于一个边长小于100nm的立方体。在利用透射电子显微镜(TEM:Transmission Electron Microscope)观察到的图像中,不能明确地观察到CAAC-OS膜中的非晶部与结晶部之间的边界。另外,在TEM的图像中,不能明确地观察到CAAC-OS膜中的晶界(grain boundary)。因此,在CAAC-OS膜中,起因于晶界的电子迁移率的降低得到抑制。

[0166] 在包括在CAAC-OS膜中的每个结晶部中,例如c轴在平行于形成有CAAC-OS膜的表面的法线向量或CAAC-OS膜的表面的法线向量的方向上一致。并且,在每个结晶部中,当从垂直于ab面的方向看时形成有三角形或六角形的原子排列,且当从垂直于c轴的方向看时,金属原子排列为层状或者金属原子和氧原子排列为层状。另外,在不同的结晶部中a轴及b轴的方向可以不同。在本说明书中,在只记载为“垂直”时,包括 $85^{\circ}$ 以上且 $95^{\circ}$ 以下的范围。另外,当只记载为“平行”时,包括 $-5^{\circ}$ 以上且 $5^{\circ}$ 以下的范围。

[0167] 另外,在CAAC-OS膜中,结晶部的分布也可以不均匀。例如,在CAAC-OS膜的形成过程中,在从氧化物半导体膜的表面一侧产生结晶生长的情况下,有时氧化物半导体膜的表面附近的结晶部所占的比例高于形成有氧化物半导体膜的表面附近的结晶部所占的比例。另外,当将杂质添加到CAAC-OS膜时,有时在添加有该杂质的区域中结晶部非晶化。

[0168] 因为包括在CAAC-OS膜中的结晶部的c轴在平行于形成有CAAC-OS膜的表面的法线向量或CAAC-OS膜的表面的法线向量的方向上一致,所以有时根据CAAC-OS膜的形状(形成有CAAC-OS膜的表面的截面形状或CAAC-OS膜的表面的截面形状)c轴的方向可以彼此不同。注意,结晶部的c轴方向是平行于形成有CAAC-OS膜的表面的法线向量或表面的法线向量的方向。结晶部通过成膜或成膜后的加热处理等的晶化处理来形成。

[0169] 在使用CAAC-OS膜的晶体管中,能够降低起因于可见光或紫外光的照射的电特性的变动。因此,该晶体管的可靠性高。

[0170] CAAC-OS膜例如使用多晶的氧化物半导体溅射靶材利用溅射法形成。当离子碰撞到该溅射靶材时,有时包含在溅射靶材中的结晶区域从a-b面劈开,即具有平行于a-b面的面的平板状或颗粒状的溅射粒子剥离。此时,由于该平板状的溅射粒子保持结晶状态到达衬底,可以形成CAAC-OS膜。

[0171] 另外,为了形成CAAC-OS膜,优选应用如下条件。

[0172] 通过降低成膜时的杂质的混入,可以抑制因杂质导致的结晶状态的破坏。例如,只要降低存在于成膜室内的杂质(氢、水、二氧化碳及氮等)的浓度,即可。另外,只要降低成膜气体中的杂质浓度,即可。具体而言,使用露点为 $-80^{\circ}\text{C}$ 以下,优选为 $-100^{\circ}\text{C}$ 以下的成膜气体。

[0173] 另外,通过增高成膜时的衬底加热温度,在溅射粒子到达衬底之后发生溅射粒子的迁移。具体而言,在将衬底加热温度设定为 $100^{\circ}\text{C}$ 以上且 $740^{\circ}\text{C}$ 以下,优选为 $200^{\circ}\text{C}$ 以上且 $500^{\circ}\text{C}$ 以下的状态下进行成膜。通过增高成膜时的衬底加热温度,当平板状的溅射粒子到达衬底时,在衬底上发生迁移,溅射粒子的平坦的面附着到衬底。

[0174] 另外,优选的是,通过增高成膜气体中的氧比率并对电力进行最优化,减轻成膜时

的等离子体损伤。将成膜气体中的氧比率设定为30vol.%以上,优选为100vol.%。

[0175] 以下,作为溅射靶材的一个例子示出In-Ga-Zn类氧化物靶材。

[0176] 将InO<sub>x</sub>粉末、GaO<sub>y</sub>粉末及ZnO<sub>z</sub>粉末以规定的摩尔数比混合,进行加压处理,然后在1000℃以上且1500℃以下的温度下进行加热处理,由此得到多晶的In-Ga-Zn类氧化物靶材。另外,X、Y及Z为任意正数。在此,InO<sub>x</sub>粉末、GaO<sub>y</sub>粉末及ZnO<sub>z</sub>粉末的规定的摩尔数比例例如为2:2:1、8:4:3、3:1:1、1:1:1、4:2:3或3:1:2。另外,粉末的种类及混合时的摩尔数比可以根据所制造的溅射靶材适当地改变。

[0177] 另外,半导体膜206及半导体膜213也可以具有使用金属的原子数比彼此不同的金属氧化物的靶材形成的多个氧化物半导体膜的层叠结构。例如,可以以靶材的原子数比为In:Ga:Zn=1:1:1的方式形成第一层的氧化物半导体膜,且以靶材的原子数比为In:Ga:Zn=3:1:2的方式形成第二层的氧化物半导体膜。另外,也可以以靶材的原子数比为In:Ga:Zn=1:3:2的方式形成第一层的氧化物半导体膜,以靶材的原子数比为In:Ga:Zn=3:1:2的方式形成第二层的氧化物半导体膜,且以靶材的原子数比为In:Ga:Zn=1:1:1的方式形成第三层的氧化物半导体膜。

[0178] 或者,半导体膜206及半导体膜213也可以具有使用包含不同金属的金属氧化物的靶材来形成的多个氧化物半导体膜的叠层结构。

[0179] 本实施方式可以与其他实施方式等所记载的结构适当地组合而实施。

[0180] 实施方式6

[0181] 举出液晶显示装置的例子而参照图14A至图14C对根据本发明的一个方式的半导体装置的外观进行说明。图14A为利用密封材料4005粘合衬底4001和衬底4006而成的液晶显示装置的俯视图。图14B为沿着图14A的虚线A1-A2的截面图,图14C为沿着图14A的虚线B1-B2的截面图。另外,图14A至图14C示出FFS(Fringe Field Switching:边缘电场转换)模式的液晶显示装置。

[0182] 以包围设置在衬底4001上的像素部4002和一对扫描线驱动电路4004的方式设置有密封材料4005。另外,在像素部4002和扫描线驱动电路4004上设置有衬底4006。因此,像素部4002和扫描线驱动电路4004由衬底4001、密封材料4005和衬底4006密封。另外,在衬底4001上的与由密封材料4005围绕的区域不同的区域中安装有信号线驱动电路4003。

[0183] 另外,可以在扫描线驱动电路4004中使用根据本发明的一个方式的时序电路。由此,可以减小晶体管的W/L,因此可以减小边框的宽度。

[0184] 设置在衬底4001上的像素部4002和扫描线驱动电路4004包含多个晶体管。图14B例示出像素部4002中的晶体管4010及扫描线驱动电路4004中的晶体管4022。另外,图14C例示出像素部4002中的晶体管4010。

[0185] 在像素部4002及扫描线驱动电路4004中,在晶体管4010及晶体管4022上设置有使用树脂形成的绝缘膜4020。另外,在绝缘膜4020上设置有液晶元件4023的第一电极4021及导电膜4024。可以将导电膜4024用作储存在绝缘膜4020中的电荷的放电路径。或者,也可以将导电膜4024及绝缘膜4020作为晶体管4022的构成要素用作背栅极。

[0186] 在绝缘膜4020、第一电极4021及导电膜4024上设置有绝缘膜4025。绝缘膜4025优选对水、氢等具有高的阻挡效果。绝缘膜4025可以使用氮化硅膜、氮氧化硅膜等。

[0187] 如图14B及图14C所示,在本发明的一个方式中,绝缘膜4020在面板端部被去除。另

外,绝缘膜4020上的绝缘膜4025在密封材料4005与衬底4001之间与用作晶体管4010及晶体管4022的栅极绝缘膜的绝缘膜4026接触。

[0188] 在绝缘膜4025及绝缘膜4026对水、氢等具有高的阻挡效果的情况下,通过在面板端部中使绝缘膜4025与绝缘膜4026接触,能够防止水、氢等从面板外部或密封材料4005侵入晶体管4010及晶体管4022中的半导体膜。

[0189] 在绝缘膜4025上设置有液晶元件4023的第二电极4027。另外,第二电极4027及绝缘膜4025与衬底4006之间设置有液晶层4028。液晶元件4023包含第一电极4021、第二电极4027及液晶层4028。

[0190] 在液晶元件4023中,包含在液晶层4028中的液晶分子的取向根据供应到第一电极4021与第二电极4027之间的电压的值而发生变化,使透射率发生变化。因此,通过根据输入到第一电极4021的图像信号的电位控制液晶元件4023的透射率,液晶元件4023可以显示灰度。

[0191] 另外,在本发明的一个方式中,作为液晶显示装置的液晶层,例如可以使用被分类为热致液晶或溶致液晶的液晶材料。或者,作为液晶层,例如可以使用被分类为向列型液晶、近晶型液晶、胆甾型(cholesteric)液晶或盘状液晶的液晶材料。或者,作为液晶层,例如可以使用被分类为铁电液晶、反铁电液晶的液晶材料。或者,作为液晶层,例如可以使用被分类为主链型高分子液晶、侧链型高分子液晶或复合型高分子液晶等的高分子液晶或者低分子液晶的液晶材料。或者,作为液晶层,例如可以使用被分类为高分子分散型液晶(PDLC)的液晶材料。

[0192] 另外,也可以将不使用取向膜的呈现蓝相的液晶用于液晶层。蓝相是液晶相的一种,是指当使胆甾型液晶的温度上升时即将从胆甾相转变到均质相之前出现的相。由于蓝相只出现在较窄的温度范围内,所以添加手性试剂或紫外线固化树脂来改善温度范围。由于包含呈现蓝相的液晶和手性试剂的液晶组成物的响应速度快,即为1msec以下,并且其具有光学各向同性,所以不需要取向处理且视角依赖性小,因此是优选的。

[0193] 另外,在本发明的一个方式中,在液晶显示装置中,既可以利用滤色片显示彩色图像,又可以通过依次使发射不同颜色的多个光源点亮来显示彩色图像。

[0194] 另外,来自信号线驱动电路4003的图像信号或来自FPC 4018的各种控制信号及电源电位通过引线4030及引线4031被供应到扫描线驱动电路4004或像素部4002。

[0195] 此外,在本实施方式中,例示出作为液晶的驱动方法采用FFS(Fringe Field Switching)模式的情况,但是也可以采用TN(Twisted Nematic:扭转向列)模式、STN(Super Twisted Nematic:超扭曲向列)模式、VA(Vertical Alignment:垂直取向)模式、MVA(Multi-domain Vertical Alignment:多畴垂直取向)模式、IPS(In-Plane Switching:平面内切换)模式、OCB(Optically Compensated Birefringence:光学补偿双折射)模式、蓝相模式、TBA(Transverse Bend Alignment:横向弯曲取向)模式、VA-IPS模式、ECB(Electrically Controlled Birefringence:电控双折射)模式、FLC(Ferroelectric Liquid Crystal:铁电液晶)模式、AFLC(AntiFerroelectric Liquid Crystal:反铁电液晶)模式、PDLC(Polymer Dispersed Liquid Crystal:聚合物分散型液晶)模式、PNLC(Polymer Network Liquid Crystal:聚合物网路型液晶)模式、宾主模式、ASV(Advanced Super View:高级超视觉)模式等。

[0196] 本实施方式可以与其他实施方式等所记载的结构适当地组合而实施。

[0197] 实施方式7

[0198] 根据本发明的一个方式的半导体装置可以用于显示设备、个人计算机或具备记录媒体的图像再现装置(典型的是,能够再现记录媒体如数字通用磁盘(DVD:Digital Versatile Disc)等并具有可以显示其图像的显示器的装置)中。另外,作为可以使用根据本发明的一个方式的半导体装置电子设备,可以举出移动电话、包括便携式游戏机的游戏机、个人数字助理、电子书阅读器、视频摄像机、数码相机、护目镜型显示器(头部安装显示器)、导航系统、音频再现装置(汽车音响系统、数字音频播放器等)、复印机、传真机、打印机、多功能打印机、自动柜员机(ATM)以及自动售货机等。图15A至图15E示出这些电子设备的具体例子。

[0199] 图15A是一种便携式游戏机,该便携式游戏机包括框体5001、框体5002、显示部5003、显示部5004、麦克风5005、扬声器5006、操作键5007以及触屏笔5008等。可以将根据本发明的一个方式的半导体装置用于显示部5003、显示部5004或其他电路。注意,虽然图15A所示的便携式游戏机包括两个显示部5003和显示部5004,但是便携式游戏机所包括的显示部的个数不限于两个。

[0200] 图15B是一种显示设备,该显示设备包括框体5201、显示部5202以及支撑台5203等。可以将根据本发明的一个方式的半导体装置用于显示部5202或其他电路。另外,显示设备包括用于个人计算机、TV播放接收、广告显示等的所有信息显示用显示设备。

[0201] 图15C是一种笔记本式个人计算机,该笔记本式个人计算机包括框体5401、显示部5402、键盘5403以及指点装置5404等。可以将根据本发明的一个方式的半导体装置用于显示部5402或其他电路。

[0202] 图15D是一种个人数字助理,该个人数字助理包括第一框体5601、第二框体5602、第一显示部5603、第二显示部5604、连接部5605以及操作键5606等。第一显示部5603设置在第一框体5601中,第二显示部5604设置在第二框体5602中。而且,第一框体5601和第二框体5602由连接部5605连接,由连接部5605可以改变第一框体5601和第二框体5602之间的角度。第一显示部5603的映像也可以根据连接部5605所形成的第一框体5601和第二框体5602之间的角度切换。可以将根据本发明的一个方式的半导体装置用于第一显示部5603、第二显示部5604或其他电路。此外,也可以将具有位置输入功能的半导体装置用于第一显示部5603和第二显示部5604中的至少一个。另外,通过在半导体装置中设置触摸屏,可以附加位置输入功能。或者,通过将被称为光传感器的光电转换元件设置在半导体装置的像素部中,也可以附加位置输入功能。

[0203] 图15E是一种视频摄像机,该视频摄像机包括第一框体5801、第二框体5802、显示部5803、操作键5804、镜头5805以及连接部5806等。操作键5804及镜头5805设置在第一框体5801中,显示部5803设置在第二框体5802中。而且,第一框体5801和第二框体5802由连接部5806连接,由连接部5806可以改变第一框体5801和第二框体5802之间的角度。显示部5803的映像也可以根据连接部5806所形成的第一框体5801和第二框体5802之间的角度切换。可以将根据本发明的一个方式的半导体装置用于显示部5803或其他电路。

[0204] 本发明的一个方式的范畴包括以下所示的半导体装置。

[0205] 本发明的一个方式为一种半导体装置,该半导体装置包括晶体管M2a、晶体管M2b、



开关S3a、开关S3b、开关S4a及开关S4b。晶体管M2a的第一端子与布线13连接,其第二端子与布线12连接。晶体管M2b的第一端子与布线13连接,其第二端子与布线12连接。开关S3a的第二端子与晶体管M2a的栅极连接。开关S3b的第一端子与开关S3a的第一端子连接,第二端子与晶体管M2b的栅极连接。开关S4a的第一端子与布线14连接,第二端子与晶体管M2a的栅极连接。开关S4b的第一端子与布线14连接,其第二端子与晶体管M2b的栅极连接(参照图16A)。

[0206] 另外,上述半导体装置还可以包括期间Ta及期间Tb,在期间Ta中,开关S3a及开关S4b处于接通状态,且开关S3b及开关S4a处于关断状态,在期间Tb中,开关S3a及开关S4b处于关断状态,且开关S3b及开关S4a处于接通状态。另外,上述半导体装置还可以包括开关S3a、开关S3b、开关S4a及开关S4b都处于关断状态的期间。

[0207] 另外,在上述半导体装置中,期间Ta还可以包括期间T3a及期间T4a,在期间T3a中,开关S3a的第一端子的电位为使晶体管M2a处于导通状态的值,且布线14的电位为使晶体管M2b处于导通状态的值,在期间T4a中,开关S3a的第一端子的电位为使晶体管M2a处于导通状态的值,且布线14的电位为使晶体管M2b处于截止状态的值。另外,期间Tb还可以包括期间T3b及期间T4b,在期间T3b中,开关S3b的第一端子的电位为使晶体管M2b处于导通状态的值,且布线14的电位为使晶体管M2a处于导通状态的值,在期间T4b中,开关S3b的第一端子的电位为使晶体管M2b处于导通状态的值,且布线14的电位为使晶体管M2a处于截止状态的值。

[0208] 另外,上述半导体装置还可以包括晶体管M8及晶体管M9。晶体管M8的第一端子与布线18连接,其第二端子与开关S3a的第一端子连接,其栅极与布线18连接。晶体管M9的第一端子与布线13连接,其第二端子与开关S3a的第一端子连接(参照图16B)。

[0209] 另外,本发明的一个方式是一种半导体装置,该半导体装置包括晶体管M1、晶体管M2a及晶体管M2b。晶体管M1的第一端子与布线11连接,其第二端子与布线12连接。晶体管M2a的第一端子与布线13连接,其第二端子与布线12连接。晶体管M2b的第一端子与布线13连接,其第二端子与布线12连接(参照图16C)。另外,上述半导体装置包括:晶体管M1处于导通状态,且晶体管M2a及晶体管M2b处于截止状态的期间(期间T1a、期间T2a、期间T1b或期间T2b);晶体管M1处于截止状态,且晶体管M2a及晶体管M2b处于导通状态的期间(例如,期间T3a或期间T3b);晶体管M1及晶体管M2b处于截止状态,且晶体管M2a处于导通状态的期间(例如,期间T4a);晶体管M1及晶体管M2a处于截止状态,且晶体管M2b处于导通状态的期间(例如,期间T4b)。

[0210] 本实施方式可以与其他实施方式等所记载的结构适当地组合而实施。

[0211] 附图标记说明

[0212] C1 时钟信号

[0213] C 电容元件

[0214] CK1 信号

[0215] CK2 信号

[0216] G 扫描线

[0217] G1 扫描线

[0218] Gy 扫描线

- [0219] M1 晶体管
- [0220] M2a 晶体管
- [0221] M2b 晶体管
- [0222] M3a 晶体管
- [0223] M3b 晶体管
- [0224] M4a 晶体管
- [0225] M4b 晶体管
- [0226] M5 晶体管
- [0227] M6 晶体管
- [0228] M7a 晶体管
- [0229] M7b 晶体管
- [0230] M8 晶体管
- [0231] M9 晶体管
- [0232] M10 晶体管
- [0233] M11 晶体管
- [0234] M12 晶体管
- [0235] M13 晶体管
- [0236] M14 晶体管
- [0237] M15 晶体管
- [0238] M16 晶体管
- [0239] M17 晶体管
- [0240] M18 晶体管
- [0241] N1 节点
- [0242] N2a 节点
- [0243] N2b 节点
- [0244] N3 节点
- [0245] S 信号线
- [0246] S<sub>x</sub> 信号线
- [0247] S1 信号线
- [0248] S3a 开关
- [0249] S3b 开关
- [0250] S4a 开关
- [0251] S4b 开关
- [0252] SCK1 信号
- [0253] SCK2 信号
- [0254] T<sub>a</sub> 期间
- [0255] T<sub>b</sub> 期间
- [0256] T1a 期间
- [0257] T1b 期间

- [0258] T2a 期间
- [0259] T2b 期间
- [0260] T3a 期间
- [0261] T3b 期间
- [0262] T4a 期间
- [0263] T4b 期间
- [0264] T13 晶体管
- [0265] T14 晶体管
- [0266] T15 晶体管
- [0267] V1 电位
- [0268] V2 电位
- [0269] Vg1 扫描信号
- [0270] VN1 电位
- [0271] VN2a 电位
- [0272] VN2b 电位
- [0273] SP 信号
- [0274] RE 信号
- [0275] OUT 信号
- [0276] SELa 信号
- [0277] SELb 信号
- [0278] SSP 信号
- [0279] SOUT 信号
- [0280] 10 电路
- [0281] 11 布线
- [0282] 12 布线
- [0283] 13 布线
- [0284] 14 布线
- [0285] 15 布线
- [0286] 16a 布线
- [0287] 16b 布线
- [0288] 17 布线
- [0289] 18 布线
- [0290] 20 电路
- [0291] 30 时序电路
- [0292] 60 面板
- [0293] 61 像素部
- [0294] 62 像素
- [0295] 63 扫描线驱动电路
- [0296] 64 信号线驱动电路

- [0297] 65 液晶元件
- [0298] 66 晶体管
- [0299] 67 电容元件
- [0300] 201 晶体管
- [0301] 202 晶体管
- [0302] 203 导电膜
- [0303] 204 导电膜
- [0304] 205 绝缘膜
- [0305] 206 半导体膜
- [0306] 207 导电膜
- [0307] 208 导电膜
- [0308] 209 绝缘膜
- [0309] 210 绝缘膜
- [0310] 211 绝缘膜
- [0311] 212 导电膜
- [0312] 213 半导体膜
- [0313] 214 导电膜
- [0314] 215 导电膜
- [0315] 217 绝缘膜
- [0316] 4001 衬底
- [0317] 4002 像素部
- [0318] 4003 信号线驱动电路
- [0319] 4004 扫描线驱动电路
- [0320] 4005 密封材料
- [0321] 4006 衬底
- [0322] 4010 晶体管
- [0323] 4018 FPC
- [0324] 4020 绝缘膜
- [0325] 4021 电极
- [0326] 4022 晶体管
- [0327] 4023 液晶元件
- [0328] 4024 导电膜
- [0329] 4025 绝缘膜
- [0330] 4026 绝缘膜
- [0331] 4027 电极
- [0332] 4028 液晶层
- [0333] 4030 布线
- [0334] 5001 框体
- [0335] 5002 框体

- [0336] 5003 显示部
- [0337] 5004 显示部
- [0338] 5005 麦克风
- [0339] 5006 扬声器
- [0340] 5007 操作键
- [0341] 5008 触屏笔
- [0342] 5201 框体
- [0343] 5202 显示部
- [0344] 5203 支撑台
- [0345] 5401 框体
- [0346] 5402 显示部
- [0347] 5403 键盘
- [0348] 5404 指点装置
- [0349] 5601 框体
- [0350] 5602 框体
- [0351] 5603 显示部
- [0352] 5604 显示部
- [0353] 5605 连接部
- [0354] 5606 操作键
- [0355] 5801 框体
- [0356] 5802 框体
- [0357] 5803 显示部
- [0358] 5804 操作键
- [0359] 5805 镜头
- [0360] 5806 连接部。

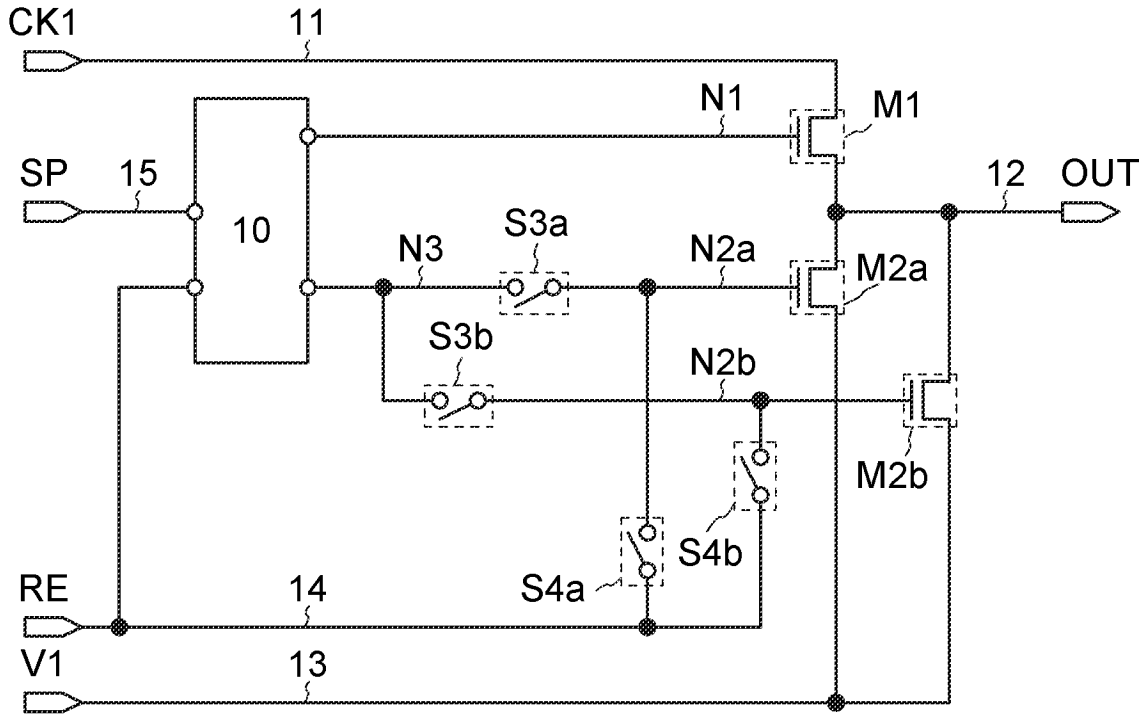


图 1A

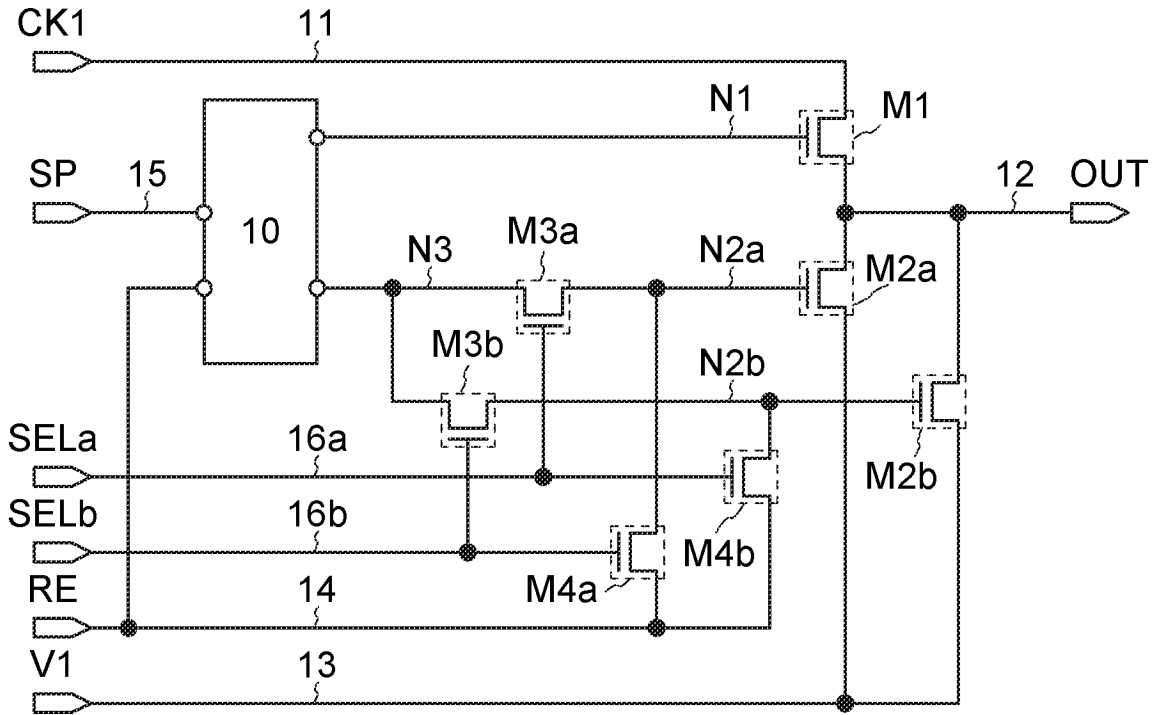


图 1B

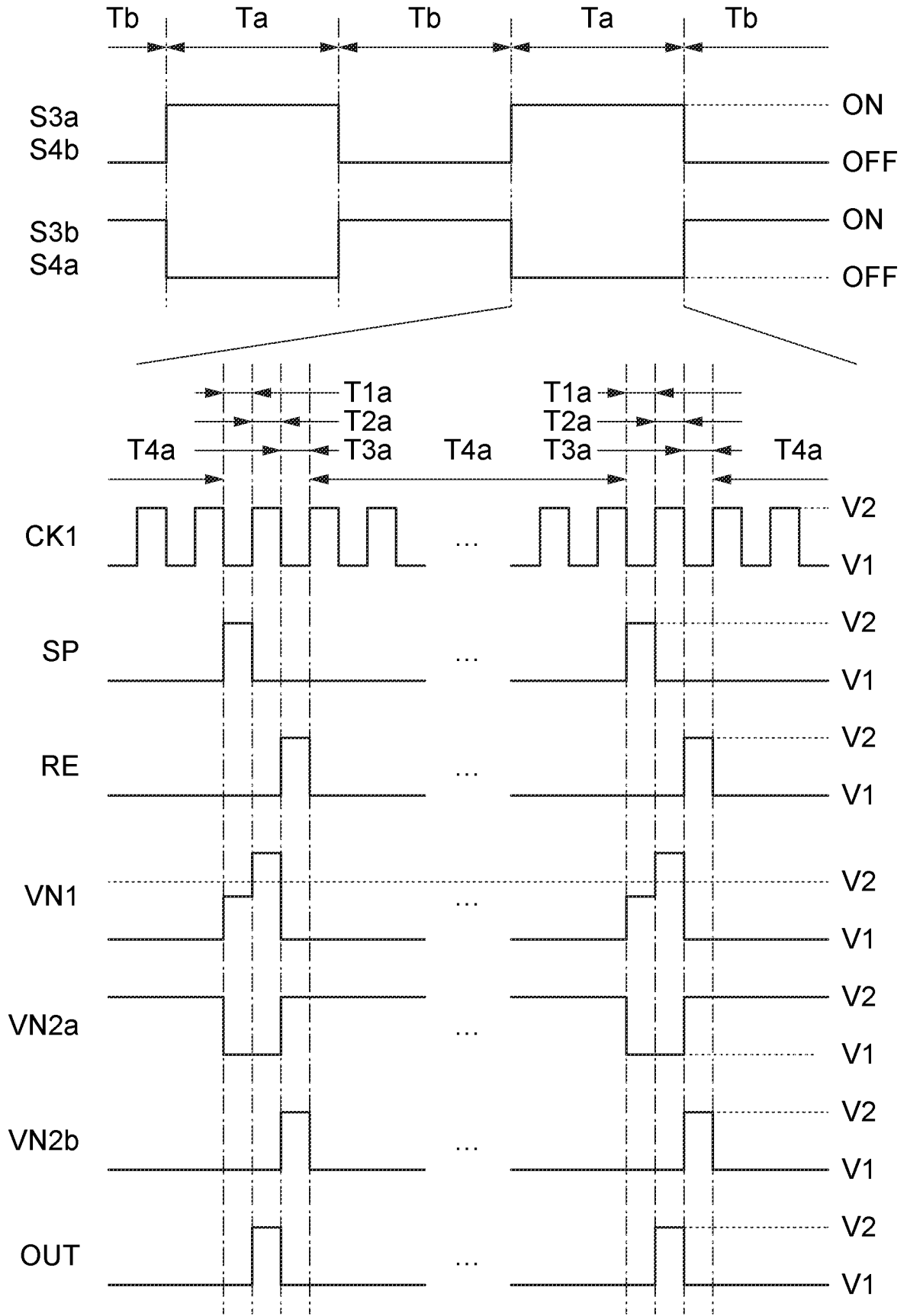


图 2

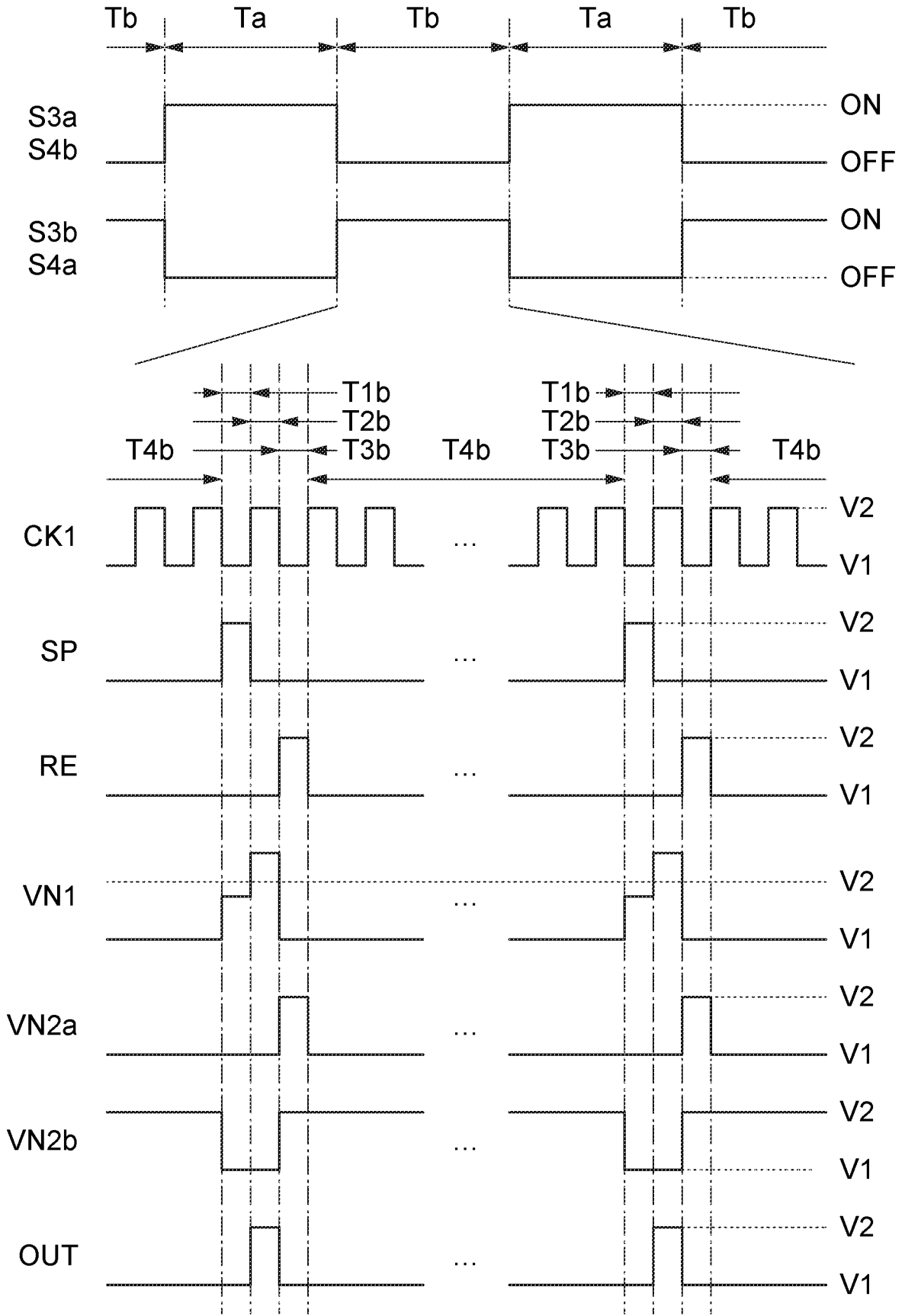


图 3



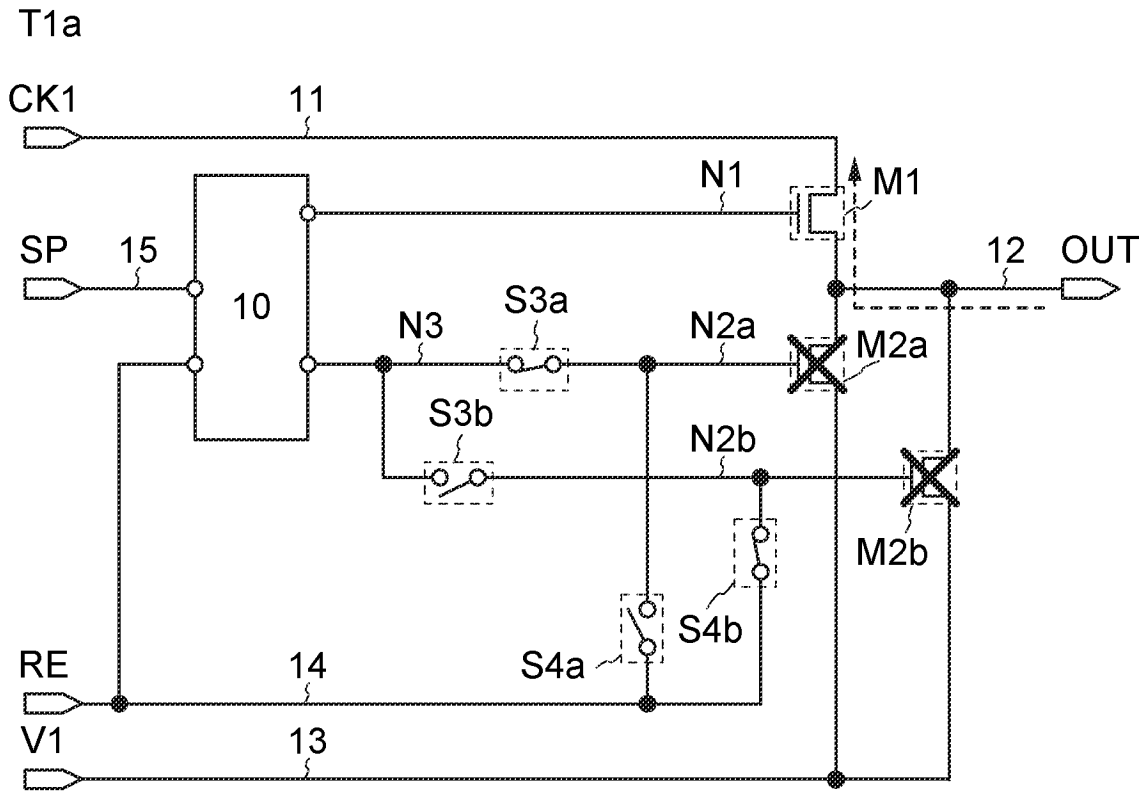


图 4A

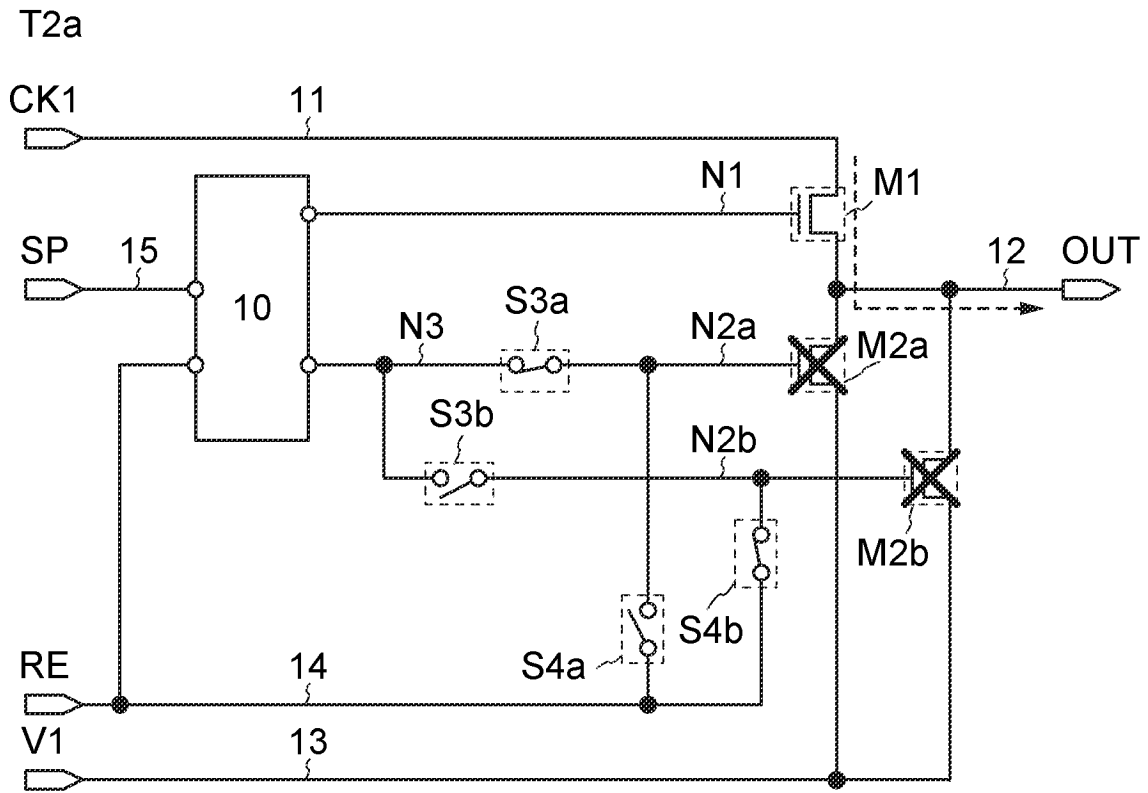


图 4B

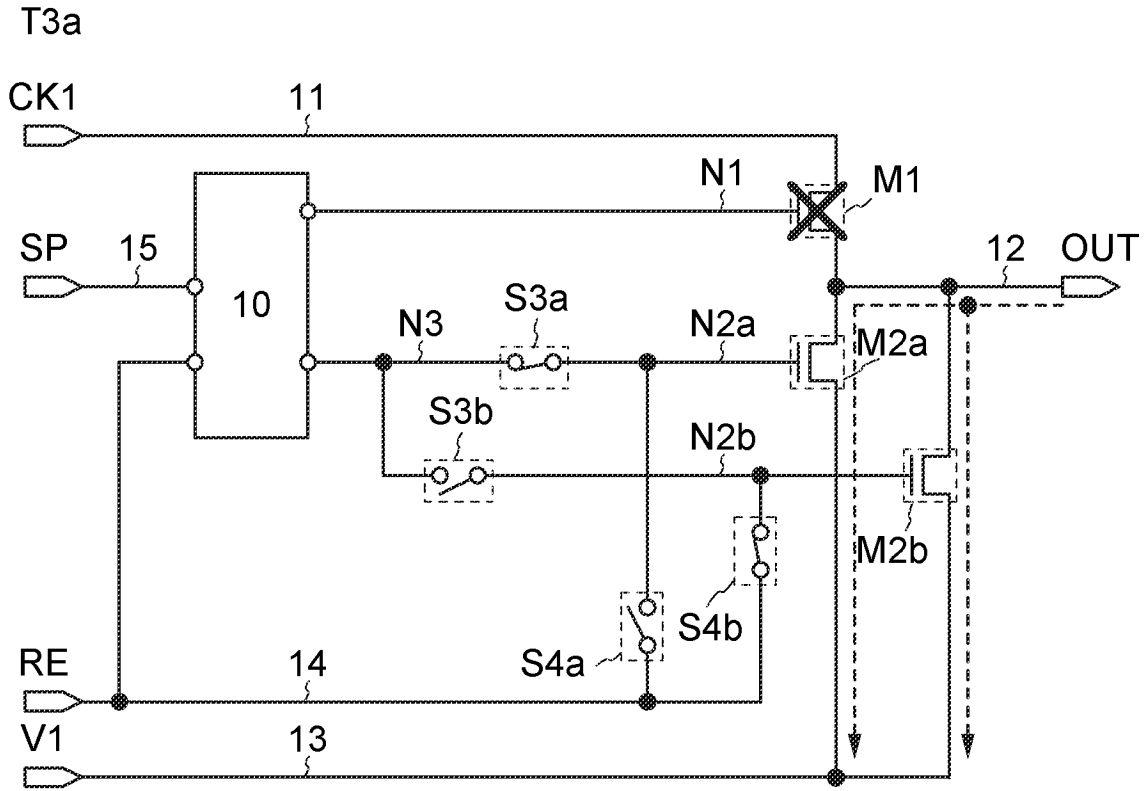


图 5A

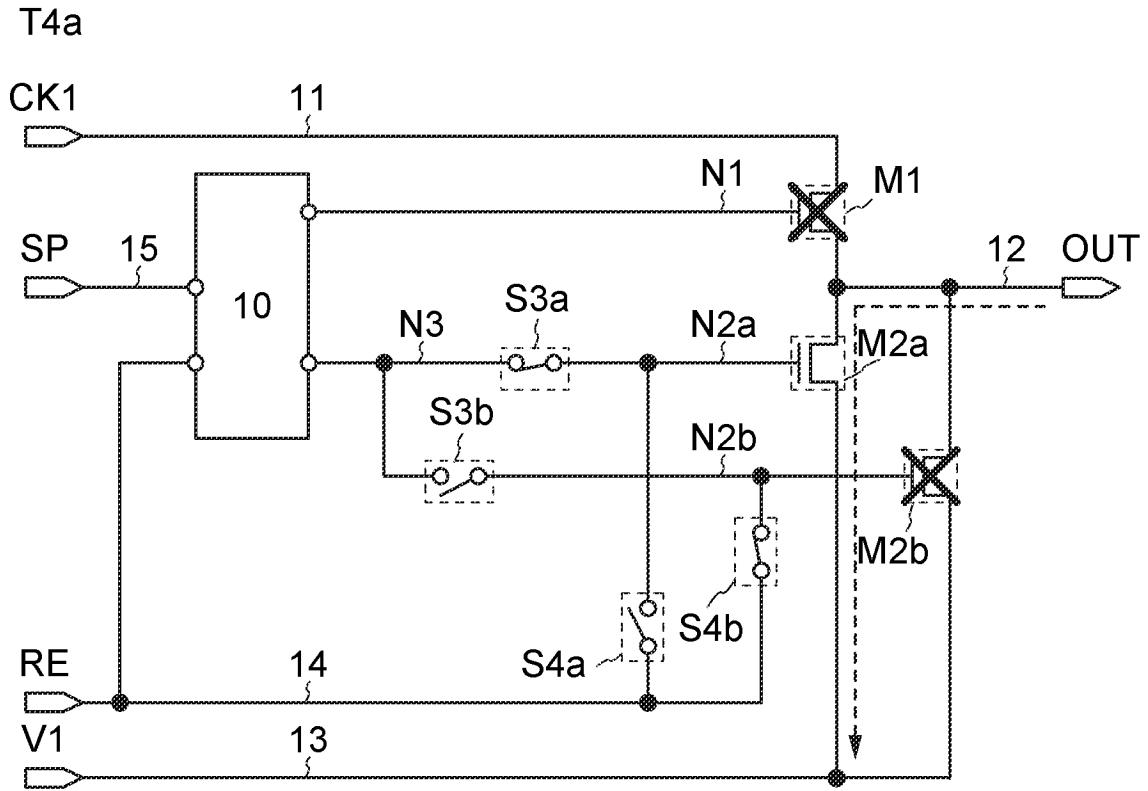


图 5B

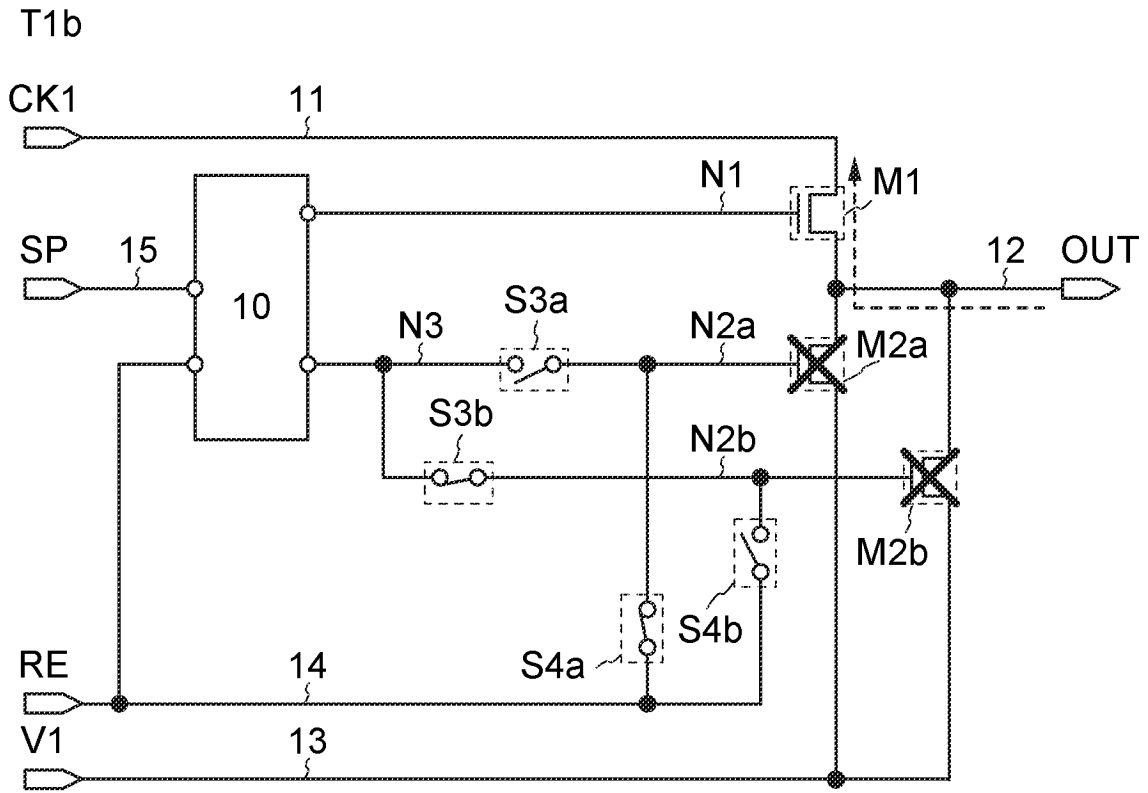


图 6A

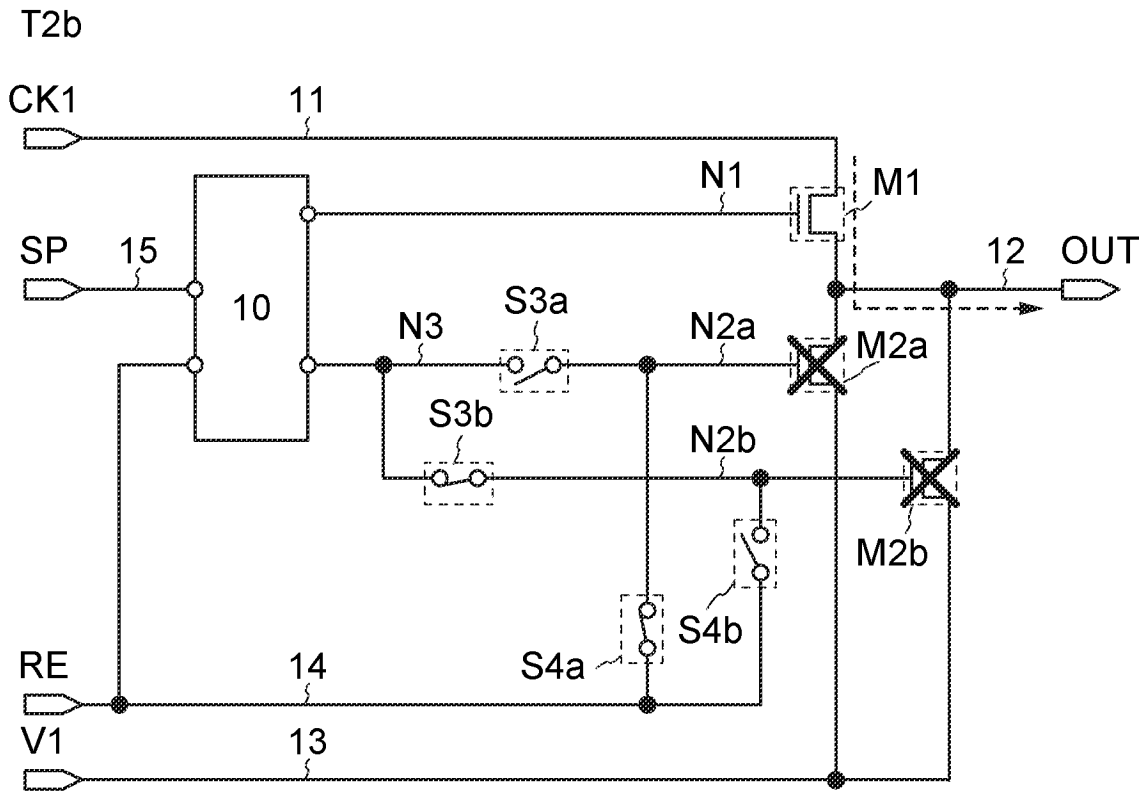


图 6B

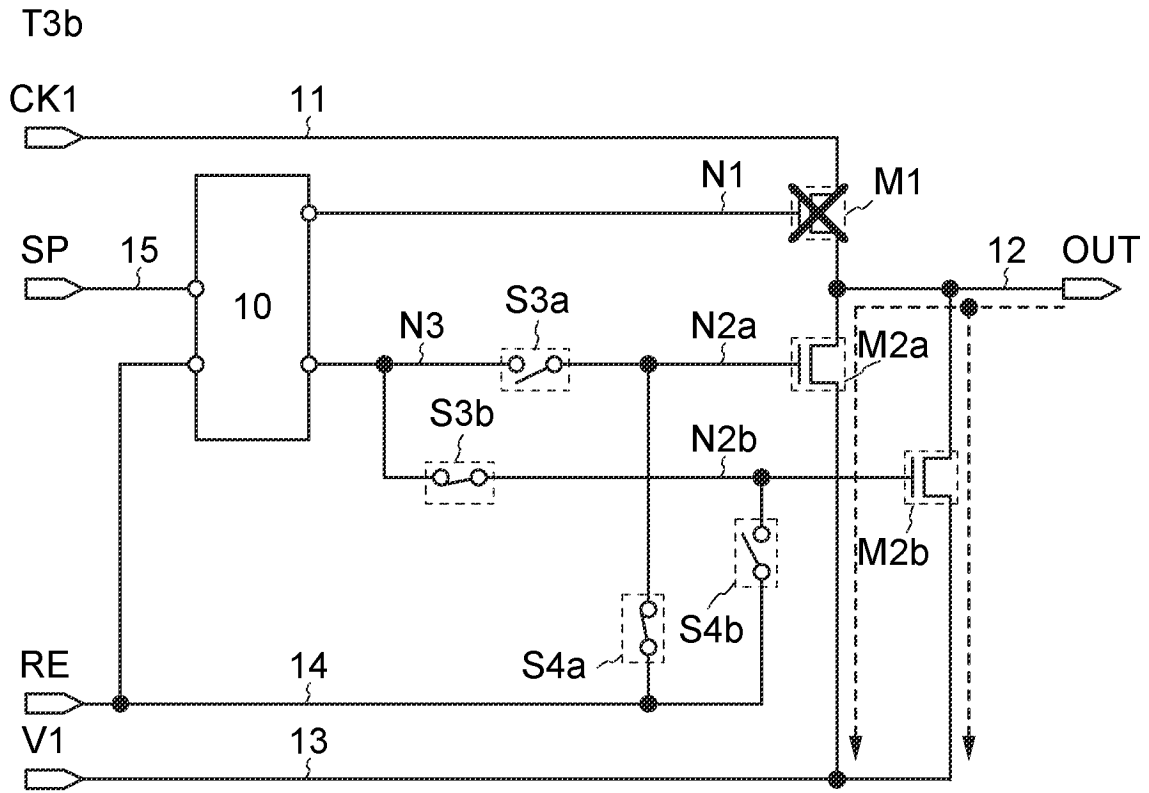


图 7A

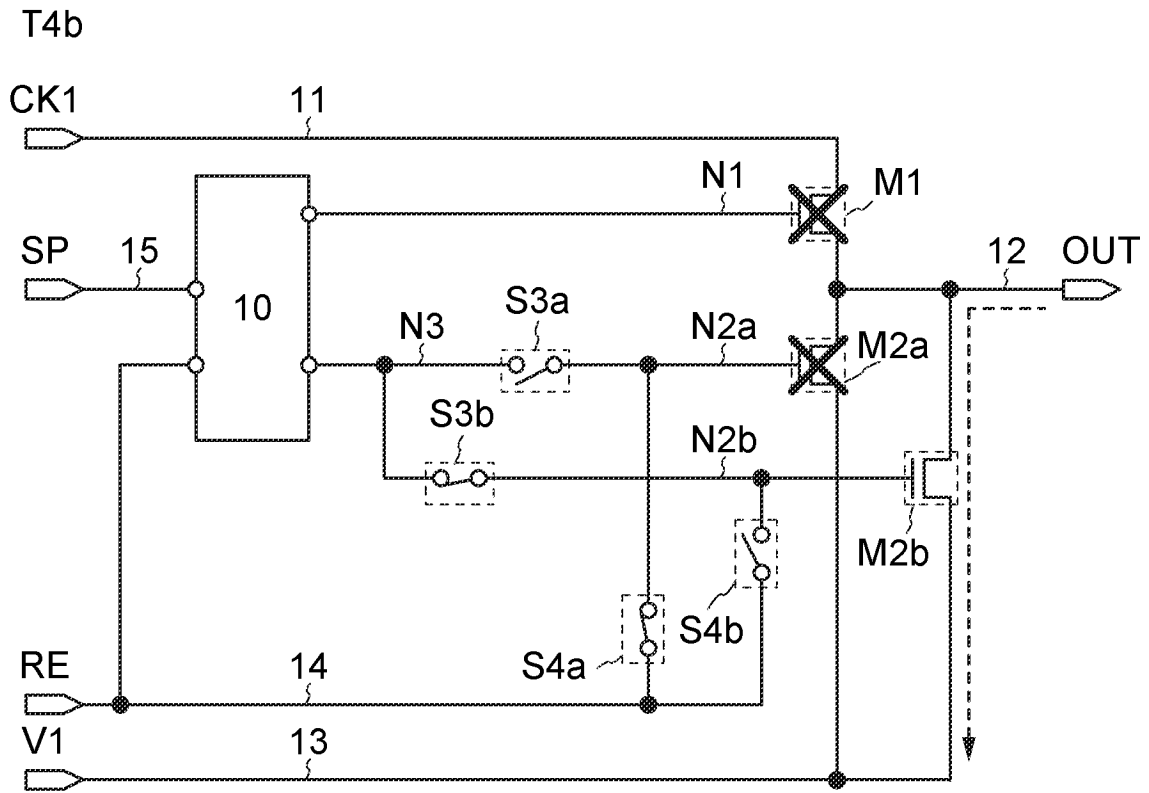


图 7B

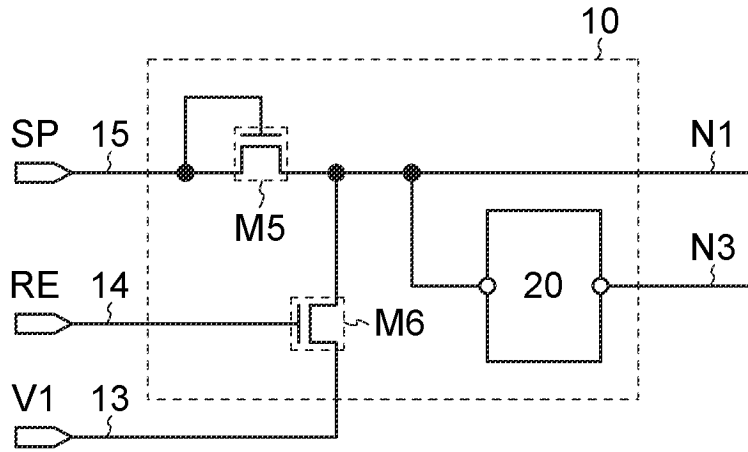


图 8A

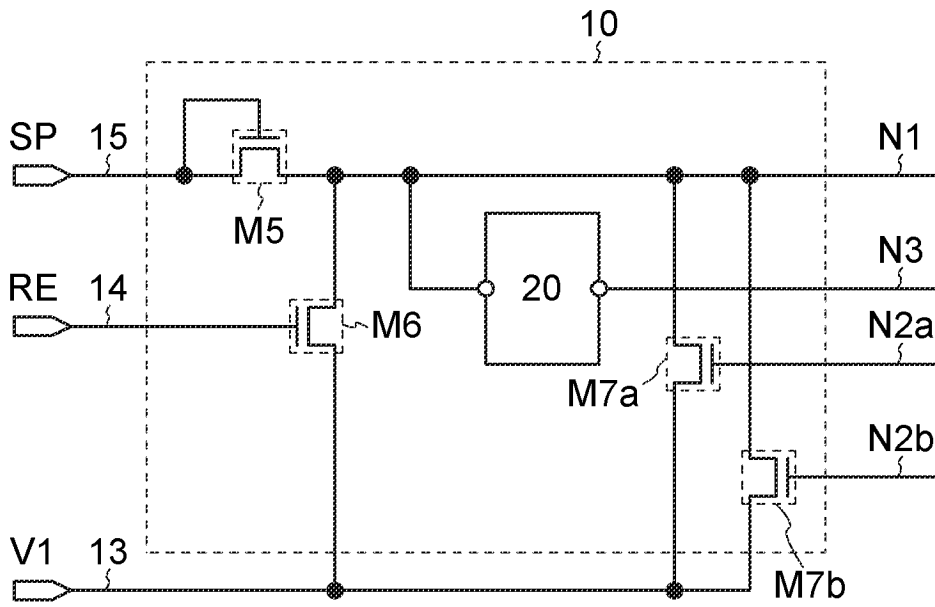


图 8B

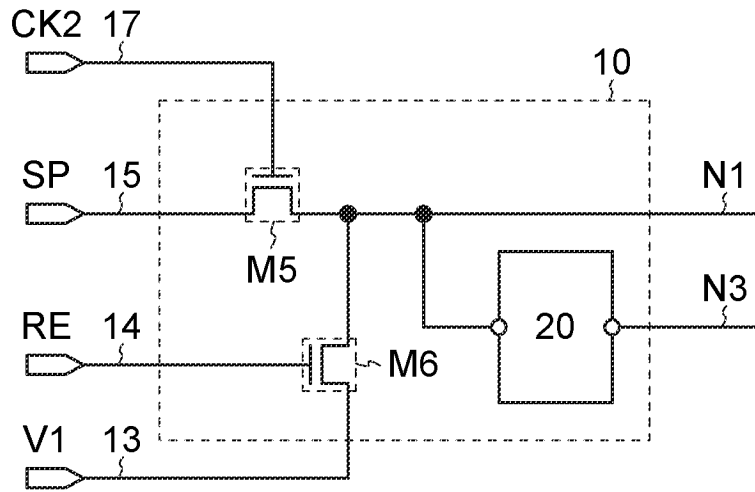


图 9A

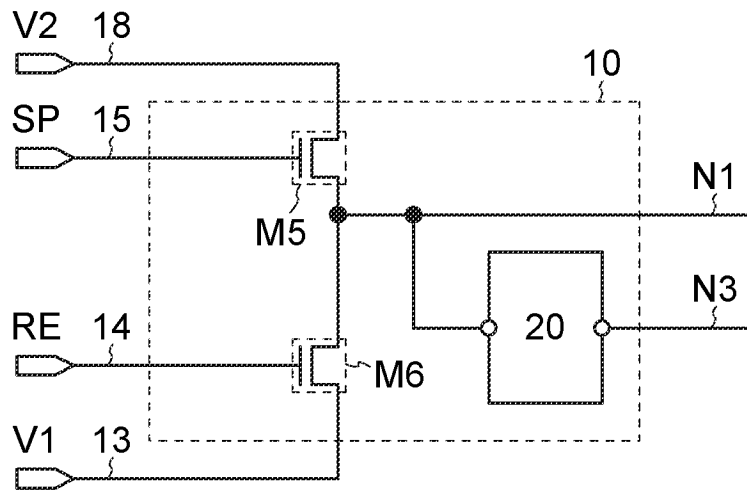


图 9B

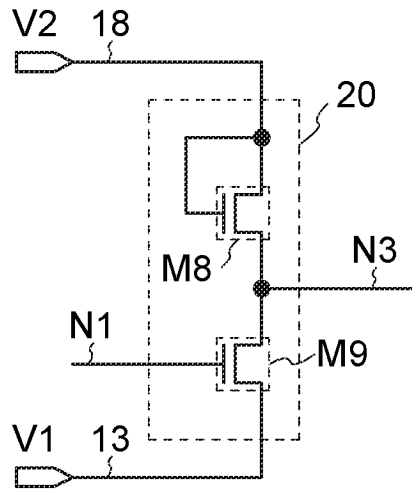


图 10A

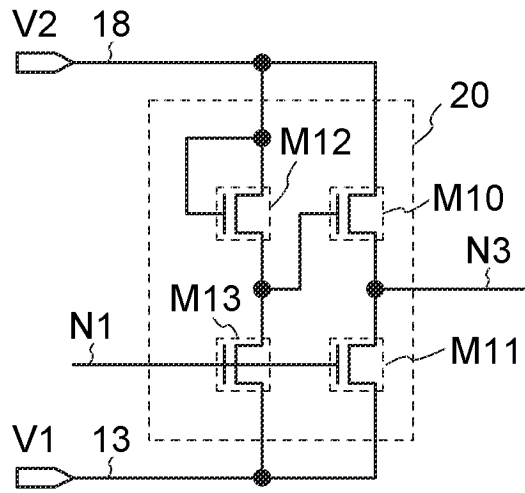


图 10B

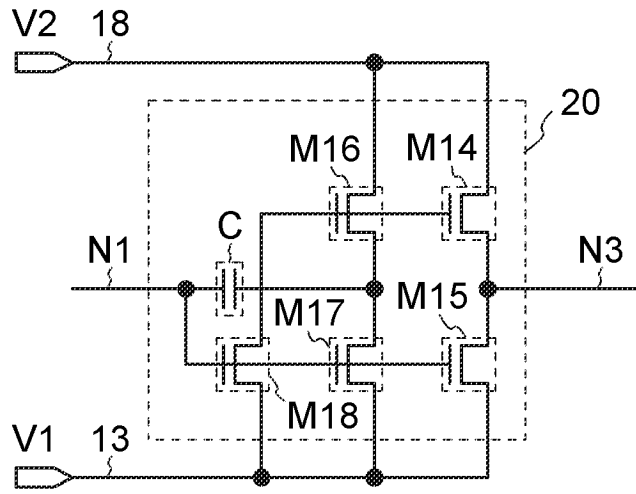


图 10C



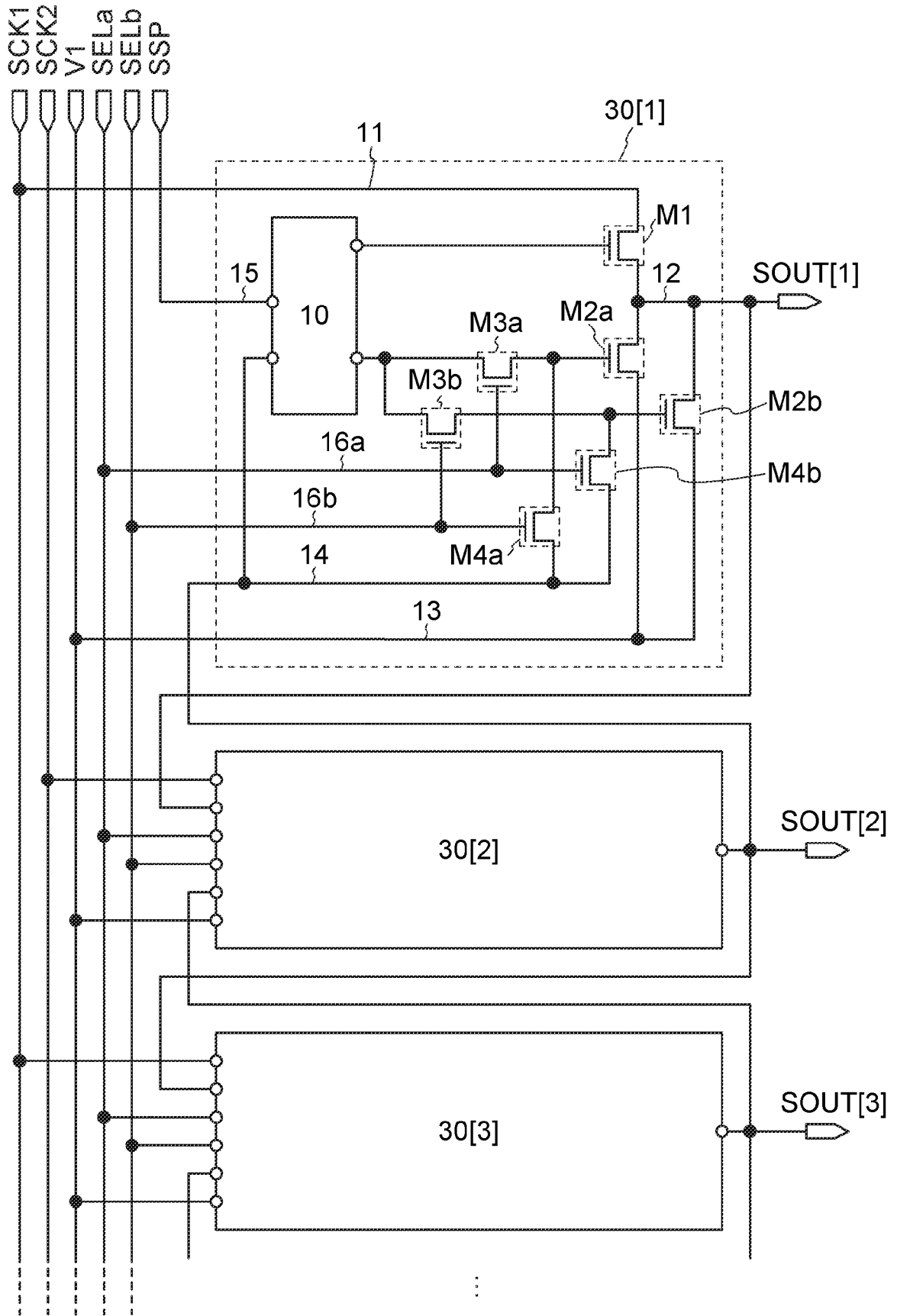


图 11

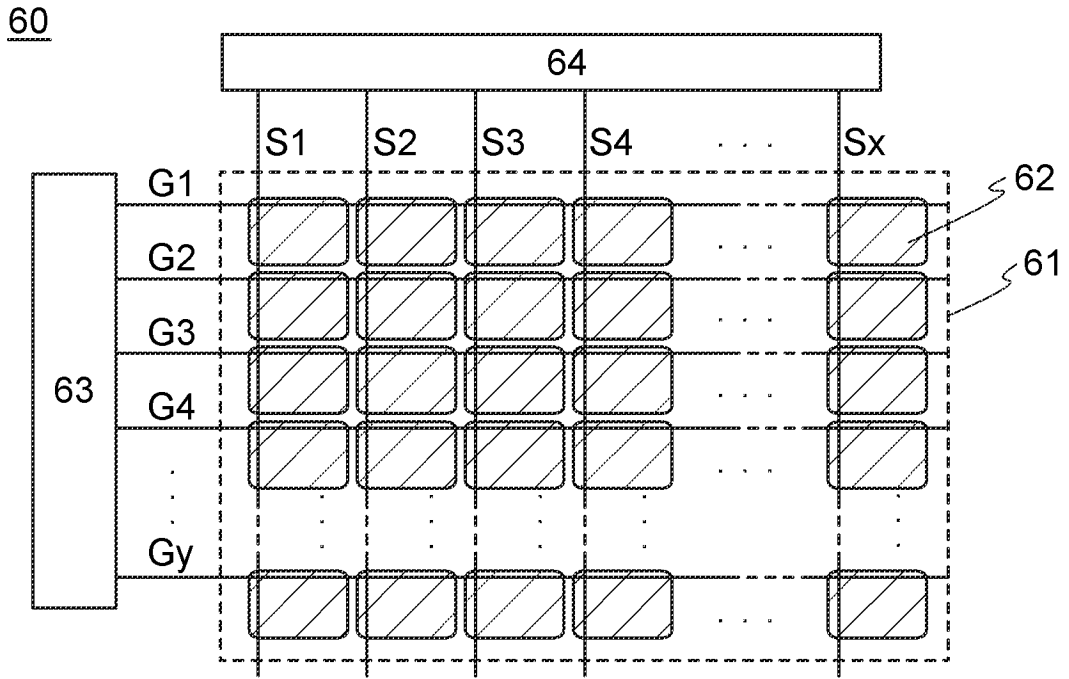


图 12A

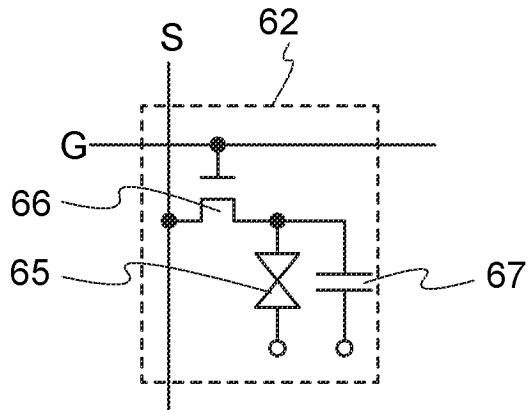


图 12B

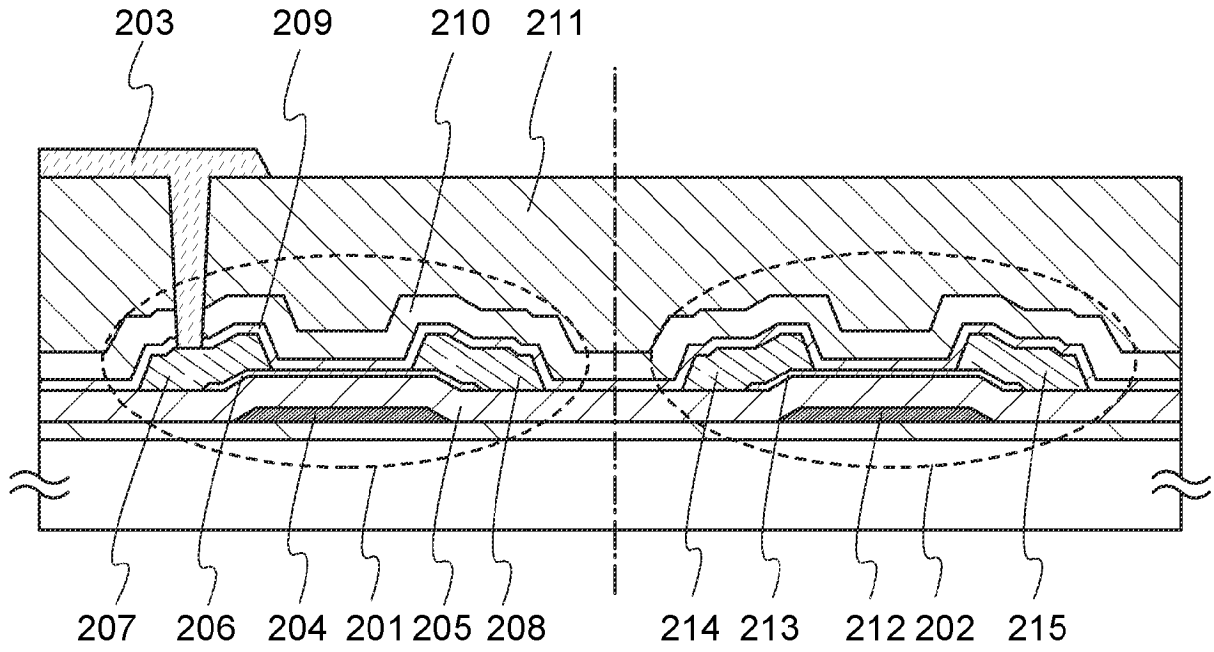


图 13A

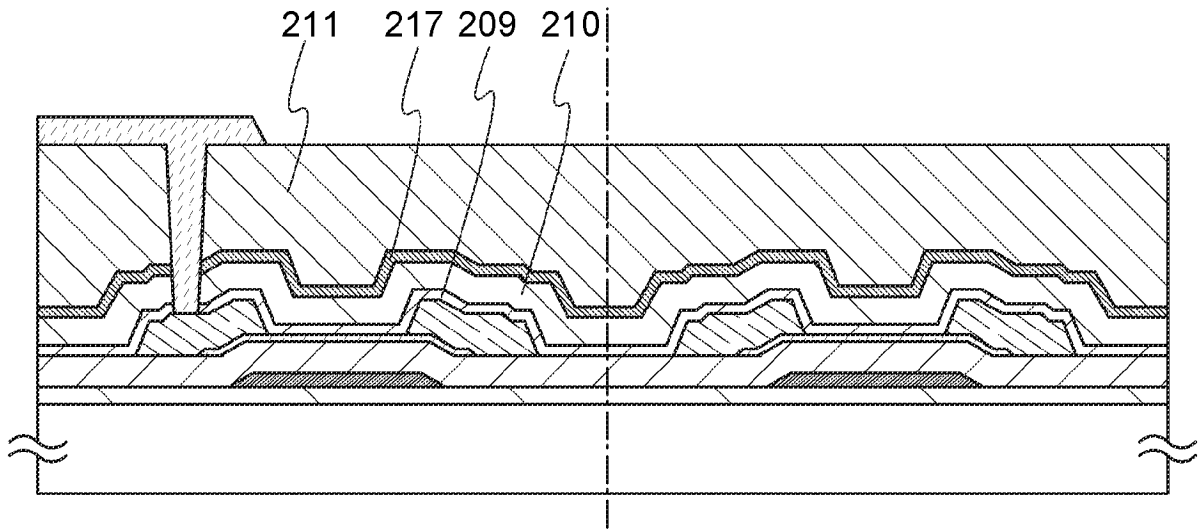


图 13B

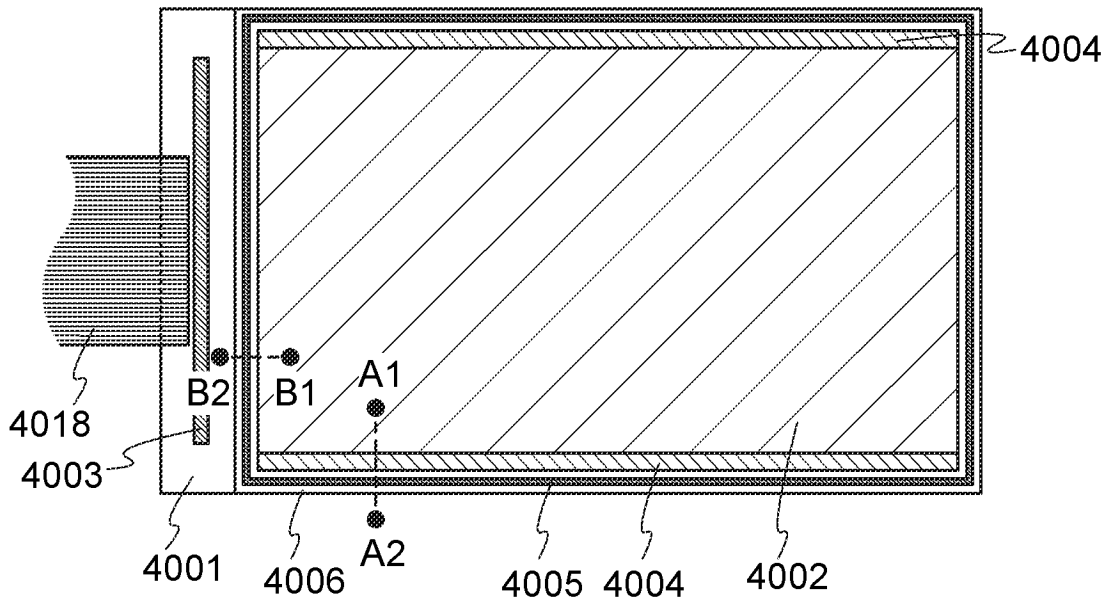


图 14A

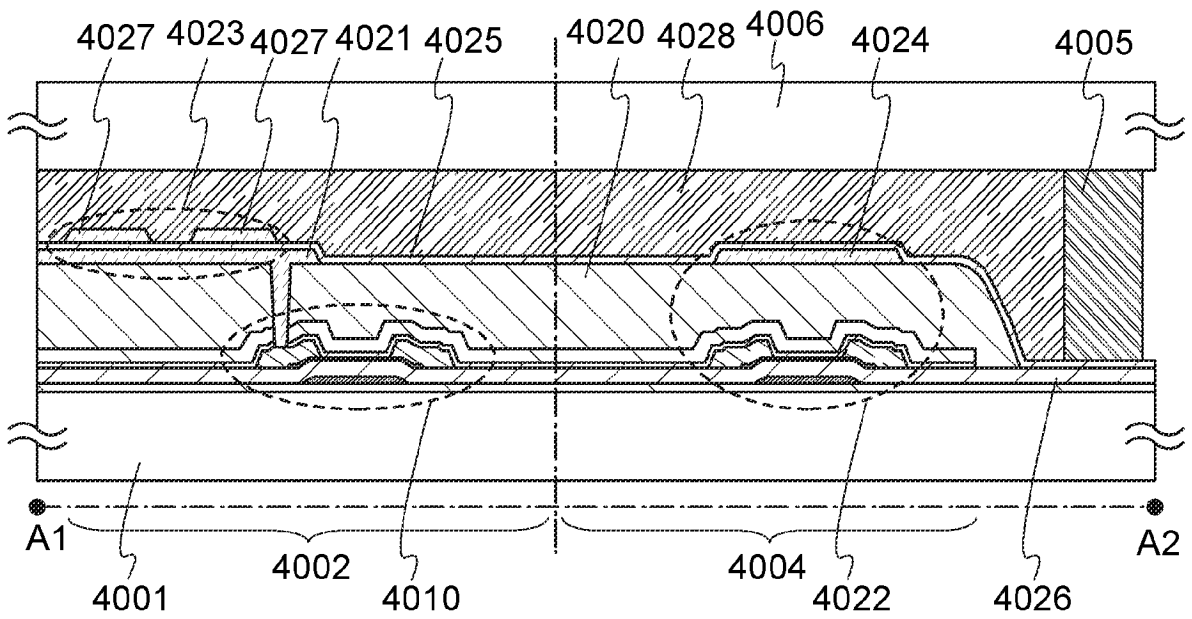


图 14B

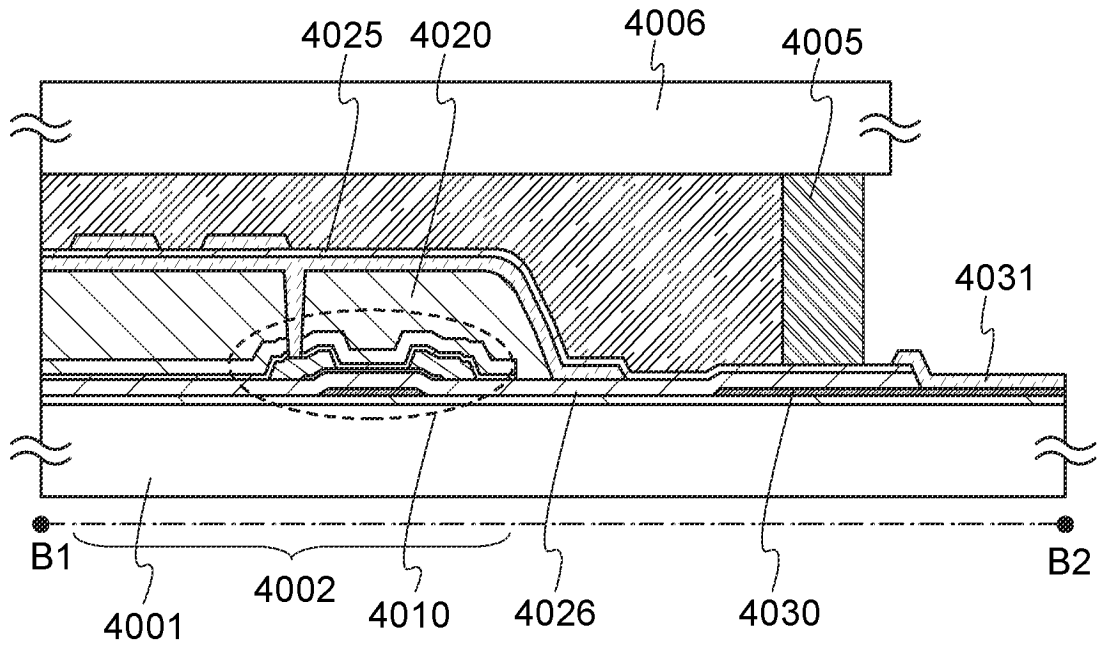


图 14C

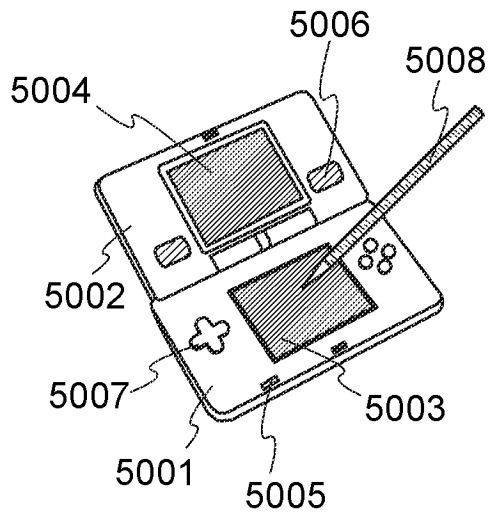


图 15A

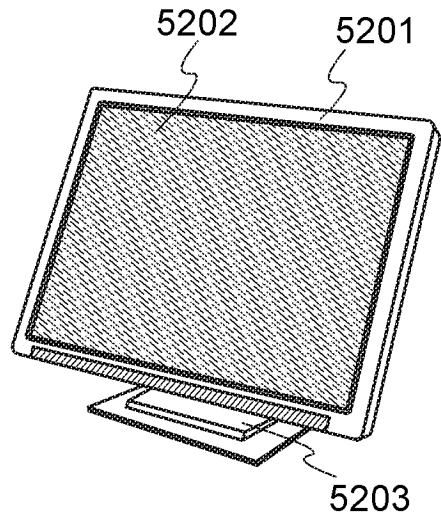


图 15B

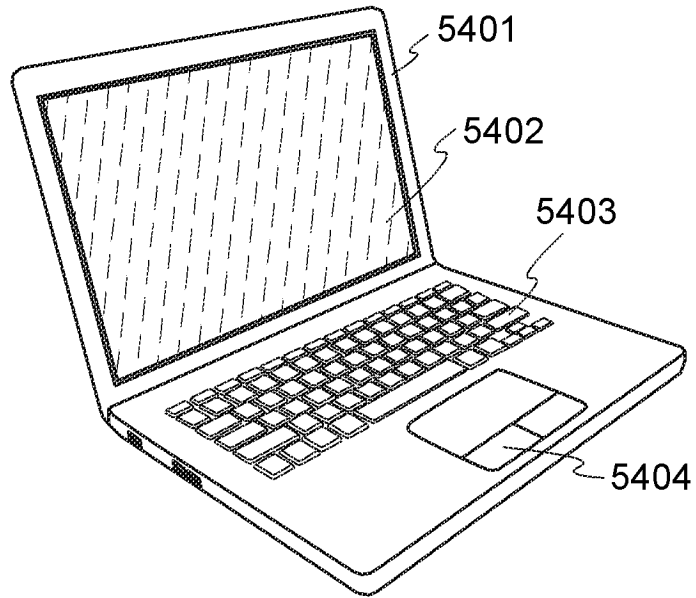


图 15C

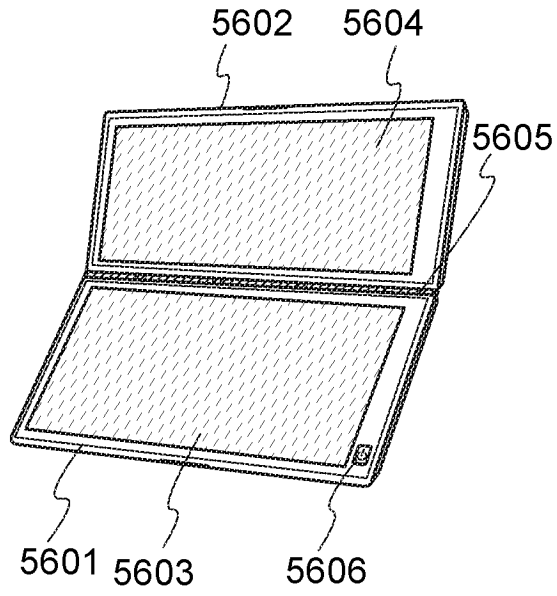


图 15D

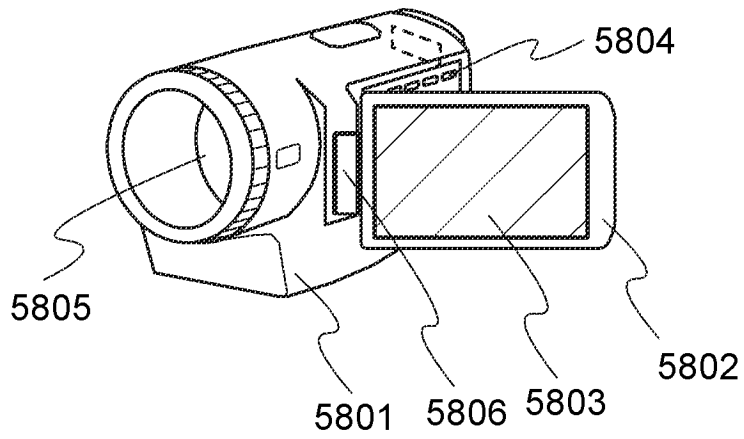


图 15E

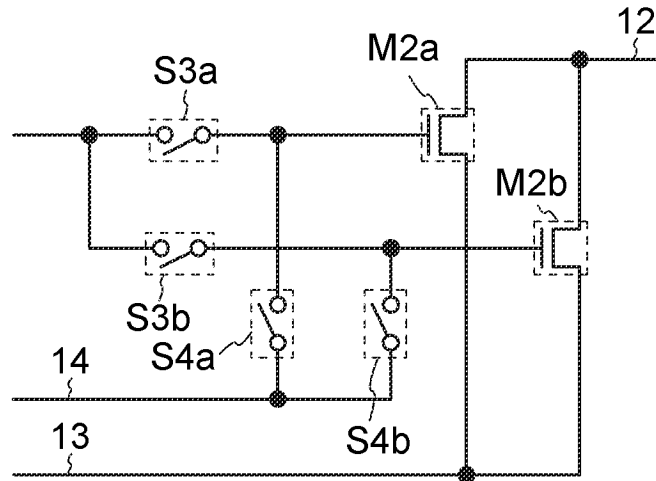


图 16A

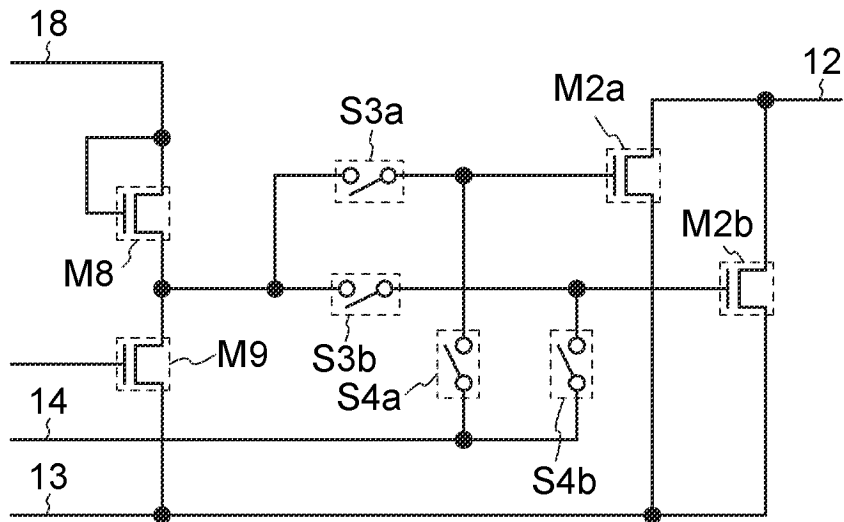


图 16B



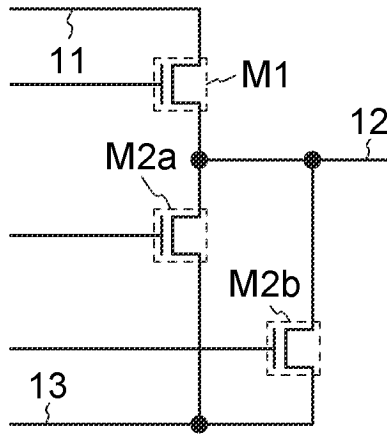


图 16C

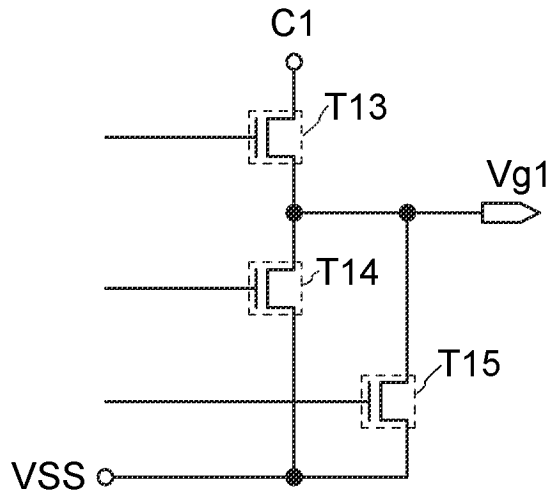


图 17A

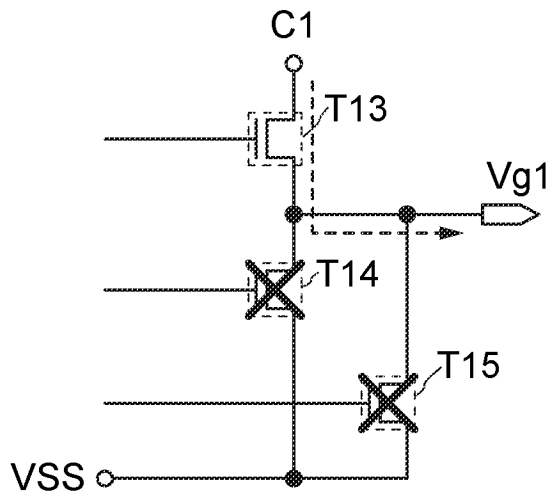


图 17B

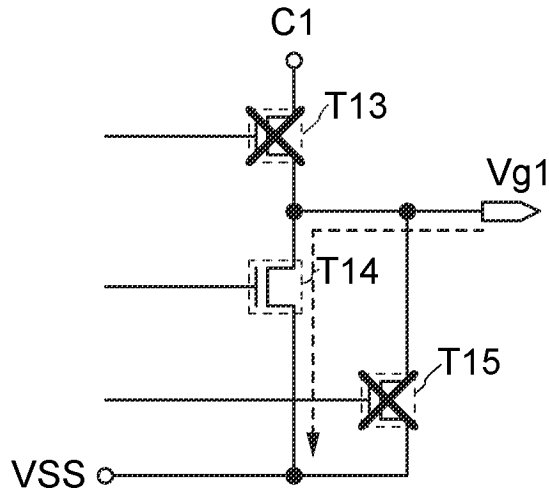


图 17C

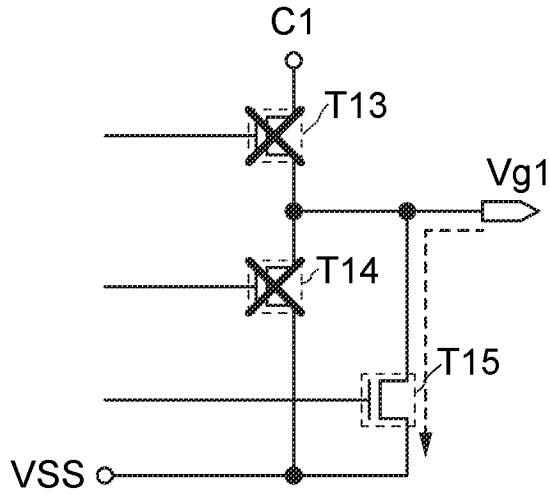


图 17D