(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2004 年1 月29 日 (29.01.2004)

PCT

(10) 国際公開番号
WO 2004/010508 A1

(51) 国際特許分類[7]: H01L 29/792, 27/115

(21) 国際出願番号: PCT/JP2003/009335

(22) 国際出願日: 2003 年7 月23 日 (23.07.2003)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2002-213900 2002 年7 月23 日 (23.07.2002) JP

(71) 出願人 (米国を除く全ての指定国について): 旭硝子株式会社 (ASAHI GLASS COMPANY, LIMITED) [JP/JP]; 〒100-8405 東京都 千代田区 有楽町一丁目１２番１号 Tokyo (JP).

(71) 出願人 および
(72) 発明者: 小柳 光正 (KOYANAGI,Mitsumasa) [JP/JP]; 〒981-1245 宮城県 名取市 ゆりが丘一丁目２２番地の５ Miyagi (JP).

(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 高田 雅章 (TAKATA,Masaaki) [JP/JP]; 〒980-0822 宮城県 仙台市 青葉区立町６番８号－１３０１ Miyagi (JP). 近藤 新二 (KONDOH,Shinji) [JP/JP]; 〒221-8755 神奈川県 横浜市 神奈川区羽沢町１１５０番地 旭硝子株式会社内 Kanagawa (JP).

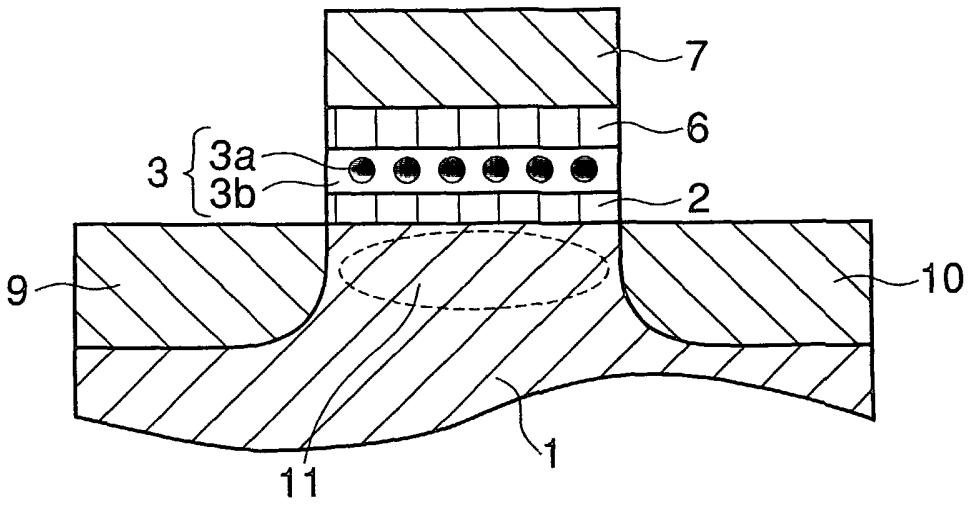
(74) 代理人: 泉名 謙治, 外 (SENMYO,Kenji et al.); 〒101-0042 東京都 千代田区 神田東松下町３８番地 鳥本鋼業ビル Tokyo (JP).

(81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK,

[続葉有]

(54) Title: NONVOLATILE SEMICONDUCTOR STORAGE DEVICE AND MANUFACTURING METHOD

(54) 発明の名称: 不揮発性半導体記憶素子および製造方法



(57) Abstract: A nonvolatile semiconductor storage device such that the data write and erase times are shortened, the number of rewrites can be greatly increased and the device can act with a low power consumption. The nonvolatile semiconductor storage device comprises a charge holding layer (3) adjoining a tunnel insulating film (2) and composed of an electrically insulating layer (3b) serving as a floating gate and containing independently dispersed ultrafine particles (3a) having a particle size of 5 nm or less and comprising one or more of single element substances or compounds at a surface density of 10^{12} to 10^{14} per square centimeters of the charge holding layer (3).

(57) 要約: データの書込みや消去時間を短縮でき、同時に書き換え回数を大幅に増加させることができ、また低い消費電力で動作させることができる不揮発性半導体記憶素子を得る。 トンネル絶縁膜２に隣接して形成され電荷保持層３が、浮遊ゲートとして機能する粒子径５ｎｍ以下の一種以上の単元素物質または化合物からなる、超微粒子３ａを電荷保持層３の平方センチメートル当たり１０^{12}～１０^{14}個の面密度で独立分散して含有する、電気絶縁性の絶縁層３ｂから成る不揮発性半導体記憶素子とする。

WO 2004/010508 A1

DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

２文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明　細　書

不揮発性半導体記憶素子および製造方法

技術分野

本発明は、不揮発性半導体記憶素子および製造法に関し、詳しくは、一種以上の単元素物質または化合物からなる超微粒子が絶縁層中に高密度に分散された構造を有し、かつ優れた保持特性の電荷保持層を有する不揮発性半導体記憶素子とその素子の安価で再現性の良い製造方法に関する。

技術背景

従来、大容量のデータを記憶し書き換えできる記録媒体として、ＤＲＡＭ、ＳＲＡＭなどの半導体を用いた記憶素子、またはハードディスク、光磁気ディスク、光ディスクなどの回転ディスク型記録媒体があり、これらを用いたシステムが開発・使用されてきた。このうち、データの書き込み、読み出し速度が速く高集積化が容易などの特徴を有するＤＲＡＭは、パソコンなどの一時記憶素子として広く用いられてきた。しかし、メモリにとって致命的である揮発性（外部電源供給を停止すると保持していた記録が消滅する性質）のため、パソコンの起動に時間を要する、または突然の電源供給停止やデータの保存忘れなどにより作成したデータが消滅するなどの不具合が生じていた。

一方、ハードディスクシステムなどではデータの揮発性はないが、書き込み、読み出し速度が遅くまた消費電力が比較的大きい欠点がある。以上のことより、書き込み、読み出し速度が速いなど使い勝手がよく、また消費電力が低く、そして不揮発性であるなどの特性を有するメモリの出現が待たれている。

上記の要求特性を満たすメモリとして、フラッシュメモリ、強誘電体メモリ、ＭＲＡＭ（Ｍａｇｎｅｔｉｃ　Ｒａｎｄｏｍ　Ａｃｃｅｓｓ　Ｍｅｍｏｒｙ）、相変化メモリなどの不揮発性半導体型記憶素子が期待されており、現在開発段階にある。

これらの不揮発性メモリにはそれぞれ一長一短がある。例えばＭＲＡＭは書き

込み速度が速いことや書き換え可能回数が多いなど優れた点が多く、ＤＲＡＭの置き換えメモリとして最有力候補の一つと言われている。しかし、メモリセルがトランジスタとＴＭＲ（Ｔｕｎｎｅｌ　Ｍａｇｎｅｔｏ　Ｒｅｓｉｓｔｉｖｅ）素子（トンネル磁気抵抗素子）とで構成されているため、構造が比較的複雑であり製造コストの面で不利であること、プロセス上の技術的課題が多い強磁性材料を導入しなければならないことが課題として挙げられている。そして、なによりも特性バラ付きの小さいＴＭＲ素子の製造技術の確立が困難という問題がある。

一方、フラッシュメモリのメモリセルは基本的にトランジスタ１つで構成されており構造が単純であるためにセルサイズを小さくでき、また従来のＤＲＡＭプロセス技術を用いて高集積メモリを比較的安価に製造できる。このような理由から、フラッシュメモリが携帯型情報端末（携帯機器）用メモリの本命として注目を集めている。近年、半導体素子の高速化、高集積化が推進されており、これに伴いフラッシュメモリにおいても素子の高速化、微細化または電荷保持特性の向上など、高性能化のための研究が盛んに行なわれている。

現在の主流である浮遊ゲート型フラッシュメモリにおいて、ＮＯＲ型フラッシュメモリを例に挙げると、これは指定されたメモリセルの保持データの読み出し動作が１００ｎｓ（ナノ秒）程度またはそれ以下の比較的短い時間で高速に行われる。なおこのＮＯＲ型フラッシュメモリは、携帯機器のプログラムコード格納用などとしてフラッシュメモリ市場の半分以上を占めている。

一方、データの書き込みはチャネルから浮遊ゲートへのホットエレクトロン注入により、またデータの消去は浮遊ゲートからチャネル形成領域またはソースへのＦｏｗｌｅｒ－Ｎｏｒｄｈｅｉｍトンネル電流による電荷放出によって行われる。ホットエレクトロン注入は、電荷移動速度は速いが電荷注入効率（供給電流に対する注入電流の割合）が低く、またＦｏｗｌｅｒ－Ｎｏｒｄｈｅｉｍトンネル電流による電荷放出は、電荷注入効率は高いが電荷移動速度が遅いためにいずれも書き換え動作に時間を要する。

具体的には書き込みには１μｓ（マイクロ秒）台、消去にいたっては数百ｍｓ（ミリ秒）から数ｓ（秒）台の比較的長い時間が必要となる。このため、フラッ

シュメモリの大容量化・低コスト化が比較的容易であるにもかかわらずその用途が限定され、ＤＲＡＭなど高速メモリへの置換えは難しい状況にある。

この欠点を克服するべく書き換え時間の短縮化を図るため、例えばメモリセルのトンネル絶縁膜である酸化膜の物理的厚さを薄くする方法も考えられる。しかし薄くすると、浮遊ゲート帯電時にはトンネル酸化膜にその膜厚に反比例した非常に強い電界がかかるため、書き換え動作の繰返しにより酸化膜を電荷が何度も通過することによるストレスが発生し、酸化膜が絶縁破壊（ストレス誘起リーク電流）を起こしやすくなる。

トンネル酸化膜のどこか１ヶ所でも絶縁破壊が生じると、浮遊ゲートに保持されている電荷の大部分がリークし、以後そのメモリセルはデータ保持能力を失い、このことがフラッシュメモリの書き換え回数の増加を難しくしている。従って、現状では電荷保持の信頼性を保つためにトンネル酸化膜の厚さを約１０ｎｍと厚くせざるを得ず、書き換え時間の短縮化が困難な状況にある。また酸化膜厚と素子全体の寸法は相似的に縮小するという特性があるため、素子全体の微細化をも妨げている。

高速動作を維持しながら絶縁破壊による電荷保持能力の低下を防ぐ手段として、電荷を空間的に離散させて保持する方法があり、この方法を用いた不揮発性半導体メモリにMONOS（Ｍｅｔａｌ　Ｏｘｉｄｅ　Ｎｉｔｒｉｄｅ　Ｏｘｉｄｅ　Ｓｅｍｉｃｏｎｄｕｃｔｏｒ）メモリがある。図３に従来のＭＯＮＯＳメモリの例を示す。このＭＯＮＯＳメモリは、図３に示すようにトンネル絶縁膜２と、その上に浮遊ゲートの代わりにＳｉN_x膜５が積層された構造となっており、その界面に存在する界面準位４ａおよびＳｉN_x膜５中に離散的に分布するトラップ準位４ｂに電荷を保持させるメモリである。なお図３において、１はｐ型単結晶Ｓｉ基板、４は電荷保持領域、６はゲート絶縁膜、７は制御ゲート、９はソース領域、１０はドレイン領域、および１１はチャネル形成領域である。

電荷を保持する界面準位４ａおよびトラップ４ｂが空間的に離散して分布するため、前述のトンネル絶縁膜のどこか１ヶ所で絶縁破壊が生じたとしてもそれによる電荷リークは局所的にしか生じず、絶縁破壊の発生の前後においてメモリセ

ルの電荷保持能力は大きくは変化しない。

このような理由から、ＭＯＮＯＳメモリは浮遊ゲート型フラッシュメモリに対して書き換え回数の点で優れており、またトンネル絶縁膜の物理的厚さも比較的薄くすることができることからメモリセルの微細化などの点でも有利とされている。しかし、SiN_x 膜のトラップ準位の深さ（電子に対してはトラップ準位と伝導帯下端とのエネルギー差、正孔に対してはトラップ準位と価電子帯上端とのエネルギー差）が必ずしも充分ではないなどの理由により、一旦トラップされた電荷が逃げやすく絶対的な電荷保持能力（絶縁破壊が全く生じていない、正規な状態の素子が有する電荷保持能力のこと）は低いという欠点がある。

一方、ＭＯＮＯＳメモリと同様に電荷を離散的に保持させることで酸化膜の絶縁破壊に対処し、さらにＭＯＮＯＳメモリよりも絶対的な電荷保持能力を高める方法として、浮遊ゲートを超微粒子としその超微粒子をゲート絶縁膜中に多数分散させる形態が考えられている。図４にこの形態の代表的な素子である、離散超微粒子がＳｉ超微粒子から形成された半導体記憶素子の例を示す。なお図４において電荷保持領域４以外、図３中の要素と同じ符号は同じ要素を示す。この形態のメモリについては例えば特開平１１－１８６４２１号に記載されており、この公報では図４に示すようにトンネル絶縁膜２の上に、ＣＶＤ法により形成された多数のＳｉ超微粒子群で構成される浮遊ゲート４を形成し、その周囲をゲート絶縁膜６で覆う構造が記載されている。

しかし、現在得られているＳｉ超微粒子は大きさが５～１０ｎｍ程度、面内の分布密度（面密度）数は$1\sim2\times10^{12}/cm^2$であり、これらの値はメモリの機能上充分ではない。

電荷保持部分として機能する超微粒子の数の面密度が低い場合、保持される電荷量の面密度も低くなるためフラッシュメモリのメモリウィンドウ（ＭＯＳトランジスタにおけるしきい値電圧のシフト幅）が狭くなる。また同時に、各半導体記憶素子間に電荷量の面密度のバラ付きも相対的に大きくなりやすく、これはメモリウィンドウの大きさのバラ付きに悪影響を与える。これらはいずれもデータの読み出し動作に不安定性を与える。

したがって、超微粒子の互いの間隔を確保し離散状態を維持した上で面密度を高めることが必要である。しかし、前記の特開平１１－１８６４２１号に記載されているＣＶＤ法による形成では、超微粒子の面密度をあげるため製造条件を変更すると隣り合う超微粒子が合体成長しやすく離散状態が維持できないことから、充分な面密度の超微粒子を形成できていない。

さらに、最近では超高速かつ極低消費電力メモリである単電子メモリの研究が盛んである。この単電子メモリを実現させる条件の一つとして、室温下においてクーロンブロッケード（蓄積電子の静電ポテンシャル場により、その周囲の電子の接近を抑制するエネルギー障壁が発生し、さらにはこのエネルギー障壁の高さが電子の熱エネルギーを上回ることにより、電子が統計熱力学的にそのエネルギー障壁を超えて移動しないようにすること）効果を発現させる必要があり、そのためには浮遊ゲート４のサイズを小さくすることが不可欠とされている。

単電子メモリが室温にて安定に動作するためには浮遊ゲートの大きさを直径１ｎｍ程度まで小さくしなければならないと言われているが、現状得られている超微粒子の粒子径は最も小さいもので５ｎｍ程度に留まっている。また、非常に微細化された単電子メモリのゲート領域内に超微粒子が高い確率で１個以上形成されることが必要であるために、超微粒子形成密度が高いことが要求されるが、現状の$10^{12}/cm^2$程度の面密度では不十分である。さらにその面密度を達成するためには非常に特殊な前処理を必要としているため作製プロセスを複雑にする点でも問題がある。

本発明の目的は、従来のフラッシュメモリにおいて解決すべき前記課題、すなわちデータの書き込み動作や消去動作に時間を要することおよび書き換え動作の繰返しによる電荷保持特性が劣化すること、を同時に解決する構造を有する不揮発性半導体記憶素子を提供することであり、さらに前記不揮発性半導体記憶素子を再現性良く製造する方法を提供することである。

発明の開示

本発明は、半導体基板表面に形成されたソース領域およびドレイン領域と、前

記ソース領域および前記ドレイン領域を繋ぐように、かつ前記ソース領域および前記ドレイン領域に挟まれたチャネル形成領域に接して形成されたトンネル絶縁膜と、前記トンネル絶縁膜に隣接して形成された電荷保持層と、前記電荷保持層に隣接して形成されゲート絶縁膜と、前記ゲート絶縁膜に隣接して形成された制御ゲートとを備える不揮発性半導体記憶素子において、前記電荷保持層が、浮遊ゲートとして機能する粒子径５ｎｍ以下の一種以上の単元素物質または化合物からなる超微粒子を、不揮発性半導体記憶素子当たり１個含有するかまたは前記電荷保持層の平方センチメートル当たり10^{+12}～10^{+14}個の密度で独立分散して複数個含有する絶縁層から成ることを特徴とする不揮発性半導体記憶素子を提供する。

また、半導体基板表面に形成されたソース領域およびドレイン領域と、前記ソース領域および前記ドレイン領域を繋げるように、かつ前記ソース領域および前記ドレイン領域に挟まれたチャネル形成領域に接して形成されたトンネル絶縁膜と、前記トンネル絶縁膜に隣接して形成された電荷保持層と、前記電荷保持層に隣接して形成され浮遊ゲートと、前記浮遊ゲートに隣接して形成されたゲート絶縁膜と、前記ゲート絶縁膜に隣接して形成された制御ゲートを備える不揮発性半導体記憶素子において、前記電荷保持層は前記チャネル形成領域から前記浮遊ゲートへ向かう電子の移動を促進しかつ前記浮遊ゲートから前記チャネル形成領域へ向かう電子の移動を抑制する機能を有することを特徴とする不揮発性半導体記憶素子を提供する。

また、前記電荷保持層が、粒子径５ｎｍ以下の一種以上の単元素物質または化合物からなる超微粒子を前記電荷保持層の平方センチメートルあたり10^{+12}～10^{+14}個の密度で独立分散して複数個含有する絶縁層から成る上記の不揮発性半導体記憶素子を提供する。

また、前記電荷保持層を構成する超微粒子が、金属、酸化物、炭化物、窒化物、珪化物および硼化物からなる群から選ばれる１種以上の単元素物質または化合物からなる上記の不揮発性半導体記憶素子を提供する。

また、前記電荷保持層を構成する絶縁層が、酸化物、炭化物、窒化物、硼化物

、珪化物およびフッ化物からなる群から選ばれる１種以上の化合物からなる上記の不揮発性半導体記憶素子を提供する。

また、前記電荷保持層を構成する前記超微粒子が前記絶縁層内において2次元的または３次元的に分散している上記の不揮発性半導体記憶素子を提供する。

また、上記の、絶縁層中に超微粒子が２次元的または３次元的に分散された電荷保持層を有する不揮発性半導体記憶素子の製造方法において、前記電荷保持層は超微粒子および絶縁層を構成するそれぞれの材料を物理的蒸着法を用いて自己組織的に形成することを特徴とする不揮発性半導体記憶素子の製造方法を提供する。

さらに、前記物理的蒸着法はスパッタリング法である上記の不揮発性半導体記憶素子の製造方法を提供する。

図面の簡単な説明

図１は、本発明の不揮発性半導体記憶素子の一例を示す断面概略図である。

図２は、本発明の不揮発性半導体記憶素子の他の例を示す断面概略図である。

図３は、従来のＭＯＮＯＳメモリの例を示す断面概略図である。

図４は、従来の離散Ｓｉ超微粒子を含む半導体記憶素子の例を示す断面概略図である。

発明を実施するための最良の形態

本発明において、電荷保持層が、浮遊ゲートとして機能する粒子径５ｎｍ以下の一種以上の単元素物質または化合物からなる超微粒子を、不揮発性半導体記憶素子当たり１個含有するかまたは電荷保持層の平方センチメートル当たり10^{+12}～10^{+14}個の密度で独立分散して含有する。

不揮発性半導体記憶素子当たり、すなわち１メモリセル当たり超微粒子を１個含有する記憶素子は、単電子デバイスとすることができる。

単電子デバイスのうち電子１つに記憶を担わせる単電子メモリでは、電子の入れものである浮遊ゲートに１つの電子を入れ、または浮遊ゲートから１つの電子を放出する。

単電子メモリにおいて、移動する電子の数が１つと究極的に少ないことが重要であり、このことによってデータの書換え動作に要する消費電力を極限まで低減でき、また電子の移動に伴ってトンネル絶縁膜に与えられるストレスも最小限に抑えられ、可能なデータの書換え回数が飛躍的に向上する。

単電子メモリの実用化のためにはいくつかの要素技術を確立しなければならないが、その一つに粒子径（直径）１ｎｍ程度の超微粒子を形成する技術が挙げられる。この要素技術は、単電子メモリの動作特性の安定化のために必要不可欠であり、その理由を以下に説明する。単電子メモリの動作特性の安定化のためには電子、正孔などキャリアの運動が、外部からの制御された電圧のみによって支配されなければならず、キャリアの運動の無秩序化を引き起こす熱揺らぎの影響は極力抑制されなければならない。

キャリアがもつ熱エネルギーによって無秩序に浮遊ゲートへキャリアが侵入することを阻止するため、現在クーロンブロッケード効果を利用することが検討されている。しかし、クーロンブロッケード効果を発現させるためには、チャネル形成領域またはソース領域と、浮遊ゲートとの間で形成される電気容量を充分小さく、すなわち浮遊ゲートの大きさを小さくしなければならない。具体的には、室温における熱エネルギーに対しては粒子径を１ｎｍ程度まで小さくする必要があるとされている。

また、単電子メモリ素子の製造に関する要素技術として、電荷の収納箱としての浮遊ゲートを一つ確実に制御ゲートの直下に形成する技術がある。しかし単電子メモリにおいては制御ゲートの形成領域サイズは非常に小さくなり、約１０ｎｍ×１０ｎｍ程度、またはそれ以下になると予想されている。

この大きさの領域内に一つの浮遊ゲートを確実に形成する方法としては、集積された記憶素子の各制御ゲートの形成領域内に超微粒子が一つずつ自発的または人為的に整列して形成させるか、または不特定の位置に形成した後に不要な超微粒子を除去する方法のいずれかが考えられる。現状においてより実用な技術は後者の技術であるが、不特定の位置にばら撒かれた結果、前述のような１０ｎｍ四方またはそれ以下の面積の領域に確実に超微粒子が配置されるためには、少なく

とも10^{12}／cm^2以上の形成面密度が必要である。

さらに配置分布の局所的なバラ付きを考慮すれば好ましくは10^{13}～10^{14}／cm^2程度の面密度で超微粒子が形成される必要がある。このことから、単電子メモリ素子の製造技術としても超微粒子を非常に高い密度で、具体的には例えば10^{12}～10^{14}／cm^2の面密度で形成する技術が必要不可欠となる。

本発明の不揮発性半導体記憶素子の一例の概略的断面図を図１に示す。図１において、１はｐ型単結晶Ｓｉ基板、２はトンネル絶縁膜、３は電荷保持層であり、超微粒子である超微粒子３ａが絶縁層３ｂ中に分散した状態で含まれる。６はゲート絶縁膜、７は制御ゲートである。また、９はソース領域、１０はドレイン領域、１１はチャネルが形成されるおよその領域、すなわちチャネル形成領域を示したものである。

ｐ型単結晶Ｓｉ基板１は、埋め込み酸化膜を有するＳＯＩ（Ｓｉｌｉｃｏｎ Ｏｎ Ｉｎｓｕｌａｔｏｒ）基板を用いてもよく、特に動作速度の向上や消費電力の低減を実現しようとする場合には好適に使用できる。トンネル絶縁膜２はｐ型単結晶Ｓｉ基板１と界面接合性が比較的よい酸化膜、または制御ゲート電圧によるチャネル形成領域１１の電界分布の制御性を高める理由から誘電率の高い物質、例えばSiO_xN_y（$0 \leqq x < 2$、$0 < y \leqq 4/3$）系材料などが好適に使用できる。

またデータの書き込み／消去動作を高速に行わせるため、トンネル絶縁膜の膜厚はできるだけ薄くすることがよく、８ｎｍ以下が好ましい、さらに５ｎｍ以下とすることが高速化のため極めて好ましい。

電荷保持層３を構成する超微粒子３ａは、トンネル絶縁膜２の絶縁破壊による蓄積電荷の損失量をできるだけ少なく抑えるために多数分散し、また超微粒子相互を電気的に絶縁できるようにある程度間隔を設けることが好ましい。一方、超微粒子への蓄積電荷の有無によるしきい値電圧のシフト量（ΔV_{th}）を大きくし、また前記しきい値電圧シフト量のバラ付きを抑制する目的から、超微粒子の電荷保持層における面密度は高いことが好ましく、10^{12}～10^{14}／cm^2であるとする。なお、この面密度の値は上記単電子メモリ素子の説明個所の面密

度の値と一致しているが、ここでの値は超微粒子の数が単電子メモリ素子あたり１個である必要は必ずしもない。

ここで、超微粒子の密度を高めながら隣り合う超微粒子間でのトンネル効果による電荷の移動を抑制するために、超微粒子の粒子径を５ｎｍ以下の超微粒子にする。さらには超微粒子の材料として電子親和力（超微粒子の材料が半導体または絶縁体の場合）または仕事関数（超微粒子の材料が金属などの良導体の場合）が大きいこと、また絶縁層３ｂの材料として電子親和力の小さい材料を選択することが好ましい。また同時に、半導体製造プロセスにおける高温処理に対して耐性をもつ高融点材料を、超微粒子および絶縁層３ｂに適用することが好ましい。なお、超微粒子および絶縁層に適する具体的な材料名は後述する。

絶縁膜６は、制御ゲート電圧によるチャネル形成領域１１の電界分布の制御性を高めること、およびデータ消去時の放電動作を高速にする理由から、物理的な厚さを薄くすることがよく、また誘電率の高い物質を選択することが好ましい。具体的には、厚さは１０ｎｍ以下、物質としてはSiO_2の他、前記SiO_xN_y系材料、またはSiO_2とSiO_xの積層膜などを好適に用いることができる。

本発明の不揮発性半導体記憶素子の他の例の概略的断面図を図２に示す。図２において、記憶素子形成用の基板１はＳＯＩ基板を使用しており、この基板１はｐ型単結晶Ｓｉ基板１ａ、埋め込み酸化膜１ｂおよびｐ型ＳＯＩ層１ｃの３つの層から構成されている。２はトンネル絶縁膜、３は電荷保持層であり、超微粒子３ａが絶縁層３ｂ中に分散した状態で含まれる。４は浮遊ゲート、６はゲート絶縁膜、７は制御ゲート、８はサイドウォールである。また、９はソース領域、１０はドレイン領域であり、それぞれの領域において９ａおよび１０ａは浅い接合領域，９ｂおよび１０ｂはコンタクト領域である。１１はチャネルが形成されるおよその領域、すなわちチャネル形成領域を示したものである。

トンネル絶縁膜２はｐ型ＳＯＩ層１ｃと界面接合性がよい酸化膜、または制御ゲート電圧によるチャネル形成領域１１の電界分布の制御性を高める理由から誘電率の高い物質、例えば前述のSiO_xN_y系材料などが使用できる。また書込

み／消去動作を高速に行わせるため、トンネル絶縁膜２の膜厚はできるだけ薄くすることがよく、後述の電荷保持層３が存在することも加味し３ｎｍ以下とすることが好ましい。

電荷保持層３は、チャネル形成領域１１から浮遊ゲート４へ向かう電子の移動を促進し、かつ浮遊ゲート４からチャネル形成領域１１へ向かう電子の移動を抑制する機能を有する。以下に、これを詳細に説明する。

電荷保持層３はその隣に位置する浮遊ゲート４に蓄積された電荷が基板側へリークすることを抑制する目的で配置される層である。電荷蓄積時、電荷は浮遊ゲート４のみでなく電荷保持層３中の超微粒子３ａにも分散して蓄積されるが、超微粒子３ａの蓄積電荷が浮遊ゲート４の蓄積電荷に対してクーロンブロッケード効果を有するため、浮遊ゲート４中の蓄積電荷の基板側へのリークが抑制される。この電荷保持層３は書き込み速度を高めるのにも効果的である。

データの書き込み動作時には、チャネル形成領域１１と制御ゲート７の間に高い電圧が印加され、この電圧により発生した電界により電子がチャネル形成領域１１から浮遊ゲート４へと注入されるが、チャネル形成領域１１と浮遊ゲート４との間に超微粒子３ａが存在するとこの超微粒子３ａを介して電子が浮遊ゲート４へと注入されるので注入確率が増し、書き込み速度が増加する。

また、より低電圧での書き込みもできる。なお、電荷保持層中における超微粒子の電荷保持力は高いことが好ましく、超微粒子は多数に分散させることが電荷保持層全体での電荷保持力を高め、ひいてはそのことが浮遊ゲート４に保持される電荷のリークを抑制するという理由から好ましい。

同じく超微粒子の電荷保持力の向上のため、超微粒子を２段以上のすなわち３次元的な多重積層構造にすることも電荷保持特性を高めることにとって有効である。一方、浮遊ゲートの蓄積電荷に対して充分なクーロンブロッケード効果を発現させるために、超微粒子一つ一つの大きさは小さいことが好ましく、また上記のように超微粒子の面密度は10^{12}～10^{14}／cm^2と高くすることが好ましい。

ここで、超微粒子の密度を高めながらかつ超微粒子相互の電気的な絶縁性を確

保することを両立させるために、粒子径を５ｎｍ以下の超微粒子にすること、さらには超微粒子の材料として電子親和力または仕事関数が大きいこと、また絶縁層の材料として電子親和力の小さい材料を選択することが電荷保持力を高める理由により好ましい。また同時に、半導体製造プロセスにおける高温処理に対して耐性をもつ高融点材料を超微粒子および絶縁層に適用することが好ましい。なお、超微粒子および絶縁層に適する具体的な材料名は後述する。

ゲート絶縁膜６は、制御ゲート電圧によるチャネル形成領域１１の電界分布の制御性を高めること、および書込み時や消去時の動作を高速にするために、誘電率の高い物質、例えば前記SiO_xN_y系材料、または酸化膜とSiN_x膜の積層膜などを好適に使用できる。また同じく電界分布の制御性と高速動作性を高めるためにゲート絶縁膜６の膜厚はできるだけ薄くすることがよく、１０ｎｍ以下とすることが好ましい。

電荷保持層は、物理的蒸着法を用いて形成される。薄膜の形成法としては、物理的蒸着法の他、例えば化学蒸着法（化学気相蒸着法、別称ＣＶＤ法）もよく知られている。しかしＣＶＤ法は、物理的成膜法に対し成膜時の気相圧力が高く反応原子種、分子種の気相における衝突頻度が高いこと、また気相および基板表面温度が高くなることなどの理由により、相が分離しない単一相の膜または結晶化度の高い膜、すなわち平衡相膜が形成されやすい。したがって、本発明の電荷保持層のような超微粒子と絶縁層が分離した状態にあるすなわち準平衡相または非平衡相の膜を形成する場合には化学蒸着法は適さない。

電荷保持層は、物理的蒸着法を用いた一回のプロセスで形成される。物理的蒸着法としては、スパッタリング法、熱蒸着法、電子ビーム蒸着法、レーザアブレーション法、分子線エピタキシー法などが挙げられる。このなかでもスパッタリング法は、成膜材料を幅広く選択できること、緻密な膜を得易いこと、下地との密着性が高い膜が得られることなどに加えて量産性に優れており、特に好ましい。

またスパッタリング法は、本発明における自己組織化にとって適切な基板温度などが得られるため好ましい。例えば、低くもなくかつ高くもない適切な基板温

度が得られるため、基板表面上にて成膜種粒子が適度なマイグレーションを起すことにより自己組織化を促進できる。

スパッタリング装置として、下地のトンネル酸化膜に与えるダメージが少ない理由により、誘導結合型プラズマや電磁波結合型プラズマを用いるもの、または対向ターゲット方式の装置を用いるものがより好ましい。

スパッタリング法によって電荷保持層を形成する場合、超微粒子の相である分散相を形成する材料と、絶縁層の相であるマトリックス相を形成する材料とを用いてターゲットを構成する方法としては特に限定されないが、両相の材料粉末を焼結させたもの、または一方の相の材料の単一相ターゲットに他方の相の材料のチップ片を表面に露出するように適当数埋め込んだものが使用できる。

また、ターゲットのスパッタリング面が成膜装置の成膜室において鉛直上向きに設置される場合には、一方の相の材料の単一相ターゲット上に他方の相の材料のチップ片を適当数乗せただけのもの、または両相の混合粉末をガラスシャーレなどに敷き詰めただけのものもターゲットとして利用できる。ただし、粉末ターゲットは成膜環境において粉末が飛散し他の半導体製造プロセスに悪影響を及ぼす恐れがあるなどの理由により、半導体チップを作成する上ではあまり好ましくない。

電荷保持層を作製する場合、分散相とマトリックス相との材料の組み合わせとしては、分散相の材料とマトリックス相との材料が成膜時に相分離を起こすこと、かつ分散相の仕事関数または電子親和力がマトリックス相の電子親和力よりも大きくなる組み合わせであればよい。

本発明における自己組織化とは、超微粒子を構成する原子群と絶縁層を構成する原子群とが熱力学的相互作用などにより自発的にそれぞれ分離して配置し、その結果絶縁層中にナノスケールの超微粒子が組織化されることを指す。この現象は超微粒子構成材料と絶縁層構成材料の組み合わせや存在比率、および成膜圧力や基板温度などの成膜条件などに依存する。

本発明における超微粒子および絶縁層の材料を適切に選択し、スパッタリングの条件を適切に選ぶことにより比較的容易に自己組織化の作用を利用でき、電荷

保持層を形成できる。スパッタリング法を用いることにより、本発明における自己組織化の発現に適した領域の熱力学的条件を得ることができる。

分散相の材料としては、金属、半導体および絶縁体のいずれからも選択できるが、電荷保持特性を良くする目的のために仕事関数または電子親和力のできるだけ大きい物質、かつ半導体プロセスにおける熱処理においても安定とする目的のために高融点物質を選択することがより好ましい。

金属の超微粒子としては、Ａｌ、Ｔｉ、Ｚｎ、Ｇａ、Ｚｒ、Ｎｂ、Ｍｏ、Ｒｅ、Ｒｕ、Ｉｎ、Ｓｎ、Ｌａ、Ｔａ、Ｐｔ、Ｗ、Ｐｂ、Ａｇ、Ａｕ、Ｐｄなどの元素、またはＶ、Ｃｒ、Ｍｎ、Ｎｉ、Ｆｅ、Ｃｏ、Ｃｕなどの３ｄ遷移金属元素および／またはそれを主成分とする合金なども好適に使用できる。

元素半導体の超微粒子としては、Ｓｉ、Ｇｅ、ＳｅおよびＴｅのうち少なくとも１種であることが好ましい。また、Ｓｉ、Ｇｅ、ＳｅおよびＴｅのうち少なくとも１種の半導体にＰ、Ａｓ、Ｓｂ、Ｂ、Ａｌ、Ｇａ、ＩｎおよびＣｕのうち少なくとも１種の元素を不純物として含むものでもよい。

化合物半導体または絶縁体の超微粒子としては、ＩｎＡｓ、ＩｎＧａＡｓ、ＩｎＧａＮＡｓ、ＩｎＡｌＡｓ、ＩｎＡｓＰ、ＩｎＧａＡｓＰ、ＩｎＳｂ、ＩｎＧａＳｂ、ＩｎＡｌＳｂ、ＩｎＧａＡｓＳｂ、ＳｉＣ、Cu_2O、ＺｎＯ、ＣｄＯ、ＢａＯ、ＰｂＯ、ＮｉＯ、In_2O_3、Sb_2O_3、SnO_2、Ag_2O、ＡｇＯ、RuO_2、V_3Ga、Nb_3Sn、Nb_3Al、Nb_3Ga、Nb_3Ge、ＮｂＴｉ、$NbMo_6S_8$、ＺｎＳ、ＣｄＳ、ＨｇＳ、ＰｂＳ、Sb_2S_3、Bi_2S_3、ＺｎＳｅ、ＣｄＳｅ、ＨｇＳｅ、ＳｎＳｅ、ＰｂＳｅ、In_2Se_3、Sb_2Se_3、$BiSe_3$、ＺｎＴｅ、ＣｄＴｅ、ＨｇＴｅ、ＳｎＴｅ、ＰｂＴｅ、In_2Te_3、Bi_2Te_3、ＢＮ、ＧａＮ、ＩｎＮ、ＴｉＮ、ＢＰ、ＡｌＰ、ＧａＰ、ＩｎＰ、Zn_3P_2、Cd_3P_2、ZnP_2、CdP_2、ＡｌＡｓ、ＧａＡｓ、Zn_3As_2、Cd_3As_2、$ZnAs_2$、$CdAs_2$、ＡｌＳｂ、ＧａＳｂ、ＺｎＳｂ、ＣｄＳｂ、Si_3N_4のうち少なくとも１種の化合物であることが好ましい。

また、これらの物質群の中でIn_2O_3、Sb_2O_3、SnO_2、ＺｎＯ、Ｇ

ａＡｓのうち少なくとも１種の化合物にＳｎ、Ｓｂ、Ｇａ、Ａｌ、Ｉｎのうち少なくとも１種の元素を不純物として含むものでもよい。

電荷保持層中の絶縁層の材料の例としては、シリカ、アルミナ、チタニア、ムライト、コーディエライト、スピネル、ゼオライト、フォルステライトなどの酸化物、また炭化硼素（B_4C）などの炭化物、窒化ケイ素や窒化ホウ素、窒化アルミニウムなどの窒化物、フッ化マグネシウム、フッ化アルミニウムなどのフッ化物から選ばれる少なくとも１種の化合物が挙げられる。なおこのとき、電荷保持特性を良くする目的のために電子親和力ができるだけ小さい物質、かつ半導体プロセスにおける熱処理にて安定とする目的のために高融点物質を選択することがより好ましい。

スパッタリング法による電荷保持層の形成プロセスにおいて、ターゲット組成および成膜条件を制御することにより、マトリックス相中に成長する分散相の平均粒子径が変化する。特に、分散相とマトリックス相の体積分率および成膜条件（スパッタリング時のＡｒガス圧および基板温度など）によって変化することが確認されている。例えば、Ｃｏ－SiO_2系のターゲットを用いてSiO_2絶縁層中にＣｏ金属超微粒子が分散した膜を形成する場合、ＣｏとSiO_2の体積比を５０：５０にして０．５ＰａのＡｒガス圧で成膜した場合はＣｏ粒子の粒径が約２ｎｍであるのに対して、８ＰａのＡｒガス圧で成膜した場合はＣｏ粒子の粒径が約５ｎｍになることが確認されている。

仕事関数または電子親和力の大きい材料を粒子径５ｎｍ以下の超微粒子とし、さらにその超微粒子を絶縁層中に高密度に分散させた薄膜を用いた、本発明の不揮発性半導体記憶素子の電荷保持層は、多くの電荷を独立分散して保持できる。この独立分散保持によって、トンネル絶縁膜の絶縁破壊が生じた場合においても電荷保持層が保持する全電荷量のうちのごく一部のみがリークするにとどまり、絶縁破壊発生後もデータの読み取りに充分なしきい値電圧のシフト量を確保できる。また、この独立分散保持によってトンネル絶縁膜の薄膜化、記憶素子の寸法の縮小化、さらに駆動電圧の低圧化を実現できる。

仕事関数あるいは電子親和力の大きい材料を粒子径５ｎｍ以下の超微粒子とし

、さらにその超微粒子を絶縁層中に高密度に分散させた薄膜を用いた、本発明の不揮発性半導体記憶素子の電荷保持層では、個々の超微粒子間で形成される電気容量や、超微粒子と半導体基板との間に形成される電気容量、または超微粒子と浮遊ゲートとの間に形成される電気容量を小さくできる。

ここで、超微粒子の帯電によるポテンシャルエネルギーの変化（$\Delta\varepsilon$）は蓄積電荷量q、電気容量Cを用いて、$\Delta\varepsilon = q^2/2C$と表すことができるので、保持電荷量が多いほど、また電気容量Cが小さいほど、帯電した超微粒子のポテンシャルエネルギーの変化は大きくなることが分かる。したがって、前記超微粒子を含む電荷保持層は、近接する超微粒子または隣に位置する浮遊ゲートが保持する電荷に対してクーロンブロッケード効果を有効に作用させうる。

また、前記電荷保持層を形成する際にスパッタリング法を用いることにより、様々な組成の材料を分散相およびマトリックス相に選択でき、また、成膜プロセスとして従来からある半導体製造プロセスに容易に組み込むことができるため、従来のプロセスを大きく変更することなく、再現性良く高性能の不揮発性半導体記憶素子を供給できる。

以下実施例について、説明する。

［例１］

本例の不揮発性半導体記憶素子に関して、図１を用いて説明する。ｐ型単結晶Ｓｉ基板１上にトンネル絶縁膜２を形成した。このトンネル絶縁膜２は半導体基板を８００℃で熱酸化したもので、厚さ３ｎｍである。

その後、電荷保持用の超微粒子３ａを含有する絶縁層３ｂからなる電荷保持層３を容量結合型マグネトロンスパッタリング法により以下の要領で厚さ７ｎｍ形成した。超微粒子として金属Ｃｏ、絶縁層としてSiO_2を選択した。スパッタリングに際しては、直径６インチ（１５．２４ｃｍ）の金属Ｃｏターゲット上に５ｍｍ角のSiO_2ガラスチップを置いた複合ターゲットを用いた。ターゲットのプラズマに晒される面の表面積のうち、７０％を占めるようにSiO_2ガラスチップの量を調節した。

スパッタリング装置の成膜室を5×10^{-4} Ｐａまで排気したのちにＡｒガス

を導入し、成膜室のガス圧が０．５Ｐａになるようにガス流量を調節した。４００Ｗの高周波（１３．５６ＭＨｚ）電力の入力によりプラズマを発生させた。成膜時には基板を約２００℃に加熱した。このようにして形成したＣｏ－SiO_2複合膜をＴＥＭ（透過型電子顕微鏡）で観察した結果、アモルファスのSiO_2の中に平均粒子径約３ｎｍのＣｏ結晶の超微粒子がおよそ$1\times10^{13}/cm^2$の面密度で分散していることが確認された。

Ｃｏ－SiO_2複合膜の上にゲート絶縁膜６としてSiO_xN_y膜を形成した後、制御ゲート７としてのリン含有ポリシリコン層をＣＶＤ法により形成した。フォトレジスト層をマスクとして形成し、マスクされていないポリシリコンの制御ゲート７、ゲート絶縁膜６、電荷保持層３、トンネル絶縁膜２をドライエッチング法により除去しゲート構造を形成した。その後、ヒ素（リンであってもよい）のイオン注入およびアニール処理によりソース領域９、ドレイン領域１０を形成した。

上述のトンネル酸化膜２、電荷保持層３、ゲート酸化膜６の積層構造を有するＭＯＳダイオードを作成しその容量－電圧特性を測定したところ、Ｃｏドットへの電子の注入による２．２Ｖのヒステリシス現象が生じた。

［例２］

本例の不揮発性半導体記憶素子に関して、図２を用いて説明する。ｐ型単結晶Ｓｉ基板１ａ、埋め込み酸化膜１ｂおよびｐ型ＳＯＩ層１ｃから成るＳＯＩ基板をメサ分離法にて素子を分離し、ｐ型ＳＯＩ層１ｃの表面に８００℃の熱酸化処理によりトンネル絶縁膜２である酸化膜を１．５ｎｍ形成した。

その後、超微粒子３ａを３次元的に含有する絶縁層３ｂから成る電荷保持層３をスパッタリング法により以下の要領で厚さ１０ｎｍ形成した。ＰｔとSiO_2の２相からなる薄膜を形成した。スパッタリングに際しては、Ｐｔ粉末とSiO_2粉末を体積比２０：８０の割合で混合し焼結させて作成した直径６インチ（１５．２４ｃｍ）の複合ターゲットを用いた。

スパッタリング装置の成膜室を5×10^{-4}ＰａまでＡｒガスを導入し、成膜室のガス圧が０．５Ｐａになるようにガス流量を調節した。４０

０Wの高周波（１３．５６ＭＨｚ）電力の入力によりプラズマを発生させた。成膜時には基板を約２００℃に加熱した。このようにして形成したＰｔ-ＳｉＯ$_2$複合膜をＴＥＭで観察した結果、平均粒子径約２ｎｍのＰｔ結晶粒子がアモルファスの絶縁層ＳｉＯ$_2$中に分散していることが確認された。

次に、浮遊ゲート４となる多結晶ＳｉをＣＶＤ法にて成膜し、その上にＳｉＯ$_2$膜をさらにＣＶＤ法にて成膜したあと熱窒化によりＳｉＮ$_x$層を形成しそれをゲート絶縁膜６とした。制御ゲート７としてリン含有ポリシリコン層をＣＶＤ法により成膜した後、制御ゲート７、ゲート絶縁膜６、浮遊ゲート４、電荷保持層３、トンネル絶縁膜２をドライエッチング法により部分的に除去してゲート構造を形成した。

その後、リン（ヒ素であってもよい）を低エネルギーで浅くイオン注入し浅い接合領域９ａおよび１０ａを形成し、ＣＶＤ法によりＳｉＯ$_2$膜を成膜して前述のゲート構造、すなわちトンネル絶縁膜２、電荷保持層３、浮遊ゲート４、ゲート絶縁膜６および制御ゲート７の全体を一旦覆った。このＳｉＯ$_2$膜をドライエッチング法により部分的にエッチング（エッチバック）することでサイドウォール８を形成した。

さらにリン（ヒ素であってもよい）を高エネルギーでやや深くイオン注入しコンタクト領域９ｂおよび１０ｂを形成、アニール処理を行ってソース領域９、ドレイン領域１０を形成した。

産業上の利用可能性

本発明における不揮発性半導体記憶素子は、従来の同種の記憶素子に比し、データの書込みや消去時間を短縮でき、同時に書き換え回数を大幅に増加させることができ、また低い消費電力で動作させることができる。

したがって、従来の不揮発性半導体記憶素子では適用が困難であった機器や、技術分野への応用ができるようになり、特に携帯端末機器における広範囲な応用、またＤＲＡＭの置換えによるパソコン搭載メモリの不揮発化、さらには究極のメモリデバイスと言われている単電子デバイスへの応用も可能になると思われる

。

また、スパッタリング法を使用しているため、超微粒子を形成する材料として様々な組成の物質を幅広く選ぶことができ、作製条件を変更することにより超微粒子の粒子径を比較的自由に制御できる。このことによって目的に適した材料を比較的自由に組み合わせることができ、例えば超微粒子として磁性金属や磁性半導体を選択した場合、量子効果により新規な磁気デバイスや光学デバイスを作製できる。また、スパッタリング法を用いているため、従来からある半導体プロセスに容易に組み込むことができる。さらに、様々な種類の材料を交互に積層して人工格子を形成することもできる。

請 求 の 範 囲

1．半導体基板表面に形成されたソース領域およびドレイン領域と、前記ソース領域および前記ドレイン領域を繋ぐように、かつ前記ソース領域および前記ドレイン領域に挟まれたチャネル形成領域に接して形成されたトンネル絶縁膜と、前記トンネル絶縁膜に隣接して形成された電荷保持層と、前記電荷保持層に隣接して形成されゲート絶縁膜と、前記ゲート絶縁膜に隣接して形成された制御ゲートとを備える不揮発性半導体記憶素子において、前記電荷保持層が、浮遊ゲートとして機能する粒子径５ｎｍ以下の一種以上の単元素物質または化合物からなる超微粒子を、不揮発性半導体記憶素子当たり１個含有するかまたは前記電荷保持層の平方センチメートル当たり10^{12}～10^{14}個の密度で独立分散して複数個含有する絶縁層から成ることを特徴とする不揮発性半導体記憶素子。

2．半導体基板表面に形成されたソース領域およびドレイン領域と、前記ソース領域および前記ドレイン領域を繋げるように、かつ前記ソース領域および前記ドレイン領域に挟まれたチャネル形成領域に接して形成されたトンネル絶縁膜と、前記トンネル絶縁膜に隣接して形成された電荷保持層と、前記電荷保持層に隣接して形成され浮遊ゲートと、前記浮遊ゲートに隣接して形成されたゲート絶縁膜と、前記ゲート絶縁膜に隣接して形成された制御ゲートを備える不揮発性半導体記憶素子において、前記電荷保持層は前記チャネル形成領域から前記浮遊ゲートへ向かう電子の移動を促進しかつ前記浮遊ゲートから前記チャネル形成領域へ向かう電子の移動を抑制する機能を有することを特徴とする不揮発性半導体記憶素子。

3．前記電荷保持層が、粒子径５ｎｍ以下の一種以上の単元素物質または化合物からなる超微粒子を前記電荷保持層の平方センチメートルあたり10^{12}～10^{14}個の密度で独立分散して複数個含有する絶縁層から成る請求の範囲２に記載の不揮発性半導体記憶素子。

4．前記電荷保持層を構成する超微粒子が、金属、酸化物、炭化物、窒化物、珪化物および硼化物からなる群から選ばれる１種以上の単元素物質または化合物からなる請求の範囲１、２または３記載の不揮発性半導体記憶素子。

５．前記電荷保持層を構成する絶縁層が、酸化物、炭化物、窒化物、硼化物、珪化物およびフッ化物からなる群から選ばれる１種以上の化合物からなる請求の範囲１、２または３記載の不揮発性半導体記憶素子。

６．前記電荷保持層を構成する前記超微粒子が前記絶縁層内において2次元的または３次元的に分散している請求の範囲１、２または３記載の不揮発性半導体記憶素子。

７．請求の範囲６に記載の、絶縁層中に超微粒子が２次元的または３次元的に分散された電荷保持層を有する不揮発性半導体記憶素子の製造方法において、前記電荷保持層は超微粒子および絶縁層を構成するそれぞれの材料を物理的蒸着法を用いて自己組織的に形成することを特徴とする不揮発性半導体記憶素子の製造方法。

８．前記物理的蒸着法はスパッタリング法である請求の範囲７に記載の不揮発性半導体記憶素子の製造方法。

図１

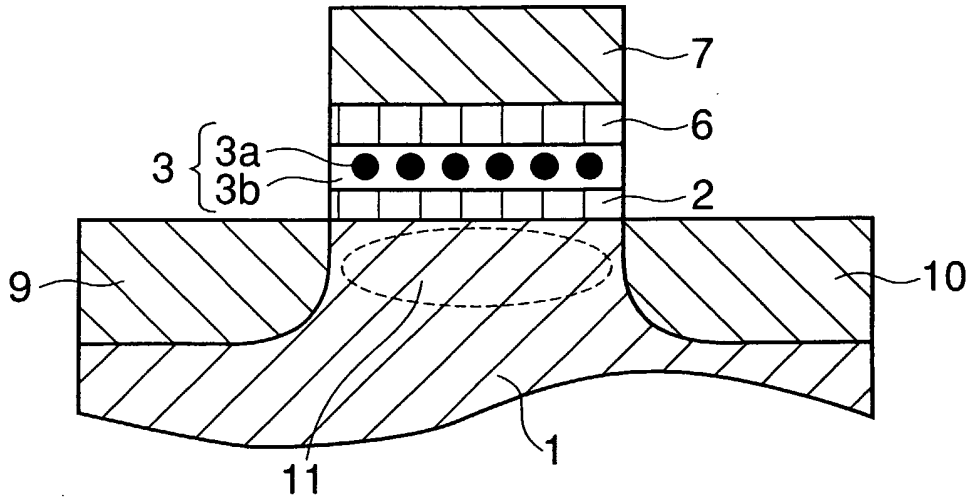


図２

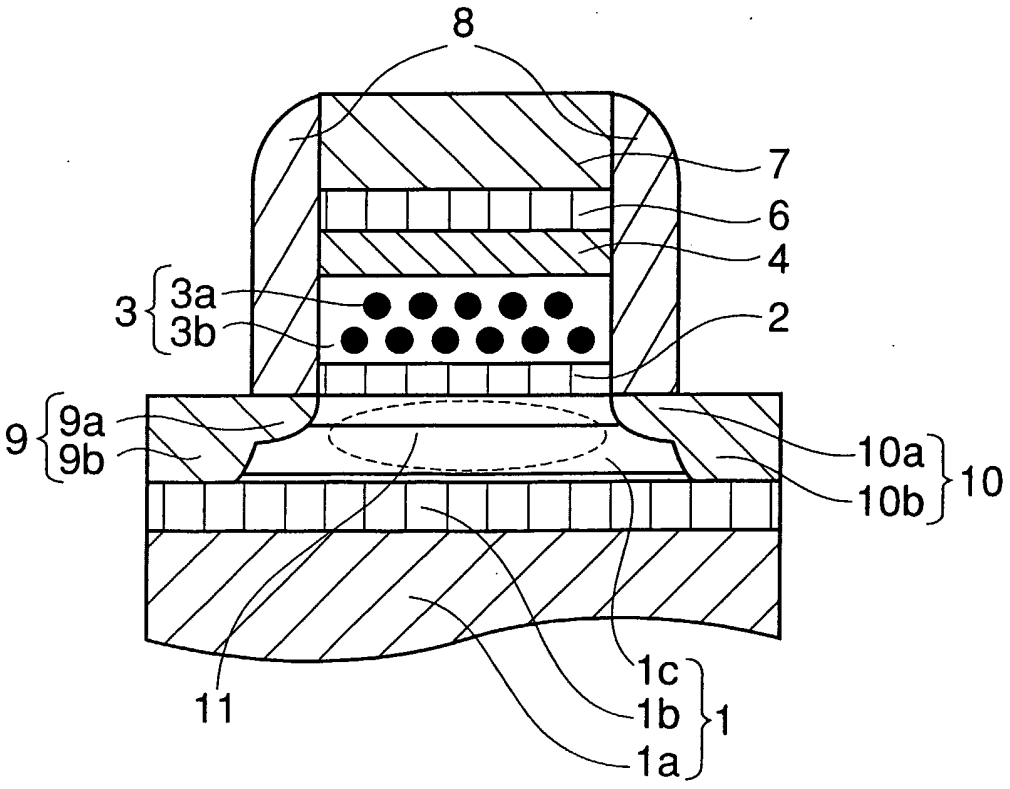


図３

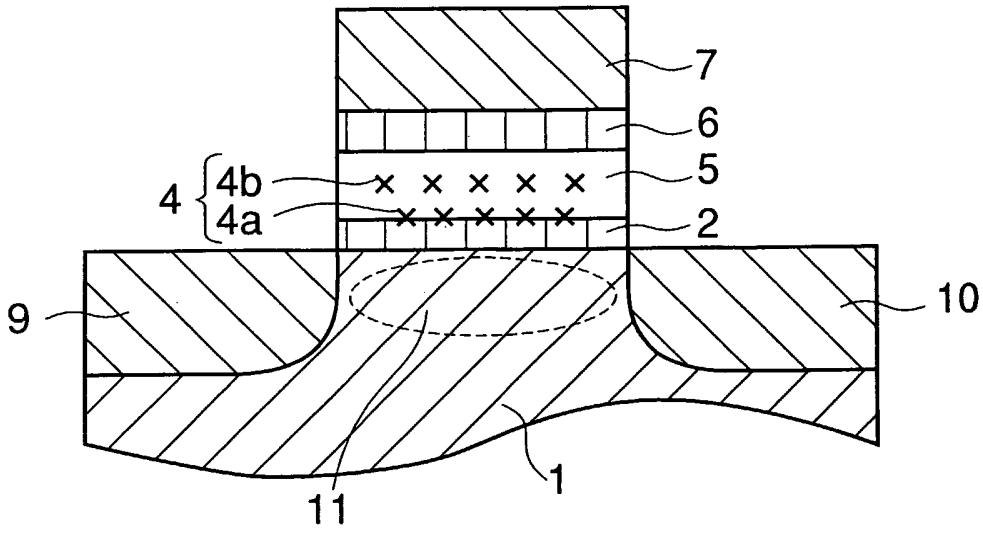
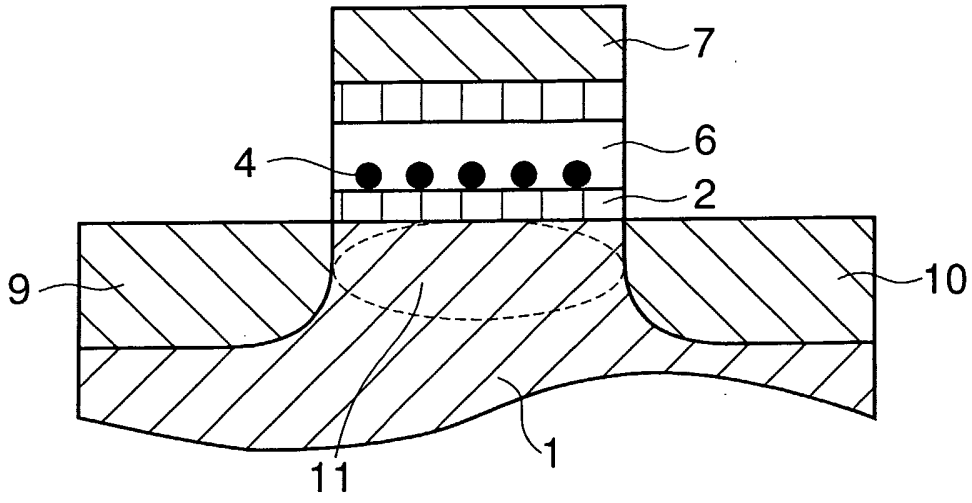


図４



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP03/09335

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl[7] H01L29/792, H01L27/115

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl[7] H01L29/788-29/792, H01L27/10, H01L27/112-27/115

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Toroku Jitsuyo Shinan Koho	1994-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
IEEE xplore, Web of Science

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2002-100687 A (Toshiba Corp.), 05 April, 2002 (05.04.02), Par. Nos. [0032] to [0072]; Figs. 1 to 4 (Family: none)	1,4-6 7-8
X	JP 9-36317 A (Matsushita Electric Industrial Co., Ltd.), 07 February, 1997 (07.02.97), Par. Nos. [0027] to [0043]; Figs. 1 to 3 (Family: none)	1,4-8
X Y	TIWARI, Sandip et al., Volatile and Non-Volatile Memories in Silicon with Nano-Crystal Storage, IEDM 95, 10-13 December, 1995, (10-13.12.95), pages 521 to 524	1,5-6 4,7-8

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
24 October, 2003 (24.10.03)	11 November, 2003 (11.11.03)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

Form PCT/ISA/210 (second sheet) (July 1998)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP03/09335

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	KING, Ya-Chin et al., Charge-Trap Memory Device Fabricated by Oxidation of $Si_{1-x}Ge_x$, IEEE TRANSACTIONS ON ELECTRON DEVICES, Vol.48, No.4, April, 2001, pages 696 to 700	1,5-6 4,7-8
Y	JP 2000-22092 A (Nippon Telegraph And Telephone Corp.), 21 January, 2000 (21.01.00), Par. Nos. [0030] to [0039]; Figs. 6 to 7 (Family: none)	1-8
Y	JP 10-256403 A (Toshiba Corp.), 25 September, 1998 (25.09.98), Par. Nos. [0068] to [0079]; Fig. 15 (Family: none)	2-8
Y	JP 2000-87233 A (Japan Science and Technology Corp.), 28 March, 2000 (28.03.00), Full text; all drawings (Family: none)	7-8

国際調査報告

国際出願番号 PCT／JP03／09335

A. 発明の属する分野の分類（国際特許分類（IPC））

Int. Cl[7] H01L29／792, H01L27／115

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int. Cl[7] H01L29／788－29／792, H01L27／10
H01L27／112－27／115

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922－1996年
日本国公開実用新案公報	1971－2003年
日本国実用新案登録公報	1996－2003年
日本国登録実用新案公報	1994－2003年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

IEEE xplore
Web of Science

C. 関連すると認められる文献

引用文献のカテゴリー＊	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
X Y	JP 2002－100687 A（株式会社東芝） 2002.04.05, 【0032】段落～【0072】段落，第1図～第4図 （ファミリーなし）	1，4－6 7－8
X	JP 9－36317 A（松下電器産業株式会社） 1997.02.07, 【0027】段落～【0043】段落，第1図～第3図 （ファミリーなし）	1，4－8

☒ C欄の続きにも文献が列挙されている。　☐ パテントファミリーに関する別紙を参照。

＊ 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日 24.10.03	国際調査報告の発送日 11.11.03
国際調査機関の名称及びあて先 日本国特許庁（ISA／JP） 郵便番号100－8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 小川 将之 4M 9634 電話番号 03－3581－1101 内線 3462

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
X Y	TIWARI, Sandip et al., Volatile and Non-Volatile Memories in Silicon with Nano-Crystal Storage, IEDM 95, 10-13 December 1995, p.521-524	1，５－６ 4，７－８
X Y	KING, Ya-Chin et al., Charge-Trap Memory Device Fabricated by Oxidation of $Si_{1-x}Ge_x$, IEEE TRANSACTIONS ON ELECTRON DEVICES, Vol.48, No.4, April 2001, p.696-700	1，５－６ 4，７－８
Y	ＪＰ　２０００－２２０９２　Ａ（日本電信電話株式会社） ２０００．０１．２１， 【００３０】段落～【００３９】段落，第６図～第７図 （ファミリーなし）	１－８
Y	ＪＰ　１０－２５６４０３　Ａ（株式会社東芝） １９９８．０９．２５， 【００６８】段落～【００７９】段落，第１５図 （ファミリーなし）	２－８
Y	ＪＰ　２０００－８７２３３　Ａ（科学技術振興事業団） ２０００．０３．２８， 全文，全図 （ファミリーなし）	７－８