

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成17年8月25日(2005.8.25)

【公開番号】特開2003-243538(P2003-243538A)

【公開日】平成15年8月29日(2003.8.29)

【出願番号】特願2002-34651(P2002-34651)

【国際特許分類第7版】

H 0 1 L 21/8244

G 1 1 C 11/41

G 1 1 C 11/413

H 0 1 L 21/822

H 0 1 L 23/60

H 0 1 L 25/04

H 0 1 L 25/18

H 0 1 L 27/04

H 0 1 L 27/11

【F I】

H 0 1 L 27/10 3 8 1

H 0 1 L 27/04 E

H 0 1 L 25/04 Z

H 0 1 L 23/56 B

G 1 1 C 11/34 J

G 1 1 C 11/34 3 3 5 A

G 1 1 C 11/34 3 4 5

【手続補正書】

【提出日】平成17年2月8日(2005.2.8)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

半導体基板と、
電気回路を構成するために前記半導体基板の上に形成される回路素子と、
前記半導体基板の上に形成されて、電氣的に前記回路素子に接続している配線層と、
開口部を有すると共に、前記電気回路を覆うために形成される有機絶縁膜と、
前記有機絶縁膜上に形成されて、前記開口部を介して前記配線層に電氣的に接続している導電層と、
前記導電層を介して前記配線層へ接続されたバンプ電極と、を有し、
前記電気回路は、所定電圧の内部電源を発生するために前記半導体基板全体に分散配置された複数のリミッタ回路を含み、
前記リミッタ回路の各々は、前記バンプ電極を介して外部から取り込まれた電源の電圧レベルを低下させるために作動するトランジスタを含み、
少なくとも、前記トランジスタの一部は、電源の取り込みに使用される前記バンプ電極の形成領域の下に位置するように形成された半導体集積回路装置。

【請求項2】

前記リミッタ回路は、前記内部電源の電圧レベルを検出する電圧検出回路と、

所定の基準電圧と前記電圧検出回路によって検出された電圧とを比較して、その比較結果に応答して前記トランジスタのコンダクタンスを制御する比較回路とを含む請求項 1 記載の半導体集積回路装置。

【請求項 3】

前記トランジスタは、互い接続されることによってトランジスタ群を形成する複数の p チャンネル型 MOS トランジスタによって形成され、
前記 MOS トランジスタの少なくとも一部が前記バンプ電極の形成領域の下に位置する請求項 2 記載の半導体集積回路装置。

【請求項 4】

前記リミッタ回路によって生成された内部電源を供給するための内部電源供給経路と、
アレイ状に配置された複数のメモリセルと、
前記複数のメモリセルの中の一組のメモリセルを選択するための複数のワード線とを含み、
前記内部電源供給経路は、前記ワード線と共通の配線層により形成されていて、互いに隣接する前記ワード線の間に配置された複数のワード線間電源配線と、
前記ワード線間電源配線と異なる配線層により形成され、前記ワード線間電源配線を横切るように配置されていて、電氣的に前記ワード線間電源配線に接続している複数のワード線上層配線とを含む、請求項 3 記載の半導体集積回路装置。

【請求項 5】

前記導電層は内部電源配線を含み、前記内部電源配線は前記バンプ電極の形成領域を囲むように形成された請求項 3 記載の半導体集積回路装置。

【請求項 6】

前記導電層はアドレス信号を伝達するためのアドレス信号配線と、低電位側電源を供給するための低電位側電源配線と、を含み、
前記アドレス信号配線はその近傍に配置された前記低電位側電源配線によってシールドされている請求項 3 記載の半導体集積回路装置。

【請求項 7】

前記導電層は、前記バンプ電極の形成領域を囲むように形成された内部電源配線と、
アドレス信号を伝達するためのアドレス信号配線と、
低電位側電源を供給するための低電位側電源配線と、を含み、
前記アドレス信号配線は、その近傍に配置され前記低電位側電源配線によってシールドされている請求項 3 記載の半導体集積回路装置。

【請求項 8】

前記導電層は、クロック信号を前記電気回路に伝達可能なクロック信号伝達ラインを含む請求項 3 記載の半導体集積回路装置。

【請求項 9】

前記導電層は、クロック信号を前記電気回路に伝達可能なクロック配線と、
前記バンプ電極の形成領域を囲むようにリング状に形成された内部電源配線と、
アドレス信号を伝達するためのアドレス信号配線と、
低電位側電源を供給するための低電位側電源配線と、を含み、
前記アドレス信号配線は、その近傍に配置された前記低電位側電源配線によってシールドされている請求項 3 記載の半導体集積回路装置。

【請求項 10】

前記基準電圧を発生する基準電圧発生回路を備え、前記基準電圧発生回路は前記複数のリミッタ回路に共有される請求項 2 記載の半導体集積回路装置。

【請求項 11】

前記リミッタ回路によって生成された内部電源を供給するための内部電源供給経路と、
アレイ状に配置された複数のメモリセルと、
前記複数のメモリセルの中の一組のメモリセルを選択するための複数のワード線とを含み、

前記内部電源供給経路は、前記ワード線と共通の配線層により形成されていて、互いに隣接する前記ワード線の間に配置された複数のワード線間電源配線と、

前記ワード線間電源配線と異なる配線層により形成され、前記ワード線間電源配線を横切るように配置されていて、電氣的に前記ワード線間電源配線に接続している複数のワード線上層配線とを含む、請求項 10 記載の半導体集積回路装置。

【請求項 12】

前記導電層は内部電源配線を含み、前記内部電源配線は前記パンプ電極の形成領域を囲むように形成された請求項 10 記載の半導体集積回路装置。

【請求項 13】

前記導電層はアドレス信号を伝達するためのアドレス信号配線と、低電位側電源を供給するための低電位側電源配線と、を含み、

前記アドレス信号配線はその近傍に配置された前記低電位側電源配線によってシールドされている請求項 10 記載の半導体集積回路装置。

【請求項 14】

前記導電層は、前記パンプ電極の形成領域を囲むように形成された内部電源配線と、アドレス信号を伝達するためのアドレス信号配線と、

低電位側電源を供給するための低電位側電源配線と、を含み、

前記アドレス信号配線は、その近傍に配置され前記低電位電源配線によってシールドされている請求項 10 記載の半導体集積回路装置。

【請求項 15】

前記導電層は、クロック信号を前記電気回路に伝達可能なクロック信号伝達ラインを含む請求項 10 記載の半導体集積回路装置。

【請求項 16】

前記導電層は、クロック信号を前記電気回路に伝達可能なクロック配線と、

前記パンプ電極の形成領域を囲むようにリング状に形成された内部電源配線と、

アドレス信号を伝達するためのアドレス信号配線と、

低電位側電源を供給するための低電位側電源配線と、を含み、

前記アドレス信号配線は、その近傍に配置された前記低電位側電源配線によってシールドされている請求項 10 記載の半導体集積回路装置。

【請求項 17】

前記リミッタ回路によって生成された内部電源を各部に供給するための内部電源供給経路と、

アレイ状に配置された複数のメモリセルと、

前記複数のメモリセルの中の一組のメモリセルを選択するための複数のワード線とを含む、

前記内部電源供給経路は、前記ワード線と共通の配線層により形成されていて、互いに隣接する前記ワード線の間に配置された複数のワード線間電源配線と、

前記ワード線間電源配線と異なる配線層により形成され、前記ワード線間電源配線を横切るように配置されていて、電氣的に前記ワード線間電源配線に接続している複数のワード線上層配線とを含む、請求項 2 記載の半導体集積回路装置。

【請求項 18】

前記導電層は内部電源配線を含み、前記内部電源配線は前記パンプ電極の形成領域を囲むように形成された請求項 2 記載の半導体集積回路装置。

【請求項 19】

前記導電層はアドレス信号を伝達するためのアドレス信号配線と、低電位側電源を供給するための低電位側電源配線と、を含み、

前記アドレス信号配線はその近傍に配置された前記低電位側電源配線によってシールドされている請求項 2 記載の半導体集積回路装置。

【請求項 20】

前記導電層は、前記パンプ電極の形成領域を囲むように形成された内部電源配線と、

アドレス信号を伝達するためのアドレス信号配線と、
低電位側電源を供給するための低電位側電源配線と、を含み、
前記アドレス信号配線は、その近傍に配置され前記低電位電源配線によってシールドされている請求項 2 記載の半導体集積回路装置。

【請求項 2 1】

前記導電層は、クロック信号を前記電気回路に伝達可能なクロック信号伝達ラインを含む請求項 2 記載の半導体集積回路装置。

【請求項 2 2】

前記導電層は、クロック信号を前記電気回路に伝達可能なクロック配線と、
前記パンプ電極の形成領域を囲むようにリング状に形成された内部電源配線と、
アドレス信号を伝達するためのアドレス信号配線と、
低電位側電源を供給するための低電位側電源配線と、を含み、
前記アドレス信号配線は、その近傍に配置された前記低電位側電源配線によってシールドされている請求項 2 記載の半導体集積回路装置。

【請求項 2 3】

前記リミッタ回路によって生成された内部電源を供給するための内部電源供給経路と、
アレイ状に配置された複数のメモリセルと、
前記複数のメモリセルの中の一組のメモリセルを選択するための複数のワード線とを含み、

前記内部電源供給経路は、前記ワード線と共通の配線層により形成されていて、互いに隣接する前記ワード線の間に配置された複数のワード線間電源配線と、

前記ワード線間電源配線と異なる配線層により形成され、前記ワード線間電源配線を横切るように配置されていて、電気的に前記ワード線間電源配線に接続している複数のワード線上層配線とを含む、請求項 1 記載の半導体集積回路装置。

【請求項 2 4】

前記導電層は内部電源配線を含み、前記内部電源配線は前記パンプ電極の形成領域を囲むように形成された請求項 1 記載の半導体集積回路装置。

【請求項 2 5】

前記導電層はアドレス信号を伝達するためのアドレス信号配線と、低電位側電源を供給するための低電位側電源配線と、を含み、

前記アドレス信号配線はその近傍に配置された前記低電位側電源配線によってシールドされている請求項 1 記載の半導体集積回路装置。

【請求項 2 6】

前記導電層は、前記パンプ電極の形成領域を囲むように形成された内部電源配線と、
アドレス信号を伝達するためのアドレス信号配線と、
低電位側電源を供給するための低電位側電源配線と、を含み、
前記アドレス信号配線は、その近傍に配置され前記低電位電源配線によってシールドされている請求項 1 記載の半導体集積回路装置。

【請求項 2 7】

前記導電層は、クロック信号を前記電気回路に伝達可能なクロック信号伝達ラインを含む請求項 1 記載の半導体集積回路装置。

【請求項 2 8】

前記導電層は、クロック信号を前記電気回路に伝達可能なクロック配線と、
前記パンプ電極の形成領域を囲むようにリング状に形成された内部電源配線と、
アドレス信号を伝達するためのアドレス信号配線と、
低電位側電源を供給するための低電位側電源配線と、を含み、
前記アドレス信号配線は、その近傍に配置された前記低電位側電源配線によってシールドされている請求項 1 記載の半導体集積回路装置。