

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3762491号
(P3762491)

(45) 発行日 平成18年4月5日(2006.4.5)

(24) 登録日 平成18年1月20日(2006.1.20)

(51) Int. Cl.

F I

HO2M 7/5387 (2006.01)
HO1L 27/04 (2006.01)
HO1L 29/78 (2006.01)
HO2M 1/08 (2006.01)
HO2M 7/537 (2006.01)

HO2M 7/5387 Z
HO1L 29/78 656A
HO2M 1/08 351Z
HO2M 7/537 E
HO3F 1/52 B

請求項の数 6 (全 7 頁) 最終頁に続く

(21) 出願番号 特願平8-269890
(22) 出願日 平成8年10月11日(1996.10.11)
(65) 公開番号 特開平9-219977
(43) 公開日 平成9年8月19日(1997.8.19)
審査請求日 平成15年5月20日(2003.5.20)
(31) 優先権主張番号 60/004981
(32) 優先日 平成7年10月10日(1995.10.10)
(33) 優先権主張国 米国(US)

(73) 特許権者 591074389
インターナショナル・レクチファイヤー・
コーポレーション
INTERNATIONAL RECTI
FIER CORPORATION
アメリカ合衆国90245カリフォルニア
州 エル・セグンド、カンザス・ストリー
ト233番

(74) 代理人 100062144
弁理士 青山 稔
(74) 代理人 100086405
弁理士 河宮 治
(74) 代理人 100098280
弁理士 石野 正弘

最終頁に続く

(54) 【発明の名称】 高電圧駆動回路

(57) 【特許請求の範囲】

【請求項1】

高電圧デバイスのための駆動回路であって、

MOSゲートドライバーと、パワー切替回路とからなり、

上記のパワー切替回路は、上記の駆動回路の高電圧部により駆動される第1の高電圧側MOSゲートトランジスタ及び上記の駆動回路の低電圧部により駆動される第2の低電圧側MOSゲートトランジスタを備え、上記のMOSゲートドライバーは、第1及び第2のMOSゲートトランジスタに接続され、第1及び第2のMOSゲートトランジスタを交互にオン状態にし、

上記のパワー切替回路は、第1及び第2のMOSゲートトランジスタの間に電圧出力ノード(V_o)を有し、上記の第2MOSゲートトランジスタは回復ダイオードと固有のインダクタンスL_{s1}、L_{s2}とを有し、

上記の駆動回路は集積回路であって、駆動回路の高電圧側の電源の第1回路ノードV_bと駆動MOSゲートドライバー回路の第2回路ノードV_sとの間に接続された共通ノード(COM)と第1コンデンサC_bを備え、この第2回路ノードV_sは電圧出力ノードV_oに接続され、

上記の第1コンデンサC_bは、共通ノード(COM)と第1回路ノードV_bとの間に接続された第2充電コンデンサC_{vcc}、抵抗体R_b及びダイオードD_bを含むブートストラップ回路とを備え、

上記の第1コンデンサC_bは、最大パルスオン時間にわたって上記の第1MOSゲート

10

20

トランジスタの電圧を保持するのに必要な容量を実質的に越えた、高い選択された容量値を有し、この容量値が、固有インダクタンス(L_{S1} 、 L_{S2})と上記の2つのMOSゲートトランジスタの大きさの種類とに対応して定められ、抵抗体 R_b の抵抗値は小さい値に減少される

高パワーデバイスの駆動回路。

【請求項2】

請求項1に記載の駆動回路において、上記の第1コンデンサ C_b は、IRサイズ3「k」型IGBTの場合に約 $0.47\mu F$ よりも大きい容量を有する駆動回路。

【請求項3】

請求項1に記載された駆動回路において、第2コンデンサ C_{VCC} は、第1コンデンサ C_b の値の少なくとも約10倍の容量を有する駆動回路。

10

【請求項4】

請求項1に記載された駆動回路において、抵抗体 R_b の抵抗値はできるだけ小さい値に減少される駆動回路。

【請求項5】

請求項4に記載された駆動回路において、抵抗体 R_b の抵抗値は約0オームである駆動回路。

【請求項6】

請求項1に記載された駆動回路において、さらに、上記のMOSゲートドライバー回路の共通ノードとパワー切替回路の共通ノードとの間に接続される、約1から20オームの範囲内の第2の抵抗体 R_{COM} を備える駆動回路。

20

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、MOSゲートデバイスからなるレベルシフト式高電圧駆動回路に関し、より詳細には、転流電流による有害作用に対する高度な耐性を有するMOSゲートデバイスからなる高電圧駆動回路に関する。

【0002】

【従来の技術】

MOSゲートデバイスを用いたレベルシフト式高電圧駆動回路(Level shifted high voltage MOSgated device)は、例えば絶縁ゲートバイポーラトランジスタ(IGBT)やパワーMOS電界効果トランジスタのようにブリッジ接続をしたMOSゲートデバイスの駆動回路としてよく知られている。この種のデバイスは型式番号IR21XXで販売されていて、高電圧集積回路(HVIC)デバイスであり、何れもブリッジの1本の足ごとに2個のMOSゲートデバイスを駆動するようになっている。図1と図2とに、高速回復ダイオード12、13がそれぞれ接続された高電圧側と低電圧側のIGBT10、11からなるIR21XX型駆動回路(例えば、IR2155型駆動回路)20の典型的な構成を示す。この集積駆動回路20のピン4、2における H_o 出力と L_o 出力とは、デバイス10、11をそれぞれ順次オン・オフ状態にして、出力回路(図示せず)へのパワーの流れを制御する。

30

【0003】

【発明が解決しようとする課題】

図1と図2に示した駆動回路の動作について説明する。上側のデバイス10がオフ状態になると、電流 I_{10} が図3に示すように転流電流 I_{13} となって下側のダイオード13へ転流する。この転流電流 I_{13} は下側のダイオード13と直列接続になっている固有のインダクタンス L_{S1} 、 L_{S2} を介して流れるから、接続点 V_o における電圧が $-V_s$ となる。この負電圧が駆動集積回路20を誤動作させたり、または、破壊したりしている。このような問題は、短絡状態では一層著しい。

40

【0004】

本発明の目的は、転流電流による破壊作用に耐えられるように構成した、MOSゲートデバイスを用いたレベルシフト式高電圧駆動回路を提供することである。

50

【 0 0 0 5 】

【課題を解決するための手段】

本発明に係る高電圧駆動回路は、IGBTやパワーMOSFETなどのMOSゲート装置を駆動する。この装置においてインダクタンス L_{S1} 、 L_{S2} を通して転流する電流により生じる負電圧振動の効果は、いくつかの手段で防止される。まず、本発明に係る高パワーデバイスの駆動回路は、MOSゲートデバイスからなるレベルシフト式高電圧駆動回路であり、MOSゲートドライバーと、パワー切替回路とからなる。パワー切替回路は、第1及び第2のMOSゲートトランジスタを備える。MOSゲートドライバーは、第1及び第2のMOSゲートトランジスタに接続され、第1及び第2のMOSゲートトランジスタを交互にオン状態にする。パワー切替回路は、第1及び第2のMOSゲートトランジスタの間に電圧出力ノードを有し、第2MOSゲートトランジスタは回復ダイオードと固有のインダクタンス L_{S1} 、 L_{S2} とを備える。上記のMOSゲートドライバーは集積回路であって、MOSゲート駆動回路の第1回路ノード V_b と第2回路ノード V_s との間に接続された外部の第1のコンデンサ C_b を備え、さらに、第1の共通ノードと、第1の共通ノードと第1ノード V_b との間に接続された第2のコンデンサ C_{VCC} 、抵抗体 R_b 及びブートストラップダイオード D_b を含む直列回路とを備える。さらに、上記のMOSゲートドライバー回路とパワー切替回路とは、第2ノード V_s と電圧出力ノード V_s との間、及び、第1の共通ノードとパワー切替回路の第2の共通ノードとの間の導線を短くするように、できるだけ近接して接続されており、それによりインダクタンス値 L_{S1} 、 L_{S2} をそれぞれ減少させる。このように、本発明では、導線の長さを一層短くし、また、ダイオード D_b と共通(COM)接続点(ノード)とをインダクタンス路を減少させるように位置決めすることにより内部固有インダクタンス L_{S1} 、 L_{S2} が小さな値となるようにデバイスを構成する。

10

20

【 0 0 0 6 】

また、外部の第1コンデンサ C_b に生ずる電圧を減少させるために、このコンデンサ C_b の容量を増加している。第1コンデンサ C_b のこの減少により、内部回路に生じる電圧は低下する。好ましくは、第1コンデンサ C_b は、最大パルスオン時間にわたって上記の第1MOSゲートトランジスタの電圧を保持するのに必要な容量を実質的に越えた値を有し、この値が、インダクタンス L_{S1} 、 L_{S2} と、上記の2つのMOSゲートトランジスタの大きさと種類とにより定まる。好ましくは、第1コンデンサ C_b は、IRサイズ3「k」型IGBTの場合に約 $0.47\mu F$ よりも大きい容量を有する。

30

好ましくは、内部集積回路の寄生ダイオード D_s が早まってオン状態になることがないようにするために、第2コンデンサ C_{VCC} のサイズを大きくして第2コンデンサ C_{VCC} の電圧をできるだけ変動しないように保持するようにする。大雑把に言えば、第2コンデンサ C_{VCC} の容量は、本システムにおける全ての第1コンデンサ C_b の容量全体の少なくとも約10倍の値でなければならない。

【 0 0 0 7 】

また、ブートストラップ経路における抵抗体 R_b をできるだけ減少させて、減少した電流が基板ダイオードを流れるようにすることによっても、前述の目的が達成できる。このため、抵抗体 R_b の抵抗値はできるだけ小さい値に減少され、より好ましくは約0オームである。

40

好ましくは、基板寄生ダイオード D_s の回路における抵抗値を増加し、コンデンサ C_{VCC} の充電と基板電流とを減少させるために、第2の抵抗体 R_{COM} を用いる。この抵抗体 R_{COM} は、MOSゲートドライバー回路の共通ノードとパワー切替回路の共通ノードとの間に接続され、約1から20オームの範囲内の抵抗値を備える。

【 0 0 0 8 】

【発明の実施の形態】

以後、添付図面を参照しながら本発明の好ましい実施の形態を説明する。まず、本発明が解決しようとする問題点がよりよく理解できるようにするために、関係のある回路構成部品と著しい寄生部品を示した図4を参照する。

【 0 0 0 9 】

50

図4に示す本実施形態の高電圧駆動回路は、MOSゲートドライバーと、パワー切替回路とからなる。集積回路20は、上側のドライバーと下側のドライバーを備え、さらに、寄生基板ダイオード D_s (20)が上下のドライバーの間に生じる。上側のドライバーは、第1ノード V_b に接続され、下側のドライバーは、共通のノードCOM(36)に接続される。パワー切替回路は、第1のMOSゲートトランジスタ(10)と第2のMOSゲートトランジスタを備える。第2MOSゲートトランジスタは回復ダイオード D_p (13)と固有のインダクタンス L_{s1} 、 L_{s2} とを備える。MOSゲートドライバーは、第1と第2のMOSゲートトランジスタに接続され、第1及び第2のMOSゲートトランジスタを交互にオン状態にする。MOSゲートドライバーは集積回路であって、さらに、第1の共通ノード V_{COM} と、第1の共通ノード V_{COM} と第1ノード V_b との間に直接に接続された充電コンデンサ C_{VCC} (26)、抵抗 R_b (40)及びダイオード D_b (22)を備え、さらに、MOSゲート駆動回路の第1ノード V_b と第2ノード V_s (38)との間に接続された外部コンデンサ C_b (28)を備える。外部コンデンサ C_b (28)は、最大パルスオン時間にわたって第1MOSゲートトランジスタの電圧を保持するのに必要な容量を実質的に越えた値を有し、この値は、インダクタンス L_{s1} 、 L_{s2} と、2つのMOSゲートトランジスタの大きさと種類とにより定まる。パワー切替回路は、第1及び第2のMOSゲートトランジスタの間に電圧出力ノード V_o を有する。上述のMOSゲートドライバー回路とパワー切替回路とは、第2ノード V_s (38)と電圧出力ノード V_o との間、及び、第1の共通ノードCOM(36)とパワー切替回路の第2の共通ノードとの間の導線を短くするように、できるだけ近接して接続されており、それによりインダクタンス値 L_{s1} 、 L_{s2} をそれぞれ減少させる。

【0010】

図4に示した回路構成部品には、ブートストラップダイオード D_b (22)とコンデンサ C_{VCC} (26)とが含まれている。また、集積回路の寄生基板ダイオード D_s と入力コンデンサ C_{VCC} (26)も含まれている。 V_o が $-V_s$ となった時の故障モードには二種ある。

【0011】

先ず第1故障モードについていえば、図4に示したブートストラップダイオード D_b (22)が導通し始めてコンデンサ C_b (28)を充電する。もしコンデンサ C_b (28)の充電電圧が上側のドライバー(ツェナーダイオード30として図示)における規格アバランシ値を超えると、その電圧により集積回路20が破壊される。もう一つの第2故障モードでは、ブートストラップコンデンサ C_b (28)は、寄生基板ダイオード D_s (24)を介しても充電される。もしこのダイオード D_s (24)に著しい電流が流れると、集積回路20が誤動作するか、破損するか、又は破壊される。

【0012】

従来では、インダクタンス L_{s1} と L_{s2} を増大させる回路配置について十分な注意が払われるようなことはなかった。さらに、コンデンサ C_b は、電圧の蓄積を減少させるためでなく、最大パルスオン時間にわたって駆動回路の電圧を保持するに適した大きさになっていた。

【0013】

前述の問題に対する従来の解決策では、電流制限抵抗をブートストラップ路に設けたり、抵抗32などの抵抗と、ダイオード34(図5)などの高電圧ダイオードを追加したりして、 $-V_s$ の量を制限している。ところが、これではゲート電圧にスパイクが生じ、そのために別に高電圧ダイオードが必要となっている。

【0014】

本発明では下記のように構成している。

(a) インダクタンスを短くすると共に、インダクタンス路を短くするように図4において V_s ノード38と「COM」ノード36とを位置決めすることにより、インダクタンス L_{s1} 、 L_{s2} のそれぞれの値を減少させている。

【0015】

(b) コンデンサ C_b (28)の値を、図6に示したように、容量電圧を減少した値へと

上昇させるように増加させる。サイズ3のIGBTダイ(カリフォルニア州エル・セグンド所在のインターナショナル・レクチファイヤー・コーポレーションから入手可能)の場合では、IMS基板上に部品を配置するにあたり、 $0.47\mu\text{F}$ のコンデンサを用いるのが好ましい。外部コンデンサ C_b は、IRサイズ3「k」型IGBTの場合に約 $0.47\mu\text{F}$ よりも大きい容量を有することが望ましい。

【0016】

(c) ブートストラップ充電時に V_{cc} 電圧が下降(dip)すると集積回路の内部ダイオード D_s (24)がより早くオン状態になるので、コンデンサ C_{VCC} (26)の大きさを、 V_{cc} 電源電圧(図4)をできるだけ「一定に」(stiff)保持できるように増大させている。好ましくは、コンデンサ C_{VCC} (26)の値としては、システムにおける全ての C_b コンデンサの合計容量の少なくとも約10倍が望ましい。

10

【0017】

(d) ブートストラップ路における抵抗体 R_b (40)の抵抗値はできるだけ減少させている。抵抗体 R_b (40)はコンデンサ C_b (28)の充電を制限しているが、制限しないと、増加した電流が寄生基板ダイオードを介して流れ、そのために誤動作状態が発生する。この抵抗値は、できるだけ小さいことが好ましく、特に0オームであることが望ましい。

【0018】

(e) 基板ダイオード D_s (24)の経路における抵抗値を増加させるため、さらに、他の抵抗体 R_{COM} (40)が、図4に示した回路線41に、すなわち、MOSゲートドライバ回路の共通ノードとパワー切替回路の共通ノードとの間に接続する。この抵抗体 R_{COM} (42)は、コンデンサ C_b (26)と基板電流をも減少させる。抵抗体 R_{COM} は、約1オームから20オームの範囲内の抵抗値を有する。

20

【図面の簡単な説明】

【図1】 一対の高電圧デバイスを駆動するように接続した従来のドライバー回路を示す概略図である。

【図2】 図1に示した回路の動作を示す回路図である。

【図3】 上側のトランジスタ装置がオフ状態になったときでの転流電流路を示す概略図である。

【図4】 本発明の実施の形態の回路図である。

30

【図5】 本発明の別の特徴を示す回路図である。

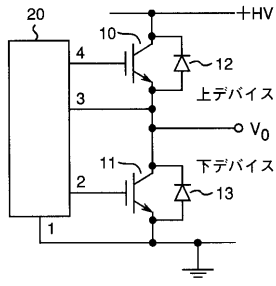
【図6】 大容量のときにコンデンサのピーク電圧が減少されていることを示すために、異なった容量でのコンデンサ電圧をプロットしたグラフである。

【符号の説明】

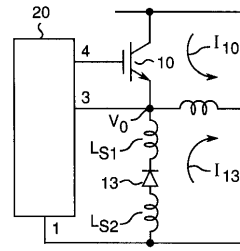
- 20 集積回路
- 22 ブートストラップダイオード
- 24 寄生基板ダイオード
- 26 コンデンサ
- 28 コンデンサ
- 34 高電圧ダイオード
- 40 抵抗
- 42 抵抗

40

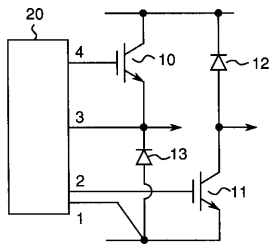
【 図 1 】



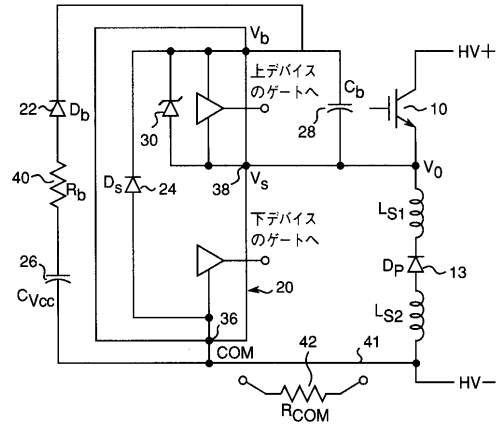
【 図 3 】



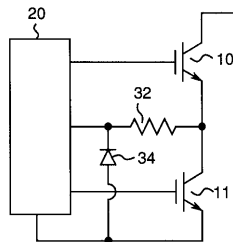
【 図 2 】



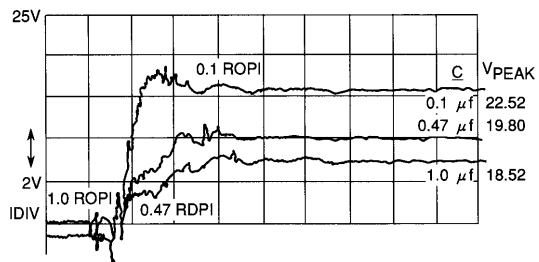
【 図 4 】



【 図 5 】



【 図 6 】



フロントページの続き

(51) Int.Cl. F I
H 0 3 F 1/52 (2006.01)

(72)発明者 アジット・ダブハン
アメリカ合衆国 9 0 2 4 5 カリフォルニア州エル・セグンド、ウエスト・インベリアル・アベニュー
7 7 0 番 ナンバー 4

(72)発明者 レオン・アフタンジリアン
アメリカ合衆国 9 1 3 6 2 カリフォルニア州サウザンド・オークス、ビスタ・ウッド・サークル・
ナンバー 1、2 4 7 9 番

審査官 川端 修

(56)参考文献 特開平 0 7 - 1 7 0 7 2 3 (J P , A)
特開平 0 4 - 2 3 0 1 1 7 (J P , A)
実開平 0 5 - 0 4 1 3 9 7 (J P , U)

(58)調査した分野(Int.Cl. , D B 名)
H02M 7/5387
H01L 29/78
H02M 1/08
H02M 7/537
H03F 1/52