



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2007년10월17일  
(11) 등록번호 10-0767901  
(24) 등록일자 2007년10월10일

(51) Int. Cl.

G02F 1/136 (2006.01)

(21) 출원번호 10-2003-0017955  
(22) 출원일자 2003년03월22일  
심사청구일자 2003년03월22일  
(65) 공개번호 10-2003-0076451  
공개일자 2003년09월26일

(30) 우선권주장

JP-P-2002-00080166 2002년03월22일 일본(JP)

(56) 선행기술조사문현

JP2000267136 A

(뒷면에 계속)

전체 청구항 수 : 총 18 항

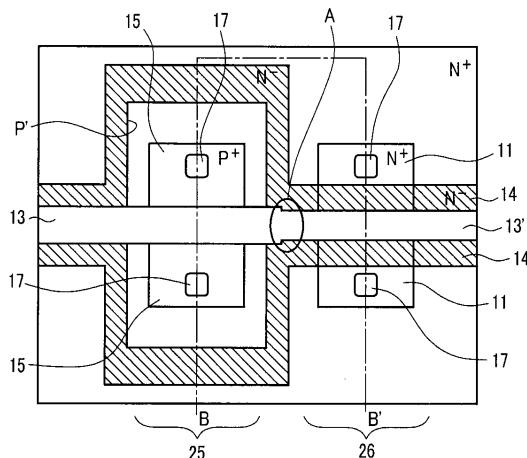
심사관 : 임동재

(54) 표시 장치

(57) 요 약

P-MOS TFT와 N-MOS TFT의 스페이스를 작게 하여 고집적화한 C-MOS p-Si TFT를 구동 회로 등에 구비하는 표시 장치를 실현한다. 표시 장치에 구비하는 C-MOS p-Si TFT의 제작을 위한 노광 마스크로서 하프톤 마스크를 이용한 자기 정합 C-MOS 프로세스를 채용한다. 하프톤 마스크를 이용함으로써, P-MOS부(25)와 N-MOS부(26)의 결합 부분에 위치 정합이 불필요해져, 포토 공정 수를 적게 하여 고집적화할 수 있다.

대표도 - 도1



(56) 선행기술조사문현

JP09064295 A

KR1019980012115 A

---

## 특허청구의 범위

### 청구항 1

표시 장치에 있어서,

상기 표시 장치의 기판 위에는 C-MOS 박막 트랜지스터를 갖고,

상기 C-MOS 박막 트랜지스터의 P 채널부의 게이트 전극과 N 채널부의 게이트 전극은 전극 폭이 서로 다르며,

상기 P 채널부의 게이트 전극과 상기 N 채널부의 게이트 전극은 직선상에 접속되어 있고,

상기 P 채널부의 게이트 전극과 상기 N 채널부의 게이트 전극은, 그 접속부에서 하프톤 마스크를 이용함으로써 전극 폭 방향에서의 양측으로부터 단차를 갖는 구성을 갖는 표시 장치.

### 청구항 2

삭제

### 청구항 3

제1항에 있어서,

상기 P 채널부의 게이트 전극의 폭이 상기 N 채널부의 게이트 전극의 폭보다도 넓은 표시 장치.

### 청구항 4

삭제

### 청구항 5

제1항에 있어서,

상기 C-MOS 박막 트랜지스터는 C-MOS 폴리실리콘 박막 트랜지스터인 표시 장치.

### 청구항 6

제1항에 있어서,

상기 C-MOS 박막 트랜지스터의 P 채널부의 게이트 전극과 N 채널부의 게이트 전극은 접속부의 게이트선 폭의 차이가 폭 방향에서 각각 동일한 표시 장치.

### 청구항 7

제1항에 있어서,

상기 P 채널부에  $P^+$  반도체 영역과  $N^-$  도핑 영역이 존재하는 표시 장치.

### 청구항 8

제7항에 있어서,

상기 P 채널부를 구성하는  $P^+$  반도체 영역에서의  $P^+$  도핑 원자의 농도가  $10^{15} \text{ cm}^{-2}$ ,  $N^-$  도핑 영역에서의  $N^-$  도핑 원자의 농도가  $10^{13} \text{ cm}^{-2}$ 인 표시 장치.

### 청구항 9

제1항에 있어서,

상기 P 채널부를 구성하는  $P^+$  반도체 영역에 불순물로서  $N^-$  도핑 원자를 포함하는 표시 장치.

### 청구항 10

표시 장치에 있어서,

상기 표시 장치의 기판 위에는 C-MOS 박막 트랜지스터를 갖고,

상기 C-MOS 박막 트랜지스터는 P-MOS 박막 트랜지스터와 N-MOS 박막 트랜지스터를 갖고 구성되어 있고,

상기 P-MOS 트랜지스터와 상기 N-MOS 트랜지스터는 직선 상의 게이트 전극에 의해 접속되어 있고,

상기 P-MOS 박막 트랜지스터의 게이트 전극 폭과 상기 N-MOS 박막 트랜지스터의 게이트 전극 폭은 서로 다르며,

상기 P-MOS 박막 트랜지스터의 게이트 전극과 상기 N-MOS 박막 트랜지스터의 게이트 전극의 접속부는, 상기 N-MOS 트랜지스터의 게이트 전극 폭 혹은 상기 P-MOS 박막 트랜지스터의 게이트 전극 폭 중 좁은 쪽의 전극 폭 이상, 상기 P-MOS 트랜지스터의 게이트 전극 폭 혹은 상기 N-MOS 박막 트랜지스터의 게이트 전극 폭 중 넓은 쪽의 전극 폭 이하로 접속되어 있고,

상기 P-MOS 트랜지스터의 게이트 전극과 상기 N-MOS 트랜지스터의 게이트 전극은, 그 접속부에서 하프톤 마스크를 이용함으로써 전극 폭 방향에서의 양측으로부터 단차를 갖는 구성을 갖는 표시 장치.

### 청구항 11

제10항에 있어서,

상기 P-MOS 박막 트랜지스터의 게이트 전극 폭이 상기 N-MOS 박막 트랜지스터의 게이트 전극 폭보다도 넓은 표시 장치.

### 청구항 12

표시 장치에 있어서,

상기 표시 장치의 기판 위에는 C-MOS 박막 트랜지스터를 갖고,

상기 C-MOS 박막 트랜지스터는 P 채널부의 게이트 전극과 N 채널부의 게이트 전극이 직선상에 접속되고,

상기 P 채널부와 상기 N 채널부는 인접하여 구성되어 있고,

상기 P 채널부의 게이트 전극과 상기 N 채널부의 게이트 전극은, 그 접속부에서 하프톤 마스크를 이용함으로써 전극 폭 방향에서의 양측으로부터 단차를 갖는 구성을 갖는 표시 장치.

### 청구항 13

제12항에 있어서,

상기 P 채널부의 게이트 전극 폭과 상기 N 채널부의 게이트 전극 폭은 서로 다른 표시 장치.

### 청구항 14

제13항에 있어서,

상기 P 채널부의 게이트 전극과 상기 N 채널부의 게이트 전극의 접속 부분은, 상기 P 채널부의 게이트 전극 폭 혹은 N 채널부의 게이트 전극 폭 중 좁은 쪽의 게이트 전극 폭 이상, 상기 P 채널부의 게이트 전극 폭 혹은 N 채널부의 게이트 전극 폭 중 넓은 쪽의 게이트 전극 폭 이하로 접속되어 있는 표시 장치.

### 청구항 15

제14항에 있어서,

상기 P 채널부의 게이트 전극 폭이 상기 N 채널부의 게이트 전극 폭보다도 넓은 표시 장치.

### 청구항 16

제15항에 있어서,

상기 C-MOS 박막 트랜지스터의 P 채널부의 게이트 전극과 N 채널부의 게이트 전극은 접속부의 게이트선 폭의 차이가 폭 방향에서 각각 동일한 표시 장치.

**청구항 17**

제12항에 있어서,

상기 P 채널부에  $P^+$  반도체 영역과  $N^-$  도핑 영역이 존재하는 표시 장치.

**청구항 18**

제17항에 있어서,

상기 P 채널부를 구성하는  $P^+$  반도체 영역에서의  $P^+$  도핑 원자의 농도가  $10^{15} \text{ cm}^{-2}$ ,  $N^-$  도핑 영역에서의  $N^-$  도핑 원자의 농도가  $10^{13} \text{ cm}^{-2}$ 인 표시 장치.

**청구항 19**

제12항에 있어서,

상기 P 채널부를 구성하는  $P^+$  반도체 영역에 불순물로서  $N^-$  도핑 원자를 포함하는 표시 장치.

**청구항 20**

제12항에 있어서,

상기 C-MOS 박막 트랜지스터는 C-MOS 폴리실리콘 박막 트랜지스터인 표시 장치.

**명세서****발명의 상세한 설명****발명의 목적****발명이 속하는 기술 및 그 분야의 종래기술**

- <19> 본 발명은 표시 장치에 관한 것으로, 특히 적은 공정 수로 고집적화한 C-MOS에 의한 박막 트랜지스터를 표시 영역의 능동 소자나, 표시 영역을 제어하는 구동 회로에 구비하는 표시 장치에 관한 것이다.
- <20> 액정이나 유기 EL을 이용한 플랫 패널형 표시 장치는, 고정밀화, 고속 동작에 유리한 폴리실리콘 박막 트랜지스터(p-Si TFT)를 구동 회로나 능동 소자로서 이용하는 경향이 있다. 이 저온 폴리실리콘 박막 트랜지스터를 이용한 표시 장치에서는, 상기 표시 장치의 기판 주변에 직접 구동 회로를 제작하여 내장함으로써 외부 접속 단자 수를 줄일 수 있어, 제조 비용의 저감을 실현할 수 있다.

**발명이 이루고자 하는 기술적 과제**

- <21> 표시 장치의 구동 회로에 이용하는 p-Si TFT 중, 특히 시프트 레지스터는 저소비 전력이면서 고속 동작의 요구로 인해 C-MOS 구성이 채용된다. 이러한 고집적의 C-MOS p-Si의 제작에는 많은 포토리소그래피법 또는 포토리소그래피 공정(노광 마스크나 에칭을 이용한 패터닝법 또는 공정, 이하 단순히 포토 공정이라고도 약칭함)을 필요로 하여, 표시 장치 전체의 제조 비용이 상승한다. 또한, 동시에 화소 선택용 능동 소자에도 이 폴리실리콘 박막 트랜지스터가 이용된다.
- <22> C-MOS p-Si TFT(이하, C-MOS TFT)에서는 P-MOS p-Si TFT(이하, P-MOS TFT)와 N-MOS p-Si TFT(이하, N-MOS TFT)의 쌍으로 구성된다. C-MOS TFT를 제작하는 경우, P-MOS TFT에 인접하여 N-MOS TFT를 배치하지만, P-MOS TFT에 대하여 N-MOS TFT를 위치 정합할 필요가 있다. 최근, 소위 자기 정합 LDD 프로세스 방식을 채용하여 N-MOS TFT를 간략히 제작할 수 있게 되었다. 이 프로세스를 이용함으로써 적은 포토 공정으로 C-MOS TFT를 제작할 수 있다.
- <23> 도 9는 표시 장치에 구비하는 종래의 C-MOS TFT 소자의 일례의 구성을 모식적으로 도시한 상면도이다. 참조 부호 13은 P 채널부 게이트 전극, 참조 부호 13'은 N 채널부 게이트 전극, 참조 부호 17은 컨택트홀, 참조 부호 31은  $N^+$ 부, 참조 부호 32는  $N^-$ 부, 참조 부호 34는  $P^+$ 부, 참조 부호 25는 P 채널부, 참조 부호 26은 N

채널부이다. C-MOS TFT 소자 회로는,  $P^+$ 부(34)를 갖는 P 채널부(25)와,  $N^+$ 부(31)와  $N^-$ 부(32)를 갖는 N 채널부(26)로 이루어진다. P 채널부(25)의 게이트 전극(13)과 N 채널부(26)의 게이트 전극(13')은 양자가 접속하는 부분에서 위치 정합 부분(35)을 갖고 있다.

<24> 그러나, 이 프로세스를 이용하여 C-MOS TFT를 제작하는 경우, P-MOS TFT와 N-MOS TFT의 결합 부분의 위치 정합을 위한 스페이스가 매우 커져, 고집적화는 곤란해진다. 그 때문에, 고정밀, 고속 구동의 표시 장치를 실현하는 것이 어렵다.

<25> 본 발명의 목적은 P-MOS TFT와 N-MOS TFT와의 결합 부분의 스페이스를 작게 한 C-MOS 구성의 p-Si TFT를 구동 회로 등에 구비한 표시 장치를 실현하는 것에 있다.

### 발명의 구성 및 작용

<26> 상기 목적을 달성하기 위해, 본 발명은, 표시 장치에 구비하는 C-MOS TFT를, 그 제작을 위한 노광 마스크로서 하프 노광 마스크(하프톤 마스크)를 이용한 자기 정합 C-MOS 프로세스를 채용하여 고집적화하였다. 하프톤 마스크를 이용함으로써, 포토 공정 수가 저감되고, P-MOS TFT와 N-MOS TFT의 결합 부분에 위치 정합이 불필요해지며, 고정밀, 고속 구동의 표시 장치를 실현할 수 있다. 본 발명의 표시 장치의 구성에 대한 대표적인 구성을 기술하면 이하와 같다.

<27> (1), P 채널부의 게이트 전극과 N 채널부의 게이트 전극의 폭에 차이를 갖는 C-MOS 박막 트랜지스터를 구비한 박막 트랜지스터 기판을 갖는다.

<28> (2), (1)에서의 게이트 전극 폭의 차이가 P 채널부의 게이트 전극과 N 채널부의 게이트 전극의 폭 방향에서 동일하다.

<29> (3), (1) 또는 (2)에서의 P 채널부에  $P^+$  반도체 영역과  $N^-$  도핑 영역이 존재한다.

<30> (4), (3)에서의 P 채널부를 구성하는  $P^+$  반도체 영역에서의  $P^+$  도핑 원자의 농도는  $10^{15} \text{ cm}^{-2}$  정도,  $N^-$  도핑 영역에서의  $N^-$  도핑 원자의 농도는  $10^{13} \text{ cm}^{-2}$  정도이다.

<31> (5) (1) 또는 (2)에서의  $P^+$  반도체 영역에 불순물로서  $N^-$  도핑 원자를 포함한다.

<32> 상기 본 발명의 각 구성으로 함으로써, P-MOS TFT와 N-MOS TFT의 스페이스를 작게 한 C-MOS TFT를 구동 회로 등에 구비한 표시 장치를 실현할 수 있다.

<33> 또, 본 발명은 상기 구성 및 후술하는 실시예의 구성에 한정되는 것은 아니며, 본 발명의 기술 사상의 범위 내에서 다양한 변경이 가능한 것은 물론이다.

<34> 이하, 본 발명의 실시 형태에 관한 것으로, 실시예의 도면을 참조하여 상세히 설명한다. 또, 이하에서는 본 발명의 표시 장치를 구성하는 박막 트랜지스터 기판에 대해서만 설명하지만, 표시 장치가 액정 표시 장치인 경우에는 상기 박막 트랜지스터 기판에 액정을 개재하여 대향 기판을 접합하여 구성된다. 또한, 유기 EL 표시 장치로 하는 경우에는 상기 박막 트랜지스터 기판에서 선택되는 화소 전극에 유기 EL층을 도포함과 함께 화소 전극으로 상기 유기 EL층을 개재한 대향 전극을 형성하여 구성된다.

<35> 도 1은 본 발명에 따른 표시 장치에 구비하는 C-MOS TFT 소자의 구성을 모식적으로 도시하는 상면도이다. 또한, 도 2는 도 1의 A 부분의 확대도이다. 참조 부호 11은  $N^+$ 부, 참조 부호 13은 P 채널부 게이트 전극, 참조 부호 13'은 N 채널부 게이트 전극, 참조 부호 14는  $N^-$ 부, 참조 부호 15는  $P^+$ 부, 참조 부호 17은 컨택트홀, 참조 부호 25는 P 채널부, 참조 부호 26은 N 채널부이다. C-MOS TFT 소자 회로는,  $N^-$ 부(14)와  $P^+$ 부(15)를 갖는 P 채널부(25)와,  $N^+$ 부(11),  $N^-$ 부(14)를 갖는 N 채널부(26)로 이루어진다. P 채널부(25)의 게이트 전극(13)과 N 채널부(26)의 게이트 전극(13')은 A 부분의 접속부에서 접속하고 있다. 이와 같이, 게이트 전극(13)과 게이트 전극(13')은 동일한 직선 상에 배치되어 있다. 물론, 제조상 이 직선 형상은 다소 희어진 부분은 있지만, 본 발명에서의 직선상이란, 거의 직선으로 되어 있으면, C-MOS TFT의 스페이스를 작게 할 수 있어, 고집적화가 가능하다는 효과를 발휘하는데 아무 문제가 없는 것은 물론이다.

<36> 도 2에 확대하여 도시한 바와 같이, P 채널부(25)와 N 채널부(26)의 접속부에서, P 채널부(25)의 게이트 전극

(13)과 N 채널부(26)의 게이트 전극(13')의 폭에 치수 변동  $\Delta S$ 를 갖는다. 본 실시예에서는 P 채널부의 게이트 전극의 폭과 비교하여 N 채널부의 게이트 전극의 폭이 더 좁게 되어 있다. 그 이유는, N 채널부에 LDD 부분을 작성하기 위해, 가장 단순하다고 생각되어지는 후술하는 도 3과 같은 하프 노광 마스크를 사용하면 P 채널부의 게이트 폭이 N 채널부의 게이트 폭보다도 폭이 넓어지는 것이며, 하프 노광 마스크를 바꾸면, N 채널부의 게이트 전극 폭을 P 채널부의 게이트 전극 폭보다도 폭 넓게 하는 것도 가능하다. 또한, 하프 노광 마스크의 패턴을 미세 조정하면 P 채널부의 게이트 전극 폭과 N 채널부의 게이트 전극 폭을 동일한 전극 폭으로 하는 것도 이론상 가능하지만, 미세 조정하기까지 전극 폭을 동일한 폭으로 하는 것은 의미가 없으며, 실제 제조상에서는 현실적이지 않다. 또한, 본 실시예에서는, 도 3의 상하의 P 채널부의 게이트 전극과 N 채널부의 게이트 전극과의 치수 변동  $\Delta S$ 는 동일하다는 점도 특징 중 하나이다.

<37> 본 실시예의 C-MOS TFT 소자는 자기 정합 C-MOS 프로세스를 채용하여 제작한 것으로, 그 P 채널부(25)와 N 채널부(26)의 결합 부분에 위치 정합을 위한 스페이스를 갖지 않는다. 따라서, C-MOS TFT 소자의 전체 스페이스 사이즈는 위치 정합을 위한 스페이스를 갖는 것과 비교하여 대폭 절감되어 있다.

<38> 이어서, 본 발명에 따른 표시 장치에서의 C-MOS TFT의 제작 프로세스의 실시예를 설명한다. 또, 이하에서는, 본 발명의 효과를 설명하기 위해 종래의 C-MOS TFT의 제작 프로세스의 예도 설명한다.

<39> 도 3은 본 발명의 C-MOS TFT의 제작에 이용하는 하프 노광 마스크의 기본적 구성을 설명하는 모식도이다. 하프 톤 마스크라고도 칭하는 하프 노광 마스크(40)의 구성재는 크롬이 바람직하며, 광을 완전하게 투과하는 투광부(41), 광을 완전히 차단하는 불투광부(42) 및 광을 부분적으로 투과하는 하프 투광부(43)로 이루어진다. 하프 투광부(43)는 이 예에서는 불투광부인 브릿지(42a)를 통해 연속하는 다수의 평행 배치된 슬릿(43a)으로 형성되어 있다. 이 예에서는, 불투광부(42)에 대하여 수직으로 슬릿(43a)이 있지만, 불투광부(42)에 평행하게 슬릿을 형성한 하프 노광 마스크라도 마찬가지의 효과를 얻을 수 있다. 또한, 불연속 슬릿이나 원형 홀, 그 밖의 개공으로 형성할 수도 있다. 어떤 개공으로 형성한 하프 투광부(43)이어도, 상기 개공부와 불투광부는 노광광의 해상도 한계 이하로 배치된다. 또, 물론 본 발명에서 이용하는 하프 노광 마스크(40)는 C-MOS TFT의 패턴에 대응한 투광부(41)와 불투광부(42) 및 하프 투광부(43)를 갖는다.

<40> 따라서, 도 3에 도시한 하프 노광 마스크(40)의 하프 투광부(43)는 평행 슬릿(43a)과 브릿지(42a)의 배열이 해상도 한계 이하로 되어 있다. 이 하프 노광 마스크(40)를 이용함으로써, 후술하는 포토 공정의 노광 프로세스에서는, 투광부(41)에서 노광된 레지스트 부분에는 소정의 광에너지가 조사되고, 하프 투광부(43)에서 노광된 레지스트 부분은 상기 소정의 광에너지 미만으로 조사된다. 따라서, 네거티브 레지스트를 이용한 경우에는 투광부(41)에서 노광된 부분의 가교(架橋) 반응이 상기 레지스트의 하층까지 진행되고, 하프 투광부(43)에서 노광된 부분의 가교 반응은 표면 근방에서 멈추게 된다. 포지티브 레지스트인 경우는 이 반대로 된다.

<41> 도 4와 도 5는 본 발명의 일 실시예를 설명하는 C-MOS TFT의 제작 공정도이다. 여기서는, 각 프로세스에서의 도 1에 도시한 B-B'선에서의 C-MOS TFT의 단면을 도시한다. 우선, 유리 기판(1) 위에 산화 규소(SiO), 질화 규소(SiN)의 적층으로 이루어지는 절연층(2)을 성막하여, 비정질 실리콘(a-Si)층(3)을 성막한다. 계속해서, 탈수 소 처리 및 액시미 레이저-어닐링(ELA)을 실시함으로써 비정질 실리콘층(3)을 폴리실리콘(p-Si)화한다(프로세스 P-1, 이하 단순히 P-1이라고 표기).

<42> 레지스트를 도포하고, 포토 공정에서 Si 아일런드의 레지스트 패턴을 형성한 후, 드라이 에칭하여 Si 아일런드(4)를 형성한다. 계속해서, 잔류 레지스트를 제거한다. 레지스트는 도시하지 않는다(P-2). 이하, 「에칭」을 단순히 「에치」라고 약칭하는 경우도 있다.

<43> Si 아일런드(4)의 상층에 산화 규소(SiO)로 이루어지는 게이트 절연층(5)을 CVD법에 의해 성막한다. 계속해서, N형의 임계값 제어를 위해 제1회째 이온 주입에 의해 인(P)을 도핑하여 N-MOS용 Si 아일런드(6)를 형성한다(P-3).

<44> 포토 공정에 의해 P-MOS용 Si 아일런드(7)부 이외를 레지스트(90)로 피복한다. P형의 임계값 제어를 위해 제2회째 이온 주입에 의해 P-MOS용 Si 아일런드(7)부에 붕소를 도핑하여 P-MOS용 Si 아일런드(7)를 형성한다(P-4).

<45> 레지스트(90)를 제거한 후, 래피드 서멀 어닐링(RTA)함으로써 게이트 절연층(5)을 소결하고, 제1회째 이온 주입 처리 및 제2회째 이온 주입 처리에 의해 결정화 상태가 붕괴된 N-MOS용 Si 아일런드(6) 및 P-MOS용 Si 아일런드(7)를 결정화한다(P-5).

<46> 폴리브텐-20wt% 텅스텐 합금(Mo-20wt%W)으로 이루어지는 게이트 메탈층(8)을 스퍼터링법에 의해 성막한다. 계

속해서 도 3에서 설명한 하프 노광 마스크를 이용하여 하프 노광 레지스트(9, 9')의 패턴을 포토리소그래피법에 의해 형성한다(P-6). 여기서는, 하프 투광부(43)에서 노광된 하프 노광 레지스트(9)의 패턴은 노광 마스크의 불투광부에서의 레지스트 두께보다 얇아진 모습을 볼록 형상으로 나타내고 있다. 즉, 볼록 형상의 어깨 부분이 하프 노광 영역으로서, 다른 부분보다도 얇아진 레지스트이다. 참조 부호 9'는 하프 노광 영역을 갖지 않는 부분이다.

<47> 인산, 질산, 아세트산 및 불화암모늄을 첨가한 수용액으로 이루어지는 에칭액으로 샤크 에칭법을 이용하여 게이트 메탈층(8)을 웨트 에칭한다. 이 때, 에칭에 의한 게이트 메탈층(8)의 한쪽 후퇴량을  $0.6\mu\text{m} \sim 1.2\mu\text{m}$ 로 사이드 에칭하여 자기 정합 LDD용 게이트 전극(10)을 형성한다(P-7).

<48> 인을  $3 \times 10^{15} \text{ cm}^{-2}$  정도 주입 처리에 의해 N-MOS용 Si 아일런드(6)에 도핑하여 N<sup>+</sup>부(11)를 형성한다(P-8). N-MOS 용 Si 아일런드(6) 양측에 인이 도핑된 부분을 부호(11)를 붙여 구획하여 나타낸다.

<49> 레지스트(9)에서 막 두께가 다른 부분보다 얇은 하프 노광 영역을 애싱 제거하여 P 채널부 게이트 전극 레지스트 패턴(12) 및 N 채널부 게이트 전극 레지스트 패턴(12')을 형성한다(P-9). 이 때, P 채널부 게이트 전극 레지스트 패턴(12)과 N 채널부 게이트 전극 레지스트 패턴(12')에는 레지스트 폭 치수에 차이가 생긴다.

<50> 레지스트 애싱은 등방적인 것이므로, 레지스트(9, 9')는 게이트 배선 중심축을 대칭으로 레지스트 폭이 축소된다. 또한, 레지스트(9)는 레지스트(9')와 달리 하프 노광 영역을 가지므로, 레지스트 폭 축소의 개시가 지연된다. 따라서, P 채널부 게이트 전극 레지스트 패턴(12)과 N 채널부 게이트 전극 레지스트 패턴(12')에는 게이트 배선 중심축에 대칭인 레지스트 폭 치수의 차이를 발생시킨다.

<51> 인산, 질산, 아세트산 및 불화암모늄을 첨가한 수용액으로 웨트 에칭하여 P 채널부 게이트 전극(13) 및 N 채널부 게이트 전극(13')을 형성한다(P-10). 이 때, N 채널부의 게이트 전극(13')에 사이드 에칭이 되지 않도록 한 웨트 에칭을 실시한다. 웨트 엣칭법 대신에 드라이 에칭법을 이용하여 사이드 에치량을 제로로 해도 된다.

<52> 상기한 바와 같이, P 채널부 게이트 전극 레지스트 패턴(12)과 N 채널부 게이트 전극 레지스트 패턴(12')의 폭 치수에 차이가 있으므로, 도 1의 C-MOS 소자 상면도 및 도 2에 도시한 바와 같이 P 채널부 게이트 전극(13)과 N 채널부 게이트 전극(13')의 폭 치수에는  $\Delta S$ 의 차이를 발생시킨다. 이 폭 치수의 차이  $\Delta S$ 는 양 게이트 전극의 폭 방향 양측에서 동일하다.

<53>  $3 \times 10^{13} \text{ cm}^{-2}$  정도 주입 처리에 의해 인을 도핑하여 N 채널 N<sup>-</sup>부(14)를 형성한다. 그 때, P 채널 영역에도 N<sup>-</sup>부(14')가 동시에 형성된다(P-11). 인이 도핑된 부분을 부호(14, 14')를 붙여 구획하여 나타낸다. 레지스트를 애싱하여 제거한다(P-12).

<54> 포토리소그래피법에 의해 P-MOS용 Si 아일런드(7) 이외를 레지스트로 피복한다(P-13).

<55> 봉소(Br)를  $10^{15} \text{ cm}^{-2}$  정도 리버스 주입 처리에 의해 P-MOS용 Si 아일런드(7)에 도핑한다. 이 처리에 의해 P 채널 영역의 N<sup>-</sup>부(14')를 P<sup>+</sup>부(15)로 개질(改質)한다(P-14). 이 때문에 P<sup>+</sup>부(15)에는 이미 도핑되어 있는 인이  $3 \times 10^{13} \text{ cm}^{-2}$  정도 존재한다. P<sup>+</sup>부로 개질된 봉소의 도핑 영역을 부호(15)를 붙여 나타낸다. 레지스트(90)를 애싱 처리에 의해 제거한다(P-15).

<56> 이상의 주입에 의해, P 채널부(25)는 P<sup>+</sup> 폴리실리콘 반도체층과 N<sup>-</sup>부가 존재하는 구조로 된다. 그리고, 상기한 주입에 의한 P 채널부를 구성하는 P<sup>+</sup> 폴리실리콘 반도체층에서의 P<sup>+</sup> 도핑 원자의 농도는  $10^{15} \text{ cm}^{-2}$  정도, N<sup>-</sup>부에서의 N<sup>-</sup>도핑 원자의 농도는  $10^{13} \text{ cm}^{-2}$  정도이다.

<57> SiO로 이루어지는 층간 절연막(16)을 CVD법에 의해 성막한다(P-16). 계속해서, 퍼네스 어닐(FA) 및 래피드 서멀 어닐링(RTA)하여 주입 처리에 의해 손상을 받은 게이트 절연층(5)을 소결하여, N-MOS용 Si 아일런드(6) 및 P-MOS용 Si 아일런드(7)를 활성화한다.

<58> 층간 절연막(16)을 피복하여 도시하지 않은 레지스트를 도포하고, N-MOS용 Si 아일런드(6) 및 P-MOS용 Si 아일런드(7)와의 컨택트홀(17)의 레지스트 패턴을 포토리소그래피법으로 형성한 후, 불화 수소, 불화암모늄을 첨가한 수용액으로 이루어지는 에칭액으로 샤크 에칭법을 이용하여, 층간 절연막(16 및 5)을 웨트 에칭하여 컨택트홀(17)을 형성한다(P-17). 계속해서 레지스트를 제거한다.

- <59> Si에 대한 배리어로서의 티탄(Ti), 소스 · 드레인 배선으로서의 알루미늄-실리콘 합금(Al-Si) 및 캡으로서의 Ti를 스퍼터링법에 의해 적층하여 소스 · 드레인층(18)을 형성한다(P-18).
- <60> 소스 · 드레인층(18)을 피복하여 도시하지 않은 레지스트를 도포하고, 소스 · 드레인 배선의 레지스트 패턴을 포토리소그래피법으로 형성한 후, 드라이 에칭하여 소스 · 드레인 배선(19)을 형성한다(P-19). 계속해서 레지스트를 제거한다.
- <61> CVD법에 의해 질화 규소(SiN)로 이루어지는 패시베이션층(20)을 형성한다(P-20). 계속해서, 수소 어닐링하여 Si 막 내 및 계면의 결합 준위를 종단화한다.
- <62> 패시베이션층(20) 위에 감광재를 함유하는 아크릴계 수지를 성막하고, 관통 홀 패턴(22')을 포토 공정으로 형성한 유기 절연층(21)을 형성한다(P-21).
- <63> 유기 절연층(21)의 관통 홀 패턴(22')을 마스크로서 이용하여, 패시베이션층(20)을 드라이 에칭하여 관통 홀(22)을 형성한다(P-22).
- <64> 스퍼터링 중에 소량의 물을 첨가하여 실온 성막함으로써 유기 절연층(21)을 피복하여 비정질 ITO를 성막한다. 계속해서, 이 비정질 ITO 위에 도시하지 않은 레지스트를 도포하고, 화소 전극의 레지스트 패턴을 포토 공정법으로 형성한 후, 3% 수산을 에칭액으로서 이용하여 비정질 ITO를 웨트 에칭하여 화소 전극(23)을 형성한다(P-23). 그 후 레지스트를 제거한다.
- <65> 이 프로세스를 채용함으로써, 8회의 포토리소그래피 공정에 의해 C-MOS 회로를 탑재한 액정 패널용 혹은 유기 LED용, 그 밖의 패널형 표시 장치용 TFT 기판을 제작할 수 있으므로, 비용의 대폭 저감이 가능하다. 또한, N-MOS와 P-MOS를 자기 정합 프로세스에 의해 형성하기 때문에, C-MOS 회로의 고집적화가 가능하다.
- <66> 그리고, 이 TFT 기판에 컬러 필터 기판을 접합하고, 접합 간극에 액정을 밀봉하여 액정 표시 장치를 구성한다. 또한, 이 TFT 기판의 화소 전극에 유기 EL(OLED) 물질을 도포하고, 또한 그 위에 대향 전극을 배치하여 유기 LED 표시 장치를 구성한다. 본 발명의 TFT 기판은 다른 형식의 액티브 매트릭스형 표시 장치의 TFT 기판에도 마찬가지로 적용할 수 있다.
- <67> 그런데, 종래의 C-MOS TFT의 제작 프로세스를 후술한 바와 같이, 또한 상기 도 9에서도 설명한 바와 같이, 노광 마스크 정합에 의해 N-MOS와 P-MOS를 형성하는 경우, 마스크 어긋남을 고려한 정합 부분(35)이 필요해지기 때문에, 고집적화가 곤란하다. 본 실시예의 하프 노광 마스크와 상기 도 4 및 도 5의 자기 정합 C-MOS 프로세스를 채용함으로써, 대면적 유리 기판에 고집적의 주변 회로를 탑재할 수 있기 때문에, 시프트 레지스터, DA 변환 회로, 논리 회로 등을 고집적한 고정밀, 고속 구동의 대화면 저온 폴리실리콘 TFT 패널을 제작할 수 있다.
- <68> 도 6은 본 발명의 다른 실시예를 설명하는 C-MOS TFT의 제작 공정도이다. 여기서도, 각 프로세스에서의 도 1에 도시한 B-B'선에서의 C-MOS 단면으로 도시한다. 도 6에는 본 실시예에서의 특징 부분만을 도시하고, 도 4의 (P-1)~(P-6)까지의 프로세스, 즉 게이트 메탈층(8)을 성막하고, 도 3에 도시한 하프 노광 마스크를 이용하여 하프 노광 레지스트(9, 9')의 패턴을 형성하는 프로세스까지는 상기 실시예와 마찬가지이다.
- <69> 하프 노광 레지스트(9, 9')의 패턴을 형성한 후(P-60), 게이트 메탈층(8)을 드라이 에칭한다(P-61). 인을  $3 \times 10^{15} \text{ cm}^{-2}$  정도 주입 처리에 의해 N-MOS용 Si 아일런드(6)에 도핑하여 N부(11)를 형성한다(P-62).
- <70> 그 후, 잔류한 레지스트(9, 9')를 애성하여 P 채널부 게이트 전극 레지스트 패턴(12) 및 N 채널부 게이트 전극 레지스트 패턴(12')을 형성한다(P-63). 이 때, P 채널부 게이트 전극 레지스트 패턴(12)과 N 채널부 게이트 전극 레지스트 패턴(12')에는 레지스트 폭 치수에 상기한 바와 같이 차이가 생긴다. 이 치수 차는 애성량 및 하프 노광부 레지스트막(레지스트(9)가 얇은 부분)의 막 두께에 의존하지만, 게이트 전극의 배선 중심축을 중심으로 선대칭으로 되어 있는(도 2에 도시한  $\Delta S$ 가 같음) 것이 특징이다. 이것에 대하여, 종래 프로세스에서의 마스크 정합인 경우, 어떻게 어긋났는지 모르기 때문에, 치수 폭의 어긋남이 선대칭으로 된다고는 할 수 없다.
- <71> 드라이 에칭하여 P 채널부 게이트 전극(13) 및 N 채널부 게이트 전극(13')을 형성한다(P-64). P 채널부 게이트 전극 레지스트 패턴(12)과 N 채널부 게이트 전극 레지스트 패턴(12')의 폭 치수에 차이가 있으므로, 도 1의 C-MOS 소자 상면도에 도시한 바와 같이 P 채널부 게이트 전극(13)과 N 채널부 게이트 전극(13')의 폭 치수에는 차이를 발생시킨다(도 2 참조). 이 후 N 채널 N<sup>-</sup>부(14) 및 P 채널의 N<sup>-</sup>부(14')의 형성(P-65) 이후에는 실시예1을 설명하는 도 4의 (P-11)~도 5의 (P-23)을 이용하여 설명한 방법과 마찬가지이다.

- <72> 본 실시예에서는, LDD 형성을 위해 레지스트를 후퇴시키는 공정과, 하프 노광부의 레지스트를 제거하고, P 채널 TFT의 게이트 전극의 레지스트를 형성하는 공정이 동일한 공정이다. 따라서, 필요한 LDD 폭에 상당하는 막 두께의 하프 노광 레지스트를 형성하는 것이 중요해진다.
- <73> 본 실시예에 의해서도, 대면적 유리 기판에 고집적의 주변 회로를 탑재할 수 있기 때문에, 시프트 레지스터, DA 변환 회로, 논리 회로 등을 고집적한 고정밀, 고속 구동의 대화면 저온 폴리실리콘 TFT 패널을 제작할 수 있다.
- <74> 이어서, 본 발명과 종래 기술과의 차이를 명확히 하기 위해 종래 기술에 의한 C-MOS p-Si TFT의 제조 프로세스에 대하여 설명한다.
- <75> 도 7은 종래 기술의 일례를 설명하는 C-MOS TFT의 제작 공정도이다. 여기서는, 각 프로세스에서의 C-MOS 단면으로 도시한다. 게이트 메탈층(8) 성막까지는 도 4에서 설명한 본 발명의 일 실시예와 마찬가지이다. 그 이후의 공정에 대하여 설명한다.
- <76> 게이트 메탈 전극의 레지스트(90)의 패턴을 포토 공정으로 형성하고(P-70), 게이트 메탈층(8)을 웨트 에칭 또는 드라이 에칭에 의해 에칭하여 게이트 전극(24)을 형성한다(P-71).
- <77> 레지스트(90)의 패턴의 레지스트를 유기 알칼리에 의한 박리 혹은 애성에 의해 제거한다(P-72).
- <78>  $N^+$ 부(27) 이외를 포토리소그래피법에 의해 레지스트(90)로 피복한다. 계속해서 인을  $3 \times 10^{15} \text{ cm}^{-2}$  정도 주입 처리에 의해 N-MOS용 Si 아일런드(6)에 도핑하여  $N^+$ 부(27)를 형성한다(P-73). 레지스트(90)를 제거한다(P-74).
- <79> N 채널부(26) 이외를 포토리소그래피법에 의해 레지스트(90)로 피복한다. 계속해서 인을  $3 \times 10^{13} \text{ cm}^{-2}$  정도 주입 처리에 의해 도핑하여  $N^-$ 부(28)를 형성한다(P-75). 레지스트(90)를 제거한다(P-76).
- <80> P 채널부(25) 이외를 포토리소그래피법에 의해 레지스트(90)로 피복한다. 계속해서 봉소를  $10^{15} \text{ cm}^{-2}$  정도 주입 처리에 의해 P-MOS용 Si 아일런드(7)에 도핑하여  $P^+$ 부(29)를 형성한다(P-77). 레지스트(90)를 제거한다(P-78). 이 후의 충간 절연막 형성 이후에는 도 4를 이용하여 설명한 방법과 마찬가지이다.
- <81> 이 방법에 의해 C-MOS p-Si TFT를 제작하면, 10회 포토리소그래피 공정을 필요하게 되어, 생산 비용이 상승한다.
- <82> 도 8은 종래 기술의 다른 예를 설명하는 자기 정합 LDD에 의한 상기 도 9에 도시한 C-MOS p-Si TFT의 제작 공정도이다. 여기서는, 각 프로세스에서의 도 9에 도시한 C-C'선에서의 C-MOS 단면으로 도시한다. 게이트 메탈층(8)의 성막까지는 도 4에서 설명한 본 발명의 일 실시예와 마찬가지이다. 그 이후의 공정에 대하여 설명한다.
- <83> 게이트 메탈층(8)을 성막한 후, 자기 정합 LDD용 레지스트(90)의 패턴을 포토리소그래피 공정으로 형성한다(P-80). 인산, 질산, 아세트산 및 불화암모늄을 첨가한 수용액으로 이루어지는 에칭액으로 샤워 에칭법을 이용하여 게이트 메탈층(8)을 웨트 에칭한다. 이 때, 게이트 메탈층(8)의 한쪽 후퇴량을  $0.6 \sim 1.2 \mu\text{m}$ 로 사이드 에칭하여 자기 정합 LDD용 게이트 전극(30)을 형성한다(P-81).
- <84> 이 레지스트(90)를 마스크로 하여 인을  $3 \times 10^{15} \text{ cm}^{-2}$  정도 주입 처리에 의해 N-MOS용 Si 아일런드(6)에 도핑하여  $N^+$ 부(31)를 형성한다(P-82). 레지스트(90)를 제거한다.
- <85> 자기 정합 LDD용 게이트 배선(30)을 마스크로서 이용하여 인을  $3 \times 10^{13} \text{ cm}^{-2}$  정도 주입 처리에 의해 도핑하여  $N^-$ 부(32)를 형성한다(P-83).
- <86> P 채널부(25)의 게이트 메탈층(8)의 게이트 전극으로 되는 부분과 N 채널부(26) 부분을 포토리소그래피법에 의해 레지스트(90)로 피복한다(P-84).
- <87> P 채널부(25)의 게이트 메탈층(8)을 드라이 에칭하여 P 채널부 게이트 전극(33)을 형성한다(P-85).
- <88> 봉소를  $10^{15} \text{ cm}^{-2}$  정도 주입 처리에 의해 P-MOS용 Si 아일런드(7)에 도핑하여  $P^+$ 부(34)를 형성한다(P-86). 레지스트(90)를 제거한다(P-87).

- <89> 이 후의 충간 절연막 형성 이후는 상기 본 발명의 일 실시예의 도 4를 이용하여 설명한 방법과 마찬가지이다.
- <90> 이 방법에 의해 C-MOS TFT를 제작하면, P 채널부(25)의 게이트 전극(13)과 N 채널부(26)의 게이트 전극(13')을 별도의 포토 공정에 의해 형성하기 때문에, 도 9에 도시한 바와 같이 P 채널부(25)와 N 채널부(26)의 접속부에서 게이트 전극(13과 13')에 정합 부분(35)이 필요해진다. 이에 의해, 본 방법에서는 C-MOS 회로의 고집적화는 어려운 것을 알 수 있다.
- <91> 또, 상기한 C-MOS 박막 트랜지스터를 이용한 구동 회로 및 능동 소자를 형성한 박막 트랜지스터 기판에 대향 기판으로서 예를 들면 컬러 필터나 공통 전극 등을 형성한 컬러 필터 기판을 접합하고, 대향 간극에 액정을 봉입함으로써 액정 표시 장치를 구성할 수 있다. 또한, 박막 트랜지스터 기판의 능동 소자에 갖는 핵소 전극의 영역에 유기 EL 층을 적층하고, 이 유기 EL 층을 사이에 두고 다른 쪽의 전극을 적층함으로써 유기 EL 표시 장치를 구성할 수 있다.
- <92> 본 발명은, 상기 실시예에 한하는 것은 아니며, 본 발명의 기술 사상의 범위 내에서 다양한 변경이 가능한 것은 물론이다. 예를 들면, 본 명세서에서는 반도체층을 폴리실리콘으로 형성하지만, 단결정의 반도체라도 무방하며, 또한 단결정과 폴리실리콘의 중간이 되는 의사 단결정의 반도체라도 무방하다. 또한 본 명세서에서는, LDD 구조를 N형 트랜지스터 영역에만 형성하고 있지만, P형에 형성하는 구성이라도 무방하다.
- <93> 또한, 도 1 및 도 2와 같이, 표시 장치의 기판 위에 C-MOS 박막 트랜지스터를 갖고, 이 C-MOS 박막 트랜지스터는 P 채널부의 게이트 전극과 N 채널부의 게이트 전극이 거의 직선상에 접속되고, P 채널부와 N 채널부가 인접하여 구성됨으로써, 도 9에 도시한 바와 같은 위치 정합부가 없는 공간을 줄일 수 있는 C-MOS TFT를 제작할 수 있어, 고집적화가 가능해진다. 물론 이 구성에서도, P 채널부의 게이트 전극 폭과 N 채널부의 게이트 전극 폭은 서로 다르며, 또한 P 채널부의 게이트 전극과 N 채널부의 게이트 전극의 접속 부분은 P 채널부의 게이트 전극 폭, 혹은 N 채널부의 게이트 전극 폭 중 좁은 쪽의 게이트 전극 폭 이상, P 채널부의 게이트 전극 폭, 혹은 N 채널부의 게이트 전극 폭 중 넓은 쪽의 게이트 전극 폭 이하로 접속되어 있다. 본 실시예에서의 도면에서는, P 채널부의 게이트 전극 폭이 N 채널부의 게이트 전극 폭보다도 넓게 되어 있고, 또한 C-MOS 박막 트랜지스터의 P 채널부의 게이트 전극과 N 채널부의 게이트 전극은 접속부의 게이트선 폭의 차이가 폭 방향에서 각각 동일하게 되어 있다.
- <94> 또한, 본 명세서에서는, C-MOS p-Si TFT의 구성에 대하여 기재하고 있지만, p-Si에 한정되는 것은 아니다. 특히 고정밀화, 고속 동작에 유리한 p-Si인 경우에 장점이 있다고 할 수 있는 것이다.
- ### 발명의 효과
- <95> 이상 설명한 바와 같이, 본 발명에 따르면, 표시 장치에 구비하는 C-MOS의 제작을 위한 노광 마스크로서 하프톤 마스크를 이용한 자기 정합 C-MOS 프로세스를 채용한 것으로, P-MOS TFT와 N-MOS TFT의 결합 부분에 위치 정합이 불필요해져, 적은 포토 공정 수로 C-MOS를 고집적화할 수 있고, 고정밀, 고속 구동의 표시 장치를 실현할 수 있다.
- ### 도면의 간단한 설명
- <1> 도 1은 본 발명에 따른 표시 장치에 구비하는 C-MOS p-Si TFT 소자의 구성을 모식적으로 도시한 상면도.
- <2> 도 2는 도 1의 A 부분의 확대도.
- <3> 도 3은 본 발명의 C-MOS p-Si TFT의 제작에 이용하는 하프 노광 마스크의 기본적 구성을 설명하는 모식도.
- <4> 도 4는 본 발명의 일 실시예를 설명하는 C-MOS p-Si TFT의 제작 공정도.
- <5> 도 5는 본 발명의 일 실시예를 설명하는 도 4에서 이어지는 C-MOS p-Si TFT의 제작 공정도.
- <6> 도 6은 본 발명의 다른 실시예를 설명하는 C-MOS p-Si TFT의 제작 공정도.
- <7> 도 7은 종래 기술의 일례를 설명하는 C-MOS p-Si TFT의 제작 공정도.
- <8> 도 8은 종래 기술의 다른 예를 설명하는 자기 정합 LDD에 의한 C-MOS p-Si TFT의 제작 공정도.
- <9> 도 9는 표시 장치에 구비하는 종래의 C-MOS p-Si TFT 소자의 일례의 구성을 모식적으로 도시한 상면도.

<10> <도면의 주요 부분에 대한 부호의 설명>

<11> 13 : P 채널부 게이트 전극

<12> 13' : N 채널부 게이트 전극

<13> 17 : 컨택트홀

<14> 25 : P 채널부

<15> 26 : N 채널부

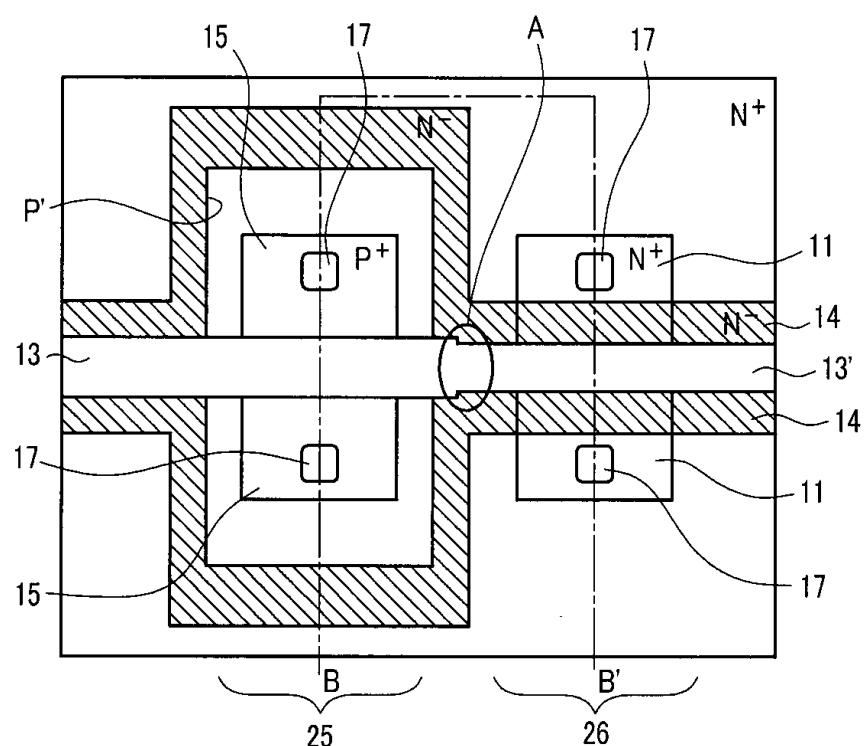
<16> 31 : N<sup>+</sup>부

<17> 32 : N<sup>-</sup>부

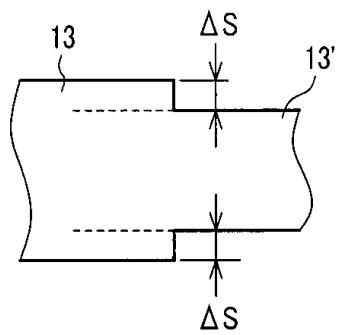
<18> 34 : P<sup>+</sup>부

## 도면

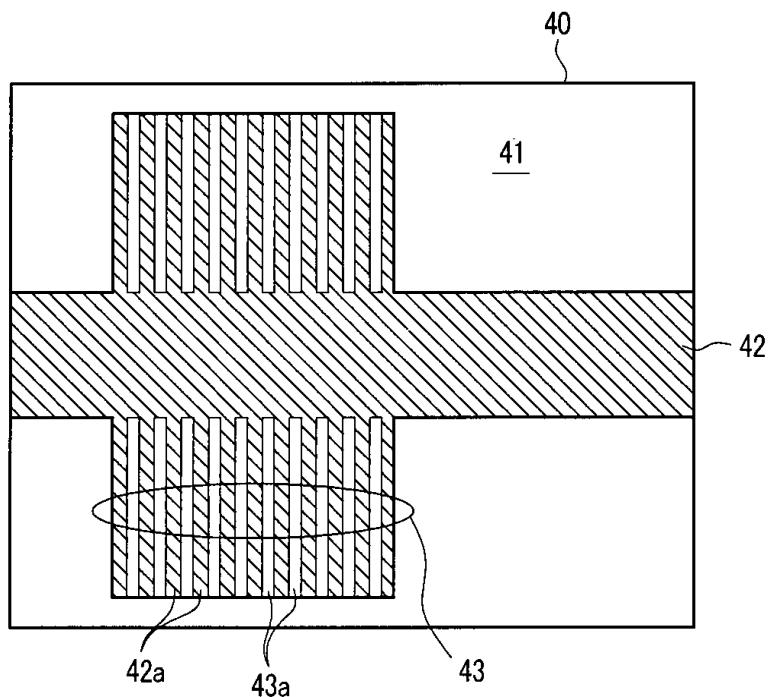
### 도면1



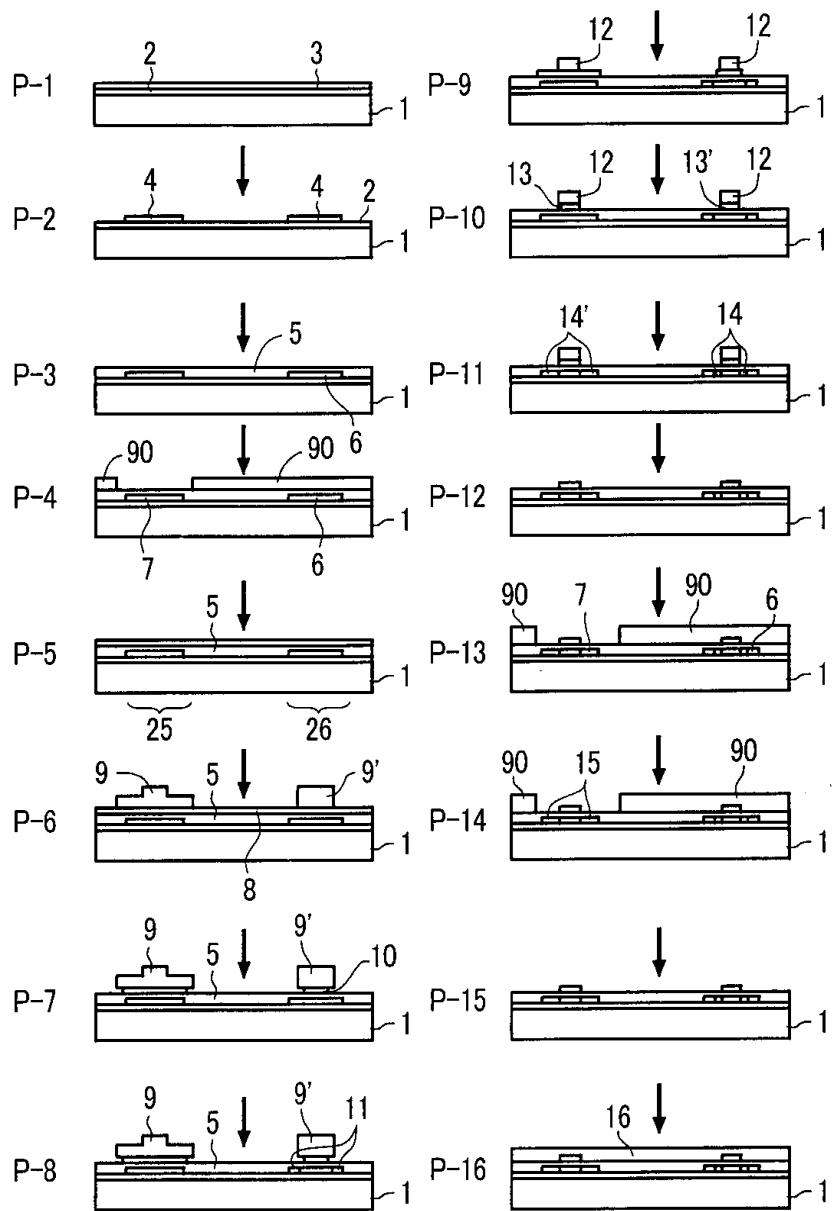
도면2



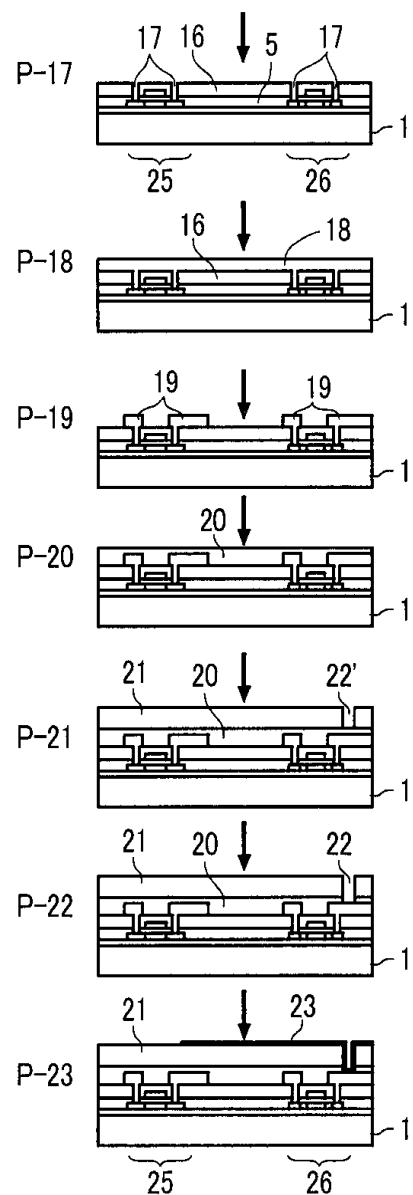
도면3



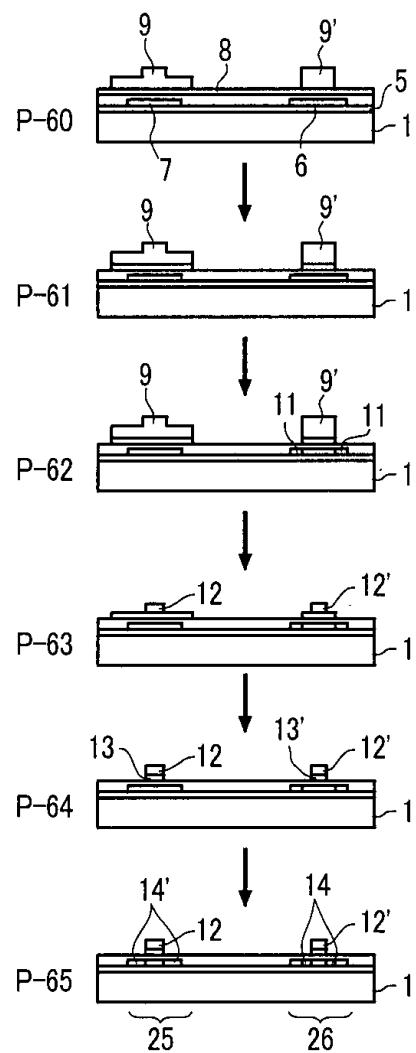
## 도면4



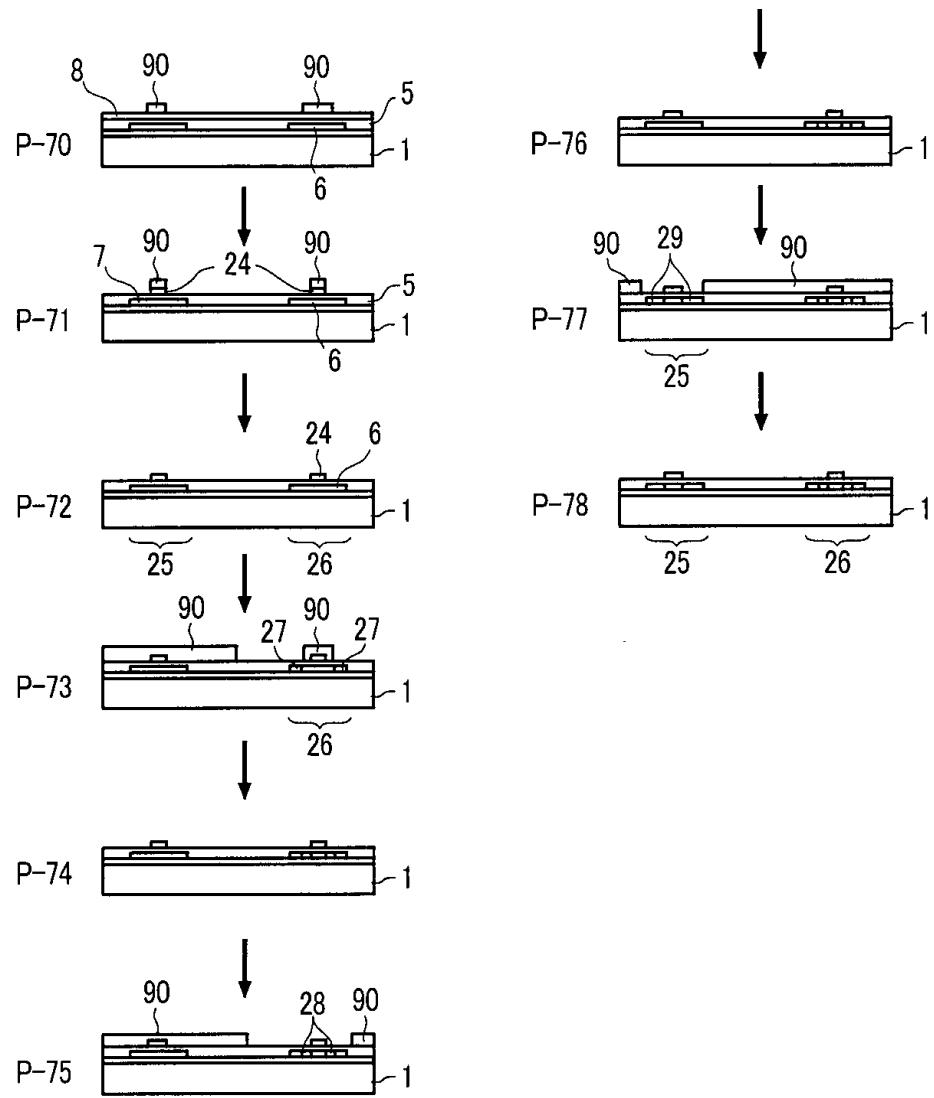
## 도면5



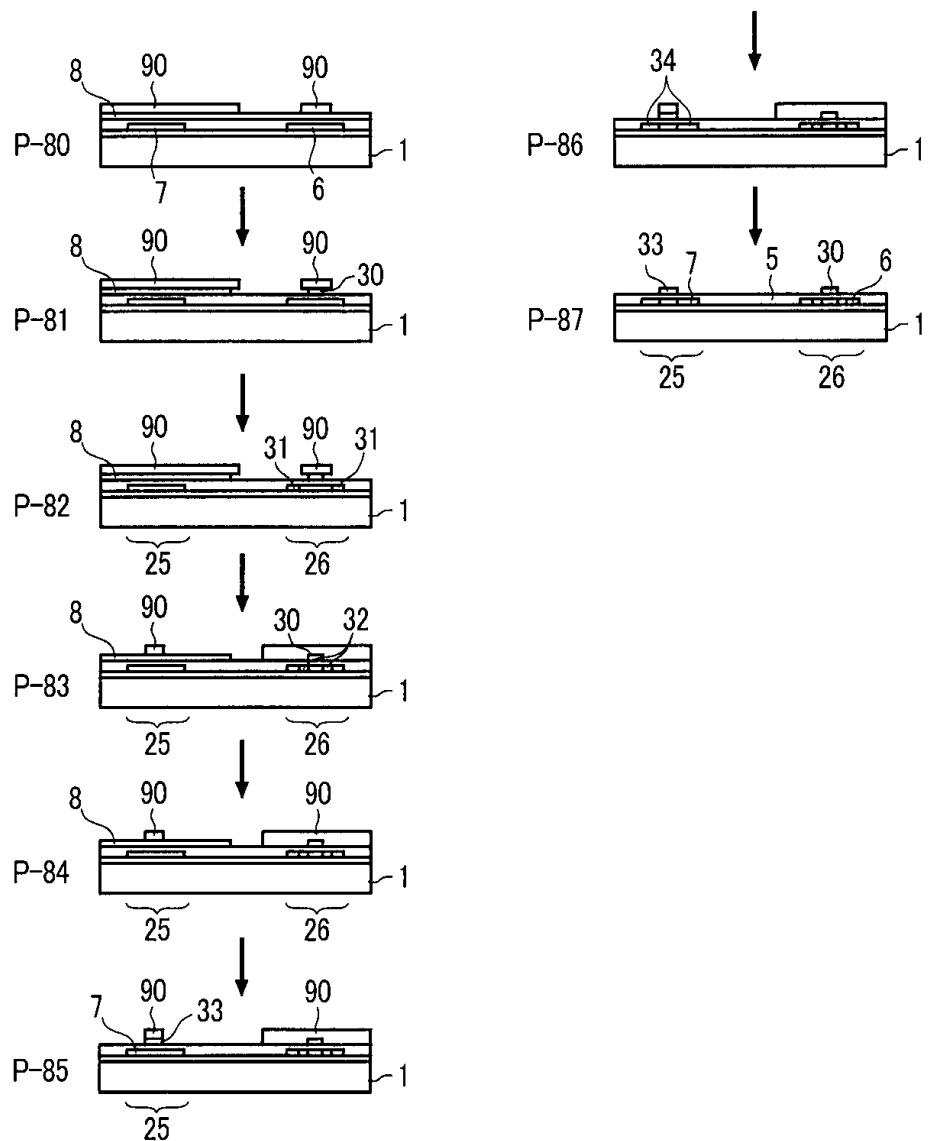
도면6



## 도면7



## 도면8



## 도면9

