

四、聲明事項：

主張專利法第二十二條第二項第一款或第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係為一種使用導電遮罩之蝕刻方法，尤指一種利用導電遮罩分散累積電荷的乾蝕刻方法。

【先前技術】

隨著半導體製造技術越來越精密，積體電路也發生重大的變革，使得電腦的運算性能和存儲容量突飛猛進，並帶動周邊產業迅速發展。而半導體產業也如同摩爾定律所預測的，以每 18 個月增加一倍電晶體數目在積體電路上的速度發展著，所以製程越來越精密。半導體製程已經從 1999 年的 0.18 微米、2001 年的 0.13 微米、2003 年的 90 奈米(0.09 微米)，進入到 2005 年 65 奈米(0.065 微米製程)。

在半導體製程中，接觸插塞(contact plug)、介層插塞(via plug)一直是重要的技術內容，用以電性連接所有之電晶體、電容等元件以及金屬內連線進而構成整個積體電路，其除了可利用鎢金屬、鋁合金做為接觸插塞、介層插塞的材料外，亦可以直接運用銅製程(copper process)來完成。而由於銅金屬不易蝕刻，因此在利用銅金屬做為金屬內連線的電導通材料時，大多是利用單鑲嵌(single damascene)或者是雙鑲嵌(dual damascene)製程來形成所需之銅介層插塞(via plug)和銅導線。但是，在進行乾蝕刻製程以形成接觸窗(contact hole)、介層窗(via hole)和導線溝渠(trench)時，常

常會因為電荷大量蓄積在介電層上，所以在快蝕刻至介電層下方之金屬層、元件或者已經接觸到金屬層、元件時，便常會發生金屬層、元件的金屬爆裂情況，使得良率下降。

請參閱第 1 圖，第 1 圖係為習知蝕刻技術發生金屬層爆裂之示意圖。如第 1 圖所示，半導體晶片 100 包含有一 NMOS 電晶體及一 PMOS 電晶體，分別形成在 P 型半導體基底 101 之在 P 型井 (P-well)102 及 N 型井(N-well)104 上，且 NMOS 電晶體及 PMOS 電晶體周圍均具有一淺溝隔離(shallow trench isolation, STI)106，用以分隔各 NMOS 電晶體及各 PMOS 電晶體；而 PMOS 電晶體與 NMOS 電晶體各包含有一閘極 108、109，以及源極/汲極 (source/drain)110、111 設置於 P 型井 102 及 N 型井 104 中。接著，依序在 P 型半導體基底 101 上沈積一接觸蝕刻停止層(contact etch stop layer, CESL)113、一非摻雜矽玻璃 (undoped silica glass, USG) 112 和一磷矽玻璃 (phosphorus-doped silica glass, PSG) 114，並覆蓋在閘極 108、109、源極/汲極 110、111、淺溝隔離 106、P 型井 102 及 N 型井 104 上方。隨後，為了將 NMOS 電晶體及 PMOS 電晶體與其他之元件以及後續製作的金屬內連線電性連接，必須利用黃光、蝕刻、沈積、化學機械研磨(CMP)等製程，形成接觸插塞 (contact plug) 116，並使得接觸插塞 116 的一端連接閘極 108，或者連接源極/汲極 110，而另外一端則和後續製作之金屬層 118 相連接。而金屬層 118 上方，更沉積有一介電層 120，且此介電層 120 又可依不同之製程考量另包含有利用高密度電漿沈積

(HDPCVD)形成的介電層(HDP oxide)119，一電漿輔助化學氣相沉積(PECVD)形成的氧化層(PE oxide)121，以及一氧化頂蓋層(cap oxide)123。

同樣如第 1 圖所示，隨後在介電層 120 上方，進行一黃光製程，用以形成一圖案化之光阻層 122，接著再利用此圖案化的光阻 122 進行一乾蝕刻，以於介電層 120 中形成所需之介層窗 124。由於目前大多是利用電漿乾蝕刻來進行介層窗蝕刻製程，因此在蝕刻製程進行的同時，會產生大量的電荷累積在介電層 120 中，所以當介層窗蝕刻製程蝕刻至金屬層 118 表面，或者是快要蝕刻至金屬層 118 時，這些蓄積的大量電荷便會快速從此處宣洩而出，進而導致金屬層 118 爆開形成爆裂 125，甚至連更底層的閘極 108 等元件也會被累積的電荷所影響而受損。

因此，如何避免乾蝕刻介電層所引發之金屬爆裂實為該領域急待解決的議題。

【發明內容】

本發明係提供一種使用導電遮罩之蝕刻方法，以解決上述問題。

本發明揭露一種使用導電遮罩蝕刻介電層之方法，提供介電層位於基底上，形成圖案化之導電遮罩於介電層上並和基底相接

觸，再利用圖案化之導電遮罩對介電層進行乾蝕刻製程。

本發明之一最佳實施例中，係為一種形成接觸窗的方法，包含有提供基底，且基底上設置有至少一元件，形成介電層覆蓋於元件和基底上，形成導電遮罩於介電層上並和基底相接觸，以及利用導電遮罩進行蝕刻製程，以於介電層中蝕刻出接觸窗直至元件表面。

本發明之另一最佳實施例中，係為一種形成介層窗的方法，包含有提供基底，在基底上形成有第一介電層，且第一介電層上設置有至少一金屬內連線層，形成第二介電層覆蓋於金屬內連線層上和第一介電層上，形成圖案化之導電遮罩於第二介電層上並和基底相接觸，以及利用圖案化之導電遮罩進行蝕刻製程，以於第二介電層中蝕刻出至少一介層窗直至金屬內連線層表面。

本發明之另一最佳實施例中，係為一種鑲嵌製程方法，包含有提供基底，且基底上設置有至少一導電線路，形成介電層於導電線路上，形成圖案化之導電遮罩於介電層上並和基底相接觸，利用圖案化之導電遮罩進行蝕刻製程，以於介電層形成至少一開口直至導電線路表面，以及填充銅金屬於開口中。

本發明利用導電遮罩，使得乾蝕刻所產生的電荷，分佈在大面積的導電遮罩上，並導入基底中，所以不會大量蓄積電荷在被蝕

刻的介電層區域，也就不會發生金屬內連線以及元件的金屬爆裂情況，讓半導體晶圓的良率提高。

【實施方式】

請參閱第 2 圖，第 2 圖係為本發明應用在蝕刻接觸窗之製程示意圖。半導體晶片 200 包含有一 NMOS 電晶體及一 PMOS 電晶體，分別形成在 P 型半導體基底 201 之在 P 型井(P-well)202 及 N 型井(N-well)204 上，且 NMOS 電晶體及 PMOS 電晶體周圍均具有一淺溝隔離(STI)206，用以分隔各 NMOS 電晶體及各 PMOS 電晶體；而 PMOS 電晶體與 NMOS 電晶體各包含有一閘極 208、209，以及源極/汲極(source/drain)210、211 設置於 P 型井 202 及 N 型井 204 中。

接著，依序在 P 型半導體基底 201 上沈積一接觸蝕刻停止層 (CESL)213、一沈積非摻雜矽玻璃 (USG)212 和一磷矽玻璃 (PSG) 214，並覆蓋在閘極 208、209、源極/汲極 210、211、淺溝隔離 206、P 型井 202 及 N 型井 204 上方。隨後，本發明再進行一黃光 (lithography)製程及微影(Photo-lithography)製程，用以形成一圖案化之導電遮罩 215 覆蓋在磷矽玻璃 214 上方，且圖案化之導電遮罩 215 一直延伸至半導體晶片 200 之邊緣和 P 型半導體基底 201 接觸，然後再進行接觸窗 217 的乾蝕刻製程。

值得注意的是，在本發明之實施例中，導電遮罩 215 係由一導

電光阻所構成，其包含有導電樹脂(resin)、溶劑和感應物(sensitizer)，例如導電樹脂可以是3-己基賽吩-3-賽吩-乙烷-甲基丙烯酸酯共聚物(3-hexyl-thiophene-3thiophene-ethane-methcylate copolymer)，溶劑可用氯化金的乙醯亞硝酸(aceto-nitrile solution of gold chloride)溶液，感應物則可為氯化金(gold chloride)等，當然導電光阻的材質不限定於上述成分，本發明亦可選用其他市售配方成分的導電光阻產品來應用。此外，亦可視製程之需求及其他考量，而在磷矽玻璃 214 上方先形成一抗反射層(ARC)，然後再形成導電遮罩 215，以於微影(Photo-lithography)製程時，獲得較佳之圖案化之導電遮罩 215 結構。再者，位於磷矽玻璃 214 上方的圖案化之導電遮罩 215 可以選擇完整覆蓋住整個半導體晶片 200 之邊緣，亦可選擇部分接觸半導體晶片 200 之邊緣，無論圖案化之導電遮罩 215 是完整覆蓋或者是部分接觸半導體晶片 200 的邊緣皆可使得接觸窗 217 的乾蝕刻製程中產生的靜電荷被導入 P 型半導體基底 201 中。

本發明亦可應用在蝕刻介層窗之標準製程，請參考第 3 圖，第 3 圖係為本發明應用在蝕刻介層窗之製程示意圖。接續第 2 圖的半導體製程，當接觸窗 217 之蝕刻步驟完成後，隨即去除導電遮罩 215，並進行一清洗製程，於是便可於非摻雜矽玻璃 212 和磷矽玻璃 214 中形成所需之接觸窗 217 直至閘極 208、209 表面或者源極/汲極 210、211 的表面，接下來，即可沈積鈿(Ta)、氮化鈿(TaN)、鎢等金屬，並利用一化學機械研磨(CMP)，以形成接觸插塞 216。

接著，再利用沈積、黃光、蝕刻等製程，以形成一鋁銅合金等組成之圖案化之金屬層 218，使得接觸窗插塞 216 的一端連接閘極 208，或者連接源極/汲極(source/drain)210 等摻雜區，另外一端則和圖案化之金屬層 218 相連接，進而形成金屬內連線層。隨後再視產品需求及製程考量，沈積一複合式介電層 220，例如此介電層 220 可包含有利用高密度電漿沈積出的氧化層(HDP oxide)219，一利用電漿輔助化學氣相沉積(PECVD)形成的氧化層(PE oxide)221，以及一氧化頂蓋層(cap oxide)223。最後本發明再形成一圖案化之導電遮罩 222 覆蓋在介電層 220 上方，且圖案化之導電遮罩 222 一直延伸至半導體晶片 200 之邊緣和 P 型半導體基底 201 接觸，然後進行介層窗 224 的乾蝕刻製程，以於介電層 220 中形成所需之介層窗 224 直至相對應之圖案化之金屬層 218 表面。

同樣地，本實施例之導電遮罩 222 亦是一導電光阻，而且亦可視製程之需求及其他考量，而先在介電層 220 上方形成一抗反射層(ARC)，然後再形成導電遮罩 222，以於微影(Photo-lithography)製程時，獲得較佳之圖案化之導電遮罩 222 結構。該圖案化之導電遮罩 222 亦可選擇完整覆蓋住整個半導體晶片 200 之邊緣，亦可部分接觸半導體晶片 200 之邊緣，使得介層窗 224 的乾蝕刻製程中產生的靜電荷被導入 P 型半導體基底 201 中。

值得一提的是本發明之導電遮罩 215、222 除了可由上述實施例之導電光阻構成外，也可以為一金屬層與一光阻層之下、上堆

疊之結構。例如，請參考第 4 圖，第 4 圖係為本發明應用在蝕刻介層窗之另一實施例之製程示意圖。如第 4 圖所示，介電層 220 在沈積完畢後，可先濺鍍一金屬層 225，然後再於其上形成一圖案化的光阻層 227，用來於介電層 220 中定義各介層窗 224 的位置。由於第 4 圖所示之導電遮罩 222 係為一金屬層 225 與一光阻層 227 之下、上堆疊之結構，其中該金屬層 225 和光阻層 227 之堆疊結構一直延伸至半導體晶片 200 的邊緣，和 P 型半導體基底 201 接觸。因此在進行圖案轉移時，可直接利用圖案化的光阻層 227 當作蝕刻遮罩，先蝕刻金屬層 225，然後再蝕刻介電層 220，以於介電層 220 中蝕刻出所需之各介層窗 224，或者是利用兩段式的圖案轉移製程，亦即先利用圖案化的光阻層 227 當作蝕刻遮罩來蝕刻金屬層 225，以將光阻層 227 的圖案轉移至金屬層 225 中，接著去除光阻層 227 之後，再利用圖案化的金屬層 225 當作蝕刻遮罩來進行介層窗 224 的乾蝕刻製程。

由於本發明是利用圖案化的導電遮罩 215、222 當作蝕刻遮罩，因此在進行接觸窗(contact hole)217、介層窗(via hole)224、或淺溝(trench)等之單鑲嵌(single damascene)開口的電漿乾蝕刻製程時，所形成的電荷便可以分別藉由導電遮罩 215、222 之電傳導特性來平均分散，而不會累積在磷矽玻璃 (PSG) 214、非摻雜矽玻璃 (USG) 212、接觸蝕刻停止層(CESL)213 以及介電層 220 中，加上導電遮罩 215、222 皆與 P 型半導體基底 201 接觸，所以乾蝕刻製程所形成的電荷便可以導入 P 型半導體基底 201 中，因此便

不會像習知技術一樣，造成電荷大量蓄積在介電層之局部區域中，並在快蝕刻至介電層下方之金屬層、元件或者已經接觸到金屬層、元件時，發生金屬層、元件的金屬爆裂情況。另外，本發明之導電遮罩若為金屬層與光阻層之堆疊結構時，更可選擇特定的金屬材質來結合後續之製程而具有不同的功能性，例如導電遮罩 222 若係由氮化鈦 (TiN)、氮化鉭鈦 (TaN) 等構成時，除了可以避免習知技術中金屬爆裂的情況外，又可增加以 KLA-Tencor AIT 型號晶圓檢測系統對介電層 220 進行量測線上缺陷與微粒，例如殘留 (residues)、劃傷 (micro scratch) 等缺陷的檢出率，而且更可以作為介層窗 224 插塞的金屬機械研磨停止層，並於後續金屬插塞之機械研磨製程中一併被去除。

此外，本發明亦可運用在銅製程(copper process)之單鑲嵌 (single damascene) 或者是雙鑲嵌 (dual damascene) 製程，用以形成所需之銅介層插塞 (via plug) 和銅導線。請參閱第 5 圖，第 5 圖係為本發明應用在雙鑲嵌 (dual damascene) 製程之一較佳實施例的示意圖。半導體晶片 300 包含有基底 301，一介電層 302，至少一導電結構，例如金屬插塞或金屬圖案等導電線路 304 設於介電層 302 中，而介電層 302 與導電線路 304 上方另沈積一介電層 306、一圖案化之介電層 308。其中，圖案化之介電層 308 可為電漿輔助化學氣相沉積 (PECVD) 出的一氧化層 (PE oxide)，其是先利用一光阻層 (未顯示) 並經由黃光蝕刻等圖案轉移步驟之後，以產生有複數個開口 310 圖案，用來定義金屬內連線之銅導線的位置。接著，

形成一圖案化之導電遮罩 314 於介電層 306、308 上方，該導電遮罩 314 一直延伸至半導體晶片 300 之邊緣並和基底 301 相接觸，且圖案化之導電遮罩 314 具有至少一開口 316，用來定義金屬內連線之銅介層插塞的位置，隨後經由乾蝕刻製程，即可於介電層 306 中形成介層窗（未顯示）。然後去除圖案化之導電遮罩 314，並再利用圖案化之介電層 308 進行蝕刻，便可於介電層 306 中形成所需之淺溝(trench)圖案（未顯示），最後再於雙鑲嵌開口中同時形成銅介層插塞和銅導線。而淺溝先製(trench first)、介層先製(via first)或無蝕刻停止層等之雙鑲嵌(dual damascene)製程步驟相仿，其淺溝遮罩與介層遮罩皆可運用本發明之導電遮罩來定義圖案並避免金屬爆裂，在此不多加贅述。

由於，導電遮罩 314 的材質可以是大面積覆蓋在介電層 306、308 上方之導電光阻，且又和基底 301 相接觸，所以當乾蝕刻製程進行時，電荷不會向習知技術中大量蓄積在介電層 306、308 被蝕刻的區塊中，而是分佈在大面積的導電光阻上，並導入基底 301 中，所以當蝕刻至快接觸到導電線路 304，或者是已經接觸到導電線路 304 時，不會因為大量的電荷蓄積，而引發金屬爆裂。當然，如前所述，在本實施例中，導電遮罩 314 亦可以利用一金屬層與一光阻層的堆疊結構所構成，也就是在形成開口 310 之後，可先沈積一層金屬層和一光阻層作為導電遮罩，將此金屬層和其上的光阻層圖案化後，再進行介層窗的乾蝕刻。當然，在進行介層窗乾蝕刻前，可選擇先洗去光阻層或者留下光阻層再進行介層窗的

乾蝕刻製程。

值得一提的是，本發明亦可應用於單鑲嵌製程中，即利用導電遮罩和黃光蝕刻製程先形成介層窗開口或淺溝開口，再利用導電遮罩和黃光蝕刻製程於介電層中形成金屬層的開口，再沈積上銅金屬形成銅插塞或銅導線，因為電荷是和在大面積的導電遮罩接觸，所以不會大量累積電荷，當蝕刻介電層時，不會發生金屬爆裂的情況。

在習知技術中，因為電荷大量蓄積之故，所以乾蝕刻介電層幾至金屬插塞、導電線路、摻雜區或者閘極等元件時，習知技術會發生金屬爆裂甚至閘極介電層崩潰(breakdown)的情況，影響品質、良率，並嚴重降低產能，而本發明利用導電遮罩，使得乾蝕刻所產生的電荷，得以傳導並分佈在大面積的導電遮罩上，並導入基底中，所以不會大量蓄積電荷在介電層被蝕刻的局部區域中，也就不會發生金屬內連線以及元件等的金屬爆裂情況，半導體晶圓的良率即可提高。而且，導電遮罩除了可直接採用導電光阻材質，以避免金屬爆裂的優點外之外，本發明更可以使用金屬層與光阻層之複合結構，以利用特定材質之金屬層又可增加以 KLA-Tencor AIT 型號晶圓檢測系統對介電層進行量測線上缺陷與微粒，例如殘留 (residues)、劃傷 (micro scratch) 等缺陷的檢出率，並且可以作為後續介層插塞之化學機械研磨的停止層，並於該機械研磨製程中一併被去除，達到簡化製程降低成本的目的。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

【圖式簡單說明】

第 1 圖係為習知蝕刻技術發生金屬層爆裂之示意圖。

第 2 圖係為本發明應用在蝕刻接觸窗之製程示意圖。

第 3 圖係為本發明應用在蝕刻介層窗之製程示意圖。

第 4 圖係為本發明應用在蝕刻介層窗之另一實施例之製程示意圖。

第 5 圖係為本發明應用在雙鑲嵌(dual damascene)製程之一較佳實施例的示意圖。

【主要元件符號說明】

100、200 互補金氧半導體電晶體

101、201 P 型半導體基底

102、202 P 型井

104、204 N 型井

106、206 淺溝隔離

108、109、208、209 閘極

110、111、210、211 源極/汲極

112、212 非摻雜矽玻璃

113、213 接觸蝕刻停止層

114、214 磷矽玻璃

116、216 接觸窗插塞

- 118、218 金屬層
- 119、121、219、221 氧化層
- 123、223 氧化頂蓋層
- 120、220、302、306、308 介電層
- 122 光阻
- 124、224 介層窗
- 125 爆裂
- 215、222、314 導電遮罩
- 217 接觸窗
- 225 金屬層
- 227 光阻層
- 300 電晶體
- 301 基底
- 304 銅插塞
- 310、316 開口

五、中文發明摘要：

一種使用導電遮罩蝕刻介電層之方法，首先提供介電層位於基底上，形成圖案化之導電遮罩於介電層上並和基底相接觸，再利用圖案化之導電遮罩對介電層進行乾蝕刻製程，藉以利用導電遮罩分散掉乾蝕刻製程所產生的電荷，故不會蓄積大量電荷在被乾蝕刻的介電層上，進而可有效抑制介電層覆蓋之金屬內連線以及元件發生爆裂的情況。

六、英文發明摘要：

A method of etching a dielectric layer by a conductive mask includes providing the dielectric layer on a substrate, forming a pattern conductive mask on the dielectric layer, the pattern conductive mask contacting with the substrate, processing a dry etching on the dielectric layer by the pattern conductive mask. Because the conductive mask disperses a lot of electric charges, the electric charges are not able to be stored on the dry etched dielectric layer. And the metal of the multilevel interconnects and the elements under the dielectric layer will not burst.

十、申請專利範圍：

1. 一種蝕刻介電層之方法，該介電層係位於一基底上方，該方法係先形成一圖案化之導電遮罩於該介電層上並與該基底接觸，再利用該圖案化之導電遮罩對該介電層進行一乾蝕刻製程，其中該乾蝕刻製程所產生之一電荷係經由該圖案化之導電遮罩導入該基底中。

2. 如申請專利範圍第 1 項所述之方法，其中該乾蝕刻製程係包含一接觸窗(contact hole)蝕刻製程、一介層窗(via hole)蝕刻製程或一單鑲嵌開口蝕刻製程。

3. 如申請專利範圍第 2 項所述之方法，其中該圖案化之導電遮罩係為一導電光阻，用來於該介電層中定義該接觸窗、該介層窗或該單鑲嵌開口的位置。

4. 如申請專利範圍第 3 項所述之方法，其中該導電光阻係包含有：
一導電樹脂(resin)；
一溶劑；以及
一感應物(sensitizer)。

5. 如申請專利範圍第 4 項所述之方法，其中該導電樹脂係包含有
3-己基賽吩-3-賽吩-乙烷-甲基丙烯酸酯共聚物
(3-hexyl-thiophene-3thiophene-ethane-methcylate copolymer)。

6. 如申請專利範圍第 4 項所述之方法，其中該溶劑係為包含有氯化金的乙醯亞硝酸(aceto-nitrile solution of gold chloride)溶液。
7. 如申請專利範圍第 4 項所述之方法，其中該感應物係包含有氯化金 (gold chloride)。
8. 如申請專利範圍第 2 項所述之方法，其中該圖案化之導電遮罩係包含有一金屬層與一光阻層之堆疊結構，用來定義該介層窗於該介電層中的位置。
9. 如申請專利範圍第 8 項所述之方法，其中該金屬層係包含有氮化鈦(TiN)。
10. 如申請專利範圍第 8 項所述之方法，其中該圖案化之導電遮罩另包含有一抗反射層(ARC)，設於該金屬層與該光阻層之間。
11. 如申請專利範圍第 1 項所述之方法，其中該圖案化之導電遮罩係接觸該基底之邊緣。
12. 一種形成接觸窗的方法，包含有：
 - 提供一基底，且該基底上設置有至少一元件；
 - 形成一介電層覆蓋於該元件和該基底上；
 - 形成一導電遮罩於該介電層上並與該基底接觸；以及
 - 利用該導電遮罩進行一蝕刻製程，以於該介電層中蝕刻出一接

觸窗直至該元件表面，其中該蝕刻製程所產生之一電荷係經由該導電遮罩導入該基底中。

13. 如申請專利範圍第 12 項所述之方法，其中該等元件包含有一閘極或一摻雜區。

14. 如申請專利範圍第 12 項所述之方法，其中該導電遮罩係為一圖案化之導電光阻，其包含有一導電樹脂(resin)、一溶劑以及一感應物(sensitizer)，用來定義該接觸窗於該介電層中的位置。

15. 如申請專利範圍第 12 項所述之方法，其中該圖案化之導電遮罩係包含有一金屬層與一光阻層之堆疊結構，用來定義該介層窗於該介電層中的位置。

16. 如申請專利範圍第 15 項所述之方法，其中該金屬層係包含有氮化鈦(TiN)。

17. 如申請專利範圍第 15 項所述之方法，其中該圖案化之導電遮罩另包含有一抗反射層(ARC)，設於該金屬層與該光阻層之間。

18. 如申請專利範圍第 12 項所述之方法，其中該導電遮罩係接觸該基底之邊緣。

19. 一種形成介層窗的方法，包含有：

提供一基底，該基底上形成有一第一介電層，且該第一介電層上設置有至少一金屬內連線層；

形成一第二介電層覆蓋於該金屬內連線層上和該第一介電層上；

形成一圖案化之導電遮罩於該第二介電層上並與該基底接觸；以及

利用該圖案化之導電遮罩進行一蝕刻製程，以於該第二介電層中蝕刻出至少一介層窗直至該金屬內連線層表面，其中該蝕刻製程所產生之一電荷係經由該圖案化之導電遮罩導入該基底中。

20. 如申請專利範圍第 19 項所述之方法，其中該圖案化之導電遮罩係為一導電光阻，其包含有一導電樹脂(resin)、一溶劑以及一感應物(sensitizer)，用來定義該介層窗於該第二介電層中的位置。

21. 如申請專利範圍第 19 項所述之方法，其中該圖案化之導電遮罩係包含有一金屬層與一光阻層之堆疊結構，用來定義該介層窗於該第二介電層中的位置。

22. 如申請專利範圍第 21 項所述之方法，其中該金屬層係包含有氮化鈦(TiN)。

23. 如申請專利範圍第 21 項所述之方法，其中該圖案化之導電遮罩另包含有一抗反射層(ARC)，設於該金屬層與該光阻層之間。

24. 如申請專利範圍第 19 項所述之方法，其中該圖案化之導電遮罩係接觸該基底之邊緣。

25. 一種鑲嵌製程方法，包含有：

提供一基底，且該基底上設置有至少一導電線路；

形成一介電層於該導電線路上；

形成一圖案化之導電遮罩於該介電層上並與該基底接觸；

利用該圖案化之導電遮罩進行一蝕刻製程，以於該介電層形成至少一開口直至該導電線路表面，該蝕刻製程所產生之一電荷係經由該圖案化之導電遮罩導入該基底中；以及

填充一銅金屬於該開口中。

26. 如申請專利範圍第 25 項所述之方法，其中該導電線路係為一接觸插塞(contact plug)，且該開口係為一單鑲嵌開口。

27. 如申請專利範圍第 25 項所述之方法，其中該導電線路係為一金屬內連線，且該開口係為一雙鑲嵌開口。

28. 如申請專利範圍第 25 項所述之方法，其中該圖案化之導電遮罩係為一導電光阻，其包含有一導電樹脂(resin)、一溶劑以及一感應物(sensitizer)，用來定義該開口於該介電層中的位置。

29. 如申請專利範圍第 28 項所述之方法，其中該導電樹脂係為 3-

己基賽吩-3-賽吩-乙烷-甲基丙烯酸酯共聚物

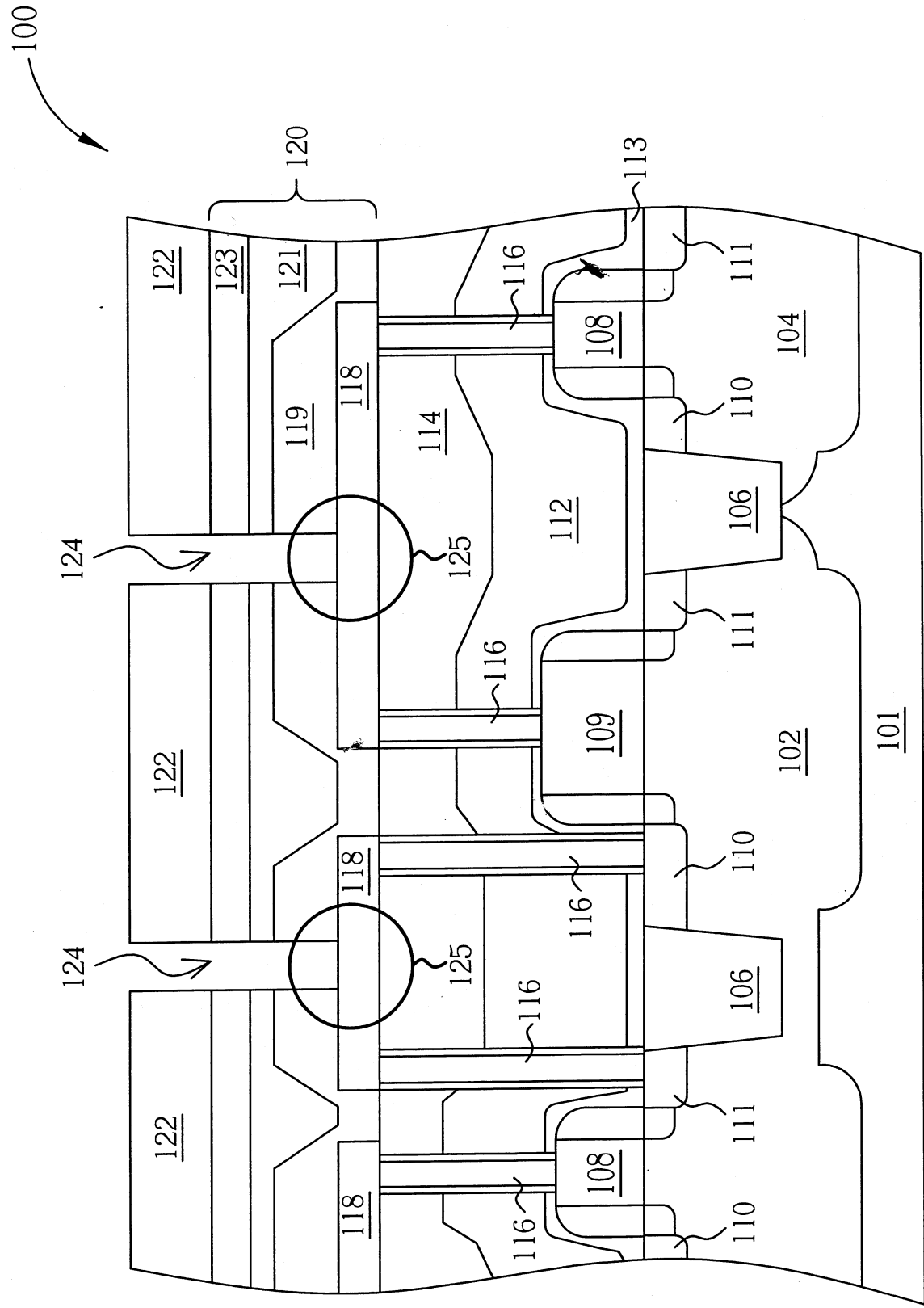
(3-hexyl-thiophene-3thiophene-ethane-methcylate copolymer)。

30. 如申請專利範圍第 28 項所述之方法，其中該溶劑係為氯化金的乙醯亞硝酸(aceto-nitrile solution of gold chloride)溶液。

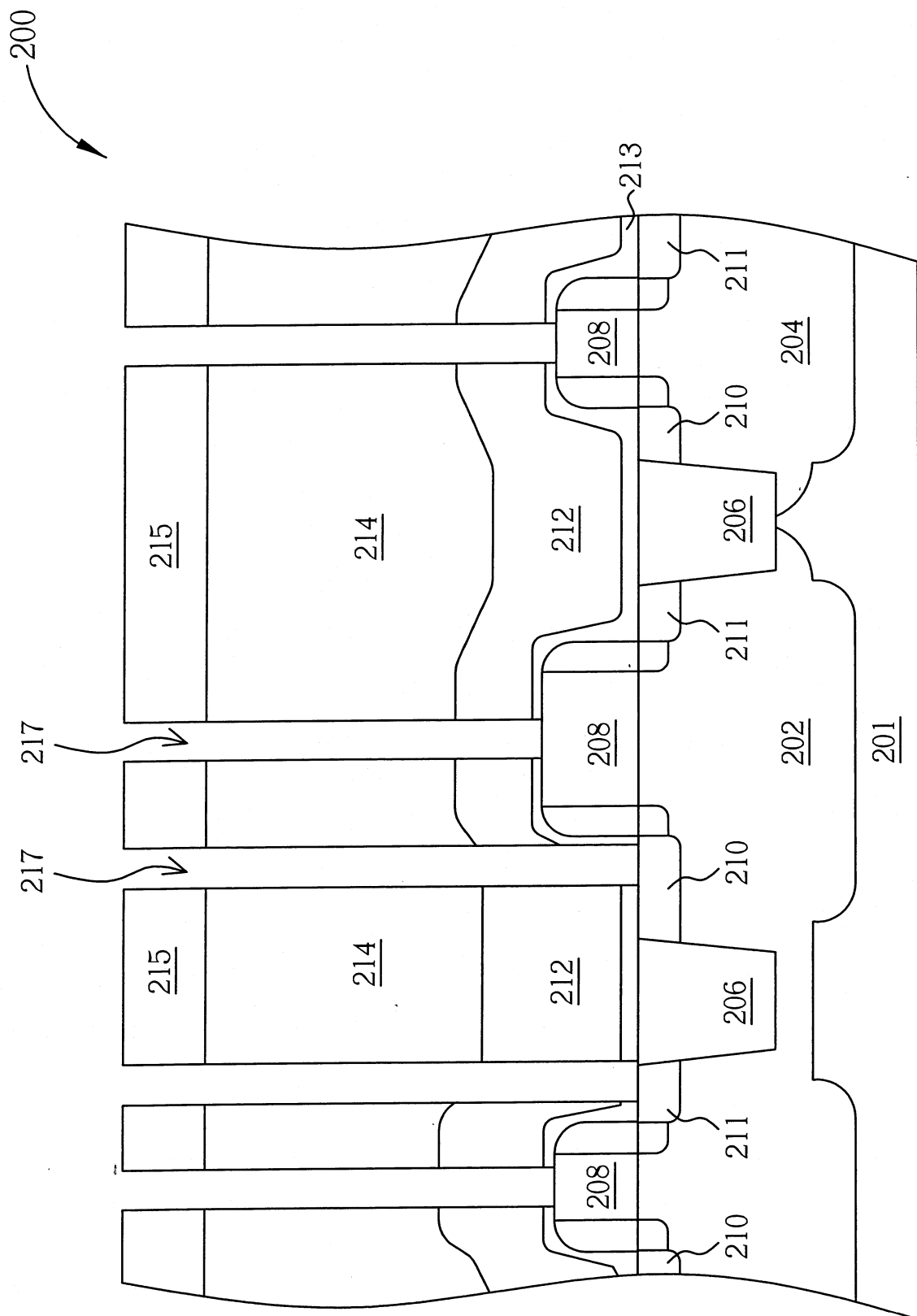
31. 如申請專利範圍第 28 項所述之方法，其中該感應物係為氯化金 (gold chloride)。

32. 如申請專利範圍第 25 項所述之方法，其中該圖案化之導電遮罩係接觸該基底之邊緣。

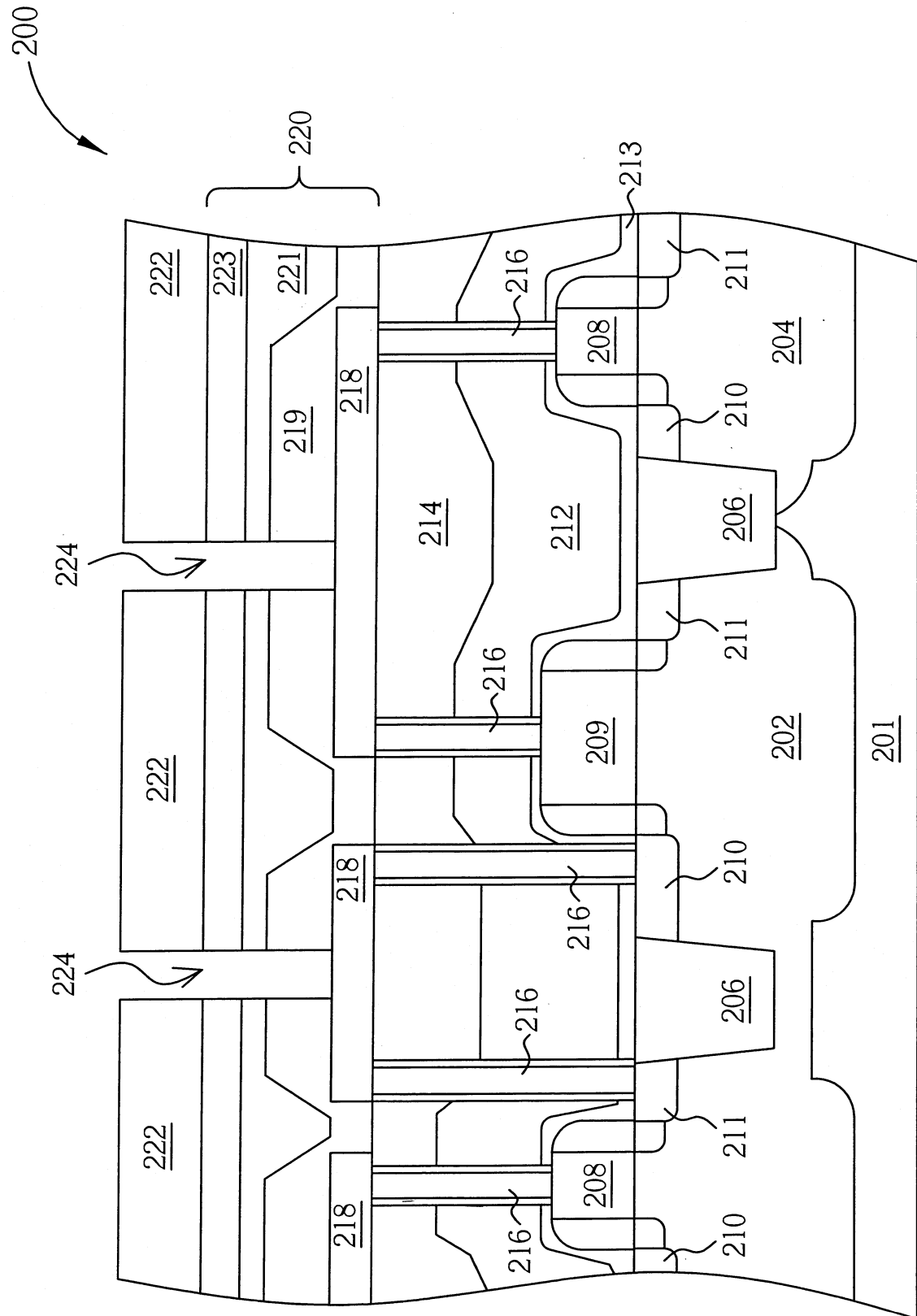
十一、圖式：



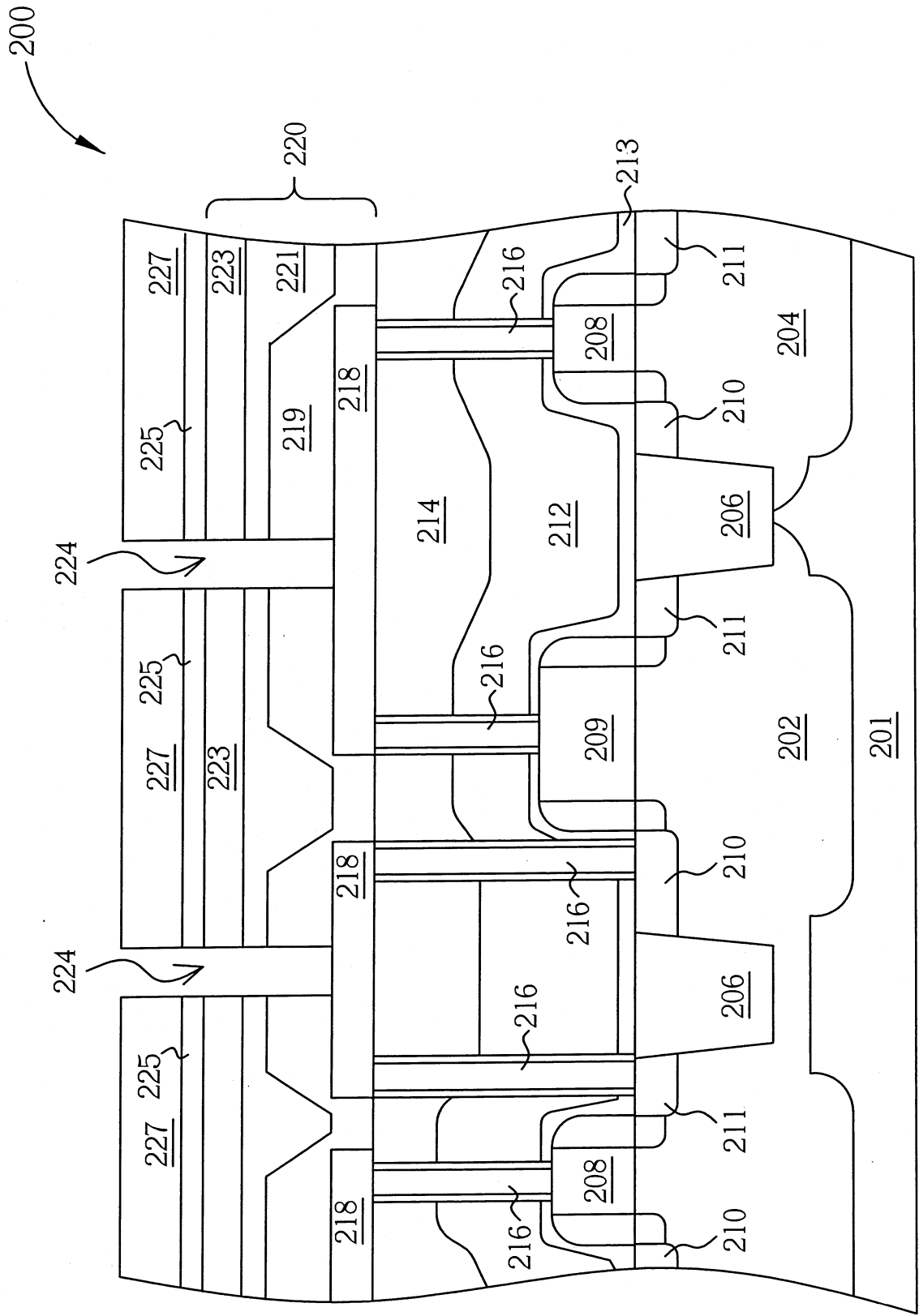
第1圖



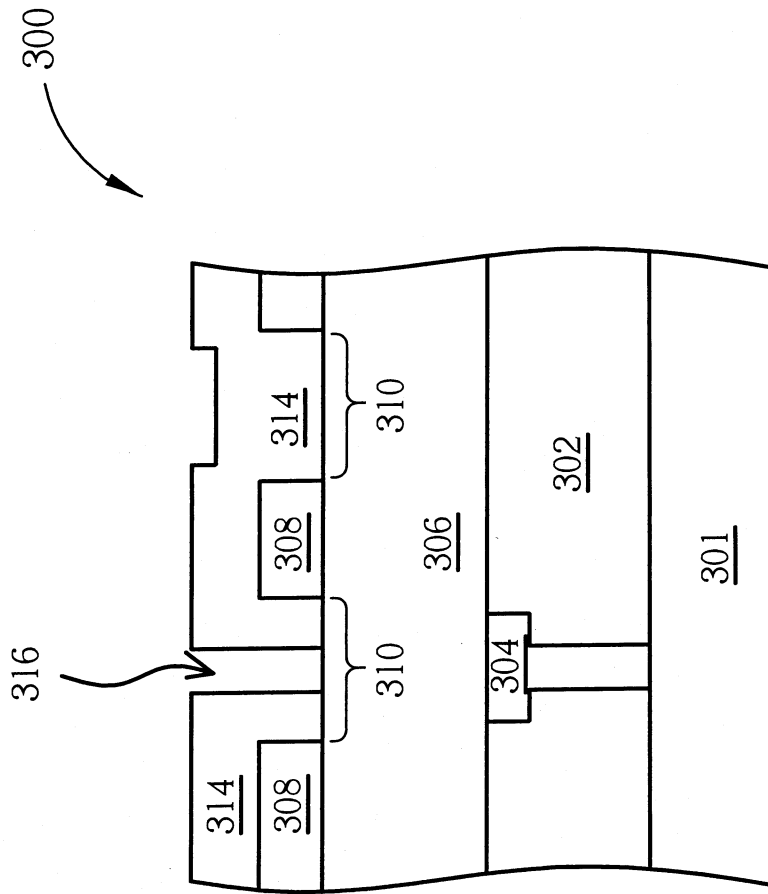
第2圖



第3圖



第4圖



第5圖

七、指定代表圖：

(一)本案指定代表圖為：第 (3) 圖。

(二)本代表圖之元件符號簡單說明：

200	互補金氧半導體電晶體		
201	P 型半導體基底	202	P 型井
204	N 型井	206	淺溝隔離
208、209	閘極	210、211	源極/汲極
212	非摻雜矽玻璃	213	接觸蝕刻停止層
214	磷矽玻璃	216	接觸窗插塞
218	金屬層	219、221	氧化層
220	介電層	222	導電遮罩
223	氧化頂蓋層	224	介層窗

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：94138774

※申請日期：94.11.4

※IPC 分類：H01L 21/00 (2006.01)

一、發明名稱：(中文/英文)

蝕刻介電層形成接觸窗和介層窗之方法以及鑲嵌製程 /

METHOD OF ETCHING A DIELECTRIC LAYER TO FORM A CONTACT HOLE AND A VIA HOLE AND DAMASCENE METHOD

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

聯華電子股份有限公司 / UNITED MICROELECTRONICS CORP.

代表人：(中文/英文)

曹興誠 / TSAO, HSING-CHENG

住居所或營業所地址：(中文/英文)

新竹市新竹科學工業園區力行二路三號 / No.3, Li-Hsin Road 2,
Science-Based Industrial Park, Hsin-Chu City, Taiwan, R.O.C.

國籍：(中文/英文)

中華民國 / TWN

三、發明人：(共 1 人)

姓名：(中文/英文)

1. 施惠紳 / SHIH, HUI-SHEN

國籍：(中文/英文)

1. 中華民國 / TWN