

【特許請求の範囲】**【請求項 1】**

命令を発行する命令制御部と、

主記憶装置が記憶するデータの一部を保持する 2 次キャッシュメモリと、

前記 2 次キャッシュメモリが保持するデータの一部を格納する 1 次キャッシュメモリ、及び前記 1 次キャッシュメモリにキャッシュミスが発生した場合、前記 2 次キャッシュメモリからデータを取得する際のアドレスを保持する第 1 のバッファを備える 1 次キャッシュ部とを有し、

前記 1 次キャッシュ部は、前記主記憶装置へのアクセスを発生させずに前記 2 次キャッシュメモリにキャッシュラインのデータを登録する処理を実行する第 1 の命令が前記命令制御部から発行され、前記第 1 の命令が対象とするアドレスに対応するデータが前記 1 次キャッシュメモリに格納されていない場合、前記第 1 の命令が対象とするアドレスを前記第 1 のバッファに保持し、前記第 1 の命令を前記 2 次キャッシュメモリに発行することを特徴とする演算処理装置。

10

【請求項 2】

前記 1 次キャッシュ部は、前記第 1 の命令が対象とするアドレスを前記第 1 のバッファに保持し、前記第 1 の命令を前記 2 次キャッシュメモリに発行した場合、該第 1 の命令の処理が完了するまで、該第 1 の命令より後に発行されかつ該第 1 の命令が対象とするアドレスと同じ領域にアクセスする後続命令の実行を抑止する命令抑止部を有することを特徴とする請求項 1 記載の演算処理装置。

20

【請求項 3】

前記命令抑止部は、

前記後続命令が対象とするアドレスと前記第 1 のバッファに保持されている前記第 1 の命令が対象とするアドレスとを比較する比較部と、

前記比較部による比較の結果、前記第 1 のバッファに前記後続命令が対象とするアドレスと一致するアドレスが保持されている場合、前記後続命令の実行を抑止し、前記第 1 のバッファに前記後続命令が対象とするアドレスと一致するアドレスが保持されなくなった場合、前記後続命令の実行を指示する管理部とを有することを特徴とする請求項 2 記載の演算処理装置。

30

【請求項 4】

前記 1 次キャッシュ部は、データの書き込みを行うストア命令の処理に用いるストアバッファ及びライトバッファを有し、

前記命令制御部から発行された前記第 1 の命令が対象とするアドレスに対応するデータが前記 1 次キャッシュメモリに格納されていない場合、前記第 1 の命令が対象とするアドレスを前記ストアバッファを介して前記ライトバッファに保持した後、前記ライトバッファからの書き込み要求によって前記第 1 のバッファに保持し、前記第 1 の命令を前記 2 次キャッシュメモリに発行することを特徴とする請求項 1 ～ 3 の何れか 1 項に記載の演算処理装置。

【請求項 5】

命令を発行する命令制御部と、主記憶装置が記憶するデータの一部を保持する 2 次キャッシュメモリと、前記 2 次キャッシュメモリが保持するデータの一部を格納する 1 次キャッシュメモリ及び前記 1 次キャッシュメモリにキャッシュミスが発生した場合、前記 2 次キャッシュメモリからデータを取得する際のアドレスを保持する第 1 のバッファを備える 1 次キャッシュ部とを有する演算処理装置の制御方法において、

40

前記主記憶装置へのアクセスを発生させずに前記 2 次キャッシュメモリにキャッシュラインのデータを登録する処理を実行する第 1 の命令が前記命令制御部から前記 1 次キャッシュ部に発行され、前記第 1 の命令が対象とするアドレスに対応するデータが前記 1 次キャッシュメモリに格納されていない場合、前記第 1 の命令が対象とするアドレスを前記第 1 のバッファに保持し、

前記第 1 のバッファに保持した前記第 1 の命令が対象とするアドレスに係る前記第 1 の

50

命令を前記２次キャッシュメモリに発行することを特徴とする演算処理装置の制御方法。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、演算処理装置及び演算処理装置の制御方法に関する。

【背景技術】

【０００２】

演算処理装置としてのプロセッサにおけるキャッシュメモリの制御方式としてストアイン（ライトバック）方式がある。ストアイン方式について、図６を参照して説明する。ストアイン方式を用いるプロセッサ６１１は、ストア命令を実行する場合、命令制御ユニット６１２がストア命令ＳＴＲＩを発行すると、それに対応するデータＳＴＲＤが実行ユニット６１３から出力される。そして、記憶ユニット６１４内の１次キャッシュメモリ６１５及び外部接続ユニット６１６内の２次キャッシュメモリ６１７に対してデータＳＴＲＤの書き込みが行われ、主記憶装置６１８に対する書き込みは行われない。

【０００３】

このため、ストアイン方式では、２次キャッシュメモリ６１７上においてデータが保持されている場所に別のデータを保持する場合、それまでキャッシュラインに登録されていたデータを退避させるために主記憶装置６１８に書き込む。このとき、プロセッサ６１１は、そのキャッシュラインに登録されていたデータを主記憶装置６１８に書き込んでキャッシュラインを無効化し、無効化されたキャッシュラインに別のデータを新たに登録する。この結果、プロセッサ６１１は、キャッシュラインに書き込んだデータを主記憶装置６１８に反映することができる。また、プロセッサ６１１は、ストアイン方式を用いることで、主記憶装置６１８への書き込みを待たずにストア命令を完了することができる。

【０００４】

図７は、ストアイン方式を用いるプロセッサでのストア命令の処理の流れを示すフローチャートである。ステップＳ７０１にて、命令制御ユニット６１２からのストア命令を実行した記憶ユニット６１４は、ストア対象のアドレスに対応するデータが１次キャッシュメモリ６１５に格納されているか否か（キャッシュヒットするか否か）を判定する。データが１次キャッシュメモリ６１５に格納されている（キャッシュヒットする）と記憶ユニット６１４が判定した場合（Ｓ７０１のＹＥＳ）、ステップＳ７０２にて、記憶ユニット６１４は、ストア処理を実行してストア対象のデータをキャッシュヒットしたアドレスに登録する。

【０００５】

一方、データが１次キャッシュメモリ６１５に格納されていない（キャッシュミスが発生）と記憶ユニット６１４が判定した場合（Ｓ７０１のＮＯ）、ステップＳ７０３にて、外部接続ユニット６１６は、ストア対象のアドレスに対応するデータが２次キャッシュメモリ６１７に保持されているか否か（キャッシュヒットするか否か）を判定する。データが２次キャッシュメモリ６１７に保持されている（キャッシュヒットする）と外部接続ユニット６１６が判定した場合（Ｓ７０３のＹＥＳ）、ステップＳ７０４にて、外部接続ユニット６１６は、２次キャッシュメモリ６１７のデータを１次キャッシュメモリ６１５に登録する。その後、プロセッサ６１１は、ステップＳ７０１に戻り、以降の処理を実行する。

【０００６】

また、データが２次キャッシュメモリ６１７に保持されていない（キャッシュミスした）と外部接続ユニット６１６が判定した場合（Ｓ７０３のＮＯ）、ステップＳ７０５にて、外部接続ユニット６１６は、主記憶装置６１８からストア対象のアドレスに記憶されているデータをロードする（読み出す）。続いて、ステップＳ７０６にて、外部接続ユニット６１６は、主記憶装置６１８からロードしたデータを、１次キャッシュメモリ６１５及び２次キャッシュメモリ６１７のそれぞれにおけるストア対象のアドレスに登録する。その後、プロセッサ６１１は、ステップＳ７０１に戻り、以降の処理を実行する。

【 0 0 0 7 】

ここで、ストアイン方式では、主記憶装置を初期化するメモリ初期化や主記憶装置のあるアドレスに記憶されているデータを他のアドレスにコピーするメモリコピーの処理を行う場合、主記憶装置に対してデータを書き込む処理が連続して発生する。そのため、メモリ初期化やメモリコピーの処理を行う場合、主記憶装置からストア対象のアドレスに記憶されているデータをロードして、プロセッサ内のキャッシュメモリに登録する動作（図 7 に示した S 7 0 5 及び S 7 0 6 に対応する動作）が数多く発生することになり、処理時間が非常に長くなってしまう。

【 0 0 0 8 】

メモリ初期化やメモリコピーの処理では、主記憶装置においてストア対象のアドレスに記憶されているデータは、すべてストアデータにより置き換えられるので、データはエラーがない状態であれば何であってもよい。そこで、ストアイン方式を用いるプロセッサにおいて、メモリ初期化やメモリコピー等の特定の命令の前処理として、主記憶装置へのアクセスを発生させずに 2 次キャッシュメモリにキャッシュラインのデータを登録する処理を実行するキャッシュライン充填命令（以下、X F I L L 命令とも称す）を用いるプロセッサが提案されている（例えば、特許文献 1 参照）。

【 0 0 0 9 】

図 8 に、ストアイン方式を用いるプロセッサでのキャッシュライン充填命令（X F I L L 命令）の処理の流れを示す。ステップ S 8 0 1 にて、命令制御ユニット 6 1 2 からの X F I L L 命令を実行した記憶ユニット 6 1 4 は、X F I L L 対象のアドレスに対応するデータが 1 次キャッシュメモリ 6 1 5 に格納されているか否か（キャッシュヒットするか否か）を判定する。

【 0 0 1 0 】

データが 1 次キャッシュメモリ 6 1 5 に格納されている（キャッシュヒットする）と記憶ユニット 6 1 4 が判定した場合（S 8 0 1 の Y E S）、命令制御ユニット 6 1 2 へ X F I L L 命令の完了通知を送った後にステップ S 8 0 6 に進み、プロセッサ 6 1 1 は、後続の命令に係る X F I L L 対象のアドレスに対するストア処理を実行する。後続の命令は、例えばメモリ初期化やメモリコピー等の処理を行う命令である。

【 0 0 1 1 】

一方、データが 1 次キャッシュメモリ 6 1 5 に格納されていない（キャッシュミスが発生）と記憶ユニット 6 1 4 が判定した場合（S 8 0 1 の N O）、ステップ S 8 0 2 にて、記憶ユニット 6 1 4 は、図 9 に示すようにして、外部接続ユニット 6 1 6 への X F I L L 要求を発行する。図 9 は、記憶ユニット 6 1 4 から外部接続ユニット 6 1 6 への X F I L L 要求を発行する際の処理を説明するためのフローチャートである。

【 0 0 1 2 】

まず、ステップ S 9 0 1 にて、記憶ユニット 6 1 4 内のストアバッファ制御部による処理が実行される。ストアバッファ制御部は、ストアバッファに登録されている X F I L L 対象のアドレスに対応するデータが 1 次キャッシュメモリ 6 1 5 に格納されている（1 次キャッシュヒットである）場合、X F I L L 対象のアドレスが登録されているストアバッファを解放し、ライトバッファの確保は行わない（処理終了）。また、ストアバッファ制御部は、ストアバッファに登録されている X F I L L 対象のアドレスに対応するデータが 1 次キャッシュメモリ 6 1 5 に格納されていない（1 次キャッシュミスである）場合、コミット後に X F I L L 対象のアドレスをストアバッファからライトバッファに移動させ、ストアバッファを解放する。

【 0 0 1 3 】

次に、ステップ S 9 0 2 にて、記憶ユニット 6 1 4 内のライトバッファ制御部による処理が実行される。ライトバッファ制御部は、X F I L L 対象のアドレスをライトバッファからアドレスレジスタに移動させる。そして、ライトバッファ制御部は、外部接続ユニット 6 1 6 への X F I L L 要求を発行し、X F I L L 対象のアドレスが登録されているライトバッファを解放する。そして、ステップ S 9 0 3 にて、記憶ユニット 6 1 4 は、外部接

10

20

30

40

50

続ユニット 6 1 6 に対して X F I L L 要求を発行する。

【 0 0 1 4 】

図 8 に戻り、ステップ S 8 0 3 にて、記憶ユニット 6 1 4 からの X F I L L 要求を受けた外部接続ユニット 6 1 6 は、X F I L L 対象のアドレスに対応するデータが 2 次キャッシュメモリ 6 1 7 に保持されているか否か（キャッシュヒットするか否か）を判定する。データが 2 次キャッシュメモリ 6 1 7 に保持されている（キャッシュヒットする）と外部接続ユニット 6 1 6 が判定した場合（S 8 0 3 の Y E S）、ステップ S 8 0 5 にて、外部接続ユニット 6 1 6 は、命令制御ユニット 6 1 2 及び記憶ユニット 6 1 4 へ X F I L L 命令の完了通知を送る。続いて、ステップ S 8 0 6 にて、プロセッサ 6 1 1 は、後続の命令に係る X F I L L 対象のアドレスに対するストア処理を実行する。

10

【 0 0 1 5 】

また、データが 2 次キャッシュメモリ 6 1 7 に保持されていない（キャッシュミスした）と外部接続ユニット 6 1 6 が判定した場合（S 8 0 3 の N O）、ステップ S 8 0 4 にて、外部接続ユニット 6 1 6 は、2 次キャッシュメモリ 6 1 7 における X F I L L 対象のアドレスにゼロデータを書き込み、ゼロデータを登録したキャッシュラインの登録タグを有効にする。続いて、前述したステップ S 8 0 5、S 8 0 6 の処理を実行する。このようにして X F I L L 命令を用いることにより、メモリ初期化やメモリコピーの処理に係る処理時間の短縮を図っている。

【 先行技術文献 】

【 特許文献 】

20

【 0 0 1 6 】

【 特許文献 1 】 特開 2 0 1 1 - 1 3 8 2 1 3 号 公 報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 1 7 】

X F I L L 命令を含む処理を行う場合、高速化の目的のためには、m e m b a r (memory barrier) 命令を用いずにメモリアクセスの順序を保証する必要がある。m e m b a r 命令は、メモリアクセスの逐次化を行う命令であり、あるストア命令を実行した後に m e m b a r 命令を実行すると、その後に実行される命令はストア命令の実行が完了してから実行されることが保証されるが、プロセッサの処理速度の低下を引き起こすことがある。

30

【 0 0 1 8 】

以下の条件を検出することで、m e m b a r 命令を用いることなく、X F I L L 命令を含む処理におけるメモリアクセスの順序を保証することが可能である。

(1) X F I L L 命令と同一の記憶領域をアクセスする先行命令のロード処理・ストア処理の完了を保証するために、先行命令のロード処理又はストア処理が完了した後に X F I L L 命令を実行する。この条件は、ストア命令の処理と同様であるので、ストア命令として処理することで実現可能である。

(2) X F I L L 命令と同一の記憶領域をアクセスする後続命令のロード処理・ストア処理を抑止するために、キャッシュラインのデータを登録する処理を実行中のアドレス領域を示すアドレスレジスタを用意し、同一の記憶領域にアクセスする後続命令のロード処理・ストア処理の完了を待たせる。

40

【 0 0 1 9 】

したがって、同時期に実行する X F I L L 命令の数に応じて X F I L L 対象のアドレスを保持するアドレスレジスタを用意することで、同時期に複数の X F I L L 命令を実行することが可能となる。また、X F I L L 命令と一連のストア命令とは異なる後続のストア命令を処理するために、X F I L L 対象のアドレスを保持する専用のアドレスレジスタを設けることでさらなる高速化を実現することが可能である。しかし、X F I L L 対象のアドレスを保持する専用のアドレスレジスタを、同時期に実行する X F I L L 命令の数に応じた数だけ設けるようにすると、回路物量が増大してしまう。1 つの側面では、本発明の目的は、回路物量を増大させることなく、複数の X F I L L 命令を実行することができる

50

演算処理装置を提供することにある。

【課題を解決するための手段】

【0020】

演算処理装置の一態様は、命令を発行する命令制御部と、1次キャッシュメモリ及び1次キャッシュメモリにキャッシュミスが発生した場合、2次キャッシュメモリからデータを取得する際のアドレスを保持する第1のバッファを備える1次キャッシュ部と、2次キャッシュメモリとを有する。1次キャッシュ部は、主記憶装置へのアクセスを発生させずに2次キャッシュメモリにキャッシュラインのデータを登録する処理を実行する第1の命令が命令制御部から発行され、第1の命令が対象とするアドレスに対応するデータが1次キャッシュメモリに格納されていない場合、第1の命令が対象とするアドレスを第1のバッファに保持し、第1の命令を2次キャッシュメモリに発行する。

10

【発明の効果】

【0021】

発明の一態様においては、XFILL命令専用のアドレスレジスタを設けることなく、最大で第1のバッファのエントリ数と同数のXFILL命令を並行して実行することができ、回路物量を増大させることなく、複数のXFILL命令を実行することが可能となる。

【図面の簡単な説明】

【0022】

【図1】本発明の実施形態における演算処理装置の構成例を示す図である。

20

【図2】本実施形態における外部接続ユニットへのXFILL要求を発行する際の処理を説明するフローチャートである。

【図3】本実施形態におけるXFILL命令の処理動作を説明する図である。

【図4】本実施形態におけるXFILL命令の処理例を示すタイムチャートである。

【図5】本実施形態における後続命令の抑止回路の構成例を示す図である。

【図6】ストアイン方式による制御を説明するための図である。

【図7】ストアイン方式を用いるプロセッサでのストア命令の処理の流れを示すフローチャートである。

【図8】ストアイン方式を用いるプロセッサでのXFILL命令の処理の流れを示すフローチャートである。

30

【図9】外部接続ユニットへのXFILL要求を発行する際の従来の処理を説明するフローチャートである。

【発明を実施するための形態】

【0023】

以下、本発明の実施形態を図面に基づいて説明する。

【0024】

キャッシュライン充填命令(XFILL命令)を実行する場合、XFILL対象のアドレスは、従来においては専用のアドレスレジスタを用いて保持していた。以下に説明する実施形態では、XFILL対象のアドレスを保持するための専用のアドレスレジスタを設けずに、記憶ユニット(1次キャッシュ部)が有するムーブインバッファ(MIB)におけるリフィル(refill)用のアドレス保持バッファ(MIARR)を利用してXFILL対象のアドレスを保持する。

40

【0025】

このリフィル用のアドレス保持バッファ(MIARR)は、1次キャッシュメモリにキャッシュミスが発生した場合に、2次キャッシュメモリからデータを取得するために要求したアドレスを保持しておくバッファであり、複数のエントリを有し複数のアドレスを保持できる。このように本実施形態では、既存のリフィル用のアドレス保持バッファ(MIARR)を共用してXFILL対象のアドレスの保持に用いることで、回路物量を増大させることなく、複数のXFILL命令を実行することを可能にする。

【0026】

50

図 1 は、本発明の一実施形態における演算処理装置としてのプロセッサの構成例を示すブロック図である。本実施形態におけるプロセッサ 110 は、命令制御ユニット (IU: Instruction Control Unit) 111、実行ユニット (EU: Execution Unit) 112、1 次キャッシュ部としての記憶ユニット (SU: Storage Unit) 113、及び外部接続ユニット (SX: Secondary Cache and External Access Unit) 116 を有する。

【0027】

本実施形態におけるプロセッサ 110 は、キャッシュメモリの制御方式としてストアイン (ライトバック) 方式を用いる。プロセッサ 110 は、命令パイプラインを有し、主記憶装置 (メインメモリ) 120 と接続される。主記憶装置 120 は、キャッシュメモリと比較して大容量のデータを記憶可能なメモリであり、命令やデータを記憶する。主記憶装置 120 は、例えば RAM (Random Access Memory) である。

10

【0028】

命令制御ユニット 111 は、コンパイラ (プログラム) により予め定義された命令列を命令順に発行する。命令制御ユニット 111 は、例えばデータのストアを行うストア命令やデータのロードを行うロード命令を記憶ユニット 113 に発行する。また、命令制御ユニット 111 は、例えば XFI LL 命令を記憶ユニット 113 に発行する。XFI LL 命令は、主記憶装置 120 の所定の記憶領域を初期化する (メモリ初期化) 際のストア命令や主記憶装置の所定の記憶領域に記憶されるデータを他の記憶領域にコピーする (メモリコピー) 際のストア命令を実行する前の前処理を実行する命令である。命令制御ユニット 111 は、メモリ初期化やメモリコピーに係るストア命令を出力する場合、ストア命令の出力の前処理として、ストア対象のアドレスに対する XFI LL 命令を出力する。

20

【0029】

XFI LL 命令では、主記憶装置 120 において初期化の対象となる記憶領域又はコピー先の記憶領域に記憶されるデータが、ストアイン方式で制御される 2 次キャッシュメモリ 117 に保持されているか否かを判定する処理が実行される。続いて、XFI LL 命令では、2 次キャッシュメモリ 117 にデータが保持されていないと判定された場合、主記憶装置 120 において初期化の対象となる記憶領域又はコピー先の記憶領域に対応する 2 次キャッシュメモリ 117 のキャッシュラインに所定のデータを登録し、そのキャッシュラインの登録タグを有効にする処理が実行される。

【0030】

30

実行ユニット 112 は、算術演算、論理演算、アドレス計算等の各種演算を行い、演算結果を記憶ユニット 113 の 1 次データキャッシュメモリ 115 に格納する。記憶ユニット 113 は、命令制御ユニット 111 から出力された命令や実行ユニット 112 が演算した演算結果を記憶する。記憶ユニット 113 は、1 次命令キャッシュメモリ 114 及び 1 次データキャッシュメモリ 115 を有する。また、記憶ユニット 113 は、例えば命令制御ユニット 111 から受け付けた XFI LL 命令を外部接続ユニット 116 に出力して命令の実行等を要求したり、実行中の XFI LL 命令と同じ記憶領域にアクセスする後続命令の実行を抑止したりする。

【0031】

1 次命令キャッシュメモリ 114 は、2 次キャッシュメモリ 117 よりも高速なアクセスが可能なキャッシュメモリであり、主記憶装置 120 に記憶されている命令の一部を格納する。1 次データキャッシュメモリ 115 は、2 次キャッシュメモリ 117 よりも高速なアクセスが可能なキャッシュメモリであり、主記憶装置 120 に記憶されているデータの一部を格納する。外部接続ユニット 116 は、2 次キャッシュメモリ 117 を有するとともに、記憶ユニット 113 や主記憶装置 120 との間の各種制御を実施する。2 次キャッシュメモリ 117 は、プロセッサ 110 において参照される命令やデータとして、主記憶装置 120 に記憶されている命令やデータの一部を保持する。

40

【0032】

次に、本実施形態におけるプロセッサでの処理について説明する。本実施形態におけるプロセッサでのストア命令の処理及び XFI LL 命令の処理の基本動作は、図 7 や図 8 に

50

示した処理と同様であるので、その説明は省略する。本実施形態におけるプロセッサにおいては、X F I L L 命令の処理のうち、記憶ユニットから外部接続ユニットへのX F I L L 要求を発行する際の処理が異なる。

【0033】

図2及び図3を参照して、本実施形態におけるプロセッサでの記憶ユニット113から外部接続ユニット116へのX F I L L 要求を発行する際の処理について説明する。図2は、本実施形態における記憶ユニット113から外部接続ユニット116へのX F I L L 要求を発行する際の処理を説明するフローチャートである。図3は、本実施形態におけるX F I L L 命令の処理動作を説明する図であり、アドレスの流れを示している。

【0034】

図3に示すように、記憶ユニット113は、アドレス選択/パイプ処理部300、ストアバッファ(S T B)305、ライトバッファ(W B)306、ムーブインバッファ(M I B)308、セクタ307、309、及び要求発行部310を有する。アドレス選択/パイプ処理部300は、タグ/T L B 部301、ストアバッファ制御部302、ライトバッファ制御部303、及びムーブインバッファ制御部304を有する。

【0035】

アドレス選択/パイプ処理部300は、命令制御ユニット111から出力された命令の対象となるアドレスを命令パイプラインに投入する。タグ/T L B 部301は、命令ユニット111から出力された命令の対象となるアドレスと1次データキャッシュメモリ115に格納されているデータのタグアドレスとの比較や、T L B (Translation Lookaside Buffer) を参照してアドレス変換(仮想アドレスから物理アドレスへの変換)を行ったりする。

【0036】

ストアバッファ制御部302は、ストアバッファ305に係る制御を行う。ストアバッファ305は、複数のエントリを有し、命令制御ユニット111からのストア命令やX F I L L 命令等のストア処理に関する命令を処理するバッファである。ライトバッファ制御部303は、ライトバッファ306に係る制御を行う。ライトバッファ306は、複数のエントリを有し、コミットされたストア命令等を格納し、1次データキャッシュメモリ115へのストアデータの登録や2次キャッシュメモリ117へのストア対象のデータ要求処理を行うバッファである。ムーブインバッファ制御部304は、ムーブインバッファ308に係る制御を行う。ムーブインバッファ308は、複数のエントリを有し、1次データキャッシュメモリ115においてキャッシュミスが発生した場合、2次キャッシュメモリ117へのデータ要求処理を行うバッファである。

【0037】

セクタ307は、アドレス選択/パイプ処理部300から出力されるアドレス(リフィル処理に係るアドレス)及びライトバッファ306から出力されるX F I L L 対象のアドレスを選択的にムーブインバッファ308に出力する。セクタ309は、ライトバッファ306から出力されるストア対象のアドレス及びムーブインバッファ308から出力されるアドレス(リフィル処理に係るアドレス又はX F I L L 対象のアドレス)を選択的に要求発行部310に出力する。要求発行部310は、セクタ309から出力されたアドレスを対象とする要求を外部接続ユニット116に対して発行する。

【0038】

図2に示すように、命令制御ユニット111から記憶ユニット112にX F I L L 命令が発行されると、ステップS201にて、記憶ユニット113内のストアバッファ制御部302による処理が実行される。ストアバッファ制御部302は、ストアバッファ305におけるアドレス保持部(S T A A R)に登録されているX F I L L 対象のアドレスに対応するデータが1次データキャッシュメモリ115に格納されている(1次キャッシュヒットである)場合、X F I L L 対象のアドレスが登録されているストアバッファ305のエントリを解放し、ライトバッファ306のエントリの確保は行わない(処理終了)。

【0039】

10

20

30

40

50

また、ストアバッファ制御部 302 は、ストアバッファ 305 におけるアドレス保持部 (STARR) に登録されている XFILL 対象のアドレスに対応するデータが 1 次キャッシュメモリ 115 に格納されていない (1 次キャッシュミスである) 場合、コミット後に XFILL 対象のアドレスをストアバッファ 305 からライトバッファ 306 に移動させ、ライトバッファ 306 におけるアドレス保持部 (WBARR) に登録する。そして、ストアバッファ制御部 302 は、XFILL 対象のアドレスが登録されているストアバッファ 305 のエントリを解放する。

【0040】

次に、ステップ S202 にて、記憶ユニット 113 内のライトバッファ制御部 303 による処理が実行される。ライトバッファ制御部 303 は、ムーブインバッファ 308 に対するストア要求を発行してムーブインバッファ 308 のエントリを確保し、XFILL 対象のアドレスをムーブインバッファ 308 におけるリフィル用のアドレス保持バッファ (MIARR) に登録する。そして、ライトバッファ制御部 303 は、XFILL 対象のアドレスが登録されているライトバッファ 306 のエントリを解放する。

【0041】

ステップ S203 にて、記憶ユニット 113 内のムーブインバッファ制御部 304 による処理が実行される。ムーブインバッファ制御部 304 は、ムーブインバッファ 308 のアドレス保持バッファ (MIARR) に登録された XFILL 対象のアドレスに対する XFILL 要求の発行を要求発行部 310 に要求する。続いて、ステップ S204 にて、記憶ユニット 113 内の要求発行部 310 が、外部接続ユニット 116 への XFILL 要求を発行する。その後、記憶ユニット 113 は、外部接続ユニット 116 から XFILL 命令の完了通知を受けると、その XFILL 対象のアドレスが登録されていたムーブインバッファ 308 のエントリを解放する。

【0042】

図 4 は、本実施形態における XFILL 命令の処理例を示すタイムチャートである。時刻 T1 において、命令制御ユニット 111 から記憶ユニット 113 に XFILL 命令 <1> (先行命令) が発行されると、時刻 T3 において、記憶ユニット 113 のストアバッファ 305 のエントリ STB0 に XFILL 命令 <1> に係る XFILL 対象のアドレスが格納される。そして、時刻 T4 において、XFILL 命令 <1> がコミットされると、続く時刻 T5 から XFILL 命令 <1> に係る XFILL 対象のアドレスがストアバッファ 305 のエントリ STB0 からライトバッファ 306 のエントリ WB0 に移動される。

【0043】

また、時刻 T7 において、命令制御ユニット 111 から記憶ユニット 113 に XFILL 命令 <2> (後続命令) が発行されると、時刻 T9 において、記憶ユニット 113 のストアバッファ 305 のエントリ STB1 に XFILL 命令 <2> に係る XFILL 対象のアドレスが格納される。そして、時刻 T10 において、XFILL 命令 <2> がコミットされると、続く時刻 T11 から XFILL 命令 <2> に係る XFILL 対象のアドレスがストアバッファ 305 のエントリ STB1 からライトバッファ 306 のエントリ WB1 に移動される。

【0044】

時刻 T10 において、ライトバッファ 306 のエントリ WB0 からムーブインバッファ 308 のエントリ MIB0 に XFILL 命令 <1> に係る XFILL 対象のアドレスが移動されると、続く時刻 T11 において、ムーブインバッファ 308 のエントリ MIB0 に保持されている XFILL 命令 <1> に係る XFILL 対象のアドレスに対する XFILL 要求が記憶ユニット 113 から外部接続ユニット 116 に発行される。

【0045】

また、時刻 T16 において、ライトバッファ 306 のエントリ WB1 からムーブインバッファ 308 のエントリ MIB1 に XFILL 命令 <2> に係る XFILL 対象のアドレスが移動されると、続く時刻 T17 において、ムーブインバッファ 308 のエントリ MIB1 に保持されている XFILL 命令 <2> に係る XFILL 対象のアドレスに対する X

10

20

30

40

50

F I L L 要求が記憶ユニット 1 1 3 から外部接続ユニット 1 1 6 に発行される。

【 0 0 4 6 】

このように本実施形態では、X F I L L 命令の処理において、X F I L L 対象のアドレスに対応するデータが 1 次キャッシュメモリ 1 1 5 に格納されていない（1 次キャッシュミスである）場合、ムーブインバッファ 3 0 8 のエントリを確保して、ムーブインバッファ 3 0 8 におけるリフィル用のアドレス保持バッファ（M I A A R）に X F I L L 対象のアドレスを登録する。そして、ムーブインバッファ 3 0 8 から X F I L L 要求を外部接続ユニット 1 1 6 に対して要求する。ムーブインバッファ 3 0 8 におけるリフィル用のアドレス保持バッファ（M I A A R）は、1 次キャッシュメモリにキャッシュミスが発生した場合に、2 次キャッシュメモリからデータを取得するために要求したアドレスを保持しておく既存のバッファであり、複数のアドレスを保持できる。

10

【 0 0 4 7 】

したがって、本実施形態によれば、X F I L L 命令専用のアドレスレジスタを設ける必要がなく、最大でムーブインバッファ 3 0 8 のエントリの個数と同数の X F I L L 命令を同時期に実行することができ、回路物量を増大させることなく、複数の X F I L L 命令を実行することが可能になる。例えば、ムーブインバッファ 3 0 8 が有するエントリの個数が 1 0 個であれば、最大で 1 0 個の X F I L L 命令を並行して実行することが可能となる。

【 0 0 4 8 】

図 5 は、本実施形態における後続命令の抑止回路の構成例を示すブロック図である。図 5 に示す後続命令の抑止回路は、X F I L L 命令を実行する場合に、X F I L L 命令と同一の記憶領域にアクセスする後続命令によるロード処理・ストア処理を行われないように後続命令の実行を抑止する。図 5 に示すように、抑止回路は記憶ユニット 1 1 3 内に設けられ、命令選択・パイプ処理部 5 0 1、X F I L L 情報保持部 5 0 2、アドレス選択・パイプ処理部 5 0 3、アドレス比較部 5 0 4、アドレス管理部 5 0 5、命令完了通知部 5 0 7、及び命令再投入管理部 5 0 8 を有する。

20

【 0 0 4 9 】

命令選択・パイプ処理部 5 0 1 は、命令制御ユニット 1 1 1 から出力された新規命令要求を命令パイプラインに投入して命令を実行する。命令選択・パイプ処理部 5 0 1 は、命令を命令パイプラインに投入する際に、アドレス比較部 5 0 4 による比較結果が一致である場合、その命令の実行を抑止して命令を命令再投入管理部 5 0 8 に出力し、そうでない場合、命令を命令パイプラインに投入して命令を実行する。

30

【 0 0 5 0 】

X F I L L 情報保持部 5 0 2 は、X F I L L 対象のアドレス及びこの X F I L L 対象のアドレスが有効であるか否か（その X F I L L 命令が実行中であるか否か）を示すバリッドビットを保持する。X F I L L 情報保持部 5 0 2 は、X F I L L 対象のアドレスが登録されたムーブインバッファ 3 0 8 に対応する。

【 0 0 5 1 】

アドレス選択・パイプ処理部 5 0 3 は、命令制御ユニット 1 1 1 から出力された命令の対象となるアドレスを受けて、そのアドレスをアドレス比較部 5 0 4 及びアドレス管理部 5 0 5 に出力する。また、アドレス選択・パイプ処理部 5 0 3 は、アドレス管理部 5 0 5 から投入指示を受信した場合、命令の対象となるアドレスを命令パイプラインに投入し、アドレス管理部 5 0 5 から抑止指示を受信した場合、命令の対象となるアドレスの命令パイプラインへの投入を抑止する。

40

【 0 0 5 2 】

アドレス比較部 5 0 4 は、X F I L L 情報保持部 5 0 2 に保持されているバリッドビットが有効を示す X F I L L 対象のアドレスと、アドレス選択・パイプ処理部 5 0 3 によって命令パイプラインへの投入対象となっているアドレスとを比較する。アドレス比較部 5 0 4 は、命令パイプラインへの投入対象となっているアドレスと一致するバリッドビットが有効を示す X F I L L 対象のアドレスがある場合、比較結果が一致であることを命令選

50

択・パイプ処理部 5 0 1 及びアドレス管理部 5 0 5 に通知する。

【 0 0 5 3 】

アドレス管理部 5 0 5 は、アドレス選択・パイプ処理部 5 0 3 から出力されたアドレスを管理する。アドレス管理部 5 0 5 は、アドレス比較部 5 0 4 による比較結果が一致である場合、アドレスの抑止指示をアドレス選択・パイプ処理部 5 0 3 に出力し、そうでない場合、アドレスの投入指示をアドレス選択・パイプ処理部 5 0 3 に出力する。

【 0 0 5 4 】

命令完了通知部 5 0 7 は、命令選択・パイプ処理部 5 0 1 や命令再投入管理部 5 0 8 によって命令パイプラインに投入された命令の実行が完了したか否かを監視する。命令完了通知部 5 0 7 は、命令の実行が完了した場合、命令の完了通知を命令選択・パイプ処理部 5 0 1 や X F I L L 情報保持部 5 0 2 等に出力する。命令再投入管理部 5 0 8 は、アドレス比較部 5 0 4 の比較結果によって抑止されている命令に対して、アドレス比較部 5 0 4 による比較結果が一致でない場合、抑止されていた命令を命令パイプラインに投入する。

10

【 0 0 5 5 】

このように構成することで、実行している X F I L L 命令に係る X F I L L 対象のアドレスとアドレスが一致する後続命令（ロード命令、ストア命令等）とが一致する場合、ムーブインバッファにおいてアボートされ、後続命令の実行が抑止される。したがって、X F I L L 命令を含む処理におけるメモリアクセスの順序を保証することができる。

【 0 0 5 6 】

なお、前記実施形態は、何れも本発明を実施するにあたっての具体化のほんの一例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその技術思想、またはその主要な特徴から逸脱することなく、様々な形で実施することができる。

20

【 符号の説明 】

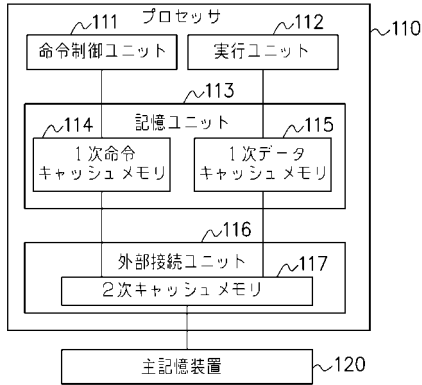
【 0 0 5 7 】

- 1 1 0 プロセッサ
- 1 1 1 命令制御ユニット
- 1 1 2 実行ユニット
- 1 1 3 記憶ユニット
- 1 1 4 1 次命令キャッシュメモリ
- 1 1 5 1 次データキャッシュメモリ
- 1 1 6 外部接続ユニット
- 1 1 7 2 次キャッシュメモリ
- 1 2 0 主記憶装置
- 3 0 2 ストアバッファ制御部
- 3 0 3 ライトバッファ制御部
- 3 0 4 ムーブインバッファ制御部
- 3 0 5 ストアバッファ
- 3 0 6 ライトバッファ
- 3 0 8 ムーブインバッファ
- 3 1 0 要求発行部

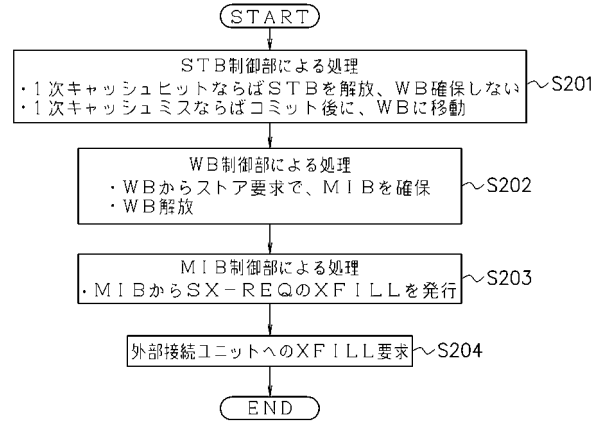
30

40

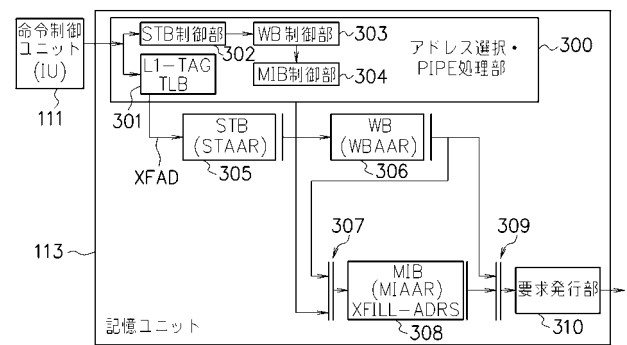
【図 1】



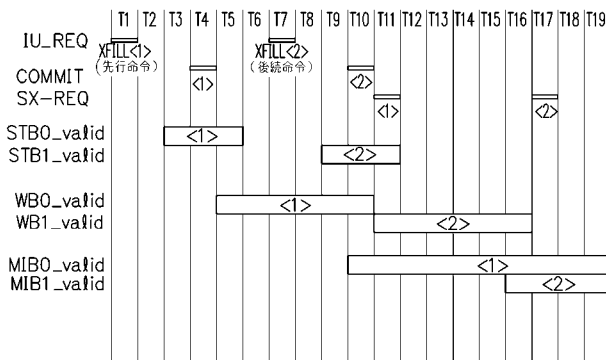
【図 2】



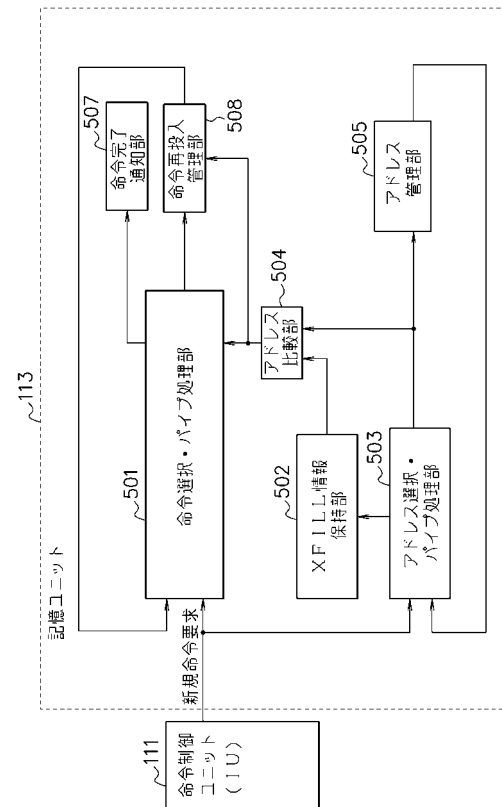
【図 3】



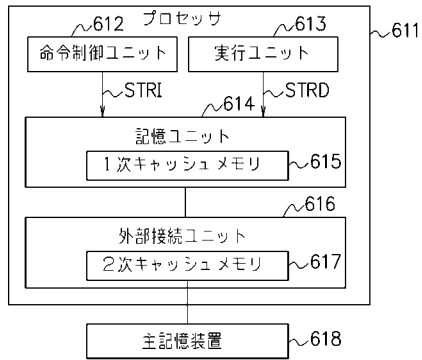
【図 4】



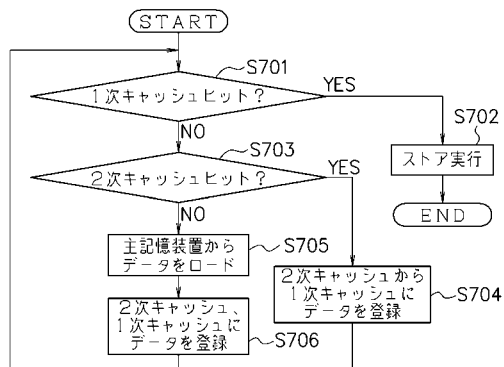
【図 5】



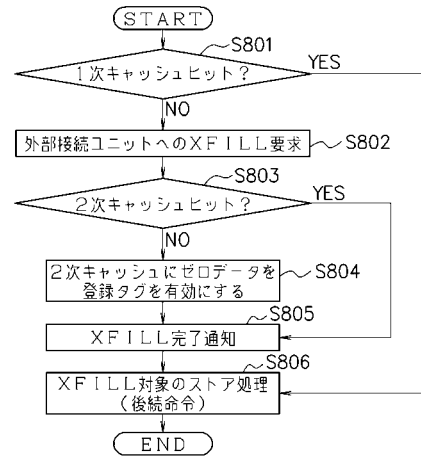
【図 6】



【図 7】



【図 8】



【図 9】

