



СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) **SU** (11) **1453408** **A1**

(51) 4 G 06 F 11/00

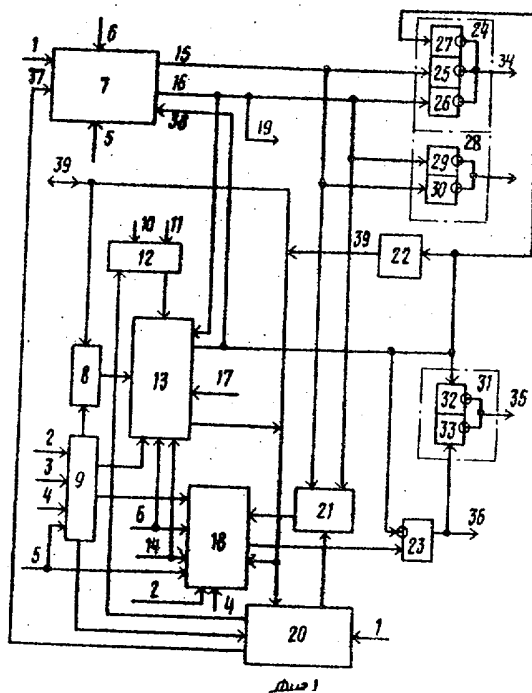
ГОСУДАРСТВЕННЫЙ КОМИТЕТ
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ
ПРИ ГНТ СССР

ВСЕСОЮЗНАЯ
ПАТЕНТНО-ТЕХНИЧЕСКАЯ
БИБЛИОТЕКА

ОПИСАНИЕ ИЗОБРЕТЕНИЯ И АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 4181364/24-24
(22) 12.01.87
(46) 23.01.89. Бюл. № 3
(71) Западный филиал Всесоюзного научно-исследовательского теплотехнического института им. Ф.Э. Дзержинского
(72) М.Е. Гурчик
(53) 681.3 (088.8)
(56) Патент США № 4231087, кл. G 06 F 11/00, 1980.
Алексеевко А.Г., Галицын А.А., Иванников А.Д. Проектирование радиоэлектронной аппаратуры на микропроцессорах. - М.: Радио и связь, 1984, с. 226, рис. 4.4.

(54) УСТРОЙСТВО ДЛЯ ОТЛАДКИ МИКРОПРОЦЕССОРНОЙ СИСТЕМЫ
(57) Изобретение относится к технике автоматизации разработки микропроцессорных систем и предназначено для использования во внутрисхемных эмуляторах. Целью изобретения является упрощение устройства и связанного с ним эмулятора. Устройство содержит дешифратор обращений 9, регистры 8 и 20, мультиплексор 12, блок 13 сравнения кодов, элементы ЗАПРЕТ 23 и ИЛИ 21, блок 18 регистровой памяти, формирователь 22 кода рестарта, три группы элементов НЕ и блок 7 определения состояний. 1 з.п. ф-лы, 5 ил.



(19) **SU** (11) **1453408** **A1**

Изобретение относится к технике автоматизации разработки микропроцессорных систем и предназначено для использования во внутрисхемных эмуляторах, замещающих в отлаживаемой системе микропроцессор неконвейерной архитектуры с открытой системой шин.

Цель изобретения - упрощение устройства.

На фиг. 1 представлена функциональная схема устройства для отладки микропроцессорной системы; на фиг. 2 - функциональная схема блока определения состояний; на фиг. 3 - функциональная схема блока сравнения кодов; на фиг. 4 - функциональная схема блока регистровой памяти; на фиг. 5 - схема алгоритма работы устройства.

На схеме устройства (фиг. 1) обозначены: вход 1 инициализации устройства, линия 2 чтения ввода-вывода управляющей вычислительной системы (УВС), третья линия 3 запрета УВС, линия 4 записи ввода-вывода УВС, адресная шина 5 УВС, линия 6 чтения памяти УВС, блок 7 определения состояний, первый регистр 8, дешифратор 9 обращений, шина 10 данных отлаживаемой системы, адресная шина 11 отлаживаемой системы, мультиплексор 12, блок 13 сравнения кодов, линия 14 записи памяти УВС, первый выход 15 блока определения состояний, второй выход 16 блока определения состояний, линия 17 признака первого цикла команды УВС, блок 18 регистровой памяти, второй выход 19 устройства, второй регистр 20, элемент ИЛИ 21, формирователь 22 кода рестарта, элемент ЗАПРЕТ 23, первая группа 24 элементов НЕ, первый 25, второй 26 и третий 27 элементы НЕ первой группы, третья группа 28 элементов НЕ, первый 29 и второй 30 элементы НЕ третьей группы, вторая группа 31 элементов НЕ, первый 32 и второй 33 элементы НЕ второй группы, первая линия 34 запрета УВС, вторая линия 35 запрета УВС, первый выход 36 устройства, первый 37 и второй 38 управляющие входы блока состояний, шина 39 данных УВС.

Блок определения состояний (фиг. 2) содержит первый 40, второй 41 и третий 42 элементы И, первый 43 и второй 44 дешифраторы переходов, первый 45, второй 46, третий 47 и четвертый 48 элементы ИЛИ, первый 49, второй 50 и третий 51 триггеры.

Блок сравнения кодов (фиг. 3) содержит ключ 52, схему 53 совпадения кодов, элемент ИЛИ 54, элемент И 55.

Блок регистровой памяти (фиг. 4) содержит регистры 56.1 и 56.2 памяти нижних границ зон заема, регистры 57.1 и 57.2 памяти верхних границ зон заема, сумматоры 58.1, 58.2, 59.1 и 59.2, элементы ИЛИ 60.1 и 60.2, элементы И 61.1 и 61.2, элемент ИЛИ 62.

В качестве управляющей вычислительной системы используется ЭВМ.

Функциональное назначение структурных компонент следующее. К входу инициализации устройства подключена линия инициализации ЭВМ, она устанавливает ЭВМ в состояние, при котором ее системный монитор-отладчик начинает свою работу, т.е. после инициализации процессор ЭВМ обращается к началу программы монитора, записанной в постоянном запоминающем устройстве (ПЗУ) ЭВМ.

Линия 2 чтения устройства ввода-вывода (УВВ) активна, если на шине 5 адресов установлен стабильный адрес УВВ, который читается или будет читаться процессором ЭВМ.

Линия 3 запрета УВВ активна, если требуется запретить обращение к УВВ, принадлежащим ЭВМ, поэтому первый 8 и второй 20 регистры, блоки 13 и 18 являются УВВ, принадлежащими ЭВМ, как выбираемые ее монитором.

Линия 4 записи УВВ активна, если на шине 5 адресов установлен стабильный адрес УВВ, в которое ЭВМ записывает или будет записывать информацию.

Адресная шина 5 служит для передачи адреса запоминающего устройства (ЗУ) или УВВ по магистрали ЭВМ к ее блокам, в том числе к эмулятору и к устройству управления эмулятором.

Линия 6 чтения активна, если на шине 5 адресов находится стабильный адрес ячейки ЗУ, которая читается или будет читаться процессором ЭВМ.

Блок 7 определения состояний является основной структурной компонентой устройства, дискриминирующей и запоминающей состояния ЭВМ: МОНИТОР, ОБМЕН, РАБОТА.

Первый регистр 8 запоминает программируемые в нем монитором условия прерывания отладки, например, адреса точек разрыва, коды команд, до вы-

полнения которых необходимо узнать состояние отлаживаемой программы или системы и т.д. Разрядность первого регистра 8 может превышать разрядность шины данных ЭВМ, поэтому он может программироваться в несколько приемов.

Шина 10 данных отлаживаемой системы является шиной данных эмулируемого микропроцессора либо подключена к ней через буфер.

Шина 11 адресов отлаживаемой системы является шиной адресов эмулируемого микропроцессора либо подключена к ней через буфер.

Шины 10 и 11, если отлаживаемая система физически отсутствует, могут быть подключены к шинам 39 и 5 ЭВМ. При этом работоспособность устройства полностью сохраняется.

Мультиплексор 12 подключает к второму информационному входу блока 13 либо шину 10 данных, либо шину 11 адресов отлаживаемой системы.

Блок 13 сравнивает коды на втором информационном входе и части первого информационного входа; другая часть первого информационного входа определяет типы циклов ЭВМ, в которых может произойти совпадение кодов. Если в текущем цикле заданного типа обнаружено совпадение кодов, то в течение такого цикла на выход блока 13 поступает логическая единица. Например, если задана точка разрыва, то, если адрес точки разрыва установлен на шине 5 адресов, причем адрес будет стробироваться в этом случае конъюнкцией сигналов чтения ЗУ и признака первого цикла команды, то блок 13 работает.

Линия 14 записи ЗУ активна, если на шине 5 адресов находится стабильный адрес ячейки ЗУ, которая читается или будет читаться процессором.

Первый выход 15 блока определения состояний активен, если монитору доступна ячейка ЗУ, маскируемая либо ресурсами монитора, либо ресурсами отлаживаемой системы.

Второй выход 16 блока определения состояний активен, если ЭВМ выполняет программу пользователя.

Линия 17 признака первого цикла команды активна, если на шине 5 адресов находится стабильный адрес ячейки ЗУ, содержимое которой будет

трактоваться процессором ЭВМ как первый байт команды.

Блок 18 регистровой памяти запоминает области адресного пространства ЗУ, которые будут заняты отлаживаемой системой. Выход блока 18 может в течение цикла ЭВМ находиться в состоянии логической единицы при условии, что текущий адрес ЗУ или УВВ не принадлежит ЭВМ и на пятый разрешающий вход блока 18 поступает логическая единица.

Выход 19 устройства активен, если выполняется программа пользователя. К выводу 19 устройства может быть подключен таймер для прямых замеров быстродействия программ пользователя. При этом прерывания отладки не будут влиять на результаты замеров, так как при прерывании отладки логическая единица с выхода 19 устройства будет автоматически сниматься. Кроме того, выход 19 устройства может использоваться для управления трассирующим ЗУ, входящим в состав эмулятора или ЭВМ и запоминающим предысторию отладки до ее прерывания с помощью блока 13.

Второй регистр 20 является регистром управления устройством со стороны ЭВМ. В зависимости от состояния первого выхода второго регистра 20 к второму информационному входу блока 13 подключается либо шина 10 данных, либо шина 11 адресов отлаживаемой системы. Логической единицей, поступающей с второго выхода регистра 20, блок 7 может быть переведен в состояние ОБМЕН с отключением ресурсов монитора. Логической единицей на третьем выходе второго регистра 20 программно разрешается через элемент ИЛИ 21 срабатывание блока 18, если это не разрешено по другим двум входам элемента ИЛИ 21 от выходов 15 и 16 блока 7.

Элемент ИЛИ 21 собирает сигналы, разрешающие по пятому входу разрешения срабатывание блока 18 регистровой памяти.

Формирователь 22 кода рестарта помещает на шину 39 данных один из кодов рестарта, зарезервированных в ЭВМ для обработки прерываний отладки программы, если на вход формирователя 22 поступает логическая единица.

Элемент ЗАПРЕТ 23 запрещает активность первого выхода 36 устройства при прерывании отладки независимо от адреса, при котором происходит прерывание.

Первая группа 24 элементов НЕ 25-27 запрещает ресурсы монитора, если хотя бы на одном из входов инверторов имеется логическая единица. Последнее возможно если выполняется челночное обращение по адресу, маскируемому ресурсами монитора, при котором логическая единица поступает с первого выхода 15 блока 7 на вход элемента НЕ 25, или выполняется программа пользователя, при котором логическая единица поступает с выхода 16 блока 7 на вход элемент НЕ 26, или генерируется код рестарта формирователем 22, при котором логическая единица поступает с выхода блока 13 на вход элемента НЕ 27.

Третья группа 28 элементов НЕ запрещает УВВ ЭВМ, если хотя бы на одном из входов элементов НЕ 29 и 30 имеется логическая единица. Последнее возможно, если выполняется челночное обращение по адресу, маскируемому ресурсами монитора, при котором логическая единица поступает с первого выхода 15 блока 7 на вход элемента НЕ 30, либо выполняется программа пользователя. Логическая единица в последнем случае поступает от выхода 16 блока 7 на вход элемента НЕ 29.

Вторая группа 31 элементов НЕ 32 и 33 запрещает ОЗУ ЭВМ, если хотя бы на одном из входов элементов НЕ 32 и 33 имеется логическая единица. Это возможно, если блок памяти трактует текущий адрес ЗУ, как не принадлежащий ЭВМ, но код рестарта формирователем 22 не генерируется, при этом от выхода элемента ЗАПРЕТ 23 логическая единица поступает на вход элемента НЕ 33, либо генерируется формирователем 22 код рестарта, при этом логическая единица поступает с выхода блока 13 на вход элемента НЕ 32.

Линия 34 запрещает ресурсы монитора в текущем цикле работы процессора ЭВМ, если на линии 34 имеется активный низкий потенциал.

Линия 35 запрещает ОЗУ ЭВМ в текущем цикле работы процессора ЭВМ, если на линии 35 имеется активный низкий потенциал.

Первый выход 36 устройства находится в состоянии логической единицы, если в текущем цикле работы ЭВМ процессор обращается по адресу, принадлежащему отлаживаемой системе.

На первый вход 37 блока 7 рабочим фрагментом монитора ЭВМ помещается логическая единица, что вызывает активность выхода 15 блока 7 состояний и отключение ресурсов монитора (его ПЗУ и рабочего ЗУ).

На второй вход 38 блока 7 состояний при обнаружении блоком 13 условия прерывания отладки помещается логическая единица, возвращающая блок 7 в исходное состояние.

По шине 39 данных из ЭВМ в устройстве поступают данные, необходимые для программирования монитором содержимого первого 8 и второго 20 регистров, блока 18. По шине 39 данных ЭВМ считывает из устройства состояние блока 13 и код рестарта, генерируемый формирователем 22.

Элемент И 40 в цикле чтения ЗУ разрешает дешифрацию дешифратором 43 перехода состояния адресной шины 5 ЭВМ, если предварительно установлен первый триггер 49.

Элемент И 41 в цикле чтения ЗУ разрешает дешифрацию дешифратором 44 перехода состояния адресной шины 5 ЭВМ, если предварительно установлен второй триггер 50.

Элемент И 42 разрешает установку первого триггера 49 и сброс второго триггера 50, если предварительно установлен второй триггер 50.

Первый дешифратор 43 перехода срабатывает, если процессор читает последний байт адреса перехода к ПЗУ монитора. Адрес перехода предварительно генерируется монитором в ОЗУ ЭВМ по фиксированному адресу.

Второй дешифратор 44 перехода срабатывает, если процессор переходит к выполнению программы пользователя, прочтя последний байт псевдорегистра "программный счетчик" из рабочего ЗУ монитора.

Элемент ИЛИ 45 собирает сигналы с выхода первого дешифратора 43 переходов (первый сигнал) и от линии 1 инициализации ЭВМ (второй сигнал) для сброса первого триггера 49.

Элемент ИЛИ 46 собирает сигналы от линии 1 инициализации ЭВМ. (первый

сигнал) и от второго разрешающего входа 38 блока 7 для установки второго триггера 50 и одновременного сброса третьего триггера 51.

Элемент ИЛИ 47 собирает сигналы от второго дешифратора 44 перехода (первый сигнал) и от первого разрешающего входа 37 блока 7 (второй сигнал) для сброса второго триггера 50. Второй сигнал проходит на сброс второго триггера 50 при условии, что последний предварительно установлен, что обеспечивается третьим элементом И 42.

Элемент ИЛИ 48 собирает сигналы: инициализации ЭВМ (первый сигнал, который проходит еще и через третий элемент ИЛИ 47, поступающий от линии 1), управления по второму входу 38 блока 7 (второй сигнал, который также проходит еще и через третий элемент ИЛИ 47), срабатывания первого дешифратора 43 переходов (третий сигнал). Во всех этих случаях устанавливается второй триггер 50.

Первый триггер 49 устанавливается программно через первый разрешающий вход 37 блока 7, если предварительно был установлен второй триггер 50. Логическая единица, поступающая на первый выход 15 блока 7, индицирует тот факт, что монитор посредством своего рабочего фрагмента может иметь доступ к ячейке ЗУ, адрес которой маскируется ресурсами монитора. Сброс триггера 49 выполняется автоматически, если рабочим фрагментом монитора читается последний байт адреса возврата путем перехода к нужному адресу ПЗУ монитора. Сброс первого триггера 49 также происходит при инициализации ЭВМ (но не отлаживаемой системы).

Второй триггер 50 устанавливается, если рабочий фрагмент монитора закончил свою работу, что будет обнаружено срабатыванием первого дешифратора 43 перехода, если поступит логическая единица по второму разрешающему входу 38 блока 7, что возможно при попытке записи в заданную зону ЗУ и обнаруживается блоком 13, и если инициализируется ЭВМ. Единичное состояние второго триггера 50 отражает то, что ресурсы монитора нормально маскируют ОЗУ ЭВМ, а программа пользователя не выполняется. Второй триггер 50 сбрасывается, если

сгенерирован рабочий фрагмент и затрачиваются ресурсы монитора. Для этого на первый разрешающий вход 37 блока 7 программно подается логическая единица. Второй триггер 50 также сбрасывается, если второй дешифратор 44 перехода обнаружил чтение из рабочего ЗУ монитора последнего байта адреса перехода на программу пользователя.

Третий триггер 51 устанавливается, если второй дешифратор 44 перехода обнаружил чтение из рабочего ЗУ монитора последнего байта адреса перехода на программу пользователя. Третий триггер 51 сбрасывается, если блоком 13 обнаружены условия прерывания отладки программы, для чего блок 13 подает логическую единицу на второй разрешающий вход 38 блока 7.

Ключ 52, если на входе чтения блока 13 установлена логическая единица, подключает состояние информационного выхода схемы 53 совпадения кодов на шину 39 данных ЭВМ. Это позволяет узнать причину совпадения кодов (совпал младший байт, совпали оба байта) с помощью только одного кода рестарта, генерируемого блоком 22.

Схема 53 совпадения кодов выполняет параллельное поразрядно-побайтное сравнение, например, путем каскадной свертки по модулю 2. На выход схемы 53 совпадения кодов поступает логическая единица, если на ее информационных входах есть поразрядное совпадение в одном байте (операнд - стоп) или в двух байтах (адрес - стоп). Условие совпадения (один или два байта) программируется в регистре 8 и является условием прерывания отладки.

Элемент И 55 исключает срабатывание компаратора во время, когда адрес нестабилен, когда текущий адрес не является адресом первого байта кода команды и когда пользовательская программа не работает. Исключение срабатывания компаратора при нестабильном адресе достигается подачей на вход элемента И 55 признака выборки ЗУ, образованного дизъюнкцией сигналов на линиях чтения 6 и записи 14 ЗУ. Исключение прерывания отладки, когда текущий адрес не является адресом первого байта кода команды, необходимо, чтобы исключить подачу кода рестарта при неза-

вершенной очередной команде. Исключение срабатывания блока 13 при неработающей программе пользователя необходимо для исключения случайного вмешательства заданных условий прерывания программы в работу системного монитора.

В регистрах 56.1 хранения нижней границы занимаемой зоны ЗУ записывается старший байт адреса (или сам адрес в зависимости от разрядности регистра хранения), начиная с которого адреса, генерируемые микропроцессором ЭВМ, последней не принадлежат. В регистре 57.1 хранения верхней границы занимаемой зоны ЗУ записывается старший байт адреса (или сам адрес в зависимости от разрядности регистра хранения), начиная с которого адреса, генерируемые микропроцессором ЭВМ, последней принадлежат.

Выходы сумматоров 58.1, 59.1, 58.2 и 59.2 являются выходами переноса и имеют один разряд. На выход сумматора 58.1 поступает логическая единица, если на шине 5 адресов установлен адрес ЗУ, величина которого равна или превышает нижнюю границу заема. Аналогично на выход сумматора 59.1 поступает логическая единица, если на шине 5 адресов установлен адрес ЗУ, величина которого равна или меньше верхней границы заема. Чтобы сумматоры вычитали, в соответствующих регистрах программируется значение границ в дополнительных кодах. Поскольку выходы пары сумматоров соединены с первыми двумя входами элемента И 61.1, необходимым условием появления на выходе элемента И 61.1 логической единицы является попадание текущего адреса ячейки ЗУ между запрограммированными границами либо равенство одной из границ.

Элемент ИЛИ 60.1 исключает случайную генерацию условия заема зоны ЗУ, если установленный на шине адрес ЗУ нестабилен, либо на шине 5 находится адрес УВВ. Следовательно, на выходе элемента И 61.1 появится сигнал заема адресного пространства ЗУ у отлаживаемой системы, если на шине

5 адресов таковой действителен и, кроме того, активен дополнительный вход разрешения блока 18 памяти. Это справедливо и для адреса УВВ, но осуществляется вторым подблоком памяти.

Блок-схема алгоритма работы устройства совместно с ЭВМ представлена на фиг. 5. Цифрами обозначены следующие блоки:

63 - задана директива, содержащая незамаскированный ресурсами монитора обмен, проверяется, будет ли последний выполнен по адресу, находящемуся в заеме;

64 - будет выполняться обмен по адресу, который не маскируется ресурсами монитора, но находится в заеме, поэтому проверяет, не попадают ли его ресурсы в зону заема и при необходимости изменяет содержимое блока памяти так, чтобы исключить такое попадание, затем на третьем входе элемента ИЛИ 21 монитор устанавливает логическую единицу, чем разрешается работа блока 18 памяти без участия блока 7;

65 - изменение границ;

66 - выполнение директивы, не содержащей обмена, либо содержащей обмен с незамаскированным адресом;

67 - на ЭВМ нажимают кнопку "Сброс", при этом активизируется линия 1 инициализации устройства, триггеры 49 и 51 сбрасываются, а триггер 50 устанавливается в единицу;

68 - монитор выполняет инициализацию ЭВМ и очищает регистры 8 и 20 устройства и переходит к ожиданию директив. В этом состоянии на выходах 15 и 16 блока 7 находятся нули, на третьем входе элемента ИЛИ 21 находится логический нуль, следовательно, работа блока 18 памяти запрещена нулем на пятом разрешающем входе. Работа блока 13 запрещена нулем на выходе 16 блока 7. Заемы памяти у отлаживаемой системы невозможны;

69 - диспетчер монитора скинирует консоль и ждет полного ввода директивы. Пока последняя не введена, переход к блоку 70 невозможен;

70 - проверяется, является ли введенная директива передачей управления программе пользователя;

71 - директива не передает управления программе пользователя, проверяется, содержит ли введенная директива обмен с ячейкой ЗУ или УВВ;

72 - директива содержит обмен, например, необходимо заменить содержимое ячейки или порта, проверяется, не замаскирован ли адрес ресурса монитора;

73 - адрес, по которому будет обмен, замаскирован ресурсами монитора, следовательно, необходимо генерировать рабочий фрагмент (РФ), проверяется, не будет ли находиться участок ОЗУ с РФ в заеме во время выполнения РФ;

74 - участок, где будет генерироваться РФ, находится в заеме у отлаживаемой системы, необходимо исключить этот заем, поскольку не известно, что в этом участке отлаживаемая система имеет (и имеет ли вообще) исправное ОЗУ. Блок 18 памяти перепрограммируется так, чтобы исключить заем участка РФ, для этого верхняя или нижняя граница в блоке 18 памяти сдвигается соответствующим образом;

75 - генерируется РФ и передается ему управление;

76 - выполняется РФ. Выполнение РФ начинается с подачи логической единицы на линии 37 устройства путем соответствующего программирования второго регистра 20. Триггер 51 устанавливается, а триггер 50 сбрасывается. Возникает состояние ОБМЕН. Работа блока 13 запрещена, а работа блока 18 памяти разрешена. При обмене с ячейкой ЗУ, если адрес ее находится в заеме, блок 18 памяти срабатывает. Поскольку элемент ЗАПРЕТ 23 не блокирует линию 36, то происходит обмен по адресу, который относится к отлаживаемой системе. Одновременно по адресу, относящемуся к ЭВМ, ничего не изменяется, так как он заблокирован через элемент 33 и линию запрета ЗУ. Если адрес не находится в заеме, то наоборот, процессор ЭВМ получает доступ не к ЗУ отлаживаемой системы, а к ЗУ ЭВМ. Выполнение РФ кончается чтением адреса возврата к некоторому адресу монитора. Последний постоянен и не зависит от директивы, содержащей обмен. При чтении последнего байта адреса возврата срабатывает дешифратор 43 блока 7, чем сбрасывается триггер 49 и устанавливается триггер 50, т.е. возвращается состояние МОНИТОР к моменту чтения кода команды из ПЗУ монитора;

77 - проверяется, был ли перепрограммирован блок 18 памяти. Если да, то исходное содержимое восстанавливается и управление передается диспетчеру 69 монитора;

78 - директива содержит передачу управления программе пользователя, проверяется, задавались ли в директиве условия прерывания отладки;

79 - будет прерывание отладки, загружаются условия в регистр 8 устройства;

80 - пуск программы пользователя. Предварительно в псевдорегистр "программный счетчик", находящийся в рабочем ОЗУ монитора, загружается стартовый адрес программы пользователя, который может быть любым. Адрес псевдорегистра и "программный счетчик" постоянен. При чтении последнего байта этого псевдорегистра срабатывает дешифратор 44, триггер 50 сбрасывается, а триггер 51 устанавливается. К моменту обращения процессора к стартовому адресу устанавливается состояние РАБОТА, на линию 16 поступает логическая единица, на линии 15 сохраняется логический ноль. Это разрешает работу блока 13 и блока 18 памяти.

В тех циклах, где текущий адрес принадлежит не ЭВМ, а отлаживаемой системе, контакты разъема эмулятора будут подключаться к соответствующим шинам ЭВМ при незапрещенных срабатываниях блока 18 памяти. Такого подключения не произойдет, если блок 13 в текущем цикле обнаружит условия прерывания отладки, так как срабатывает элемент ЗАПРЕТ 23. Одновременно вместо очередного первого байта команды пользовательской программы на шину 39 данных блок 22 поместит код рестарта, а в конце цикла посредством линии 38 триггер 50 установится, а триггер 51 сбросится. Процессор прочтет этот код рестарта и передаст согласно ему управление монитору. Выполнение программы 81 прекратится;

82 - обработчик прерывания отладки, на который по коду рестарта перейдет монитор. При выполнении рестарта из микропроцессора ЭВМ содержимое рестарта программного счетчика извлекается и помещается в упомянутый псевдорегистр "программный счетчик". Далее извлекаются все регист-

ры общего назначения. Обработка прерывания отладки завершается переходом к диспетчеру монитора. Если был установлен флаг трассировки, то цепочка 69...72 повторяется, на консоли отображается трасса с состоянием регистров микропроцессора, а устройство управления эмулятором поддерживает этот процесс.

Таким образом, блок 76 выполняется в состоянии ОБМЕН, блок 81 выполняется в состоянии РАБОТА, остальные блоки выполняются в состоянии МОНИТОР.

Устройство работает следующим образом.

Для того, чтобы текущий цикл работы ЭВМ стал циклом работы отлаживаемой системы, необходимо, чтобы для адреса, выставяемого ЭВМ, ресурсы ЭВМ были бы запрещены, а на выход 36 устройства поступила бы логическая единица, разрешающая подключение шин ЭВМ к разъему микропроцессора отлаживаемой системы.

В то же время, с точки зрения пользователя, система ЭВМ - эмулятор может находиться в трех упомянутых состояниях: МОНИТОР, ОБМЕН, РАБОТА.

В состоянии МОНИТОР процессор работает с ПЗУ или рабочим ЗУ монитора и ему доступны немаскируемые ресурсы монитора или отлаживаемой системой пользовательские ресурсы ЭВМ. Последние представляют собой ОЗУ ЭВМ, перекрывающее все прямоадресуемое пространство, и ряд УВВ, адреса которых могут изменяться, например, микропереключателями. В состоянии МОНИТОР ресурсы монитора маскируют ОЗУ ЭВМ с помощью системной линии ЭВМ ЗАПРЕТ ОЗУ, а пользовательские УВВ (но не УВВ монитора) запрещены пассивностью системной линии ЗАПРЕТ УВВ. Пользовательские УВВ, таким образом, могут совпадать по адресам с УВВ ЭВМ. В частном случае пользовательские УВВ могут отсутствовать, но тогда отлаживаемая система должна их иметь. В состоянии МОНИТОР ЭВМ выполняет сервисные функции, например, считывает сектор диска в рабочее ЗУ монитора, сканирует клавиатуру консоли, выводит символ на дисплей, ждет инструкций и т.д. В состоянии МОНИТОР ЭВМ может также выполнять обмен по адресу ее

ресурсов, который не маскируется ресурсами монитора или отлаживаемой системой.

5 В состоянии ОБМЕН ЭВМ получает доступ к адресу, который не доступен в состоянии МОНИТОР, например, этот адрес маскируется ресурсами монитора. Доступ обеспечивается следующим образом. Если адрес, к которому необходим доступ, маскируется ресурсами монитора, что монитор определяет самостоятельно, то в некоторой зоне ОЗУ ЭВМ монитором генерируется 10 собственный рабочий фрагмент. Предварительно исходное содержимое зоны рабочего фрагмента копируется монитором в свое рабочее ЗУ. Если зона рабочего фрагмента занята ЗУ отлаживаемой системы, то монитором так изменяется содержимое блока 18 памяти, чтобы исключить заем отлаживаемой системой зоны рабочего фрагмента у ЭВМ. Далее управление передается рабочему фрагменту, который содержит 15 необходимые команды для подачи логической единицы на первый вход 37 блока 7. Поскольку в состоянии МОНИТОР триггер 50 был установлен, то 20 логическая единица, пройдя через элемент И 42, установит первый триггер 49 и сбросит второй триггер 50. Выполнив необходимый обмен, процессор читает из рабочего фрагмента адрес возврата к ПЗУ монитора, что восстанавливает состояние МОНИТОР.

35 В состоянии ОБМЕН первый триггер 49 установлен, на первый выход 15 блока 7 поступает логическая единица, которая через элемент НЕ 25 запрещает ресурсы монитора активностью линии 34 запрета ресурсов монитора. Одновременно эта же логическая единица разрешает через элемент ИЛИ 21 40 выдачу решения блоком 18 памяти, принадлежит или нет адрес, к которому производится доступ в состоянии ОБМЕН, отлаживаемой системе. Если принадлежит, то через элемент ЗАПРЕТ 45 23 блок 18 памяти на выход 36 устройства выдает логическую единицу, разрешающую доступ к разъему микропроцессора отлаживаемой системы. Если не принадлежит, то в течение всей 50 работы фрагмента на выход 36 устройства не поступит логическая единица, так как блоком 18 памяти рабочий фрагмент исключен из зоны ЗУ, занимаемой у отлаживаемой системы.

В состоянии РАБОТА выполняется программа пользователя. В состоянии РАБОТА система ЭВМ - эмулятор переходит из состояния МОНИТОР, когда на входе элемента И 41 имеется логическая единица, поступающая с выхода второго триггера 50. При чтении процессором из рабочего ЗУ монитора последнего байта адреса перехода к программе пользователя срабатывает второй дешифратор 44 перехода, срезом импульса с его выхода триггер 50 сбрасывается, а триггер 51 устанавливается. С этого момента состояние РАБОТА является активным, а все три элемента И 40-42 запрещены логическими нулями на вторых входах. Поэтому программа пользователя не влияет на состояние блока 7 состояний. До входа в состояние РАБОТА монитор по данным своего рабочего ЗУ программируется блок 18 памяти. До входа в состояние РАБОТА, т.е. в состоянии МОНИТОР, работа блока 18 памяти запрещена по разрешающему входу. При входе в состояние РАБОТА, так как устанавливается третий триггер 51, на первый выход 16 блока 7 начинает поступать логическая единица, сохраняющаяся в течение состояния РАБОТА, вторая через элемент ИЛИ 21 разрешает работу блока 18 памяти. Поэтому в тех циклах, когда адреса, с которыми работает программа пользователя, принадлежит отлаживаемой системе, на выходе блока 18 памяти и соответственно выходе элемента ЗАПРЕТ 23 и выходе 36 устройства будет возникать логическая единица. Последняя периодически подключает отлаживаемую систему к эмулятору с одновременным запретом ОЗУ ЭВМ через элемент НЕ 33 по линии 35 запрета ОЗУ, а также запретом ресурсов монитора через элемент НЕ 26 по линии 34. В течение всего состояния РАБОТА УВВ ЭВМ запрещается по линии через элемент НЕ 30 от второго выхода 16 блока 7. Пользовательские УВВ, если они есть, при этом разрешены. При отсутствии пользовательских УВВ работают УВВ отлаживаемой системы, УВВ ЭВМ при этом также запрещены. Выход из состояния РАБОТА возможен при инициализации ЭВМ, а также при обнаружении блоком 13 условия прерывания отладки, так как работа блока 13 в состоянии РАБОТА разрешена по пято-

му входу от второго выхода 16 блока 7.

Если блок 13 в текущем цикле обнаруживает прерывание отладки, например точку разрыва, то в течение этого цикла элементом ЗАПРЕТ 23 запрещается присоединение шин отлаживаемой системы к ЭВМ, продолжается запрет ОЗУ ЭВМ, но теперь не через элемент НЕ 33, а через элемент НЕ 32, третий триггер 51 сбрасывается, прекращается состояние логической единицы на втором выходе 16 блока 7 и вторым выходе 19 устройства, прекращается запрет ресурсов монитора по линии 34 через элемент НЕ 26, удерживается в течение данного цикла запрет ресурсов монитора через элемент НЕ 27, формирователем 22 генерируется код рестарта. Очевидно, что шинных конфликтов при этом не возникает. Начало генерирования кода рестарта является окончанием состояния РАБОТА и возвратом к состоянию МОНИТОР. Код рестарта читается процессором и в последующих циклах работы в состоянии МОНИТОР из микропроцессора ЭВМ программно извлекается вся интересующая оператора информация о состоянии процесса отладки.

Таковы особенности состояний системы ЭВМ - устройство - эмулятор. Рассмотрим динамику состояний устройства.

Инициализация устройства производится подачей логической единицы на вход 1 инициализации устройства одновременно с инициализацией ЭВМ. При подаче импульса инициализации выходы 15 и 16 блока 7 принимают нулевое состояние, одновременно очищается второй регистр 20, поэтому ни на одном из входов элемента ИЛИ 21 нет логической единицы и, следовательно, работа блока 18 памяти, независимо от его содержимого, запрещена. Работа блока 13 при этом также запрещена нулем на втором выходе 16 блока 7. Следовательно, ни одна из линий 3, 34 и 35 соответственно запрета УВВ ЭВМ, запрета ресурсов монитора, запрета ОЗУ не является активной со стороны устройства, а выход 36 устройства также пассивен. Поэтому сразу после инициализации отлаживаемая система отключена от шин ЭВМ, а ресурсы монитора нормально маскируют ОЗУ ЭВМ.

Устройство нормально функционирует даже тогда, когда все адресное пространство ЗУ принадлежит не ЭВМ, а отлаживаемой системе. Зоны ЗУ, принадлежащие отлаживаемой системе, называются оператором специальными инструкциями монитора и записываются в рабочее ЗУ монитора.

Пусть оператором задана инструкция монитора, содержащая доступ к адресу, который не маскируется ресурсами монитора, но не принадлежит ЭВМ. Перед действиями по доступу к такому адресу монитор программирует блок 18 памяти так, чтобы исключить заем зон ЗУ у отлаживаемой системы, совпадающих по адресам с ресурсами монитора. Непосредственно перед доступом монитора программно устанавливается логическая единица на третьем выходе второго регистра 20, что через элемент ИЛИ 21 разрешает работу блока 18 памяти. В цикле доступа блок 18 памяти срабатывает, на его выход поступает логическая единица, которая через элемент ЗАПРЕТ 23 поступает на выход 36 устройства, что подключит разъем эмулируемого микропроцессора к шинам ЭВМ с одновременным запретом доступа к ОЗУ ЭВМ через элемент НЕ 33. По окончании цикла доступа третий выход регистра 20 программируется в нуль, что запрещает работу блока 18 памяти. В течение описанных действий блок 7 оставался в состоянии МОНИТОР.

Пусть теперь оператором задана инструкция монитора, содержащая доступ к адресу, маскируемая ресурсами монитора и не принадлежащему ЭВМ. Перед генерированием рабочего фрагмента монитором блок 18 памяти программируется так, чтобы исключить заем зоны рабочего фрагмента. В отличие от предыдущего случая третий выход второго регистра 20 не программируется в единицу. После передачи управления рабочему фрагменту возникает, как это описано, состояние ОБМЕН, на первый выход 15 блока 7 поступает логическая единица и через первый элемент ИЛИ 21 разрешает срабатывание блока 18 памяти во время цикла доступа к заданному адресу. При этом ресурсы монитора предварительно запрещены через элемент НЕ 25 по линии 34, ОЗУ ЭВМ запрещено через элемент НЕ 33 по линии 35,

а логическая единица на выходе 36 устройства, как и в предыдущем случае, подключает разъем эмулируемого микропроцессора к шинам ЭВМ.

Таким образом, монитор имеет доступ к любой ячейке ЗУ как ЭВМ, так и отлаживаемой системы. Следовательно, с помощью предлагаемого устройства может быть исследовано все адресное пространство ЗУ эмулируемого микропроцессора.

Пусть оператор задал инструкцию монитора, содержащую доступ к УВВ отлаживаемой системы. В этом случае монитор также освобождает место под свой рабочий фрагмент в ОЗУ ЭВМ, генерирует рабочий фрагмент и передает ему управление. Рабочий фрагмент в этом случае содержит необходимые команды ввода-вывода, а не обмена с ЗУ. Возникает состояние ОБМЕН, на выход 15 блока 7 начинает поступать логическая единица, которая разрешит работу блока 18 памяти и через элемент НЕ 30 запретит УВВ ЭВМ независимо от адреса обмена и разрешит УВВ пользователя, если таковые имеются. Если УВВ пользователя нет, то блок 18 памяти предварительно программируется так, что любой цикл, содержащий ввод-вывод, вызывает срабатывание блока 18 памяти, что подключает к ЭВМ разъем эмулируемого микропроцессора. Если УВВ пользователя в ЭВМ есть, то блок 18 памяти программируется так, чтобы исключить срабатывание блока 18 памяти по адресу, по которому выбирается УВВ ЭВМ. Таким образом, независимо от адреса УВВ, монитором исследуются как любые УВВ отлаживаемой системы, так и пользовательские УВВ, если они установлены в ЭВМ.

Программа пользователя может содержать любые коды рестарта, в том числе и код, совпадающий с кодом, генерируемым формирователем 22. Действительно, если в программе встретится данный код рестарта, то, если в блоке 13 не указан данный адрес как адрес прерывания отладки, блок 13 не сработает и состояние МОНИТОР не восстановится. Следовательно, по данному коду рестарта будут выполнены действия, определяемые программой пользователя, но не монитора.

Ф о р м у л а и з о б р е т е н и я

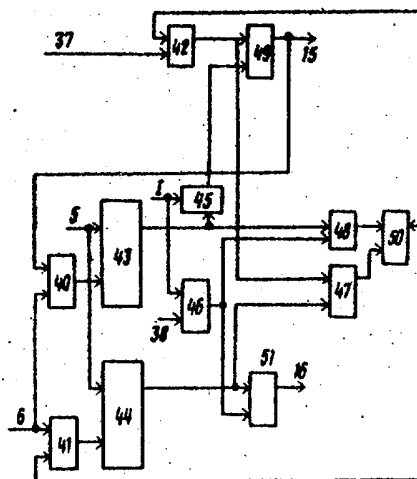
1. Устройство для отладки микро-
 процессорной системы, содержащее
 мультиплексор, дешифратор обращений,
 формирователь кода рестарта, блок
 регистровой памяти, первый и второй
 регистры, первую и вторую группы
 элементов НЕ и блок сравнения кодов,
 причем первый и второй информаци-
 онные входы мультиплексора являются
 входами устройства для подключения
 к шинам соответственно адреса и данных
 отлаживаемой микропроцессорной сис-
 темы, информационный вход дешифрато-
 ра обращений подключен к входу уст-
 ройства для подключения к шине ад-
 реса управляющей вычислительной сис-
 темы, первый и второй управляющие
 входы дешифратора обращений подклю-
 чены к входам устройства для подклю-
 чения к линиям соответственно запи-
 си и чтения ввода-вывода управляю-
 щей вычислительной системы, инфор-
 мационный вход первого регистра под-
 ключен к входу-выходу устройства для
 подключения к двунаправленной шине
 данных управляющей вычислительной
 системы, вход записи первого регист-
 ра соединен с первым выходом дешиф-
 ратора обращений, выход формирова-
 теля кода рестарта подключен к вхо-
 ду-выходу устройства для подключения
 к двунаправленной шине данных управ-
 ляющей вычислительной системы, пер-
 вый информационный вход блока срав-
 нения кодов соединен с выходом пер-
 вого регистра, второй информацион-
 ный вход блока сравнения кодов соеди-
 нен с выходом мультиплексора, инфор-
 мационный выход блока сравнения ко-
 дов подключен к входу-выходу устрой-
 ства для подключения к двунаправлен-
 ной шине данных управляющей вычис-
 лительной системы, вход разрешения
 чтения блока сравнения кодов соеди-
 нен с вторым выходом дешифратора об-
 ращений, выход сравнения блока срав-
 нения кодов соединен с входом форми-
 рователя кода рестарта, первый, вто-
 рой и третий стробирующие входы блока
 сравнения кодов подключены к входам
 устройства для подключения к линиям
 соответственно чтения памяти, за-
 писи памяти и признака первого цикла
 команды управляющей вычислительной
 системы, вход записи блока регист-
 ровой памяти соединен с третьим выхо-

дом дешифратора обращений, информа-
 ционный и адресный входы блока реги-
 стровой памяти подключены к входам
 устройства для подключения соответ-
 ственно к двунаправленной шине дан-
 ных и к шине адреса управляющей вы-
 числительной системы, с первого по
 четвертый разрешающие входы блока
 регистровой памяти подключены к вхо-
 дам устройства для подключения к ли-
 ниям соответственно чтения памяти,
 записи памяти, чтения ввода-вывода
 и записи ввода-вывода управляющей
 вычислительной системы, четвертый
 выход дешифратора обращений соеди-
 нен с входом записи второго регистра,
 вход сброса которого подключен к вхо-
 ду инициализации устройства, инфор-
 мационный вход второго регистра под-
 ключен к входу-выходу устройства для
 подключения к двунаправленной шине
 данных управляющей вычислительной сис-
 темы, выход первого поля второго ре-
 гистра соединен с управляющим входом
 мультиплексора, выходы элементов НЕ
 первой группы объединены по схеме
 монтажного ИЛИ и образуют выход уст-
 ройства для подключения к первой ли-
 нии запрета управляющей вычислитель-
 ной системы, выходы элементов НЕ вто-
 рой группы объединены по схеме мон-
 тажного ИЛИ и образуют выход устрой-
 ства для подключения к второй линии
 запрета управляющей вычислительной
 системы, о т л и ч а ю щ е е с я
 тем, что, с целью упрощения устройст-
 ва, оно содержит блок определения
 состояний, элемент ИЛИ, элемент зап-
 рета, третью группу элементов НЕ,
 причем вход инициализации блока опре-
 деления состояний подключен к входу
 инициализации устройства, стробирую-
 щий вход блока определения состояний
 подключен к входу устройства для под-
 ключения к линии чтения памяти управ-
 ляющей вычислительной системы, пер-
 вый и второй разрешающие входы блока
 определения состояний соединены соот-
 ветственно с выходом второго поля
 второго регистра и выходом сравнения
 блока сравнения кодов, информационный
 вход блока определения состояний под-
 ключен к входу устройства для подклю-
 чения к шине адреса управляющей вы-
 числительной системы, выход элемента
 ИЛИ соединен с пятым разрешающим вхо-
 дом блока регистровой памяти, первый
 выход определения блока состояний со-

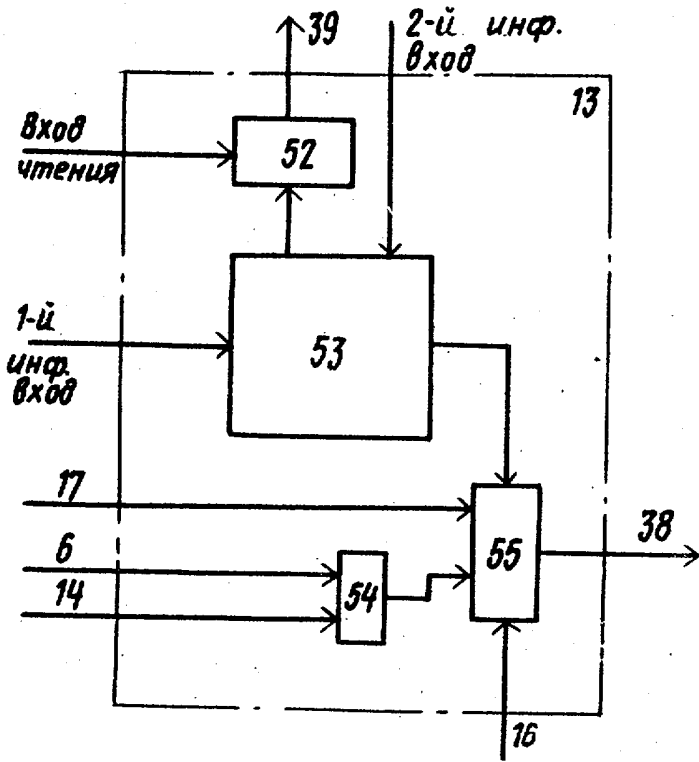
единен с входом первого элемента НЕ первой группы и первым входом элемента ИЛИ, второй вход которого, вход второго элемента НЕ первой группы, вход первого элемента НЕ третьей группы и разрешающий вход блока сравнения кодов соединены с вторым входом блока определения состояний, третий вход элемента ИЛИ соединен с выходом третьего поля второго регистра, выход сравнения блока сравнения кодов соединен с входом третьего элемента НЕ первой группы, входом первого элемента НЕ второй группы и инверсным входом элемента запрета, прямой вход которого соединен с выходом блока регистровой памяти, вход второго элемента НЕ третьей группы соединен с первым выходом блока определения состояний, выходы элементов НЕ третьей группы объединены по схеме монтажного ИЛИ и соединены с третьим управляющим входом дешифратора обращений и образуют выход устройства для подключения к третьей линии запрета управляющей вычислительной системы, выход элемента запрета соединен с входом второго элемента НЕ второй группы и является первым выходом устройства, вторым выходом устройства является второй выход блока определения состояний.

2. Устройство по п. 1, отличающееся тем, что блок определения состояний содержит два дешифратора переходов, три элемента И, четыре элемента ИЛИ и три триггера, причем первые входы первого и второго элементов И соединены со стробиру-

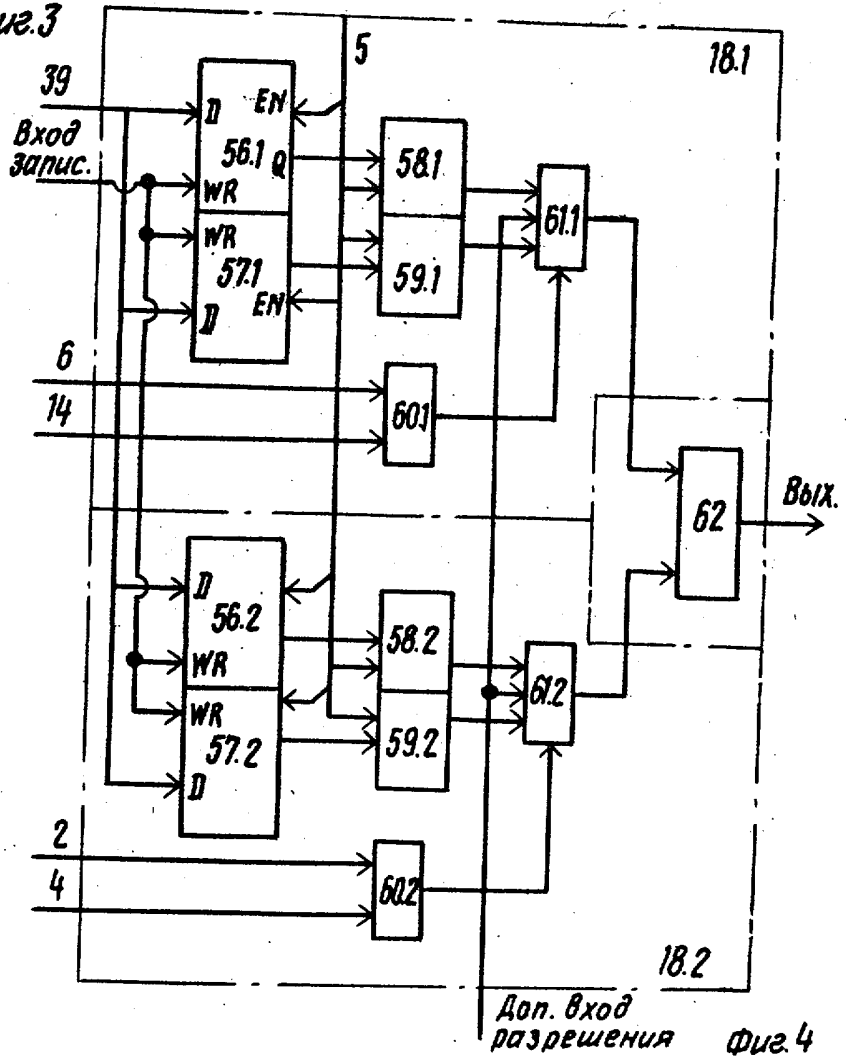
ющим входом блока определения состояний, первый вход третьего элемента И является первым разрешающим входом блока определения состояний, второй вход первого элемента И соединен с выходом первого триггера, вторые входы второго и третьего элементов И соединены с выходом второго триггера, выходы первого и второго элементов И соединены с разрешающими входами соответственно первого и второго дешифраторов переходов, информационные входы которых объединены и соединены с информационным входом блока определения состояний, вход инициализации которого соединен с первыми входами первого и второго элементов ИЛИ, второй вход второго элемента ИЛИ является вторым разрешающим входом блока определения состояний, выход третьего элемента И соединен с S-входом первого триггера и с первым входом третьего элемента ИЛИ, выход которого соединен с R-входом второго триггера, второй вход третьего элемента ИЛИ соединен с выходом второго дешифратора перехода и S-входом третьего триггера, выходы первого и второго элементов ИЛИ соединены соответственно с R- входами первого и третьего триггеров, выходы которых являются соответственно первым и вторым выходами блока определения состояний, первый вход четвертого элемента ИЛИ соединен с выходом второго элемента ИЛИ, выход первого дешифратора перехода соединен с вторыми входами первого элемента ИЛИ и четвертого элемента ИЛИ, выход которого соединен с S-входом второго триггера.

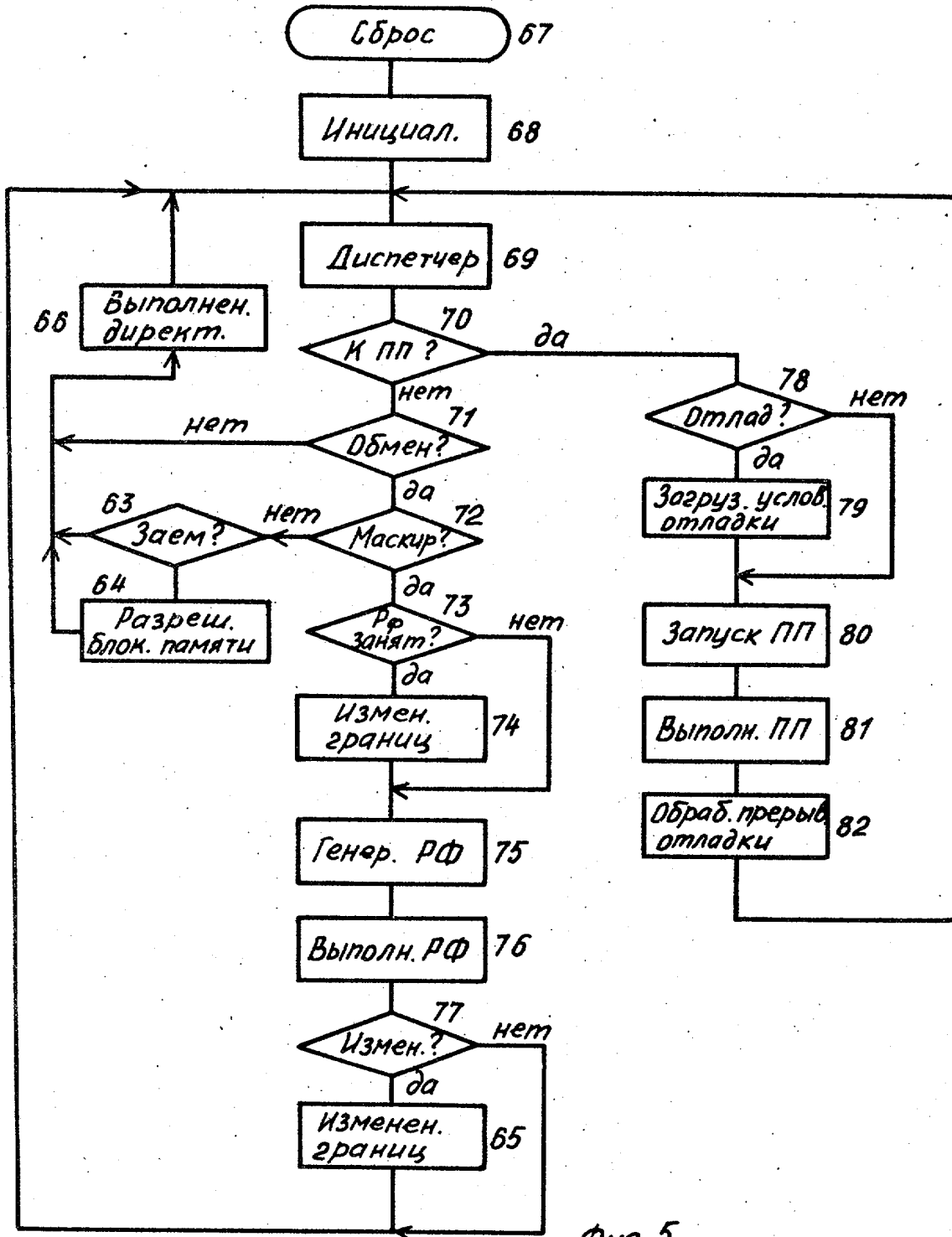


Фиг. 2



Фиг.3





Фиг. 5

Редактор Н. Тупица Составитель Д. Ванюхин Корректор М. Демчик
 Техред Л. Олейник

Заказ 7286/46

Тираж 667

Подписное

ВНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4