

(19)日本国特許庁(JP)

(12)公表特許公報(A)

(11)公表番号

特表2025-501976
(P2025-501976A)

(43)公表日 令和7年1月24日(2025.1.24)

(51)国際特許分類	F I	テーマコード(参考)
G 0 1 R 31/26 (2020.01)	G 0 1 R 31/26	G 2 G 0 0 3
G 0 1 R 33/07 (2006.01)	G 0 1 R 33/07	2 G 0 1 7
G 0 1 R 15/20 (2006.01)	G 0 1 R 15/20	A 2 G 0 2 5

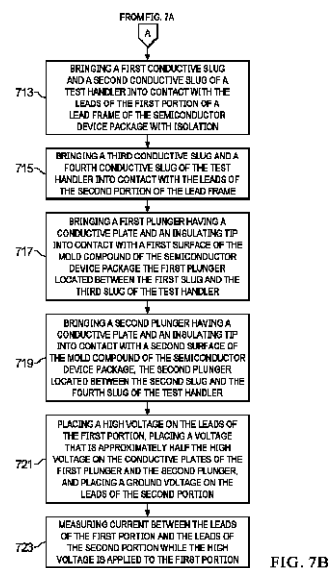
審査請求 未請求 予備審査請求 未請求 (全31頁)

(21)出願番号	特願2024-539809(P2024-539809)	(71)出願人	507107291
(86)(22)出願日	令和4年12月19日(2022.12.19)		テキサス インスツルメンツ インコーポ レイテッド
(85)翻訳文提出日	令和6年8月30日(2024.8.30)		アメリカ合衆国 テキサス州 7 5 2 6 5 - 5 4 7 4 ダラス メール ステーション 3 9 9 9 ピーオーボックス 6 5 5 4 7 4
(86)国際出願番号	PCT/US2022/053337	(74)代理人	230129078
(87)国際公開番号	WO2023/129411		弁護士 佐藤 仁
(87)国際公開日	令和5年7月6日(2023.7.6)	(72)発明者	エニス トウンサー
(31)優先権主張番号	17/566,607		アメリカ合衆国 7 5 2 1 4 テキサス州 ダラス, カサ ロマ アヴェニュー 7 2 4 3
(32)優先日	令和3年12月30日(2021.12.30)	F ターム(参考)	2G003 AA07 AB05 AC08 AE09 AG03
(33)優先権主張国・地域又は機関	米国(US)		2G017 AB05 AB09 AC06 AD53
(81)指定国・地域	AP(BW,CV,GH,GM,KE,LR,LS,MW,MZ ,NA,RW,SD,SL,ST,SZ,TZ,UG,ZM,ZW), EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES, FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV 最終頁に続く		最終頁に続く

(54)【発明の名称】 絶縁を有する半導体デバイスパッケージを製造するための方法

(57)【要約】

或る方法が、モールドコンパウンドから延在するパッケージ基板の第1の部分のリードと、モールドコンパウンドから延在する第1の部分から絶縁される第2の部分のリードと、を有する半導体デバイスパッケージをテストハンドラに置くことと、第1の部分を第1及び第2の導電性スラグと接触させること(713)と、第2の部分を第3および第4の導電性スラグと接触させること(715)と、モールドコンパウンドの第1の表面を導電性プレート及び絶縁先端を有する第1のプランジャと接触させること(717)と、モールドコンパウンドの反対側の第2の表面を導電性プレート及び絶縁先端を有する第2のプランジャと接触させること(719)と、第1の導電性スラグに高電圧をかけること(721)、第1のプランジャの導電性プレートに高電圧の約半分をかけること(721)、及び第3の導電性スラグに接地電圧をかけること(721)とを含む。



10

【特許請求の範囲】**【請求項 1】**

半導体デバイスパッケージにおける絶縁をテストするための方法であって、

半導体デバイスパッケージをテストハンドラ内に配置することであって、前記半導体デバイスパッケージが、前記半導体デバイスパッケージのパッケージ本体を形成するモールドコンパウンドから延在するパッケージ基板の第 1 の部分の第 1 のリードと、前記モールドコンパウンドから延在する前記パッケージ基板の第 2 の部分の第 2 のリードと、を有し、前記第 1 の部分が前記第 2 の部分から電氣的に絶縁されている、前記配置することと、前記第 1 の部分の前記第 1 のリードを前記テストハンドラの第 1 の導電性スラグ及び第 2 の導電性スラグと接触させることと、

10

前記第 2 の部分の前記第 2 のリードを前記テストハンドラの第 3 の導電性スラグ及び第 4 の導電性スラグと接触させることであって、前記第 3 の導電性スラグ及び前記第 4 の導電性スラグが、前記第 1 の導電性スラグ及び前記第 2 の導電性スラグから離間されている、前記接触させることと、

前記モールドコンパウンドの第 1 の表面を導電性プレート及び絶縁先端を有する第 1 のプランジャと接触させることであって、前記絶縁先端が前記モールドコンパウンドの前記第 1 の表面に接する、前記接触させることと、

前記モールドコンパウンドの前記第 1 の表面とは反対側にある前記モールドコンパウンドの第 2 の表面を第 2 のプランジャと接触させることであって、前記第 2 のプランジャが導電性プレート及び絶縁先端を有し、前記絶縁先端が前記モールドコンパウンドの前記第 2 の表面と接する、前記接触させることと、

20

前記第 1 の導電性スラグ及び前記第 2 の導電性スラグに高電圧をかける一方で、前記第 1 のプランジャの前記導電性プレート及び前記第 2 のプランジャの前記導電性プレートに前記高電圧の約半分をかけ、その一方で、前記第 3 の導電性スラグ及び前記第 4 の導電性スラグに接地電圧をかけることと、

を含む、方法。

【請求項 2】

請求項 1 に記載の方法であって、前記第 1 のプランジャの前記導電性プレートに前記高電圧の約半分をかけることがさらに、

前記テストハンドラの前記第 1 の導電性スラグと前記第 1 のプランジャの前記導電性プレートとの間に第 1 の静電容量を有する第 1 のコンデンサを結合することと、

30

前記第 1 のプランジャの前記導電性プレートと前記テストハンドラの前記第 3 の導電性スラグとの間に前記第 1 の静電容量を有する第 2 のコンデンサを結合することと、

を含む、方法。

【請求項 3】

請求項 1 に記載の方法であって、前記高電圧が前記第 1 の導電性スラグに結合される一方で、前記第 1 の導電性スラグと前記第 3 の導電性スラグとの間の電流を測定することをさらに含む、方法。

【請求項 4】

請求項 3 に記載の方法であって、前記電流が所定の閾値より大きいと判定されることに応答して、前記半導体デバイスパッケージが高電圧絶縁テストに不合格であったことを示す、方法。

40

【請求項 5】

請求項 3 に記載の方法であって、前記電流が所定の閾値未満であると判定されることに応答して、前記半導体デバイスパッケージが高電圧絶縁テストに合格したことを示す、方法。

【請求項 6】

半導体デバイスを形成するための方法であって、

半導体ウエハ上に半導体ダイを形成することと、

第 1 の部分と、前記第 1 の部分から離間され電氣的に絶縁される第 2 の部分とを含むパ

50

パッケージ基板を形成することであって、前記パッケージ基板が導電性リードフレームを含み、前記第 1 の部分がデバイス側部表面及び反対側の表面を有する、前記形成することと

、
第 1 の表面と、前記第 1 の表面の反対側の第 2 の表面とを有するスペーサ誘電体の前記第 1 の表面を、前記パッケージ基板の前記第 1 の部分の前記デバイス側部表面に搭載することであって、前記スペーサ誘電体が、前記第 1 の部分によって部分的に覆われ、前記第 1 の部分を超えて延在する、前記搭載することと、

前記半導体ダイの一つを前記スペーサ誘電体の前記第 2 の表面に搭載することであって、前記半導体ダイの前記一つが、前記スペーサ誘電体によって部分的に覆われ、前記スペーサ誘電体を超えて延在する前記半導体ダイの表面上に形成されるボンドパッドを有する

10

、前記搭載することと、
前記ボンドパッドから前記リードフレームの前記第 2 の部分により形成されるリードへの電氣的接続をなすことによつて、前記半導体ダイの前記ボンドパッドを結合することと

、
モールドコンパウンド内に、前記半導体ダイと前記電氣的接続と前記スペーサ誘電体とを覆い、前記リードフレームの前記第 1 の部分を部分的に覆い、前記リードフレームの前記第 2 の部分を部分的に覆うことと、

前記モールドコンパウンドから延在する前記第 1 の部分の第 1 のリードを整形することと、前記モールドコンパウンドから延在する前記第 2 の部分の第 2 のリードを整形することと、
よつて半導体デバイスパッケージを形成することと、

20

テストハンドラの第 1 の導電性スラグ及び第 2 の導電性スラグを前記第 1 の部分の前記第 1 リードと接触させることと、

前記テストハンドラの第 3 の導電性スラグ及び第 4 の導電性スラグを前記第 2 の部分の前記第 2 のリードと接触させることと、

導電性プレート及び絶縁先端を有する第 1 のプランジャを、前記半導体デバイスパッケージの前記モールドコンパウンドの第 1 の表面と接触させることであつて、前記第 1 のプランジャが前記テストハンドラの前記第 1 のスラグと前記第 3 のスラグとの間に位置する、前記接触させることと、

導電性プレート及び絶縁先端を有する第 2 のプランジャを、前記半導体デバイスパッケージの前記モールドコンパウンドの前記第 1 の表面とは反対側の前記モールドコンパウンドの第 2 の表面と接触させることであつて、前記第 2 のプランジャが、前記第 1 のプランジャの反対側であり、前記テストハンドラの前記第 2 のスラグと前記第 4 のスラグとの間に、配置される、前記接触させることと、

30

前記第 1 の部分の前記第 1 のリードに高電圧をかけ、前記第 1 のプランジャの前記導電性プレート及び前記第 2 のプランジャの前記導電性プレートに前記高電圧の約半分の電圧をかけ、前記第 2 の部分の前記第 2 のリードに接地電圧をかけることと、

を含む、方法。

【請求項 7】

請求項 6 に記載の方法であつて、前記パッケージ基板の前記第 1 の部分と前記第 2 の部分との間の電流を測定することをさらに含む、方法。

40

【請求項 8】

請求項 7 に記載の方法であつて、

前記電流が所定の閾値より大きいと判定されることに応答して、前記半導体デバイスが高電圧絶縁テストに不合格であったことを示し、

前記電流が前記所定の閾値未満であると判定されることに応答して、前記半導体デバイスパッケージが高電圧絶縁テストに合格したことを示す、方法。

【請求項 9】

請求項 6 に記載の方法であつて、前記第 1 のプランジャに前記高電圧の約半分の電圧をかけることがさらに、

前記テストハンドラの前記第 1 の導電性スラグと前記第 1 のプランジャの前記導電性プ

50

レートとの間に第 1 の静電容量を有する第 1 のコンデンサを直列に結合することと、
前記第 1 のプランジャの前記導電性プレートと前記テストハンドラの前記第 3 の導電性
スラグとの間に前記第 1 の静電容量の第 2 のコンデンサを直列に結合することと、
を含む方法。

【請求項 10】

請求項 9 に記載の方法であって、
前記テストハンドラの前記第 2 の導電性スラグと前記第 2 のプランジャの前記導電性プレ
レートとの間に前記第 1 の静電容量を有する第 3 のコンデンサを直列に結合することと、
前記第 2 のプランジャの前記導電性プレートと前記テストハンドラの前記第 4 の導電性
スラグとの間に前記第 1 の静電容量を有する第 4 のコンデンサを直列に結合することと、
をさらに含む方法。

10

【請求項 11】

請求項 6 に記載の方法であって、前記高電圧が 300 ボルトより大きい、方法。

【請求項 12】

請求項 6 に記載の方法であって、前記高電圧が 1 キロボルトより大きい、方法。

【請求項 13】

請求項 6 に記載の方法であって、
導電性プレート及び絶縁先端を有する第 1 のプランジャを前記モールドコンパウンドの
第 1 の表面と接触させることがさらに、

銅、アルミニウム、鋼、ステンレス鋼、又はこれらの合金の導電性プレートを含み、ポ
リエーテルイミド、ポリイミド、シリコーンゴム、プラスチック、又はこれらのうちの
一つの発泡体を含む絶縁先端を有する、第 1 のプランジャを、前記モールドコンパウンドの
前記第 1 の表面と接触させることを含む、方法。

20

【請求項 14】

請求項 13 に記載の方法であって、
導電性プレート及び絶縁先端を有する第 1 のプランジャを前記モールドコンパウンドの
第 1 の表面と接触させることがさらに、

絶縁先端が並列に接続される幾つかの導電性プレートを有する第 1 のプランジャの一つ
又は複数の絶縁先端を、前記モールドコンパウンドの前記第 1 の表面と接触させることを
さらに含む、方法。

30

【請求項 15】

請求項 13 に記載の方法であって、
並列の絶縁先端を備える幾つかの導電性プレートを有する第 1 のプランジャを前記モ
ールドコンパウンドの前記第 1 の表面と接触させることがさらに、

並列な絶縁先端を備え、前記絶縁先端と平行な導電性先端を有する、幾つかの導電性プレ
ートを有する第 1 のプランジャを、前記モールドコンパウンドの前記第 1 の表面と接触
させることをさらに含む、方法。

【請求項 16】

請求項 6 に記載の方法であって、半導体ダイを形成することが、ホール素子を含む半導
体ダイを形成することをさらに含む、方法。

40

【請求項 17】

請求項 16 に記載の方法であって、ホール素子を含む半導体ダイを形成することが、前
記ホール素子を用いて電流を感知するように構成される回路要素を含む半導体ダイを形成
することをさらに含む、方法。

【請求項 18】

請求項 6 に記載の方法であって、前記半導体ダイを前記スペーサ誘電体に搭載すること
がさらに、

前記リードフレームの前記第 1 の部分に流れる電流に対応する磁界に晒されるように前
記半導体ダイを配置する一方で、前記半導体ダイを前記リードフレームの前記第 1 の部分
から電氣的に絶縁することをさらに含む、方法。

50

【請求項 19】

半導体デバイスパッケージに対して高電圧絶縁テストを実施するためのテストハンドラであって、

前記半導体デバイスパッケージのパッケージ基板の第1の部分の第1のリードに接するように構成される、第1の導電性スラグ及び第2の導電性スラグであって、前記第1の導電性スラグ及び前記第2の導電性スラグが高電圧に結合されるように構成される、前記第1の導電性スラグ及び前記第2の導電性スラグと、

前記半導体デバイスパッケージの前記パッケージ基板の第2の部分の前記第2のリードに接するように構成される、第3の導電性スラグ及び第4の導電性スラグであって、前記第3の導電性スラグ及び前記第4の導電性スラグが接地電圧に結合されるように構成される、前記第3の導電性スラグ及び前記第4の導電性スラグと、

前記半導体デバイスパッケージの本体を形成するモールドコンパウンドの第1の表面に接するように構成される第1のプランジャであって、前記第1のプランジャが、前記モールドコンパウンドの前記第1の表面に接するように配置される、導電性プレート及び絶縁性先端を含み、前記導電性プレートが、前記高電圧の約半分の電圧に結合されるように構成される、前記第1のプランジャと、

前記モールドコンパウンドの前記第1の表面の反対側の前記モールドコンパウンドの第2の表面に接するように構成される第2のプランジャであって、前記第2のプランジャが、導電性プレートと、前記モールドコンパウンドの前記第2の表面に接するように配置される絶縁先端とを含み、前記導電性プレートが前記高電圧の前記約半分の電圧に結合する

を含む、テストハンドラ。

【請求項 20】

請求項 19 に記載のテストハンドラであって、

前記第1の導電性スラグと前記第1のプランジャの前記導電性プレートとの間に直列に接続される第1のコンデンサと、

前記第1のプランジャの前記導電性プレートと前記テストハンドラの前記第3の導電性スラグとの間に直列に結合される第2のコンデンサと、

前記テストハンドラの前記第2の導電性スラグと前記第2のプランジャの前記導電性プレートとの間に直列に結合される第3のコンデンサと、

前記第2のプランジャの前記導電性プレートと前記テストハンドラの前記第4の導電性スラグとの間に直列に結合される第4コンデンサと、

を含み、

前記第1、第2、第3、及び第4のコンデンサが、同じ静電容量を有する、テストハンドラ。

【発明の詳細な説明】

【技術分野】

【0001】

本願は、概して、半導体デバイスを製造することに関連し、より詳細には、完成した半導体デバイスパッケージのテストを含む、半導体ダイのための統合された絶縁を有する半導体デバイスパッケージを製造することに関する。

【背景技術】

【0002】

半導体デバイスパッケージにおける内部絶縁を有する統合デバイスの場合、半導体ダイは絶縁障壁によって高電圧信号から分離される。例えば、電流センサとして構成される一体型ホール素子を備えた半導体ダイが、誘電体材料によって、リードフレームなどのパッケージ基板に搭載され得る。最大電圧が数百ボルト、1キロボルト、又は数キロボルトの高電圧入力信号が、リードフレームに結合され得る。半導体ダイ内のホール電流センサが、リードフレームの部分を通る電流によって生じる磁界に応じて変動する信号を出力する一方で、半導体ダイは高電圧から電氣的に絶縁されたままである。パッケージ基板は、

やはり高電圧から絶縁される付加的なリードを含み得る。付加的なリードは、半導体ダイのための電力、制御、及び出力の信号を提供するために半導体ダイに結合され得る。電氣的絶縁を必要とする他のタイプの半導体デバイスも、半導体デバイスパッケージに搭載され得る。例えば、一对の半導体ダイが、絶縁誘電体層によって離間されたコイルを有するインダクタを備えた変圧器を形成し得、この配置により、異なる電圧の構成要素間を直接接続することなく、絶縁された構成要素を介して電力が伝送され得る。

【0003】

絶縁を有する半導体デバイスパッケージを製造する際、その応用例に対して絶縁が十分に堅牢であることを確認するためにテストが実施される。完成した半導体デバイスパッケージは、高電圧に対応し得るテストハンドラの中に置かれ得る。テストハンドラの或る部分が、高電圧を受け取るように配置されるパッケージリードに高電圧を供給する。テストハンドラの別の部分が、高電圧から絶縁されたパッケージのリードに結合され、高電圧が絶縁されたリードから絶縁されているかどうかを判定するために測定が行われる。この測定は、パッケージ化されたデバイスに高電圧を印加することと、絶縁が有効かどうかを判定することと、を含む。

10

【0004】

半導体デバイスパッケージに入力される高電圧により、高電界が生じ得る。ダイ取り付けやモールドコンパウンドなどの誘電体材料は、高電界において故障し得、それにより、欠陥、アーキング、及び短絡が生じる。テストハンドラ内のアークや短絡により、空気中の電界アークによる電流がテスト対象デバイスの周囲を流れ、アーク電流がテストハンドラ内の電流フローとして現れる場合、絶縁障害を示す不正確なテスト結果がとなり得る。キロボルト範囲の高電圧に結合されることに対応し得る堅牢な半導体デバイスパッケージを提供するには、半導体デバイスパッケージは、入力において高電圧にも適合しており、かつ、半導体デバイスパッケージ又は半導体ダイへの損傷なしに、結果として生じる電界に耐え得るように、設計される必要がある。高電圧絶縁テストの間、高電圧が印加されるときにテストハンドラに生じる電界を管理して、テストにおける過剰な電界集中による不正確なテスト結果を防止したり、それ以外の良好な半導体デバイスやパッケージへのアーク電流による損傷を防止したりする必要がある。

20

【発明の概要】

【0005】

説明される或る例において、半導体デバイスパッケージにおける絶縁をテストするための方法が、半導体デバイスパッケージをテストハンドラ内に配置することであって、半導体デバイスパッケージが、半導体デバイスパッケージのパッケージ本体を形成するモールドコンパウンドから延在するパッケージ基板の第1の部分の第1のリードと、モールドコンパウンドから延在するパッケージ基板の第2の部分の第2のリードとを有し、第1の部分が第2の部分から電氣的に絶縁されている、配置することと、第1の部分の第1のリードをテストハンドラの第1の導電性スラグ及び第2導電性スラグと接触させることと、第2の部分の第2のリードをテストハンドラの第3の導電性スラグ及び第4の導電性スラグと接触させることであって、第3の導電性スラグ及び第4の導電性スラグが、第1の導電性スラグ及び第2の導電性スラグから離間されている、接触させることと、モールドコンパウンドの第1の表面を導電性プレート及び絶縁先端を有する第1のプランジャと接触させることであって、絶縁先端がモールドコンパウンドの第1の表面に接する、接触させることと、モールドコンパウンドの第1の表面の反対側にあるモールドコンパウンドの第2の表面を第2のプランジャと接触させることであって、第2のプランジャが導電性プレート及び絶縁先端を有し、絶縁先端がモールドコンパウンドの第2の表面に接する、接触させることと、第1の導電性スラグ及び第2の導電性スラグに高電圧をかける一方で、第1のプランジャの導電性プレート及び第2のプランジャの導電性プレートに高電圧の約半分をかけ、第3の導電性スラグ及び第4の導電性スラグに接地電圧をかけることと、を含む。

30

40

【0006】

50

説明される別の例において、別の方法が、半導体ウエハ上に半導体ダイを形成することと、第1の部分と、第1の部分から離間され電氣的に絶縁される第2の部分とを含むパッケージ基板を形成することであって、パッケージ基板が導電性リードフレームを含み、第1の部分がデバイス側部表面及び反対側の表面を有する、形成することと、第1の表面と、第1の表面の反対側の第2の表面とを有するスペーサ誘電体の第1の表面を、パッケージ基板の第1の部分のデバイス側部表面に搭載することであって、スペーサ誘電体が、第1の部分によって部分的に覆われ、第1の部分を超えて延在する、搭載することと、半導体ダイの一つをスペーサ誘電体の第2の表面に搭載することであって、半導体ダイの一つが、スペーサ誘電体によって部分的に覆われ、スペーサ誘電体を超えて延在する半導体ダイの表面上に形成されるボンドパッドを有する、搭載することと、ボンドパッドからリードフレームの第2の部分により形成されるリードへの電氣的接続をなすことによって半導体ダイのボンドパッドを結合することと、モールドコンパウンドにおいて、半導体ダイ、電氣的接続、スペーサ誘電体を覆い、リードフレームの第1の部分を部分的に覆い、リードフレームの第2の部分を部分的に覆うことと、モールドコンパウンドから延在する第1の部分の第1のリードを整形し、モールドコンパウンドから延在する第2の部分の第2のリードを整形することによって半導体デバイスパッケージを形成することと、テストハンドラの第1の導電性スラグ及び第2の導電性スラグを第1の部分の第1リードと接触させることと、テストハンドラの第3の導電性スラグ及び第4の導電性スラグを第2の部分の第2のリードと接触させることと、導電性プレート及び絶縁先端を有する第1のプランジャを半導体デバイスパッケージのモールドコンパウンドの第1の表面と接触させることであって、第1のプランジャがテストハンドラの第1のスラグと第3のスラグとの間に位置する、接触させることと、導電性プレート及び絶縁先端を有する第2のプランジャを半導体デバイスパッケージのモールドコンパウンドの第1の表面の反対側のモールドコンパウンドの第2の表面と接触させることであって、第2のプランジャが、第1のプランジャの反対側であって、テストハンドラの第2のスラグと第4のスラグとの間に配置される、接触させることと、第1の部分の第1のリードに高電圧をかけ、その高電圧の約半分の電圧を第1のプランジャの導電性プレート及び第2のプランジャの導電性プレートにかけ、第2の部分の第2のリードに接地電圧をかけることと、を含む。

10

20

【0007】

さらに説明される例において、半導体デバイスパッケージに対して高電圧絶縁テストを実施するためのテストハンドラが、半導体デバイスパッケージのパッケージ基板の第1の部分の第1のリードに接するように構成される第1の導電性スラグ及び第2の導電性スラグであって、第1の導電性スラグ及び第2の導電性スラグが高電圧に結合されるように構成される、第1の導電性スラグ及び第2の導電性スラグと、半導体デバイスパッケージのパッケージ基板の第2の部分の第2のリードに接するように構成される第3の導電性スラグ及び第4の導電性スラグであって、第3の導電性スラグ及び第4の導電性スラグが、接地電圧に結合されるように構成される、第3の導電性スラグ及び第4の導電性スラグと、半導体デバイスパッケージの本体を形成するモールドコンパウンドの第1の表面に接するように構成される第1のプランジャであって、第1のプランジャが、モールドコンパウンドの第1の表面に接するように配置される導電性プレート及び絶縁性先端を含み、導電性プレートが、前記高電圧の約半分の電圧に結合されるように構成される、第1のプランジャと、モールドコンパウンドの第1の表面の反対側のモールドコンパウンドの第2の表面に接するように構成される第2のプランジャであって、第2のプランジャが、導電性プレートと、モールドコンパウンドの第2の表面に接するように配置される絶縁先端とを含み、導電性プレートが、前記高電圧の約半分の電圧に結合するように構成される、第2のプランジャとを含む。

30

40

【図面の簡単な説明】**【0008】**

【図1】或る配置に用いるための、絶縁を有するホール電流感知デバイスの回路ブロック図を図示する。

50

【 0 0 0 9 】

【図 2 A】ホール電流センサのための半導体デバイスパッケージにおける半導体ダイを含めて半導体デバイスパッケージを投影図で図示する。

【図 2 B】ホール電流センサのための半導体デバイスパッケージにおける半導体ダイを含めて半導体デバイスパッケージを部分的な投影図で図示する。

【図 2 C】ホール電流センサのための半導体デバイスパッケージにおける半導体ダイを含めて半導体デバイスパッケージを平面図で図示する。

【図 2 D】半導体デバイスパッケージの断面である。

【 0 0 1 0 】

【図 3 A】半導体ダイを行及び列状に有する半導体ウエハを投影図で図示する。 10

【図 3 B】図 1 の配置とともに用いられる個々の半導体ダイを拡大図で図示する。

【 0 0 1 1 】

【図 4 A】或る配置に用いられ得る半導体デバイスパッケージを形成する際に選択される工程を断面図で図示する。

【図 4 B】或る配置に用いられ得る半導体デバイスパッケージを形成する際に選択される工程を断面図で図示する。

【図 4 C】或る配置に用いられ得る半導体デバイスパッケージを形成する際に選択される工程を断面図で図示する。

【図 4 D】或る配置に用いられ得る半導体デバイスパッケージを形成する際に選択される工程を断面図で図示する。 20

【図 4 E】或る配置に用いられ得る半導体デバイスパッケージを形成する際に選択される工程を断面図で図示する。

【図 4 F】或る配置に用いられ得る半導体デバイスパッケージを形成する際に選択される工程を断面図で図示する。

【図 4 G】図 4 A ~ 図 4 F の工程によって形成される完成した半導体デバイスパッケージを投影図で図示する。

【 0 0 1 2 】

【図 5 A】絶縁を有する半導体デバイスパッケージに対して高電圧絶縁テストを実施するテストハンドラのための配置を投影図で図示する。

【図 5 B】絶縁を有する半導体デバイスパッケージに対して高電圧絶縁テストを実施するテストハンドラのための配置を投影図で図示する。 30

【図 5 C】絶縁を有する半導体デバイスパッケージに対して高電圧絶縁テストを実施するテストハンドラのための配置を投影図で図示する。

【図 5 D】図 1 の配置に電圧を印加するための回路図を図示する。

【図 5 E】或る配置の付加的な細部を断面図で図示する。

【 0 0 1 3 】

【図 6 A】図 1 の配置を用いずに実施される高電圧テストを図示するシミュレーションの応力体積結果のグラフを図示し、異なる配置を用いて実施されるテストの応力体積について得られる結果を比較する。

【図 6 B】図 1 の配置を用いずに実施される高電圧テストを図示するシミュレーションの応力体積結果を、グラフ上の或る点において得られる値の、対応する表で図示し、異なる配置を用いて実施されるテストの応力体積について得られる結果を比較する。 40

【 0 0 1 4 】

【図 7 A】或る方法配置の工程をフローチャートで図示する。

【図 7 B】或る方法配置の工程をフローチャートで図示する。

【発明を実施するための形態】

【 0 0 1 5 】

異なる図における対応する数字及び記号は、特に明記しない限り、概して対応する部分を指す。図は必ずしも一定の縮尺で描かれているとは限らない。

【 0 0 1 6 】

本明細書において、要素が「結合される」と記載される。本明細書において用いられる場合、「結合される」という語は、直接接続される要素だけでなく、介在する要素やワイヤが介して電氣的に接続される要素も含む。

【0017】

本明細書において、「半導体ダイ」という用語が用いられている。本明細書において用いられる場合、半導体ダイは、バイポーラトランジスタなどの個別の半導体デバイス、単一の半導体ダイ上に共に製作される一対のパワーFETスイッチなどの幾つかの個別のデバイス、又は、A/Dコンバータにおける複数のコンデンサなどの複数の半導体デバイスを備えた集積回路であり得る。半導体ダイは、抵抗器、インダクタ、フィルタなどの受動デバイスを含むこともできるし、トランジスタなどの能動デバイスを含むこともできる。半導体ダイは、例えば、マイクロプロセッサやメモリデバイスなどの機能性回路を形成するために結合される数百又は数千のトランジスタを備えた集積回路であり得る。これらの配置において有用な電力応用例のための半導体ダイは、個別のパワートランジスタ、これらのパワートランジスタを動作させるためのゲートドライバ、電力回路要素を実装するために必要とされるコンデンサ、インダクタ、及び抵抗器などの受動部品、並びにシステムに信頼性及び制御を付加する突入電流センサなどの保護センサを含むインテリジェントパワーデバイスを含む。幾つかの応用例において、これらのデバイスは、異なる半導体材料によって製作され得、単一のデバイスパッケージに搭載される個別半導体ダイであり得る。例示の配置において、半導体ダイは、電流センサとして構成されるホール素子を含む。

10

【0018】

本明細書において、「半導体デバイスパッケージ」という用語が用いられる。半導体デバイスパッケージは、端子に電氣的に結合される少なくとも一つの半導体ダイと、半導体ダイを保護して覆うパッケージ本体とを有する。幾つかの配置において、複数の半導体ダイが共にパッケージ化され得る。例えば、パワー金属酸化物半導体(MOS)電界効果トランジスタ(FET)半導体ダイと、第2の半導体ダイ(ゲートドライバダイやコントローラデバイスダイなど)とが共にパッケージ化されて、単一のパッケージ化された電子デバイスが形成され得る。受動部品などの付加的な構成要素が、パッケージ化された電子デバイスに含まれ得る。半導体ダイは、導電性リードを提供するパッケージ基板に搭載され、導電性リードの一部が、パッケージ化された電子デバイスのための端子を形成する。半導体ダイは、アクティブデバイスの表面がパッケージ基板に向き、アクティブデバイスの裏面がパッケージ基板から離れる方向を向くようにパッケージ基板に搭載され得る。半導体デバイスパッケージは、成形プロセスにおいて熱硬化性エポキシ樹脂によって形成されるか、或いは室温で液体でありその後硬化されるエポキシ、プラスチック、又は樹脂を用いることによって形成される、パッケージ本体を有し得る。パッケージ本体は、パッケージ化された電子デバイスのための密閉パッケージを提供し得る。パッケージ本体は、封止プロセスを用いて金型内に形成され得るが、基板のリードの一部は封止中に覆われず、これらの露出するリード部分が半導体デバイスパッケージのための露出された端子を提供する。

20

30

【0019】

本明細書において、「パッケージ基板」という用語が用いられる。パッケージ基板は、完成した半導体デバイスパッケージにおいて、半導体ダイを受け取り、この半導体ダイを支持するように配置される基板である。パッケージ基板は、銅、アルミニウム、ステンレス鋼、鋼、及び合金42などの合金から形成され得る導電性リードフレームを含む。リードフレームは、半導体ダイを搭載するためのダイパッドと、ワイヤボンディング、リボンボンディング、又は他の導体を用いて半導体ダイ上のボンドパッドに結合する電気接続のためにダイパッドから離間されて配置される導電性リードとを含み得る。リードフレームは、ストリップ又はアレイ状に提供され得る。ダイは、ストリップ又はアレイ上に配置され得、ダイはパッケージ化されたデバイス毎にダイパッド上に配置され得、ダイ取り付け又はダイ接着剤を用いてダイをリードフレームのダイパッドに搭載し得る。ワイヤボンディングにより、半導体ダイ上のボンドパッドがリードフレームのリードに結合され得る。

40

50

ワイヤボンディングが適所に置かれた後、基板の一部と、ダイと、ダイパッドの少なくとも一部とが、モールドコンパウンドなどの保護材料で覆われ得る。完成したデバイスは、次いで、搭載された半導体ダイ間のモールドコンパウンド及びパッケージ基板を切断することによって、互いから取り外され得る。

【0020】

リードフレームは、めっき、打ち抜き、及び部分的にエッチングされたリードフレームを含み得る。部分的にエッチングされたリードフレームにおいて、金属リードフレームの一方の側から、次いで他方の側から、或るパターンをエッチングして、全厚部分と部分厚部分とを形成することによって、シート状の材料から二つのレベルの金属が形成され、一部の領域において、すべての金属をエッチングして、部分的にエッチングされたリードフレームに開口を形成し得る。めっき及びパターン化を繰り返すことによって、誘電体によって離間された導体の複数の層と、誘電体を介して導体層を接続する導電性ビアとを形成し得、誘電体はモールドコンパウンドとし得る。パッケージ基板は、導体を担持するテープベース及びフィルムベースの基板、セラミック基板、導体の複数の層及び絶縁体層を備えたラミネート基板や、セラミック、ガラスファイバ、又は樹脂のプリント回路基板や、難燃性4(FR4)などのガラス強化エポキシ基板とすることもできる。

10

【0021】

リード付きパッケージは、リードがパッケージ本体から離れるように延在し、基板にはんだ付けするための部分を形成するように整形される配置とともに用いられ得る。デュアルインラインパッケージ、すなわち「DIP」が、こういった配置とともに用いられ得る。或るサイズ仕様を満たす表面実装用のリードが配置された薄型DIPパッケージを、小型アウトライン集積回路又は「SOIC」パッケージと称することがある。

20

【0022】

本明細書において、「スペーサ誘電体」という用語が用いられている。スペーサ誘電体は、それに搭載されるデバイス間の電氣的絶縁を提供する絶縁層内にある。上述の配置に用いられるスペーサ誘電体は、難燃性4(FR4)、ガラス強化エポキシ又はファイバ基板、ビスマレイミドトリアジン(BT)樹脂、セラミック、他のエポキシ、樹脂、テープ、及びフィルムなどのプリント回路基板材料を含む。スペーサ誘電体は、層状誘電体材料の積層体とし得る。

【0023】

本明細書において、「テストハンドラ」という用語が用いられている。上述の配置において、テストハンドラは、半導体デバイスパッケージを受け取り、この半導体デバイスパッケージをテスト領域に搬送し、高電圧テストを実施し、半導体デバイスパッケージをテストから外部に搬送し得るテストである。上述の配置は、高電圧テストの間半導体デバイスパッケージの周囲の電界集中を管理するためのテストハンドラの要素を構成する。

30

【0024】

上述の配置において、半導体デバイスパッケージが、第2の部分から離間され電氣的に絶縁される第1の部分を有するパッケージ基板を含む。パッケージ基板は導電性リードフレームとし得る。導電性リードフレームの第1の部分は、第1のノードに結合される第1のリード(又はリードの第1のグループ)と、第2のノードに結合される第2のリード(又はリードの第2のグループ)とを含む。第1の部分は、第1ノードと第2のノードとの間で電流を搬送するための導電経路を含む。リードフレームの第1の部分のデバイス側部表面にスペーサ誘電体が搭載され、第1の部分は、デバイス側部表面の反対側の反対面を有する。半導体ダイがリードフレームの第1の部分から電氣的に絶縁されるように、電流センサを含む半導体ダイがスペーサ誘電体に搭載される。半導体ダイは、リードフレームの第1の部分の電流を搬送する部分に流れる電流により生じる磁界内に置かれるように配置される。一例において、半導体ダイは、電流センサとして構成されるホール素子を含む。半導体ダイ上のボンパッドとリードフレームの第2の部分にある第3のリードとの間で電氣的接続がなされる。モールドコンパウンドが、リードフレームの第1の部分及び第2の部分、スペーサ誘電体、並びに半導体ダイの少なくとも一部を覆い、第1のリード、

40

50

第 2 のリード、及び第 3 のリードは、モールドコンパウンドから露出されてパッケージ端子を形成する部分を含む。半導体デバイスパッケージ内のモールドコンパウンドの外にある導電性リードから形成される端子を含むリードフレームの第 1 の部分は、半導体ダイと、導電性リードから形成される端子を含むリードフレームの第 2 の部分とから、電氣的に絶縁される。

【 0 0 2 5 】

テストハンドラにおいて、リードフレームの第 1 の部分に、例えば数百ボルト又はキロボルト範囲の電圧である高電圧が印加される一方で、リードフレームの第 2 の部分は基準電位に保たれる。半導体デバイスパッケージの絶縁をテストするために、高電圧がリードフレームの第 1 の部分に印加されたときに、リードフレームの第 1 の部分と第 2 の部分の間に流れる電流が所定量未満であることを検証するために電流測定が行われ、それにより電氣的絶縁が確認される。

10

【 0 0 2 6 】

上述の配置において、例えば数百ボルトよりも大きな、高電圧がテストハンドラ内のリードフレームの第 1 の部分に結合されるときに生じる電界の集中を低減するための構造が形成される。例示のテストにおいて、300ボルトよりも大きな高電圧、或いは1kV、又は最大数千ボルトなどのより高い電圧が、導電性スラグを用いることによってリードフレームの第 1 の部分に結合される。半導体デバイスパッケージの本体を形成するモールドコンパウンドに接するように配置される一対のプランジャが、半導体デバイスパッケージの両側に配置され、これらのプランジャは、半導体デバイスパッケージに接しそれを保持する。一配置において、プランジャは、半導体デバイスパッケージのモールドコンパウンドに接する絶縁先端を備えた導電性プレート又はブレードを含み、例えば、プランジャは重合体の先端を備えた銅プレート又は銅ブレードとし得る。高電圧テストの間、リードフレームの第 1 の部分のリードによって形成される端子の両側に接するように配置される一対の導電性スラグが高電圧に置かれる。プランジャの導電性ブレードは、高電圧の約半分に相当する電圧に置かれ、一方、別のスラグ対が、高電圧よりも低い接地電位又は基準電位にあるリードフレームの第 2 の部分のリードによって形成される半導体デバイスパッケージの端子に接する。プランジャの導電性部分に、半導体デバイスパッケージの端子間に印加される高電圧の半分に等しい又はほぼ半分に等しい電圧をかけることによって、テストハンドラ内の電界が管理され、半導体デバイスパッケージの周囲及び半導体デバイスパッケージ内の電界集中が分散されて、高電界集中が低減又は防止され、高電圧テストが実施されるときに半導体デバイスパッケージ周囲の空気中の絶縁破壊によるアークが防止される。アークは誤ったテスト結果を生じさせる電流を搬送し得、それにより半導体デバイスパッケージが損傷し得る。

20

30

【 0 0 2 7 】

図 1 は、或る配置に用いられ得る一例の半導体デバイスパッケージである半導体デバイスパッケージ 100 の回路ブロック図である。例示の半導体デバイスパッケージ 100 はホール電流センサである。例えば絶縁を有する変圧器を用いるデバイスのための、他の回路を上述の配置において用いることが可能である。高電圧信号での電流検知に加えて、半導体デバイスパッケージにおける絶縁の付加的な応答例には、個別の接地電位における電圧レジームにわたる電力伝送や、例えば、異なる電圧電位において動作する送受信機デバイス間の絶縁された信号送出における、通信が含まれる。交流 (AC) 絶縁、DC-DC コンバータ、負荷保護回路要素を含む電源回路要素が上述の配置とともに用いられ得る。上述の配置は、半導体デバイスパッケージにおける絶縁を検証するための高電圧テストを提供し、電氣的絶縁を含む多くのデバイスとともに用いられ得る。

40

【 0 0 2 8 】

図 1 において、入力 I_{N+} が、第 1 のノードに結合され得、「I」と標示される電流を担持する信号を受け取り得、例えば、 I_{N+} のノードは高電圧信号又は電圧源に結合され得、出力 I_{N-} が第 2 のノードに結合され得、出力 I_{N-} は電流 I を出力する。半導体デバイスパッケージ 100 内の半導体ダイ 103 が、ホール素子 101 を含む。ホール素子

50

101を制御及び監視するために必要とされる回路要素が提供され、この回路要素は、ホール素子バイアス回路107、温度補償及びオフセットキャンセル回路113、精密増幅器109、並びに出力増幅器111を含む。

【0029】

動作において、出力増幅器111は、電流Iの大きさに対応する、又は電流Iの変化に応じて変化する、出力VOUTを駆動する。電流Iにより生じる磁界が、ホール素子101によって感知され、磁界の大きさに対応する電圧VOUTが、半導体ダイ103によって出力される。或るシステムにおいて、キャリブレーション方式を用いて、出力VOUTに現れる電圧から電流Iの値を決定し得る。絶縁障壁112が示されており、絶縁障壁112は、電流Iによる磁界内に半導体ダイ103を搭載するために絶縁された部分を備えたパッケージ基板を用いることによって形成され、一方で、半導体ダイを、電流Iが供給される入力IN+及び出力IN-から電氣的に絶縁されるように維持する。半導体ダイ103は、端子IN+に印加される高電圧に耐えられない材料であり得、シリコンからつくることができ、5ボルト又はそれ以下などの低電圧で動作し得る。これにより、電流センサのコストが低減され、従来半導体処理を用いて半導体ダイ103を形成することができる。

【0030】

図2Aは、或る配置とともに用いられる半導体デバイスパッケージ200を投影図で示す。ここでは導電性リードフレームであるパッケージ基板231が、複数のリードを有する第1の部分227と、複数のリードを有する第2の部分229とを備えるように示されており、第1の部分227及び第2の部分229は離間され、互いから電氣的に絶縁される。図1の半導体ダイ103に類似する、ホール素子を含み得る半導体ダイ203が、スペーサ誘電体205に搭載され、スペーサ誘電体205は、パッケージ基板231の第1の部分227に搭載される。このように、半導体ダイ203は、パッケージ基板231の第1の部分227の近くにあるが、第1の部分227から電氣的に絶縁されている。パッケージ基板231の第2の部分229は、図2Aに示すように、半導体ダイ203と第2の部分229のリードとの間の電氣的接続によって半導体ダイ203に電氣的に接続される。この例において、電気接続はボンディングワイヤ235であるが、別の配置において、リボンボンディングを用いることもできる。半導体ダイ203と、スペーサ誘電体205と、ボンディングワイヤ235と、パッケージ基板231の一部とが、パッケージ本体を形成するモールドコンパウンド221で覆われる。スペーサ誘電体205は、リードフレームの第1の部分227を越えて延在する部分を有し、半導体ダイ203は、スペーサ誘電体205を越えて延在するボンドパッドを含む部分を有する。

【0031】

パッケージ基板231の第1の部分227は、絶縁体であるスペーサ誘電体205と、スペーサ誘電体205を第1の部分227に搭載するために用いられるダイ取り付け材料と、半導体ダイ203をスペーサ誘電体205に搭載するために用いられるダイ取り付けとによって、半導体ダイ203から絶縁される。パッケージ基板は導電性金属のリードフレームとし得、有用な例として、銅、金、合金42、アルミニウム、ステンレス鋼、鋼、及びそれらの合金が挙げられる。幾つかの例において、銅リードフレームを用いることができ、その厚さは約0.1~0.4ミリメートルとし得る。導電性リードフレームは、導電性材料のシートを打ち抜き又はエッチングして、導電性リードや、ダイパッドや、低抵抗導電経路のための固体部分を形成したり、モールドコンパウンド係止部を形成してリードフレーム特徴へのモールドコンパウンドの接着性を高める強度、窪み、穴、開口、及びスロットを付加したりすることによって形成され得る。

【0032】

図2Bは、図2Aの特徴を別の投影図、部分的な図で、より詳細に図示する。図2Bにおいて、パッケージ基板231の第1の部分227は、電流Iを受け取るように結合される第1のリード又はリードの第1のグループ224を有し、例えば、リード224は、数百ボルト、1キロボルト、又は数千ボルトよりも大きな、高電圧信号又は高電圧源に結

10

20

30

40

50

合され得る。第2のリードのセット226が、第2のノードに電流Iを出力するように構成される。電流Iは第1の部分227の電流感知部分239を介して流れ、電流Iは半導体ダイ203の一部を超えて搬送される。スペーサ誘電体205は、デバイス側部表面上のパッケージ基板231の第1の部分227に搭載される。半導体ダイは、第1の部分227とは反対側のスペーサ誘電体205に搭載される。リードフレームの第1の部分227は、第1のリード224と第2のリード226との間で電流Iを搬送するように結合される電流感知部分239を有する。半導体ダイ203の一部が、電流感知部分239の下にあり、電流感知部分239内の電流Iによって生成される磁界内に配置される。スペーサ誘電体205と、スペーサ誘電体205をパッケージ基板231の第1の部分227に接続するダイ取り付け材料と、半導体ダイ203をスペーサ誘電体205に接続するダイ取り付けは、共に、半導体ダイ203と第1の部分227との間の電氣的絶縁を提供する。パッケージ基板231の第2の部分229は、ボンディングワイヤ235によって半導体ダイ203に電氣的に接続される。半導体ダイ203のボンドパッドは、ボンドパッドがスペーサ誘電体205から露出されるように半導体ダイ203を搭載することによってスペーサ誘電体205から露出されて、半導体ダイ203の一部のみがスペーサ誘電体205によって覆われるようにする。

10

【0033】

第1の部分227の電流感知部分239は、スペーサ誘電体205の上に示されており、半導体ダイ203は、電流感知部分239と整合される部分(図2Bには現れていない部分)を有し、そのため、半導体ダイ203は、電流感知部分239を介して流れる電流Iにより生じる磁界に晒される。電流感知部分239は、半導体ダイ203を超えて電流Iを搬送する導体である。上述の構成において、半導体ダイ203は、磁界内の半導体ダイ内にホール素子を置くように配置されて、電流Iによる磁界を感知し得る。

20

【0034】

図2Cは、或る態様をよりよく図示するために半導体デバイスパッケージ200を平面図で示している。図2Cにおいて、リードフレームの第1の部分227は、第1のリード又はリードの第1のグループ224と、第2のリード又はリードの第2のグループ226と、を含む。第1のリード224は、第1のノードから得る電流Iを受け取り、電流Iは、数百ボルトよりも大きな、1kVよりも大きい最大数千ボルトの高電圧信号であり得、第2のリード又は第2のリードのグループ226は、第2のノードに結合されて電流Iを出力するように配置される。電流感知部分239は、第1のリード224と第2のリード226との間に結合されており、スペーサ誘電体205の上及び半導体ダイ203の一部の上に配置される。リードフレームの第1の部分227を介して流れる電流Iによる磁界が半導体ダイ203内のホール素子電流センサに達するように、半導体ダイ203の一部が、電流感知部分239と整合される。リードフレームの第2の部分229は、ボンドワイヤ235によって半導体ダイ上のボンドパッドに結合される。モールドコンパウンド221は、半導体ダイ203と、スペーサ誘電体205と、ボンドワイヤ235とを覆い、第1の部分227及び第2の部分229を含むリードフレームを部分的に覆う一方で、リードフレームのリードがモールドコンパウンド221から露出されている。

30

【0035】

図2Dは、半導体デバイスパッケージ200の断面図を示し、半導体デバイスパッケージ200は、パッケージ本体を形成するモールドコンパウンド221と、モールドコンパウンド221から延在するリードを含む第1の部分227と、モールドコンパウンド221から延在するリードを含むパッケージ基板の第2の部分229と、を備える。スペーサ誘電体205は、第1の部分227から半導体ダイ203を離間させる。半導体ダイ203は、ボンドパッド208を含み、ボンドワイヤ235はボンドパッド208をパッケージ基板の第2の部分229のリードに結合する。第2の部分229及び半導体ダイ203は、パッケージ基板の、銅、アルミニウム、鋼、ステンレス鋼、又は合金42などの合金の金属リードフレームとし得る第1の部分227から電氣的に絶縁される。スペーサ誘電体205及びモールドコンパウンド221は、第1の部分227と半導体ダイ203との

40

50

間に絶縁障壁を形成するために用いられる。

【0036】

図3A～図3Bは、半導体ダイ303が行及び列状に形成される半導体ウエハ301を、半導体ウエハから分離された後の単位半導体ダイ303とともに投影図で示す。図3Aにおいて、半導体ウエハ301上に半導体ダイ303が形成されている。スクライプレン306及び307が、半導体ダイ303間のウエハ301を横切って走っており、スクライプラインは、平行なグループで互いに直交している。半導体ダイ303は、スクライプレン306、307に沿って機械的にソーイングすることによって、又はレーザーを用いてスクライプレンにおいてウエハに刻み目を入れ、刻まれた線に沿って半導体ウエハ301を破断することによって、互いから分離され得る。図3Bは、或る配置に用いられ得る半導体ダイ303を拡大図で図示する。ボンドパッド308が半導体ダイ303のデバイス表面上に形成される。ボンドパッド308は、半導体ダイ303内に形成される回路要素(図示せず)に電氣的に結合される。

10

【0037】

図4A～図4Fは、或る配置に用いられる半導体ダイを形成するための工程を一連の断面図で図示する。図4Aにおいて、半導体ウエハ401が断面で示されており、半導体ウエハ401の上に半導体ダイ403が形成され、半導体ダイ403間にスクライプレン406が示されている。図3A～図3Bに示すように、半導体ダイは、406などのダイ間のスクライプレンに沿って個片化することによってウエハから除去され得る。

【0038】

図4Bは、パッケージ基板431を別の断面図で図示し、パッケージ基板431は、導電性リードフレームとし得、第1の部分427及び第2の部分429を有する。第1の部分427及び第2の部分429は、完成した半導体デバイスパッケージのための端子を形成することになる導電性リード(この断面図には現れてないリード)を含む。

20

【0039】

図4Cは、付加的な処理工程後の図4Bのパッケージ基板431を図示する別の断面図である。図4Cにおいて、パッケージ基板431の第1の部分427のデバイス側部表面にスペーサ誘電体405が搭載される。スペーサ誘電体405は、絶縁体であり、FR4やBT樹脂などのプリント基板材料であり得る。付加的な代替の配置において、スペーサ誘電体405は、ガラス、プラスチック、グラスファイバ、樹脂、エポキシ、半導体基板、又は他の絶縁材料とし得る。

30

【0040】

図4Dは、付加的な処理工程後の図4Cの配置を図示する別の断面図である。図4Aの半導体ウエハ401からの半導体ダイ403が、第1の部分427に搭載されるスペーサ誘電体の表面とは反対の表面上のスペーサ誘電体405に搭載されるように示されており、そのため、スペーサ誘電体は、第1の部分427、パッケージ基板431、及び半導体ダイ403の間に配置される。半導体ダイ403は、スペーサ誘電体405によってパッケージ基板431の導電性の第1の部分427から電氣的に絶縁される。半導体ダイ403は、非導電性ダイ取り付けフィルム、テープ、ペースト、又はエポキシとし得るダイ取り付け材料を用いて搭載される。半導体ダイ403は、半導体ダイ403のデバイス側部表面上のボンドパッド408が、第1の部分427と第2の部分429との間の空間の上にあるように配置され、半導体ダイ403はこの空間の上で片持ちにされる。半導体ダイ403は、「表」側に搭載され、スペーサ誘電体405に搭載される「フリップチップ」と称し得る。ボンドパッド408は、第1の部分427と第2の部分429との間の空間に配置される。

40

【0041】

図4Eは、付加的な処理工程後の図4Dのパッケージ基板431を別の断面図で図示する。図4Eにおいて、ワイヤボンディングが分かりやすいように、図4Dのプロセス後に要素が反転されて示されている。ボンドワイヤ435が、ボンドパッド408上のボンドボールからパッケージ基板431の第2の部分429上のステッチボンドまで延在する。

50

ボンドワイヤ 435 は、パッケージ基板 431 の第 1 の部分 427 と第 2 の部分 429 との間の空間を介して延在する。ボンドワイヤ 435 は、半導体ダイ 403 を、導電性リードフレームとし得るパッケージ基板 431 の第 2 の部分 429 に電氣的に結合する。例示のプロセスにおいて、ワイヤボンディングツールは、ボンドワイヤが貫通するキャピラリを有する。ボンドワイヤの露出された端部に火炎又は他の熱を加えることによって、キャピラリから延在するワイヤの端部にボールが形成される。ボールは半導体ダイ 403 のボンドパッド 408 上に配置され、ボールボンドが、超音波、機械又は熱エネルギー、或いはこれらの組み合わせを用いて形成される。キャピラリがボンドパッドから離れる方向に動されると、ワイヤが延びて円弧又は曲線形状を形成する。ボンドワイヤは、第 2 の部分 429 におけるリードフレーム上の導電性ランド又はリードに接するように置かれ、機械的圧力、熱エネルギー、超音波エネルギー、又はこれらの組み合わせを用いてステッチボンドが形成される。ボンドワイヤは、次いで破断又は溶解されてワイヤボンドが完成され、このプロセスを繰り返す。半導体デバイスパッケージ 400 において、半導体ダイ 403 は第 1 の部分 427 から電氣的に絶縁され、一方、半導体ダイ 403 は、第 1 の部分 427 に流れる電流によって生じる磁界が半導体ダイ 403 内に形成されるホール素子によって感知され得るように、配置される。

【0042】

図 4 F は、成形プロセス後の図 4 E に示す要素を別の断面で図示する。図 4 F において、モールドコンパウンド 421 が、半導体ダイ 403 と、ボンドワイヤ 435 と、スペーサ誘電体 405 と、パッケージ基板 431 の第 1 の部分 427 の一部と、第 2 の部分 429 の一部とを覆う。第 1 の部分 427 及び第 2 の部分 429 の一部は、覆われておらず、半導体デバイスパッケージ 400 のための端子を形成する。モールドコンパウンド 421 は、熱硬化性エポキシ樹脂モールドコンパウンドとし得る。モールドコンパウンド 421 は、プラスチック、エポキシ、又は樹脂とし得る。モールドコンパウンド 421 は、ブロック成形動作により形成することができ、又は、トランスファー成形プロセスによるユニット成形により形成することもできる。例示のプロセスにおいて、パック又は粉末の固体成形熱硬化性モールドコンパウンドが、加熱されて液体状態になり、その後、圧力によってランナーを介して金型内に移され、そこにパッケージ基板 431 が置かれる。液体モールドコンパウンドは、金型を充填し、半導体ダイ 403 と、ボンドワイヤ 435 と、スペーサ誘電体 405 と、パッケージ基板 431 の第 1 の部分 427 及び第 2 の部分 429 を形成するリードの一部とを覆う。モールドコンパウンドは、冷却されて硬化し得、半導体デバイスパッケージ 400 の固体本体を形成する。室温モールドコンパウンド、又は樹脂や液体エポキシなどの誘電体を用いることができる。或る製作例において、単位リードフレームのストリップ又はアレイが同時に成形され、次いで、成形されたデバイス間のソーイング路に沿ってパッケージ基板を切断することによって、個々のデバイスが互いから分離される。

【0043】

図 4 G は、トリミング及び形成動作により処理が完了した後の図 4 F の半導体デバイスパッケージ 400 を投影図で示す。パッケージ基板の第 1 の部分 427 は、リード 424 及び 426 を含み、これらは、例えば図 1 に示すように、入力 IN+ 及び出力 IN- を形成するようにグループ化され得る。リード 424 及び 426 は、上述のプロセスの間の支持のためにリードを接続する任意の支持タイバーを除去するようにトリミングされ、リード 424 及び 426 は、半導体デバイスパッケージ 400 を表面実装するための端子を形成するように整形される。「トリムフォーム」ツールを用いてこれらの工程を実施し得る。モールドコンパウンド 421 は、半導体ダイ 403 及びスペーサ誘電体 405 を保護するパッケージ本体を形成する（図 4 F 参照）。

【0044】

本明細書にその全体が参照により組み込まれる、米国特許公開番号 2021/0231729 A 1、発明の名称「高電圧集積回路テストインターフェースアセンブリ」の米国特許公開番号 2021/0231729 A 1 は、半導体デバイスパッケージに対して高電圧

テストを実施するためのテストアセンブリを開示している。上述の配置において、半導体デバイスパッケージの高電圧テストを実施するためのテストハンドラが配置される。

【特許文献1】米国特許公開番号2021/0231729A1

【0045】

図5A～図5Cは、テストハンドラの一部と、テストハンドラに搭載される半導体デバイスパッケージと、を投影図で図示し、異なる配置の特徴を示す。図5Aにおいて、半導体デバイスパッケージ400が、モールドコンパウンド421の本体と、モールドコンパウンド421から延在して端子を形成するリードを含むパッケージ基板の第1の部分427と、モールドコンパウンド421から延在して付加的な端子を形成するリードを含むパッケージ基板の第2の部分429と、を有する。第1の導電性スラグ531及び第2の導電性スラグ532が、第1の部分427のリードの両側に接するように配置され、第3の導電性スラグ533及び第4の導電性スラグ534が、第2の部分429のリードの両側に接するように配置される。第1のブランジャ541が、導電性ブレード542及び先端543を有し、ブレード542は、銅又はアルミニウムなどの導電性材料であり、先端543は絶縁体である。例示の配置において、先端543は、ポリエーテルイミド、ポリイミド、シリコンゴム、及び/又はこれらの発泡体を含む、低誘電率の重合体とし得る。例示の配置において、誘電率1.0のプラスチック発泡体が、厚さ100ミクロン、高さ約1ミリメートルの先端543として用いられる。ブレード542は、銅、アルミニウム、鋼、ステンレス鋼、又はこれらの合金などの導電性金属の金属プレートとし得る。

10

【0046】

第2のブランジャ551が、半導体デバイスパッケージ400の下に示されており、ブレード552及び先端553を含む。第1のブランジャ541及び第2のブランジャ551は、半導体デバイスパッケージ400の頂部表面及び底部表面など、半導体デバイスパッケージの反対の側部上で半導体デバイスパッケージ400のモールドコンパウンド421と移動可能に接するように配置される。

20

【0047】

動作において、導電性スラグ531及び導電性スラグ532は、半導体デバイスパッケージ400の第1の部分427のリードにおいて300ボルトよりも大きな高電圧をかける導体に結合される。例示のテストにおいて、高電圧は4kVrmsであるが、他の電圧も用いられ得る。或るテスト配置において用いられる高電圧は、そのデバイスの定格電圧を安全マージンだけ超えるように選択され、定格電圧は現場で用いられる電圧に対応する。第1のブランジャ541のブレード542及び第2のブランジャ551のブレード552は、高電圧の約二分の一の電圧、例えば2kVrmsに置かれる。第3の導電性スラグ533及び第4の導電性スラグ534は接地される。導電性ブレード542、552は、高電圧と接地の中間電圧にあり、導電性ブレード542、552が半導体デバイスパッケージ400の中間であり、第1及び第2の導電性スラグ531、532と第3及び第4の導電性スラグ533、534との間にあるため、第1及び第2の導電性スラグにおける高電圧による電界集中が分散され、高電界集中が低減又は排除され、高電圧テストの間の半導体デバイスパッケージの周囲の空気中のアークが防止される。高電圧テストは、半導体デバイスパッケージ400の第1の部分427及び半導体デバイスパッケージ400の第2の部分429が、半導体デバイスパッケージの定格が設定される電圧において電氣的に絶縁されていることを確認するために用いられる。

30

40

【0048】

上述の配置を用いると、高電圧がかかる導電性スラグ531、532と、接地された導電性スラグ533、534と、の間の高電界集中による空気中のアークを防ぐことができる。高電圧テストを実施するとき、良好な半導体デバイスパッケージは、パッケージ基板の第1の部分427とパッケージ基板の第2の部分429との間に電流を流さず、このことは導電性スラグ間の電流を測定することによって確認され得る。デバイスの定格電圧よりも大きな所定の高電圧において電流が検出される場合、テスト対象デバイスの絶縁は不十分であり、すなわち、デバイスは高電圧テストに不合格となる。典型的には、高電圧は

50

、所望とされる定格電圧の 1.3 ~ 1.5 倍大きい電圧である。或る特定の例の場合、4 kV r m s のテスト電圧が高電圧テストにおいて用いられる。テスト中に高電圧テストハンドラにおけるスラグ間でアークが生じると、アーク電流が、半導体デバイスパッケージの絶縁された部分間の電流フローとして誤って現れ、不適切なテスト結果となり得る。上述の配置を用いることにより、テスト内及び半導体デバイスパッケージ内の高電界集中によるアークが防止又は軽減され得る。一例において、図 5 A の重合体の先端 5 4 3、5 5 3 は、誘電率が約 1.0 のプラスチック発泡体である。付加的な例示の配置において、重合体の先端 5 4 3、5 5 3 は、誘電率が約 3.2 のシリコーンゴムである。

【0049】

図 5 B は、絶縁された半導体デバイスパッケージをテストするための代替の配置を投影図で図示する。図 5 B において、半導体デバイスパッケージ 4 0 0 が、モールドコンパウンド 4 2 1 が本体を形成し、パッケージ基板の第 1 の部分 4 2 7 及び第 2 の部分 4 2 9 のリードがモールドコンパウンド 4 2 1 から延在する状態で示されている。第 1 及び第 2 の導電性スラグ 5 3 1 及び 5 3 2 は第 1 の部分 4 2 7 のリードに接し、第 3 及び第 4 のスラグ 5 3 3 及び 5 3 4 は第 2 の部分 4 2 9 のリードに接する。プランジャ 5 6 1 が半導体デバイスパッケージ 4 0 0 の頂部に接し、プランジャ 5 7 1 が半導体デバイスパッケージの底部に接し、プランジャ 5 6 1 及び 5 7 1 は、スラグ 5 3 1、5 3 2 とスラグ 5 3 3、5 3 4 との間の開口に配置される。半導体デバイスパッケージ 4 0 0 の頂部（図 5 B における向き）に接するプランジャ 5 6 1 は、幾つかの導電性プレート又はブレードを含み、各プレート又はブレードは、モールドコンパウンド 4 2 1 に接する重合体の先端を備え、例示の配置において、先端はプラスチック発泡体でできている。付加的な有用な例において、重合体の先端は、ポリエーテルイミド、ポリイミド、シリコーンゴム、及び/又は、それらの発泡体を含む、低誘電率材料からつくられ得る。図 5 B に図示する配置において、プランジャ 5 7 1 は、半導体デバイスパッケージ 4 0 0 のモールドコンパウンド 4 2 1 の底部に接し、4 つの先端 5 7 3、及び共に結合される導体材料 5 7 2 の 4 つの対応するブレード又はプレートも有する。プランジャ 5 6 1 及び 5 7 1 は、銅、銅合金、鋼、ステンレス鋼、アルミニウム、又はこれらの合金のブレードを有し得る。これらの先端は、例えば、厚さを約 100 ミクロン、高さを約 1 ミリメートルとし得る。プランジャはモールドコンパウンドに接する。プランジャは様々な寸法を有し得、或る例において、プランジャの高さ及び幅は数ミリメートル、厚さは約 100 ミクロン又はそれ以上とし得る。プランジャは様々な寸法を有し得、或る例において、プランジャの高さ及び幅は数ミリメートル、厚さは約 100 ミクロン又はそれ以上とし得る。ブレードのスロット又はノッチが、プランジャの重合体の先端を保持し得る。

【0050】

図 5 C は、絶縁された半導体デバイスパッケージをテストするための別の代替の配置を投影図で図示する。図 5 C において、半導体デバイスパッケージ 4 0 0 はこの場合も、モールドコンパウンド 4 2 1 が本体を形成し、パッケージ基板の第 1 の部分 4 2 7 及び第 2 の部分 4 2 9 のリードがモールドコンパウンド 4 2 1 から延在する状態で示されている。第 1 及び第 2 の導電性スラグ 5 3 1 及び 5 3 2 は第 1 の部分 4 2 7 のリードに接し、第 3 及び第 4 のスラグ 5 3 3 及び 5 3 4 は第 2 の部分 4 2 9 のリードに接する。プランジャ 5 8 1 が半導体デバイスパッケージ 4 0 0 の頂部に接し、プランジャ 5 9 1 が半導体デバイスパッケージの底部に接しており、プランジャ 5 8 1 及び 5 9 1 は、スラグ 5 3 1、5 3 2 とスラグ 5 3 3、5 3 4 との間の開口に配置される。半導体デバイスパッケージ 4 0 0 の頂部（図 5 B における向き）に接するプランジャ 5 8 1 は、幾つかの導電性プレート又はブレードを含み、プレート又はブレードは、モールドコンパウンド 4 2 1 に接する重合体の先端を備え、例示の配置において、重合体の先端はプラスチック発泡体でできている。また、重合体の先端は導電性先端 5 8 4 を含む。付加的な有用な例において、重合体の先端は、ポリエーテルイミド、ポリイミド、シリコーンゴム、及び/又は、それらの発泡体を含む、低誘電率材料からつくられ得る。図 5 C に図示する配置において、プランジャ 5 9 1 は、半導体デバイスパッケージ 4 0 0 のモールドコンパウンド 4 2 1 の底部に接し

、4つの先端593、及び共に結合される導体材料572の対応するブレード又はプレートも有する。また、プランジャ592は導電性先端594を有し、導電性先端は、銅、アルミニウム、又は他の導体でつくられ得る。導電性先端は、例えば、厚さを約100ミクロン、高さを約1ミリメートルとし得る。プランジャの先端はモールドコンパウンドに接する。

【0051】

或る高電圧絶縁テストにおいて、スラグが第1の部分427のリードに接する一方で、第1のスラグ531及び第2のスラグ532に300ボルトよりも大きな高電圧が印加される。高電圧テスト中、半導体デバイスパッケージ400の第2の部分429のリードに接する第3のスラグ及び第4のスラグ533、534は接地され、プランジャ581、591の導電性ブレード又はプレート582、592は高電圧の約半分に置かれる。高電圧絶縁テストの間半導体デバイスパッケージに接するプランジャに高電圧の約半分の電圧を印加することにより、テストハンドラ内の半導体デバイスパッケージ400の周囲に電界が分散され、高電界集中が回避される。絶縁破壊に起因する高電圧におけるスラグと接地におけるスラグとの間で生じ得るアークが防止される。

10

【0052】

図5Dは、テストハンドラの配置のための一つの回路を電気回路図で図示する。図5Dにおいて、第1の導電性スラグ531及び第2の導電性スラグ532は高電圧HV+に結合され、1kV、2kVなど、300ボルト又はそれ以上の高電圧に結合され得る。例示のテストにおいて、4kVrmsの高電圧が用いられる。第3の導電性スラグ533及び第4の導電性スラグ534は接地に結合される。

20

【0053】

上述の配置において、図5A～図5Cに示すように半導体デバイスパッケージの頂部表面に接するように配置されるプランジャ541と、図5A～図5Cに示すように半導体デバイスパッケージの底部表面に接するように配置されるプランジャ551に、HV+/2、すなわち、高電圧の約半分の電圧が印加される。図示の例において、容量性電圧分割器を用いて電圧が分割される。プランジャ541は第1のコンデンサC1及び第2のコンデンサC2に結合され、プランジャ551は第3のコンデンサC3及び第4のコンデンサC4に結合される。コンデンサC1～C4のそれぞれの静電容量を同じにすることによって、プランジャ541、551が結合されるコンデンサ間のノードにおいて高電圧HV+が半分に分割される。高電圧HV+の半分に相当する電圧をプランジャに供給する他の回路要素を用いて、付加的な配置を形成し得る。

30

【0054】

図5Eは、プランジャ541、551に電圧HV+/2を提供するためにテストハンドラにおいて用いるように適合された電圧分割器の例示の配置を図示する。第1の導電性スラグ531及び第2の導電性スラグ532が、テストの間、高電圧を受け取るために、HV+と標示される高電圧入力に結合される。半導体デバイスパッケージ400が、第1の導電性スラグ531及び第2の導電性スラグ532が半導体デバイスパッケージ400のリードフレームの第1の部分427のリードに接する状態で、テストハンドラ内に示されている。半導体デバイスパッケージ400のリードフレームの第2の部分429のリードには、接地又は電圧基準に結合可能な入力に結合された第3の導電性スラグ533及び第4の導電性スラグ524が接する。第1のフレーム535が、第1の導電性スラグ531と第1のプランジャ541の導電性プレート542との間に結合されるコンデンサC1を担持する。第2のフレーム537が、第1のプランジャ541の導電性プレート542と第3の導電性スラグ533との間に結合される第2のコンデンサC2を担持する。第3のフレーム536が、第2の導電性スラグ532と第2のプランジャ551の導電性プレート552との間に結合されるコンデンサC3を担持する。第4のフレーム538が、第2のプランジャ551の導電性プレート552と第4の導電性スラグ534との間に結合される第4のコンデンサC4を担持する。コンデンサC1及びC2は、第1の導電性スラグ531における電圧を半分に分割し、この電圧(およそHV+/2)は、第1のプランジャ

40

50

5 4 1 に結合される。第 1 のフレーム 5 3 5 及び第 2 のフレーム 5 3 7 は、コンデンサ C 1、C 2、第 1 の導電性スラグ 5 3 1、第 3 の導電性スラグ 5 3 3、及び第 1 のプランジャ 5 4 1 を担持し、共に移動されて、半導体デバイスパッケージ 4 0 0 をテストハンドラに投入したり、テストハンドラから取り出したりし得る。第 3 のフレーム 5 3 6 及び第 4 のフレーム 5 3 8 は、コンデンサ C 3、C 4、第 2 の導電性スラグ 5 3 2、第 4 の導電性スラグ 5 3 4、及び第 2 のプランジャ 5 5 1 を担持し、これらのフレーム及びこれらに搭載される他の要素は、共に移動されて、半導体デバイスパッケージ 4 0 0 をテストハンドラに投入したり、テストハンドラから取り出したりし得る。コンデンサ C 3 及び C 4 は、第 2 の導電性スラグ 5 3 2 における電圧 $HV+$ を半分に分割し、この電圧 (約 $HV+ / 2$) が第 2 のプランジャ 5 5 1 に結合される。フレーム 5 3 5、5 3 7、5 3 6、5 3 8 は、銅又はステンレス鋼などの導電性金属からつくることができ、上記のようにコンデンサを結合することができ、或いは、配線を用いて上記のようにコンデンサを結合することができ、フレームは十分な強度の任意の材料でつくることができる。テストハンドラのフレームは、半導体デバイスパッケージ 4 0 0 を導電性スラグ間に搭載することができるように移動し得、次いで、導電性スラグは、図に示すように、第 1 のプランジャ 5 4 1 及び第 2 のプランジャ 5 5 2 の先端 5 4 3 及び 5 5 3 がモールドコンパウンド 4 2 1 に接した状態で、リードフレームのリードに接するように配置され得る。高電圧テストの間、電圧 $HV+ / 2$ はプランジャの導電性プレート 5 4 2、5 5 2 に結合され、半導体デバイスパッケージ 4 0 0 全体にわたって電界を分散し、そうでない場合に、要素間の空気中において電界が破壊されたときに生じ得る高電界集中及びアークを回避する。

【 0 0 5 5 】

図 6 A はグラフを用いて、図 6 B は対応する表を用いて、異なる配置について得られる立方メートル [m^3] を単位とした応力体積 S_v を示す有限要素解析シミュレータからのシミュレーション結果を図示し、上述の配置を用いないテストハンドラと比較している。図 6 A は、縦スケールが応力体積 S_v 、横スケールがマイクロン当たりのボルト [$V / \mu m$] で示される電界 E のグラフである。「従来の手法」と標示されるプロットは、上述の配置を用いないテストハンドラに対応し、ケース 1 のプロットは、シリコーンゴム絶縁先端を備えた単一ブレードプランジャ (図 5 A におけるものなど) に対応し、ケース 2 のプロットは、重合体の発泡体先端を備えた単一ブレードプランジャ (図 5 A におけるものなど) に対応し、ケース 3 は、絶縁先端を備えた四つのブレードを備えたプランジャ (図 5 B におけるものなど) に対応し、ケース 4 は、四つの絶縁ブレード及び金属ブレード (図 5 C におけるものなど) に対応する。矢印は、電界 E が $3 V / \mu m$ である水平軸上の点を示す。この点において得られるデータが図 6 B の表に示されている。

【 0 0 5 6 】

図 6 B において、表は、電界 E が $3 V / \mu m$ である点 (図 6 A の下向き矢印参照) における図 6 A のプロットの応力体積 S_v を示す。「従来の手法」と標示される最初の行において、上述の配置を用いない場合、従来の手法のテストハンドラは、75.59 の応力体積 S_v を示した。この表において、「ケース 1 - 単一ブレード、誘電率 3.2」と標示される 2 行目は、シリコーンゴム先端材料を用いる図 5 A の配置を図示し、応力体積 S_v は 9.43 であり、従来の手法よりも改善されている。「ケース 2 重合体を備えた単一ブレード、誘電率 1.0」と標示される 3 行目は、図 5 A の配置などの配置を図示し、単一ブレード絶縁先端は低誘電率のプラスチック発泡体でできている。得られた応力体積 S_v は 2.94 であり、配置としては最高の性能であった。残りの行であるケース 3 及びケース 4 は、複数のブレード上の複数の先端である図 5 B の配置と、誘電率 2.1 の先端及び半導体パッケージのモールドコンパウンドに接する導電性先端を備えた複数のブレードである図 5 C の配置の性能を図示する。これらの配置により、応力体積 S_v は従来の手法よりも改善されたが、ケース 1 及びケース 2 の単一ブレード配置よりも改善度合いは低かった。単一ブレードと、誘電率が約 1.0 のプラスチック発泡体の単一重合体の先端と、を備えた図 5 A の配置は、例示される配置の中では好適であり、図 6 B の表に示すように、従来の手法に比べて約 96% の減少という大幅な性能の向上を示す。ただし、図示する各

例は、従来の手法よりも性能が向上した。

【 0 0 5 7 】

図 7 A ~ 図 7 B は、半導体デバイスを製造するための方法配置をフローチャートで図示する。工程 7 0 1 において、導電性リードフレームとし得るパッケージ基板が形成され、このパッケージ基板は、互いに離間され電氣的に絶縁される第 1 の部分及び第 2 の部分を有し、リードフレームは、第 1 のデバイス側部表面と、反対の側部表面（図 4 B の第 1 の部分 4 2 7 及び第 2 の部分 4 2 9 参照）と、を有する。

【 0 0 5 8 】

工程 7 0 3 において、スペーサ誘電体の第 1 の表面が第 1 の部分のデバイス側部表面に搭載され、スペーサ誘電体は第 1 の表面と反対側の第 2 の表面を有し、スペーサ誘電体は第 1 の部分によって部分的に覆われ、第 1 の部分を超えて延在する（図 4 C のスペーサ誘電体 4 0 5 参照）。

10

【 0 0 5 9 】

工程 7 0 5 において、半導体ダイがスペーサ誘電体の第 2 の表面に搭載され、半導体ダイの一部がスペーサ誘電体によって覆われ、半導体ダイはスペーサ誘電体から露出されるボンドパッドを有する（ボンドパッド 4 0 8 を備えた図 4 D の半導体ダイ 4 0 3 を参照）。

【 0 0 6 0 】

工程 7 0 7 において、半導体ダイのボンドパッドとリードフレームの第 2 の部分との間に電氣的接続がなされる（図 4 E のボンドワイヤ 4 3 5 参照）。代替の電気接続にはリボンボンディングが含まれる。

20

【 0 0 6 1 】

工程 7 0 9 において、モールドコンパウンドを用いて、半導体ダイ、スペーサ誘電体を覆い、リードフレームの第 1 の部分及びリードフレームの第 2 の部分を部分的に覆って、半導体デバイスパッケージを形成する（図 4 F のモールドコンパウンド 4 2 1、図 4 G の半導体デバイスパッケージ 4 0 0 参照）。

【 0 0 6 2 】

工程 7 1 1 において、第 1 の部分のリードと第 2 の部分のリードが整形され、接続材料がどれも除去されて、半導体デバイスパッケージが完成する（図 4 G の半導体デバイスパッケージ 4 0 0 参照）。

30

【 0 0 6 3 】

この方法は図 7 B において継続する。図 7 A に示す工程は、図 7 B のテスト方法工程と非同期に実施され得、半導体デバイスパッケージは任意の時間と場所で製造し得、次いで、図 7 B のテスト方法を実施してこの方法配置を完了し得る。

【 0 0 6 4 】

工程 7 1 3 において、テストハンドラの第 1 の導電性スラグ及び第 2 の導電性スラグが、絶縁を有する半導体デバイスパッケージのリードフレームの第 1 の部分のリードと接触される（例えば、図 5 E の導電性スラグ 5 3 1、5 3 2 参照）。

【 0 0 6 5 】

工程 7 1 5 において、テストハンドラの第 3 の導電性スラグ及び第 4 の導電性スラグが、リードフレームの第 2 の部分のリードと接触される。説明を簡単にするために、これらは個別の連続する工程として説明されているが、テストハンドラはこれらの工程を同時に実施してもよく、下記の工程 7 1 7 及び 7 1 9 も同様である。

40

【 0 0 6 6 】

工程 7 1 7 において、導電性プレート及び絶縁先端を有する第 1 のプランジャが、半導体デバイスパッケージのモールドコンパウンドの第 1 の表面と接触される。第 1 のプランジャは、テストハンドラの導電性スラグ間の空間において第 1 のスラグと第 3 のスラグの間にある。図 5 E に示す例において、第 1 のプランジャ 5 4 2 は、モールドコンパウンド 4 2 1 の頂部表面に接し、導電性スラグ 5 3 1 と 5 3 3 の間の中間点に配置される。

【 0 0 6 7 】

50

工程 7 1 9 において、導電性プレート及び絶縁先端を有する第 2 のプランジャが、半導体デバイスパッケージのモールドコンパウンドの第 2 の表面と接触され、第 2 のプランジャは、テストハンドラの第 2 のスラグと第 4 のスラグの間に位置する。図 5 E に示す例において、第 2 のプランジャは、第 1 のプランジャの反対側に置かれ、半導体デバイスパッケージの下にあり、モールドコンパウンド 4 2 1 の底部表面に接する。

【 0 0 6 8 】

工程 7 2 1 において、第 1 の部分のリードに高電圧が置かれ、第 1 のプランジャ及び第 2 のプランジャの導電性プレートに高電圧の約半分の電圧が置かれ、第 2 の部分のリードは接地電圧に置かれる。工程 7 2 3 において、第 1 及び第 2 のスラグが高電圧にあるリードに接している第 1 の部分のリードと、第 3 及び第 4 の導電性スラグが接地電圧にあるリードに接している第 2 の部分のリードとの間の電流を測定することによってテストが実施される。電流が、低電流レベル又はゼロ電流レベルに設定される所定の閾値未満の場合、半導体デバイスパッケージ内の絶縁は充分であり、半導体デバイスパッケージが高電圧絶縁テストに合格したことが示される。これに対して、流れる電流が所定のレベルを超えた場合、半導体デバイスパッケージの絶縁は充分ではなく、半導体デバイスパッケージが高電圧絶縁テストに不合格であったことが示される。不合格になったデバイスは、特定され、廃棄されるか、修理されるべきである。

10

【 0 0 6 9 】

例示の配置において、リードフレームなどのパッケージ基板内に絶縁された部分を備えた半導体デバイスパッケージを含めて、半導体デバイスが製造される。次いで電氣的絶縁がテストされる。テストハンドラにおいて、リードフレームの第 1 の部分に 3 0 0 ボルトよりも大きな、最大数千ボルトの高電圧が置かれる。導電性プレート及び絶縁先端を有するプランジャが、半導体デバイスパッケージのモールドコンパウンドに接するように配置される。こういった配置において、プランジャは、高電圧から分割され、第 1 の部分における高電圧の約半分である電圧に置かれる。リードフレームの第 2 の部分のリードに接地電圧が置かれる。こういった配置を用いること、及び半導体デバイスパッケージのモールドコンパウンドに接するプランジャ上の分割された電圧により、高電圧に因るテストハンドラ内の電界が分散され、空気中のアークが防止され、そうでない場合に生じ得るアークに因る電流が低減される。絶縁されたデバイスパッケージ内の電界の集中を抑えるために、テストハンドラ内で種々の構造が用いられる。例示の配置において、コンデンサ分割構造を用いて、高電圧を高電圧の半分の分割電圧に分割し、分割された電圧は、プランジャの導電性プレートに結合される。半導体デバイスパッケージの高電圧絶縁テストを実施するためのテストハンドラにおいてこういった配置の構造を用いると、リードフレームの第 1 の部分が高電圧に結合されるときに生じる電界の集中が軽減される。

20

30

【 0 0 7 0 】

特許請求の範囲内で、説明した配置における改変が可能であり、他の代替の配置が可能である。

40

50

【 図 面 】

【 図 1 】

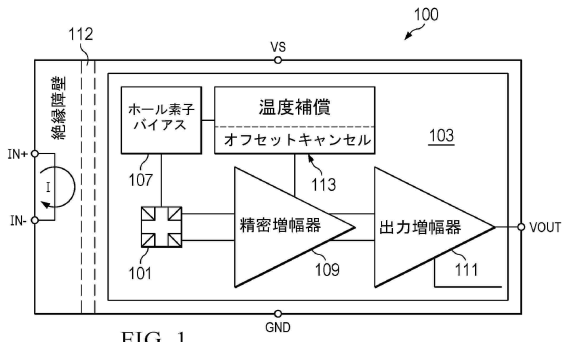


FIG. 1

【 図 2 A 】

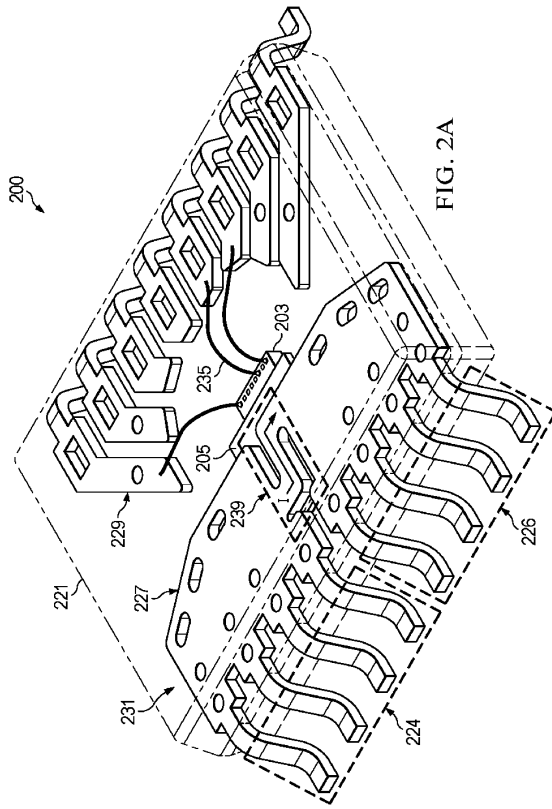


FIG. 2A

10

20

30

40

50

【 3 B 】

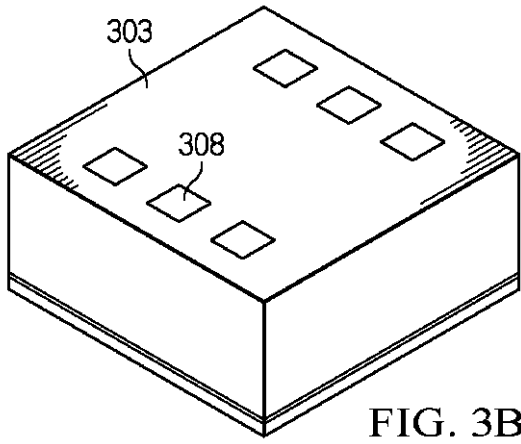


FIG. 3B

【 4 A 】

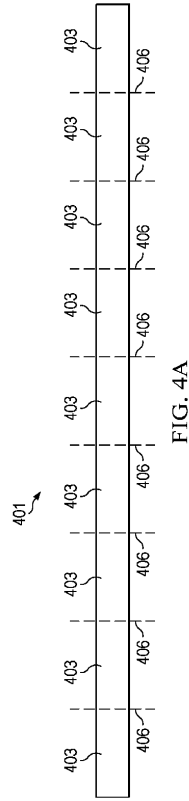


FIG. 4A

10

20

【 4 B 】

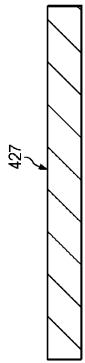
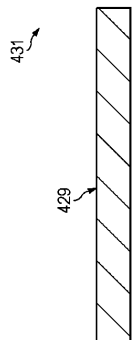


FIG. 4B



【 4 C 】

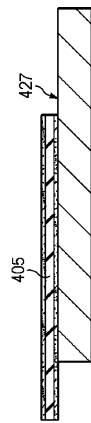
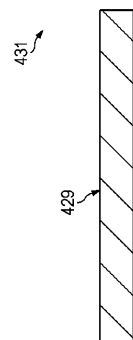


FIG. 4C

30

40



50

【 4 D 】

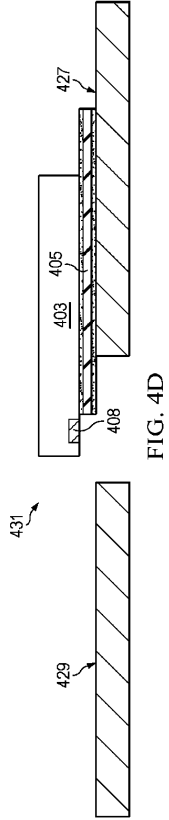


FIG. 4D

【 4 E 】

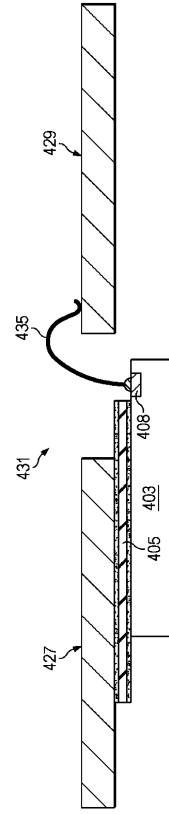


FIG. 4E

10

20

【 4 F 】

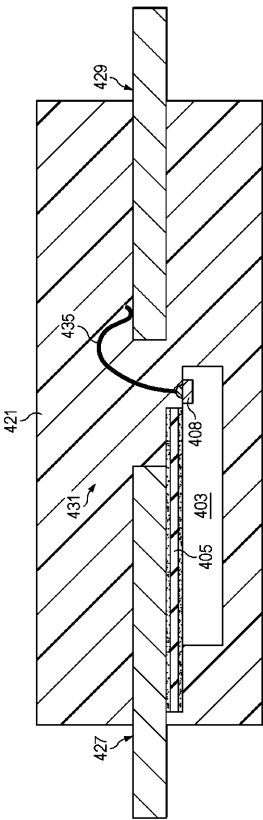


FIG. 4F

【 4 G 】

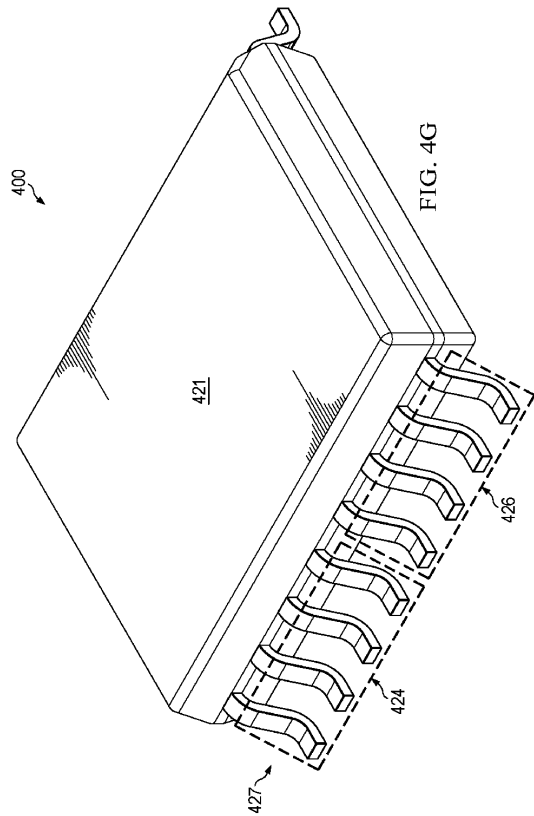


FIG. 4G

30

40

50

【 図 5 A 】

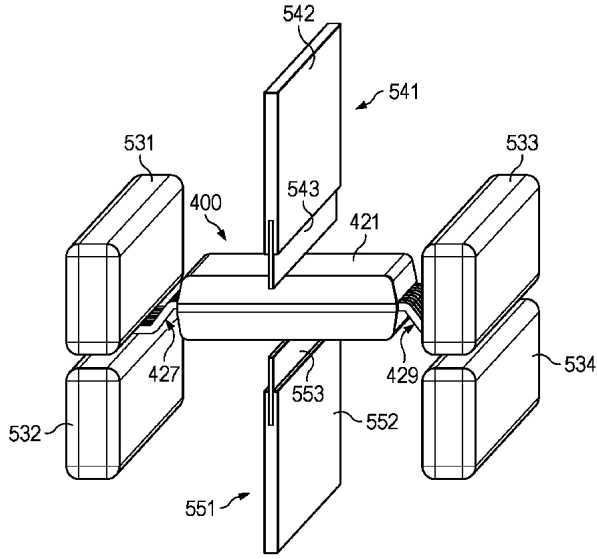


FIG. 5A

【 図 5 B 】

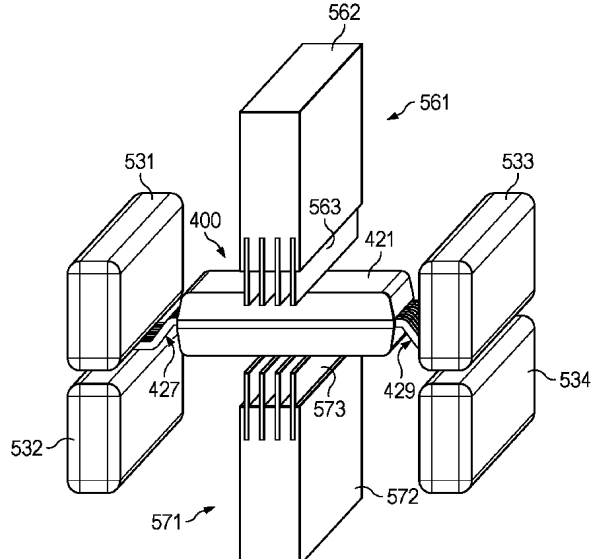


FIG. 5B

10

20

【 図 5 C 】

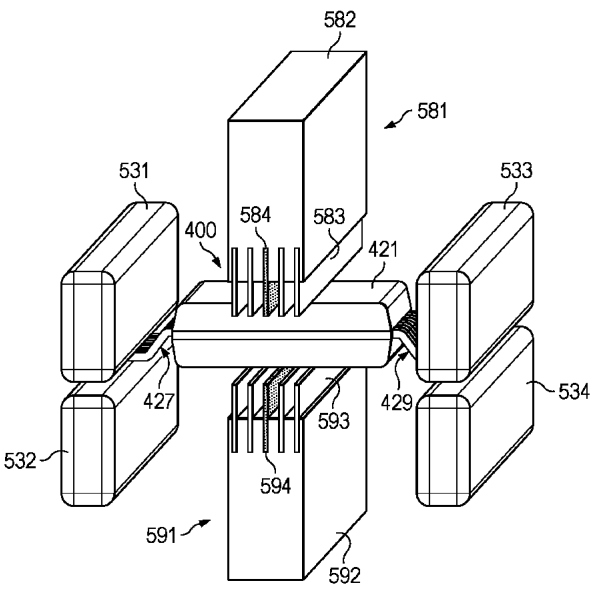


FIG. 5C

【 図 5 D 】

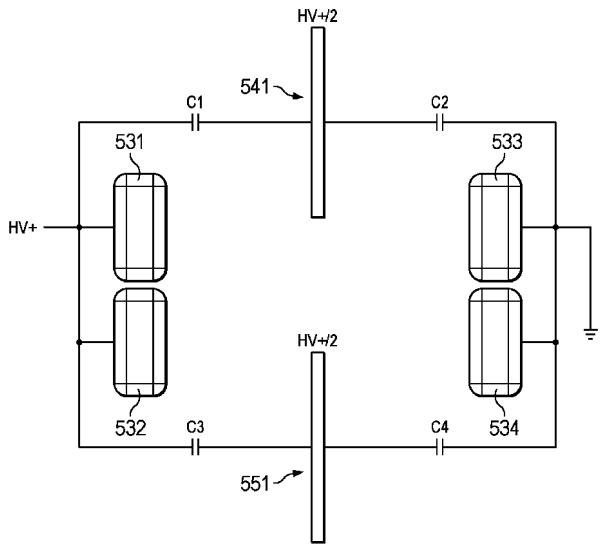


FIG. 5D

30

40

50

【 図 5 E 】

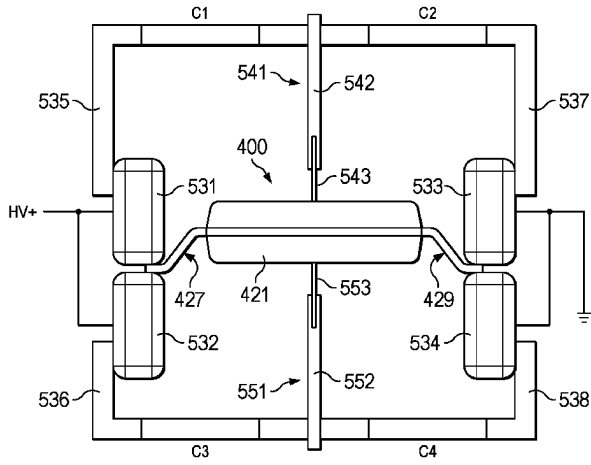


FIG. 5E

【 図 6 A 】

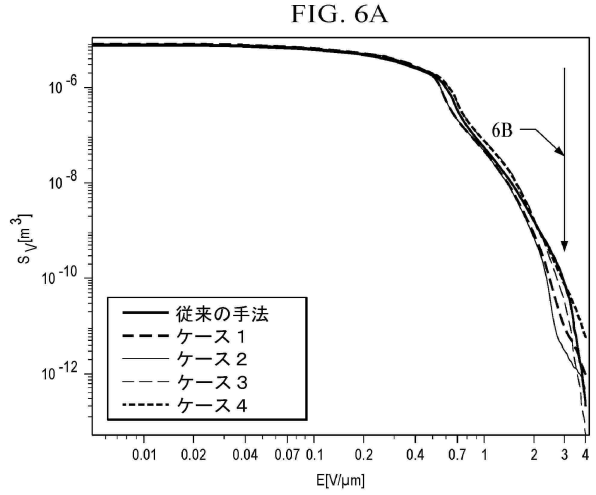


FIG. 6A

10

【 図 6 B 】

FIG. 6B

	$S_V@3V/\mu m [x10^{-12}]$
従来的手法	75.59
ケース 1 - 単一ブレード、 誘電率 3.2	9.43
ケース 2 ポリマーを備えた 単一ブレード、 誘電率 1.0	2.94
ケース 3 複数のブレード、 誘電率 2.1	29.96
ケース 4 金属を備える、 誘電率 2.1	73.61

【 図 7 A 】

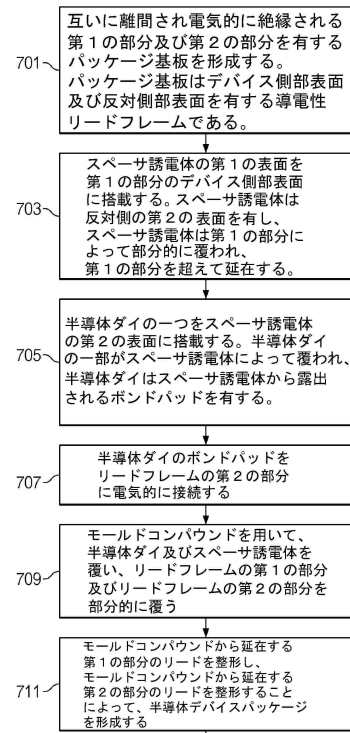


図 7 B へ

FIG. 7A

20

30

40

50

【 図 7 B 】

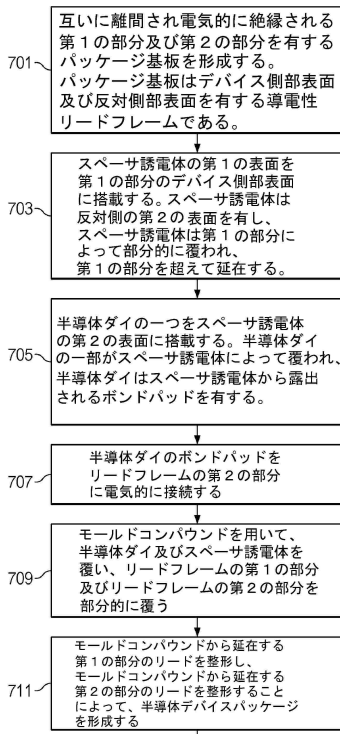


図 7 B へ FIG. 7A

【 図 】

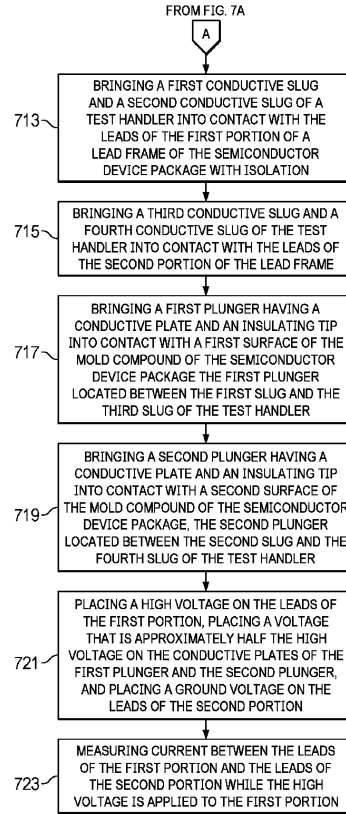


FIG. 7B

10

20

30

40

50

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US2022/053337

A. CLASSIFICATION OF SUBJECT MATTER		
G01R 31/28(2006.01); G01R 19/165(2006.01); H01L 21/48(2006.01); H01L 21/52(2006.01); H01L 21/56(2006.01); H01L 23/00(2006.01)		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) G01R 31/28(2006.01); G01R 31/26(2006.01); G01R 33/07(2006.01); H01F 27/28(2006.01); H01L 23/31(2006.01); H01L 23/49(2006.01); H01L 23/525(2006.01); H01L 29/82(2006.01); H01L 49/02(2006.01)		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Korean utility models and applications for utility models Japanese utility models and applications for utility models		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) eKOMPASS(KIPO internal) & Keywords: semiconductor, chip, isolation, test, contact, high, voltage, spacer, mold compound, lead, tip		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2014-0002118 A1 (RAINER GAGGL) 02 January 2014 (2014-01-02) Paragraphs [0021]-[0025]; claim 1; and figure 1	1-20
A	US 8299602 B1 (YEON HO CHOI et al.) 30 October 2012 (2012-10-30) Column 7, lines 3-11; column 8, lines 7-30; column 9, lines 12-23; and figures 1A-1B, 5	1-20
A	US 2013-0049746 A1 (VOLKER STRUTZ et al.) 28 February 2013 (2013-02-28) Paragraphs [0007]-[0009], [0037]-[0039]; and figure 3	1-20
A	US 2015-0069572 A1 (TEXAS INSTRUMENTS INCORPORATED) 12 March 2015 (2015-03-12) Paragraphs [0026]-[0028]; and figure 1	1-20
A	KR 10-2019-0038357 A (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 08 April 2019 (2019-04-08) Paragraphs [0030], [0060]; and figure 1a	1-20
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "D" document cited by the applicant in the international application "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed		"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
Date of the actual completion of the international search 28 April 2023		Date of mailing of the international search report 02 May 2023
Name and mailing address of the ISA/KR Korean Intellectual Property Office 189 Cheongsa-ro, Seo-gu, Daejeon 35208, Republic of Korea Facsimile No. +82-42-481-8578		Authorized officer JUNG, Jong Han Telephone No. +82-42-481-5642

Form PCT/ISA/210 (second sheet) (July 2022)

10

20

30

40

50

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/US2022/053337

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
US	2014-0002118	A1	02 January 2014	EP	2659279	A1	06 November 2013
				US	9291664	B2	22 March 2016
				WO	2012-122578	A1	20 September 2012
US	8299602	B1	30 October 2012	US	7847392	B1	07 December 2010
US	2013-0049746	A1	28 February 2013	CN	102969446	A	13 March 2013
				US	8969985	B2	03 March 2015
US	2015-0069572	A1	12 March 2015	US	9035422	B2	19 May 2015
KR	10-2019-0038357	A	08 April 2019	CN	109585391	A	05 April 2019
				KR	10-2093303	B1	26 March 2020
				US	11101209	B2	24 August 2021
				US	2019-0103353	A1	04 April 2019
				US	2021-0384120	A1	09 December 2021

10

20

30

40

50

フロントページの続き

,MC,ME,MK,MT,NL,NO,PL,PT,RO,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,
ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,C
O,CR,CU,CV,CZ,DE,DJ,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IQ,I
R,IS,IT,JM,JO,JP,KE,KG,KH,KN,KP,KR,KW,KZ,LA,LC,LK,LR,LS,LU,LY,MA,MD,MG,MK,MN,MW,MX
,MY,MZ,NA,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SA,SC,SD,SE,SG,SK,SL,ST,SV,
SY,TH,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,WS,ZA,ZM,ZW

F ターム (参考)

BA05 BA10
2G025 AA02 AA08 AA17 AB02