200901410

發明專利說明書

（本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫）

※ 申請案號： 97104840

※ 申請日期： 97.2.12　　**※IPC 分類：** H01L 23/48, 21/50

一、發明名稱：（中文/英文）

用於接合一半導體晶片於其上之載具以及使一半導體晶片接觸一載具之方法

A CARRIER FOR BONDING A SEMICONDUCTOR CHIP ONTO AND A METHOD OF CONTACTING A SEMICONDUCTOR CHIP TO A CARRIER

二、申請人：（共 1 人）

姓名或名稱：（中文/英文）

恩智浦股份有限公司 / NXP B.V.

代表人：（中文/英文）

佩尼斯　漢斯 / PENNINGS, HANS

住居所或營業所地址：（中文/英文）

荷蘭愛因和文市高科技園區 60 號

High Tech Campus 60, 5656 AG Eindhoven, The Netherlands

國　籍：（中文/英文）

荷蘭 / The Netherlands

三、發明人：（共 3 人）

姓　名：（中文/英文）

1. 賀瑞斯　克勞斯 / HERES, KLAAS
2. 迪克斯特拉　保羅 / DIJKSTRA, PAUL
3. 諾倫　馬汀 / NOLLEN, MAARTEN

國　籍：（中文/英文）

1. 荷蘭 / The Netherlands
2. 荷蘭 / The Netherlands
3. 荷蘭 / The Netherlands

四、聲明事項：

☐ 主張專利法第二十二條第二項☐第一款或☐第二款規定之事實，其事實發生日期為：。

☑ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號　順序註記】

☑ 有主張專利法第二十七條第一項國際優先權：

1. EPO、　　2007/02/14、　07003106.7

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號　順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼　順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼　順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

發明領域

本發明係有關一種用以接合一半導體晶片於其上的載具。且，本發明係有關一種使一半導體晶片接觸一載具的方法。

又，本發明係有關一種半導體晶片封裝體。

【先前技術】

發明背景

載具及將一半導體晶片接觸於一載具的方法係已習知。該等習知的載具通常係為Al、Cu、Fe-Ni合金的載具，或為一Cu-Al或Al-Cu-Al的疊堆。該載具在第一面上設有所需的圖案，並具有Ni、Au、Ag及Pd等至少一種金屬的傳導層。在該裝置的製造過程中，在置設一半導體元件並提供其包封物之後，該載具未設有圖案的部份會被除去。接著，一罩幕會被光微影地提供於該載具的第二面上，然後，接觸表面或導銷會被形成。然後，該半導體元件會被電連接於該等接觸表面，其可例如藉該半導體元件的接墊與該等接觸表面之間的焊接導線來達成。

但是，該焊接可能會由於未濕化的焊膏而產生某些問題，此可能造成板級安裝的失敗和可靠性風險。

【發明內容】

發明概要

本發明之一目的係提供一種載具，及一種用以將一半

導體晶片接觸於一載具的方法，該方法可較不易未濕化或可具有增加的可靠性。

為能達到上述目的，依據獨立項申請專利範圍之一種可供接合一半導體晶片於其上的載具，一種使一半導體晶片接觸於一載具的方法，及一種半導體晶片封裝體會被提供。

依據本發明之一實施例，一種可供接合一半導體晶片於其上的載具會被提供，其中該載具包含一晶粒墊及多數的接觸墊，其中該各接觸墊係包含一導電多層疊堆，其中該導電多層疊堆包含一表面層，一阻隔層，及一第一傳導層。且，該阻隔層包含一材料係可阻止該表面層的材料擴散至該第一傳導層中，且至少有二該等接觸墊互相具有一超小的間距。

依據本發明之一實施例，一種半導體晶片封裝體會被提供，該半導體晶片封裝體包含一依據本發明之一實施例的載具，一半導體晶片，及一包封物，其中該半導體晶片具有一第一面和一相反的第二面，並有多數的接墊在該第一面上。又，該半導體晶片會以其第二面附接於該晶粒墊，且該至少一接觸墊會電連接於該晶片之一該等接墊。且，該包封物會包封該半導體晶片，並機械地固定該晶粒墊和該等接觸墊，而該等接觸墊之一表面會曝露於該包封物來構成端子。詳言之，該半導體晶片可被直接或透過一中間晶粒來接合於該晶粒墊。

依據本發明之一實施例，一種使一半導體晶片接觸一載具的方法會被提供，該方法包括提供一載具，其含有一

晶粒墊，多數的接觸墊，其中至少一該接觸墊包含：由一表面層，一阻隔層，和一第一傳導層所組成之一導電多層疊堆，其中該阻隔層係列設於該第一傳導層和表面層之間，及一相對於另一該等接觸墊之超小的間距，且其中該阻隔層包含一材料係可阻止該表面層的材料擴散至該第一傳導層中。又，該方法包含附接一半導體晶片於該晶粒墊上，其中該半導體晶片包含多數的接墊，及使至少一接墊與該至少一接觸墊相接觸。

詳言之，該載具的多層疊堆更可包含一緩衝層，一第二傳導層，及一黏性層。較好是，該各層的順序係為該表面層、阻隔層、第一傳導層、緩衝層、第二傳導層、和黏性層。尤其是，該等傳導層係為電傳導層，例如金屬層等。用於該多層疊堆的可能材料可為用作該等傳導層的銅、銀或其合金，及用作該緩衝層的鋁、FeNi、FeCrNi、不銹鋼、或其合金。該表面和該黏性層本身亦可具有一多層結構，並可包含鎳、鈀、金或其合金的各層。詳言之，該表面和該黏性層可被用作該半導體晶片封裝體之蝕刻製程中的蝕刻罩。且，該阻隔層，例如由鈀製成者，係可為該表面層及/或該黏性層的一部份，即其亦可被稱為該表面層及/或該黏性層之一次層。尤其是，該等接觸墊的多層結構係可為一對稱結構，即當沿一方向或沿另一相反方向排列時，該各層的順序可為相同。例如，該黏性層和表面層可具有相同的結構和材料，如同該第一傳導層和第二傳導層包含相同的材料。該等阻隔層亦可稱為緩衝層。詳言之，該半導

體晶片封裝體可形成一積體電路(IC)或其一部份。

所謂"超小間距"尤其可指該等對應的接觸墊，即界定該間距的接墊，係緊靠在一起的情況。詳言之，該超小間距，即該二接觸墊之間的距離(亦稱為間隔)，係可小於該等接墊的寬度，即沿該等接觸墊排列之一直線方向所測得的長度。較好是，在一間距係小於1.0mm，更尤其是該等接墊之間的距離係小於0.5mm的情況下，則該間距可被稱為超小。超小間距可特別適用於較大的封裝體，例如雙數或偶數的多排四方平裝無引線(QFN)封裝體，或一球柵陣列(BGA)封裝體，其接腳係被突出該封裝體之底部的焊球所取代。該BGA和QFN封裝體皆可被使用於表面安裝的電子迴路設計。

該載具可為一超薄無引線封裝體(UTLP)引線框的一部份，並可在一引線框製程中被罩蔽及蝕刻。此一UTLP可適用於寬廣的尺寸範圍，例如在許多輸入/輸出端子(I/O)和區域中。一完整的UTLP範圍可由約5 I/O至200 I/O。

又可被視為一實施例的主旨，有一載具會被提供，其包含多數的接觸墊係由含有至少一表面層，一第一傳導層及一阻隔或緩衝層介於其間的多層結構所形成。該阻隔層可包含一材料，其係被選擇為當該接觸墊被例如藉焊接一結線於該接觸墊的表面層上來連接於一半導體晶片時，該表面層材料的擴散至該第一傳導層將會被阻止或至少會減少。該阻隔層尤其係可阻止被列設在該表面層上的少量濕化材料，例如金，擴散至該第一傳導層中。提供一包含一

阻隔材料或一抑制擴散材料的阻隔層，在該等接觸墊具有一超小間距的情況下將會特別有利，因為否則由於該焊劑和焊膏的量必須增加以減低未濕化之可能性的事實，將可能產生某些缺陷。但是，該焊劑和焊膏的增加，亦可能會因該超小間距而增加缺陷的可能性。

接著，可供於其上接合一半導體晶片的載具之其它實施例會被描述。但是，該等實施例亦可適用於該使一半導體晶片接觸一載具的方法及該半導體晶片封裝體。

依據該載具的另一實施例，該多數的接觸墊會被排列成包圍該晶粒墊的至少二環圈。詳言之，一第一數目的該等接觸墊係排列在一第一圈中，而該等接觸墊的其它接觸墊則排列在一第二圈中。該等環圈可具有排列圍繞該晶粒墊的矩形形狀，而該晶粒墊可被列設在該等環圈的中央。尤其是該等環圈可被大致互相平行地排列，即每一環圈可包含四排，而每一排會形成該矩形環的一邊。詳言之，該接觸墊可具有一矩形形狀，並可被定向成使該各接觸墊的一邊係大致平行於該等環排來排列。

依據該載具的另一實施例，在該至少二環圈之一第一環圈中的至少某些該等接觸墊係相對於該至少二環圈之一第二環圈中的相鄰接觸墊被設在一交錯的位置。換言之，一棋盤狀結構可被形成，其中該等接觸墊可對應於黑色場，而該等間隔可對應於白色場。但是，在該兩排接觸墊的排列之間的交換並不一定要對應於該兩排接觸墊之間隔，即不須要形成真正的棋盤狀排列。詳言之，在一排之

二相鄰接觸墊之間的跳空區域係可大於或小於該等對應接觸墊的寬度，因此可能會有不真確的棋盤狀圖案。然而一交錯的圖案仍有可能。

此一交錯的排列在各單一接觸墊必須被一導線接觸的情況下乃特別有利，因在該排列下，用以接觸第一排接觸墊的導線和用以接觸第二排接觸墊的導線將會較少互相干擾。

依據該載具的另一實施例，該阻隔層包含鈀。尤其是，該阻隔層的厚度可至少為0.1微米(μm)。

在例如由鎳製成的第一傳導層與例由金製成並作為一濕化劑的表面層之間提供鈀，係可容易地併入目前既有的超薄無引線封裝體(UTLP)引線框的製造流程中。即使一僅有0.1μm厚度的阻隔層亦可適用來阻止該表面層的金擴散至該第一傳導層中。該鈀亦可當作一蝕刻罩。但是，其它的材料亦可被用作一蝕刻罩，例如另一層的光阻或另一金屬係可被使用。尤其是，該表面層或一黏性層本身亦可形成一蝕刻罩，即使在該表面層係由一多層結構本身，例如具有金、鎳、及鈀之各次層者所形成的情況下。

依據該載具之另一實施例，該晶粒墊包含一主要部份及一邊緣部份，其中該主要部份包含一該第一傳導層與該表面層的疊堆，而該邊緣部份包含一由一黏著層，一第二傳導層，一緩衝層，該第一傳導層及該表面層等所組成的第二多層疊堆。

依據該載具之另一實施例，該黏著層包含一種材料其係特別適用於黏附於銅，及/或一種特別適用於黏附於銅的

材料會被塗佈於該黏性層上。詳言之，該黏著層可被用來將一半導體晶片的一面黏附於該晶粒墊。

接著，該半導體晶片封裝體的其它實施例會被描述。但是，該等實施例亦適用於該使一半導體晶片接觸一載具的方法，及該可供於上接合一半導體晶片的載具。

依據該半導體晶片封裝體的另一實施例，該晶粒墊具有一表面會由該包封物曝露，其表面係分成多數的島塊。此等曝露表面可為該多層結構之表面層的一部份。該等島塊可特別被用來接觸一半導體元件或該半導體晶片。

依據該半導體晶片封裝體的另一實施例，至少一些該等接觸墊的多層疊堆更包含一阻隔層，一第二傳導層，及一黏性層。尤其是，該至少一些該等接觸墊包含一部份在該第二傳導層中，其會橫向地延伸超過該對應端子。

再來，使一半導體晶粒接觸於一載具的方法之其它實施例會被描述。但是，該等實施例亦適用於該可供於上接合一半導體晶片的載具，及該半導體晶片封裝體。

依據該方法的另一實施例，該接觸係以一焊接程序來完成。尤其是，可使鏤空模板焊接。

焊接可為一種有效的方式來使一半導體晶片接觸於一載具上，例如該載具之一晶粒墊上，或以接結導線來建立該半導體晶片與接觸墊之間的電接觸。尤其是，焊接可被用來將該半導體晶片電接觸於該等接觸墊，例如藉著將該半導體晶片的接墊與該等接觸墊之間的結線焊接於該等接觸墊的黏性層，及/或例如藉將結線焊接於該等接觸墊的表

面層，而用以使該半導體晶片封裝體電接觸於一外部的電性或電子構件。

依據該方法之另一實施例，一無鉛焊劑會被使用。詳言之，該無鉛焊劑包含錫、銀、銅及/或其合金，或可由該等材料之一者來構成。

本發明之一態樣可被視為一種焊接一半導體晶片封裝體的方法會被提供，其中該半導體晶片具有一第一面及一相反的第二面，並有多數的接墊設在該第一面上。又，該半導體晶片封裝體包含多數的接觸墊與一晶粒墊，其中該晶片係以其第二面附接於該晶粒墊，且其中至少一部份的該等接觸墊係電連接於該晶片的對應接墊，各該接墊包含一由一黏著層，一第一傳導層，一阻隔層，一第二傳導層及一表面層等所組成的導電多層疊堆。且，該半導體晶片封裝體包含一包封物，其會包封該晶片並機械地固定該晶粒墊和接觸墊等，而該等接觸墊之一表面會由該包封物曝露來構成端子。詳言之，該等端子係位於圍繞該晶粒墊之一第一與一第二環圈中，至少某些該等端子會互相具有一“超小”間距，且一阻隔層會存在於該第一傳導層和表面層之間，以防止材料由該表面層擴散至第一傳導層中。

上述態樣和本發明的其它態樣等係可由以下所述的實施例來清楚得知，並會被參照該等實施例來說明。

圖式簡單說明

本發明將參照實施例來更詳細地說明於後，但本發明並不受限於該等實施例。

第1A至G圖係概示出依據一實施例之一封裝製程的立體圖。

第2A至G圖係概示出第1A至1G圖所示之封裝製程的截面圖。

【實施方式】

較佳實施例之詳細說明

在各圖中的圖示係為概略示意的。在不同的圖式中，類似或相同的元件會被以相同的標號來提供。

以下，請參照第1A至G圖，一用以製造一半導體晶片封裝體的製程會被描述。

第1A圖示出一載具100的立體圖，其包含一晶粒墊101係設在該載具100的中央。又，該載具包含多數的接觸墊102等排列成二包圍該晶粒墊101的環圈。該二環圈係大致呈矩形，其中有一第一環圈103係較靠近於該晶粒墊，乃可被稱為一內環，而一第二環圈104係排列得比該第一環圈離該晶粒墊更遠，故可被稱為一外環。該晶粒墊101和接觸墊102等全都由一多層結構製成，該多層結構在圖式中係以不同的各層來示出。詳言之，該整體多層結構是導電的，例如所有各層皆由金屬層來形成。較好是，該多層結構包含至少一表面層109，一第一傳導層108，及一阻隔層設於其間。詳言之，該阻隔層係為一薄鈀層，例如約0.1μm，其係為該表面層109之一次層，即該表面層109本身乃為一包含金、鈀和鎳諸層的多層結構，其中該金層係為最外層。用於該多層疊堆的可能材料，可為用作傳導層的銅、銀、或其合

金，及當作緩衝層的鋁、FeNi、FeCrNi、不銹鋼、或其合金等。該等阻隔層亦可被稱為緩衝層。又，該多層結構包含一緩衝層107，一第二傳導層106及一黏性層105，其中該黏性層105可具有如同該表面層109的相同成分，即次結構。此外，一座標系統110係被示於第1A圖中，而示出一x方向XC，一y方向YC，及一z方向ZC。在第1A圖中亦示出第一環103的接觸墊102係相對於第二環104的接觸墊102交錯相隔，即，該內環103的接觸墊102係平行於該外環104的接觸墊102之間的間隔來排列。

第1B圖示出第1A圖的載具100在一第一處理步驟之後的立體圖。詳言之，一導體111，被動元件或另一電子構件會被附接於該內環103和外環104的各一排上。該導體111可例如以焊接來傳統地接合於該等接觸墊。

第1C圖示出第1B圖的載具100在下一處理步驟之後的立體圖。詳言之，一中間墊112會接合於該晶粒墊101的表面層。該中間墊112含有接觸元件113等。

第1D圖示出第1C圖的載具100在下一處理步驟之後的立體圖。詳言之，一半導體晶片114會接合於該中間墊112。

第1E圖示出第1D圖的載具100在下一處理步驟之後的立體圖。詳言之，多數的接結導線115會被附接來電連接某些該等接觸元件113和該載具的某些接觸墊102。如此，當該半導體晶片114被接合於該中間墊112時，若該半導體晶片114的端子係連接次該等接觸元件113，則該半導體晶片114可被電連接於該等接觸墊102。

第1F圖示出第1E圖的載具100在下一處理步驟之後的立體圖。詳言之，一包封物116係被塗敷於該載具100上，該包封物116會包住該載具100的頂部，即該等接觸墊102、中間墊112，半導體晶片114和接結導線115等。但是，該包封物116不會封住被設在該載具100底面的第一傳導層108和表面層109。

第1G圖示出第1F圖的載具100在下一處理步驟之後的立體圖。詳言之，該載具100的底面會結構化；尤其是該表面層109、第一傳導層108及/或緩衝層107可被結構化而來提供端子，其可被用來接觸該被包封的半導體晶片114。該緩衝層107係較好被結構化以使該等個別的接觸墊互相電絕緣。

以下，請參閱第2A至G圖，用以製造第1A至G圖之半導體晶片封裝體的製程會被進一步描述。詳言之，第2A至G圖示出第1A至1G圖之各立體圖的截面圖。

第2A圖示出第1A圖的載具100及晶粒墊101和該多數接觸墊102之一截面圖。且，該多層結構能被比第1A圖更清楚地在第2A圖中看出。詳言之，該表面層109、第一傳導層108、緩衝層107、第二傳導層106和黏性層105會被示於第2A圖中。此外，該z方向ZC係被示於第2A圖中。

第2B圖示第1B圖的載具100之一截面圖。尤其是，該導體111係附接於該內環103的一排上。

第2C圖示出第1C圖的載具100之一截面圖。尤其是，該中間墊112係接合於該晶粒墊101的表面層。

第2D圖示出第1D圖的載具100之一截面圖。尤其是，該半導體晶片114係接合於該中間墊112。

第2E圖示出第1E圖的載具100之一截面圖。尤其是，該多數接結導線115會被附接來電連接某些接觸元件113與該載具的某些接觸墊102。

第2F圖示出第1F圖的載具100之一截面圖。尤其是，該包封物116係塗覆於該載具100上，該包封物會包住該載具的頂部，即該等接觸墊102、中間墊112、半導體晶片114、和接結導線115等。但是，第2F圖清楚地示出該包封物116不會包住該第一傳導層108和表面層109，它們係設在該載具100的底面上。

第2G圖示出第1G圖的載具100之一截面圖。尤其是，該載具100的底面會結構化，即，更具言之，該第一傳導層108和緩衝層107會被結構化而來提供端子，其可被用來接觸該被包封的半導體晶片114。

最後，應請瞭解上述的實施例係供說明而非限制本發明，且熟習該技術者將能設計出許多變化實施例而不超出如申請專利範圍所界定之本發明的範圍。在該等申請專利範圍中，任何在括弧內的標號皆不應被釋為限制該等申請專利範圍。所用之“包含”及“含有”和類似字眼等，並不排除有任何申請項或整體說明書中所列述者以外的元件或步驟存在。一元件的單數標示並不排除該等元件的複數標示，且反之亦同。在一列舉數種裝置的裝置請求項中，其若干的該等裝置係得以一相同的軟體或硬體來實施。倒

是某些措施雖被以互相不同的獨立請求項來載述並不表示該等措施的組合不能被使用來獲得利益。

【圖式簡單說明】

第1A至G圖係概示出依據一實施例之一封裝製程的立體圖。

第2A至G圖係概示出第1A至1G圖所示之封裝製程的截面圖。

【主要元件符號說明】

100...載具

101...晶粒墊

102...接觸墊

103...第一環圈

104...第二環圈

105...黏性層

106...第二傳導層

107...緩衝層

108...第一傳導層

109...表面層

110...座標系統

111...導體

112...中間墊

114...半導體晶片

115...接結導線

116...包封物

五、中文發明摘要：

一種可於其上接合一半導體晶片的載具係被提供，其中該載具包含一晶粒墊和多數的接觸墊，其中該各接觸墊包含一導電多層疊堆，而該導電多層疊堆包含一表面層，一第一緩衝層，及一第一傳導層。且，該第一緩衝層包含一材料可適於阻止該表面層的材料擴散至該第一傳導層中，且至少有二該等接觸墊互相具有一超小間距。

六、英文發明摘要：

A carrier (100) for bonding a semiconductor chip (114) onto is provided, wherein the carrier (100) comprises a die pad (101) and a plurality of contact pads (102), wherein each of the plurality of contact pads (102) comprises an electrically conductive multilayer stack, wherein the electrically conductive multilayer stack comprises a surface layer (109), a first buffer layer, and a first conductive layer (108). Furthermore, the first buffer layer comprises a material adapted to prevent diffusion of material of the surface layer (109) into the first conductive layer (108), and at least two of the contact pads (102) has an ultrafine pitch relative to each other.

十、申請專利範圍：

1. 一種可供一半導體晶片接合其上的載具，該載具包含：

一晶粒墊；及

多數的接觸墊；

其中該多數的接觸墊各包含一導電性多層疊堆，而該導電性多層疊堆包含一表面層，一阻隔層，及一第一傳導層；

其中該阻隔層包含一種材料可適於阻止該表面層的材料擴散至該第一傳導層中；且

其中至少有二該等接觸墊互相具有一超小間距。

2. 依據申請專利範圍第1項之載具，其中該多數的接觸墊係排列成至少二圍繞該晶粒墊的環圈。

3. 依據申請專利範圍第2項之載具，其中在該至少二環圈之一第一環圈中的至少某些該等接觸墊係相對於它們所相鄰之在該至少二環圈之一第二環圈中的接觸墊位在一交錯的位置。

4. 依據申請專利範圍第1項之載具，其中該阻隔層包含鈀。

5. 依據申請專利範圍第1項之載具，其中該阻隔層的厚度係為至少0.1微米。

6. 依據申請專利範圍第1項之載具，其中該晶粒墊包含一主要部份和一邊緣部份，其中該主要部份包含一由該第一傳導層與表面層組成的疊堆，而該邊緣部份包含一由一黏著層，一第二傳導層，一緩衝層，該第一傳導層和表面層所組成的第二多層疊堆。

7. 依據申請專利範圍第6項之載具，其中該黏著層包含一種材料其係特別適合黏附於銅，及/或一種特別適合黏附於銅的材料會被塗敷於該黏著層上。

8. 一種半導體晶片封裝體，包含：

一依據申請專利範圍第1項的載體；

一半導體晶片；及

一包封物；

其中該半導體晶片具有一第一面和一相反的第二面，並有多數的接墊設在該第一面上；

其中該半導體晶片係以其第二面附接於該晶粒墊，且其中該至少一接觸墊係電耦接於該半導體晶片之一該等接墊；及

其中該包封物會包封該半導體晶片，並機械地固定該晶粒墊和該多數的接觸墊，而該等接觸墊之一表面會由該包封物曝露來構成端子。

9. 依據申請專利範圍第8項之半導體晶片封裝體，其中該晶粒墊具有一表面會由該包封物曝露，該表面係被分成多數的島塊。

10. 依據申請專利範圍第8項之半導體晶片封裝體，其中至少某些該等多數接觸墊的多層疊堆更包含：

一緩衝層；

一第二傳導層；及

一黏性層。

11. 依據申請專利範圍第10項之半導體晶片封裝體，其中該

至少某些該等多數接觸墊包含一部份在該第二傳導層中，其會橫向地延伸超過對應的端子。

12. 一種使一半導體晶片接觸於一載具的方法，該方法包含：

提供一載具其包含一晶粒墊和多數的接觸墊，其中至少一該等接觸墊包含：

一由一表面層，一阻隔層，及一第一傳導層組成的導電多層疊堆，其中該阻隔層係列設在該第一傳導層與表面層之間；

一相對於該等多數接觸墊之另一者的超小間距；且其中該阻隔層包含一種材料可適於防止該表面層的材料擴散至該第一傳導層中；

附接一半導體晶片於該晶粒墊上，其中該半導體晶片包含多數的接墊；及

使至少一接墊與該至少一接觸墊相接觸。

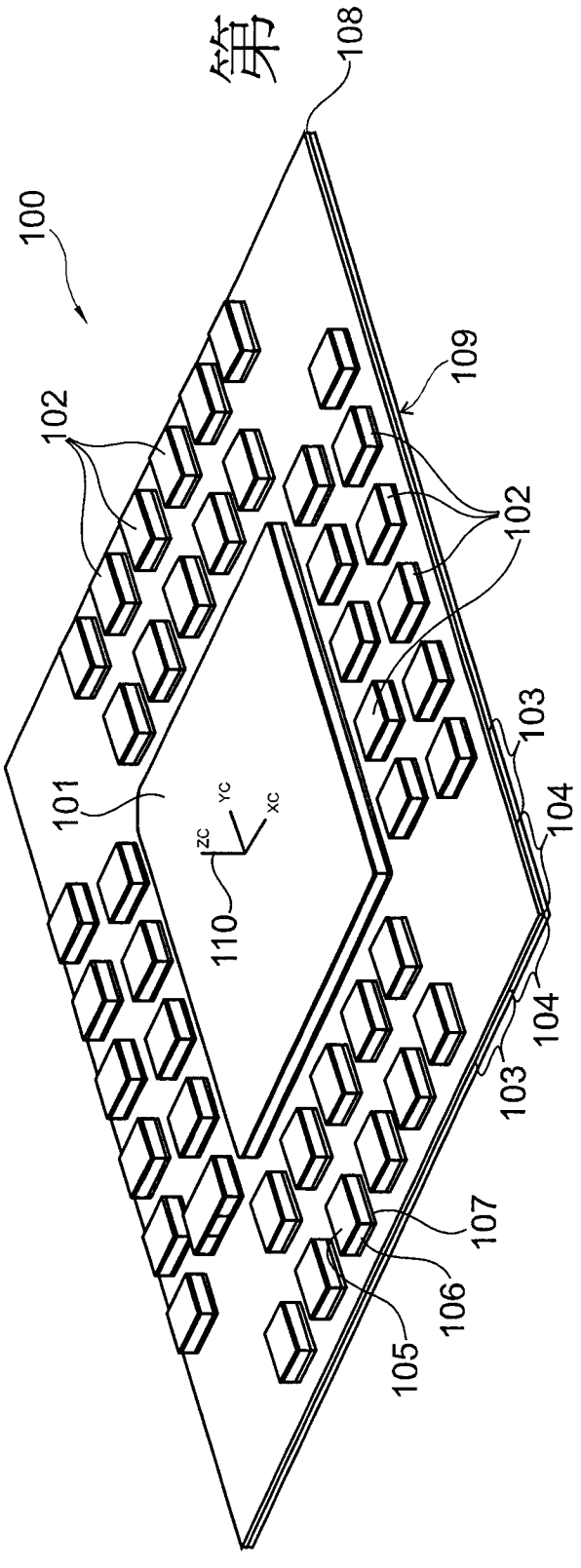
13. 依據申請專利範圍第12項之方法，其中該接觸係以一焊接程序來完成。

14. 依據申請專利範圍第13項之方法，其中係使用鏤空模板焊接。

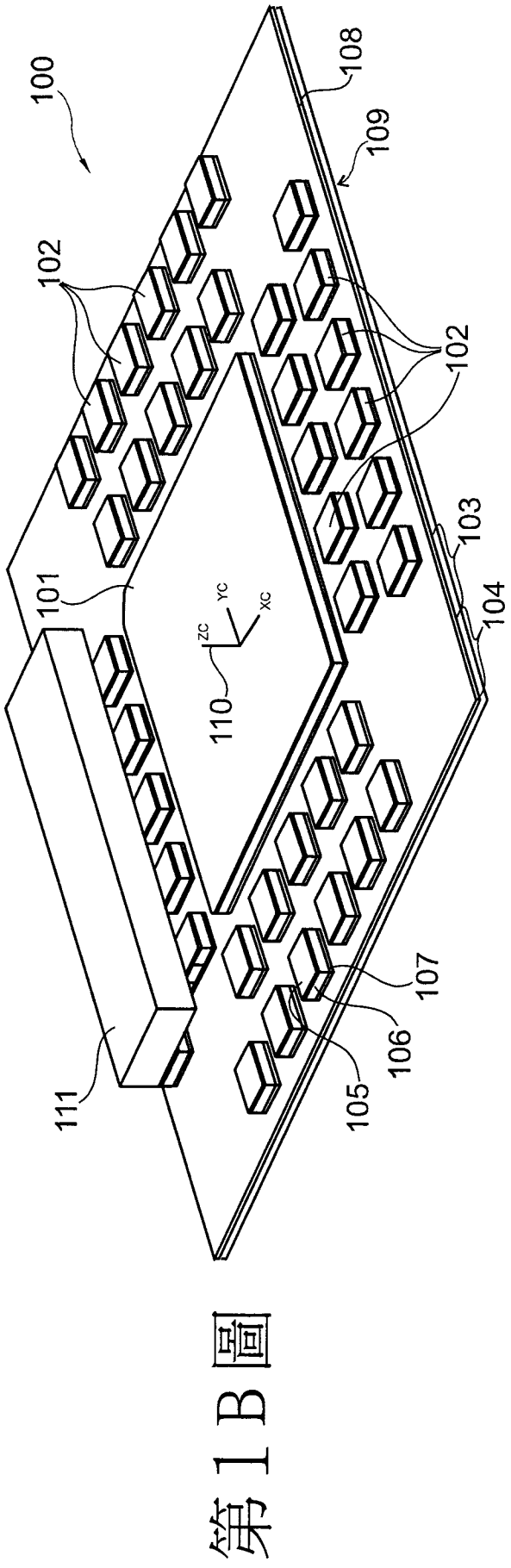
15. 依據申請專利範圍第13項之方法，其中一無鉛焊劑係被使用。

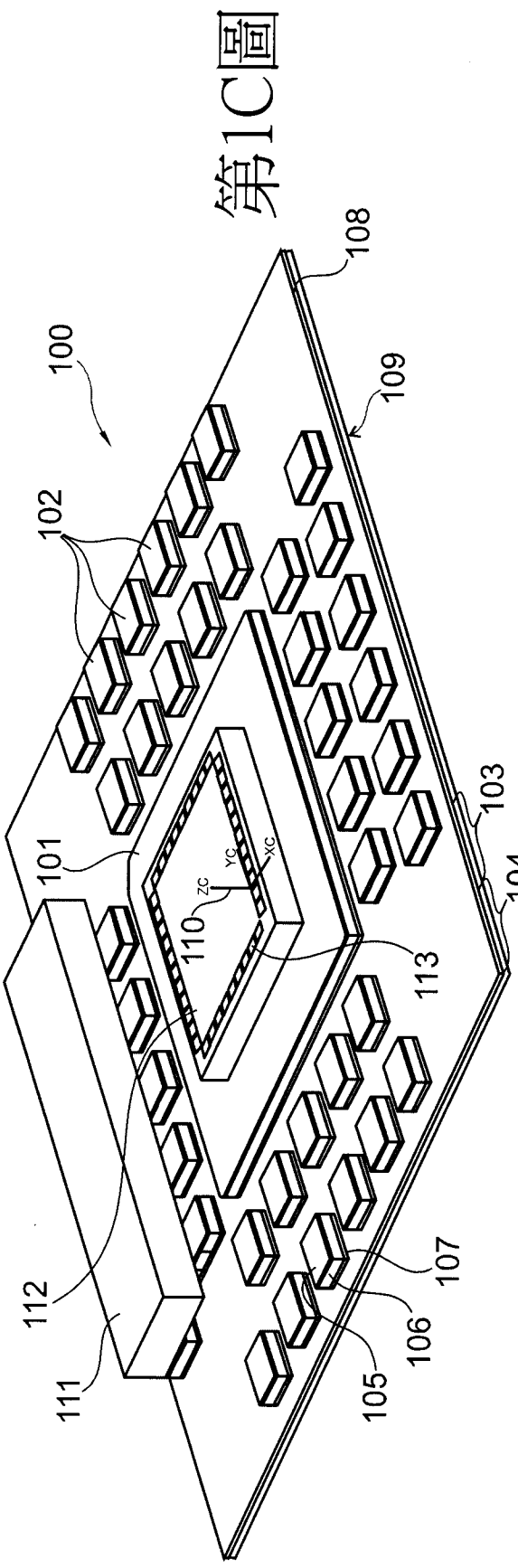
16. 依據申請專利範圍第15項之方法，其中該無鉛焊劑包含錫、銀、銅及/或一其合金。

第 1 A 圖

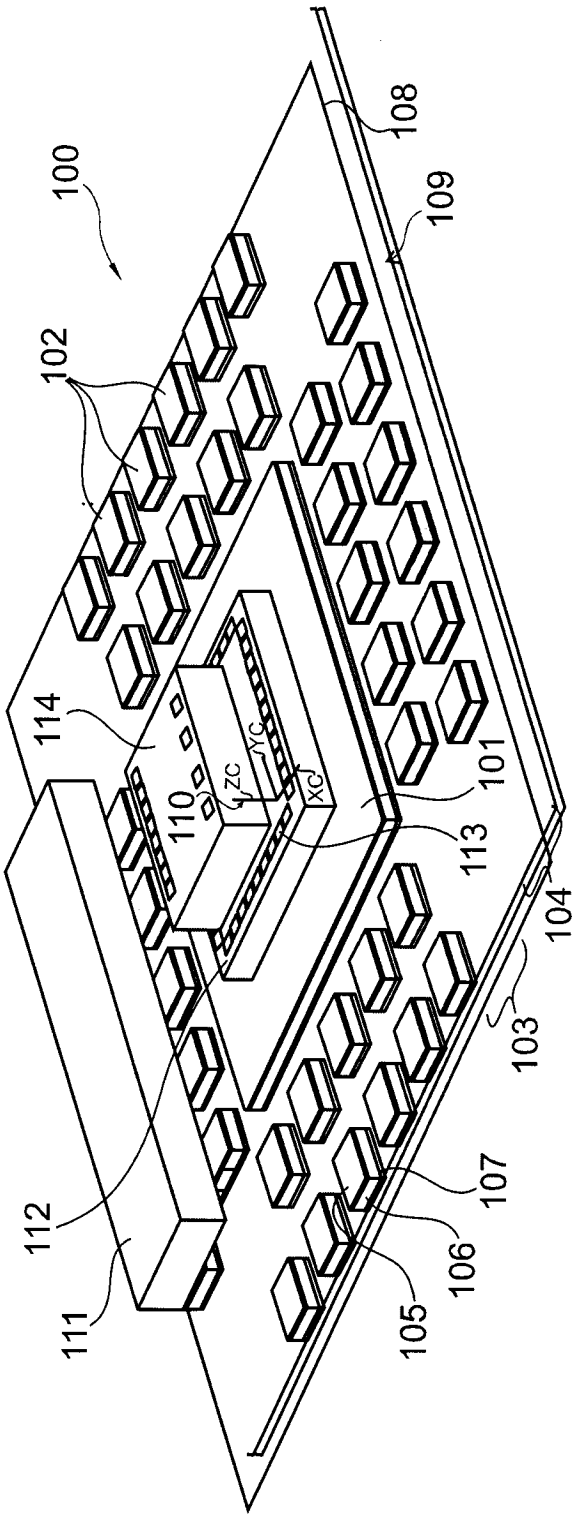

100
101
102
103
104
105
106
107
108
109
110
YC
XC
ZC

第 1 B 圖

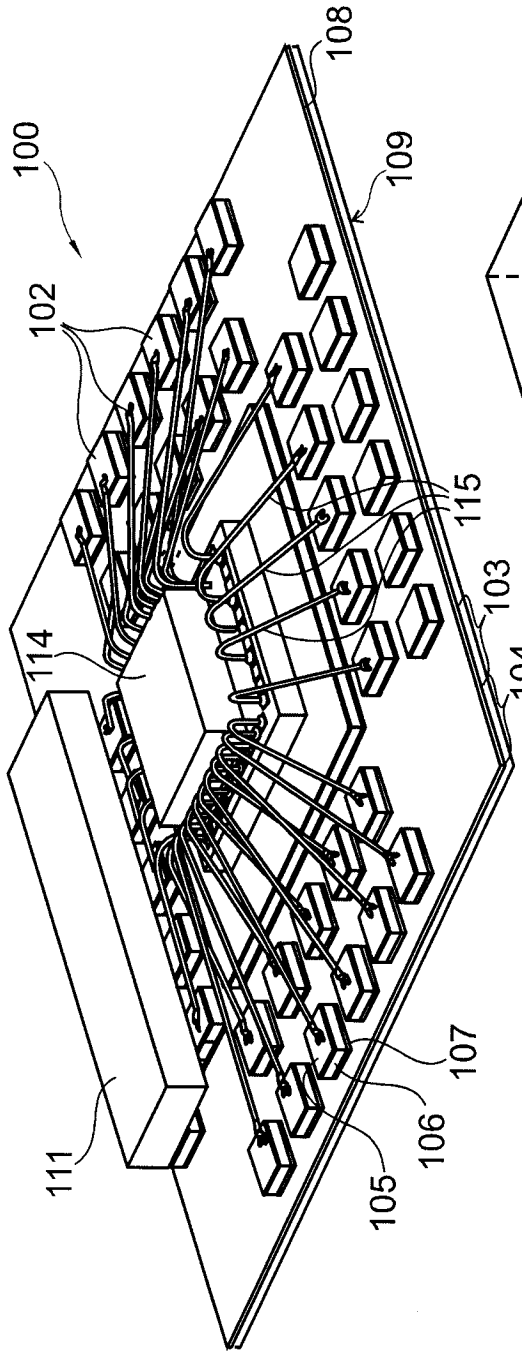

100
101
102
103
104
105
106
107
108
109
110
111
YC
XC
ZC


100
102
101
110
ZC
YC
XC
112
111
113
108
109
103
104
105
106
107

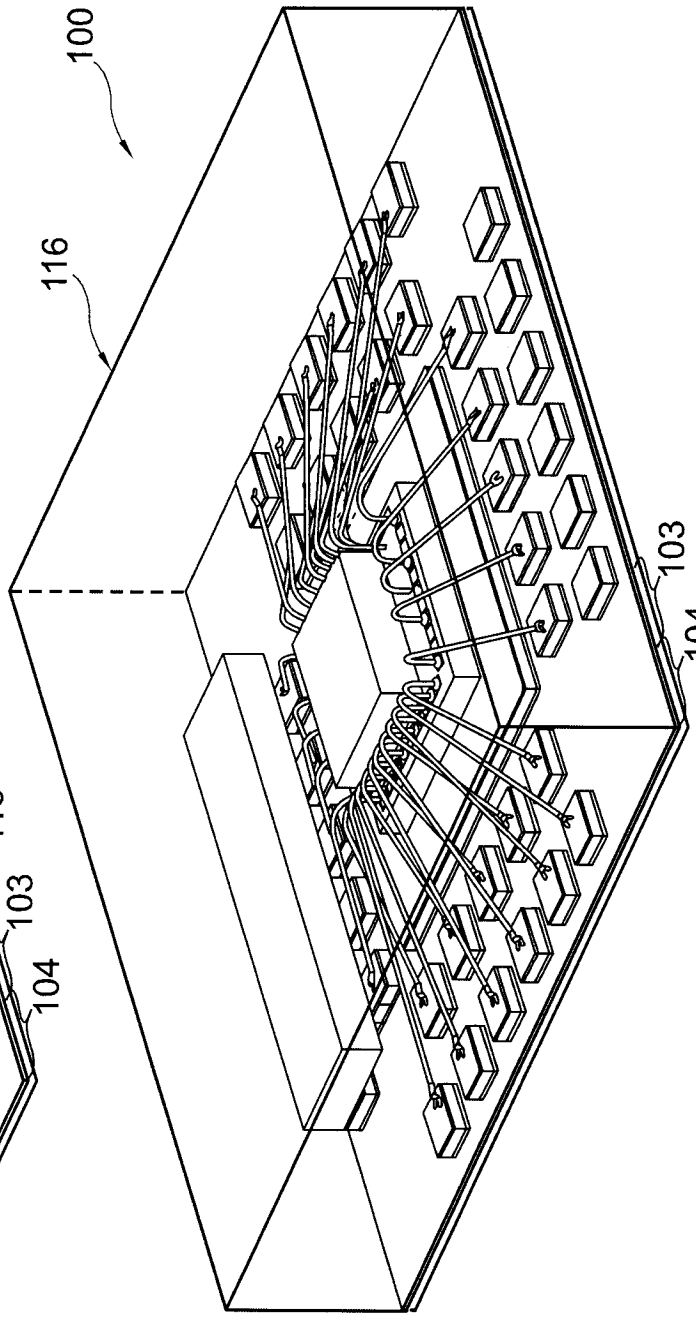
第1C圖


100
102
114
110
ZC
YC
XC
112
111
101
113
108
109
103
104
105
106
107

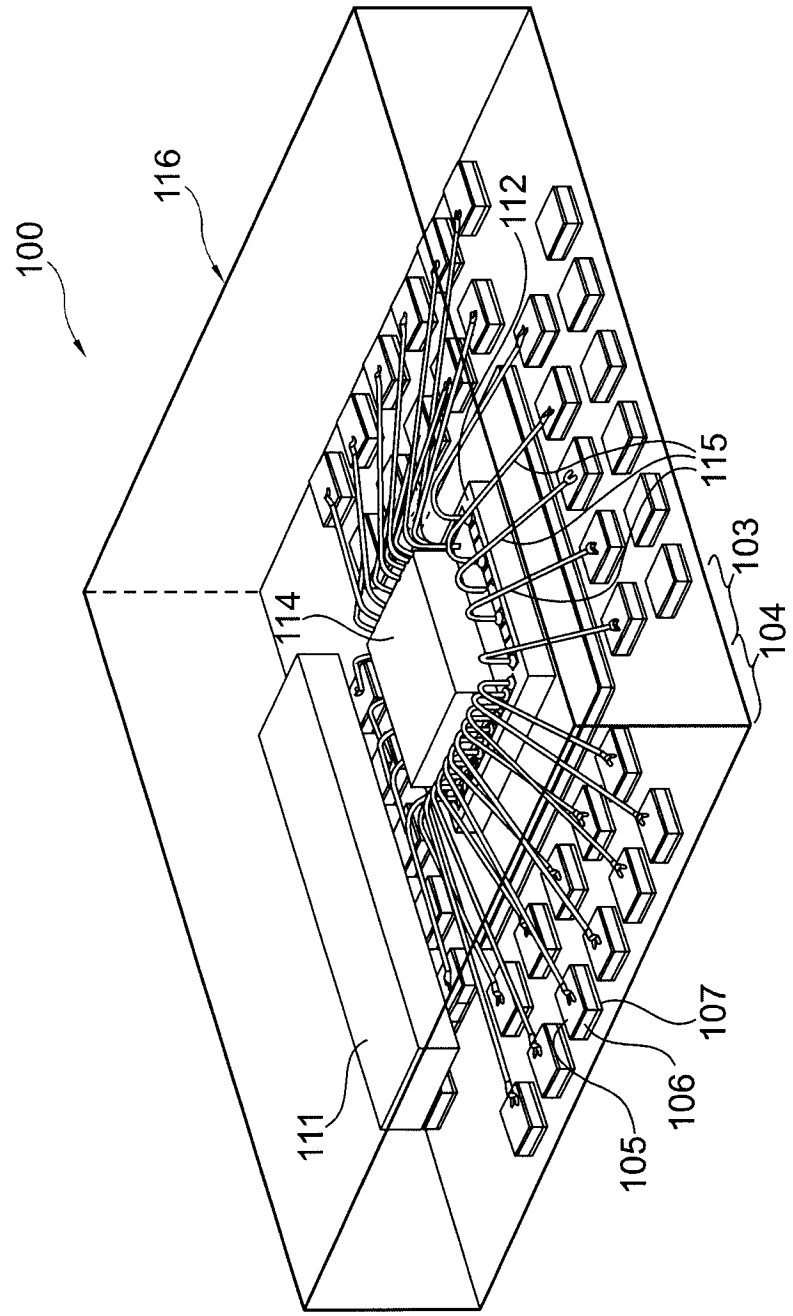
第1D圖



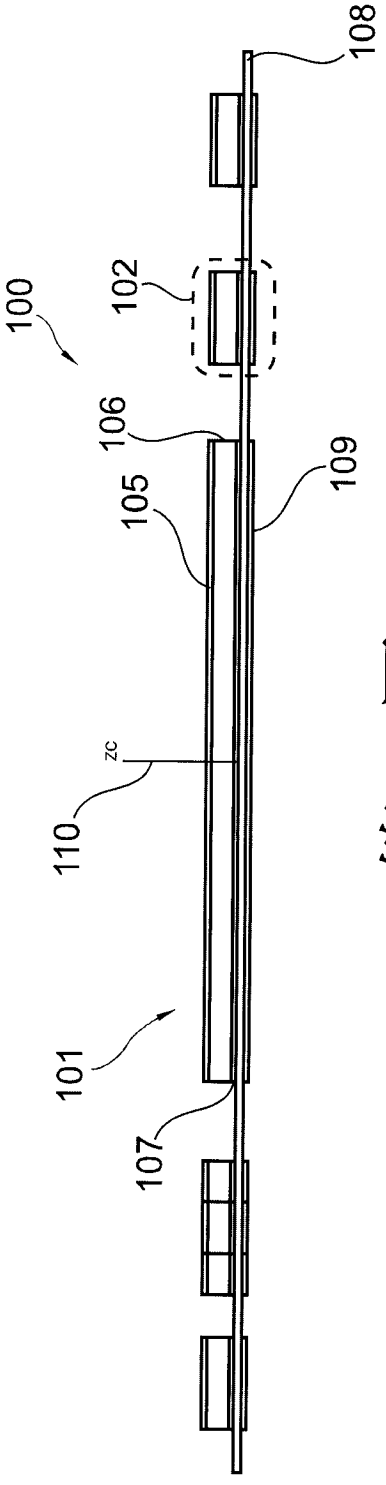
第1E圖



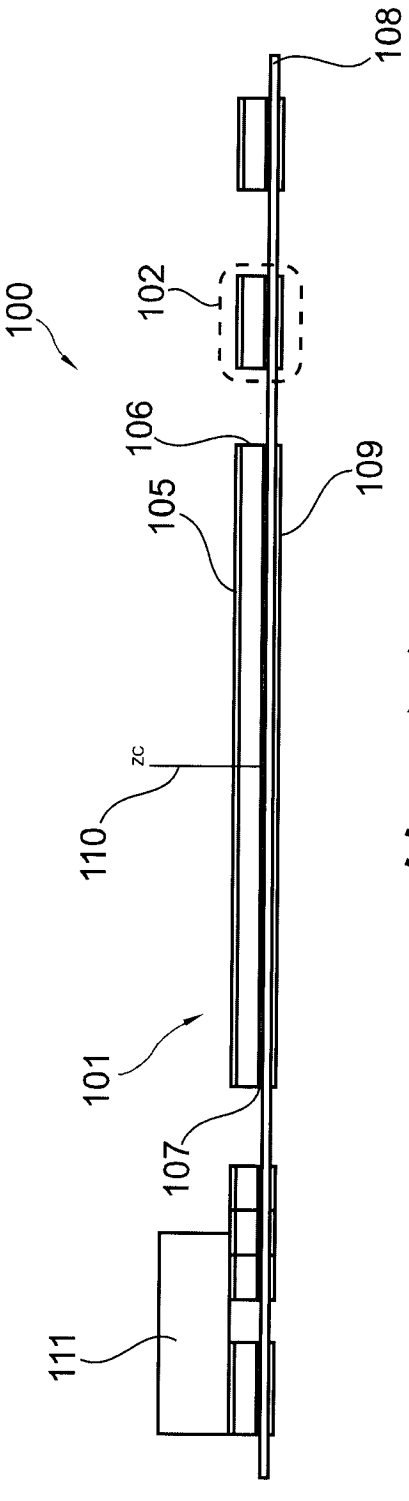
第1F圖



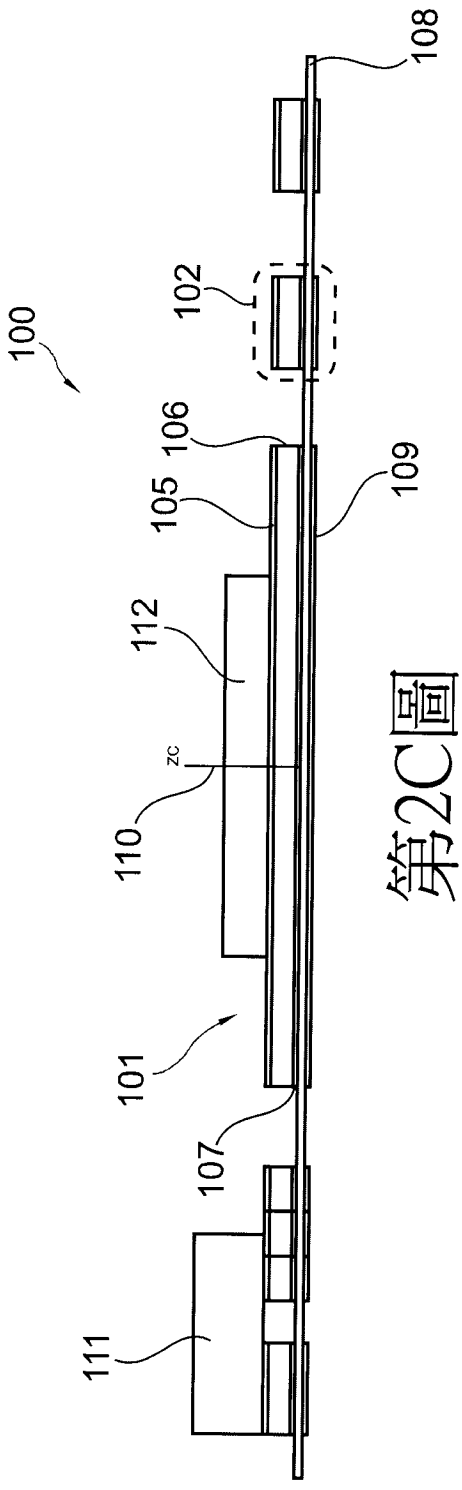
第1G圖


100
102
106
105
109
108
ZC
110
101
107

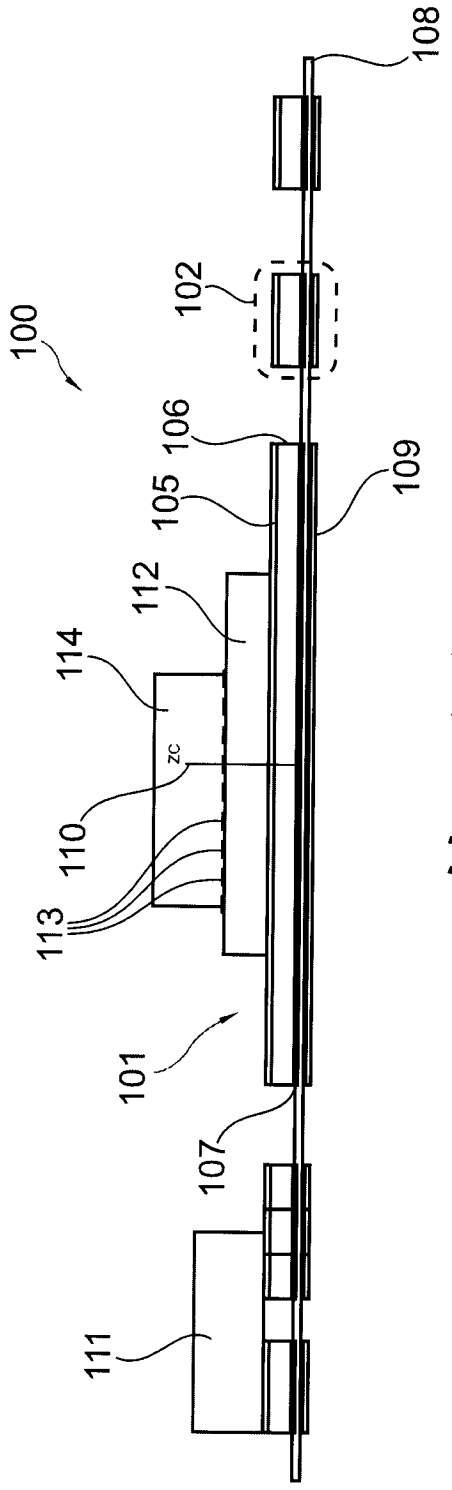
第2A圖


100
102
106
105
109
108
ZC
110
101
107
111

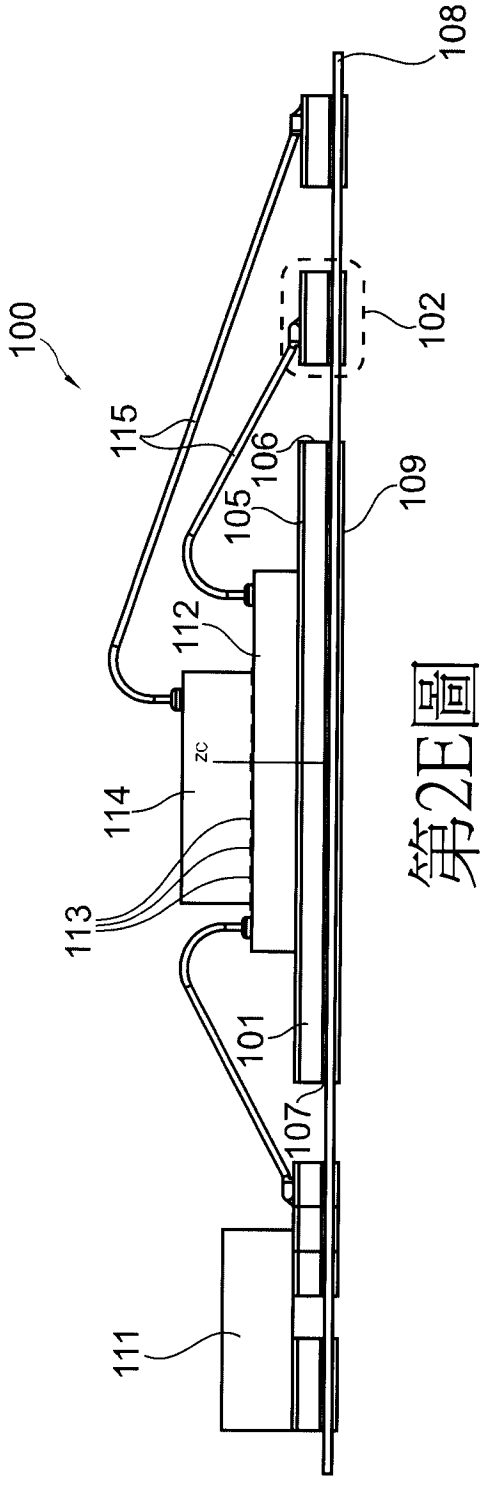
第2B圖


100
102
106
105
112
110
ZC
101
107
111
108
109

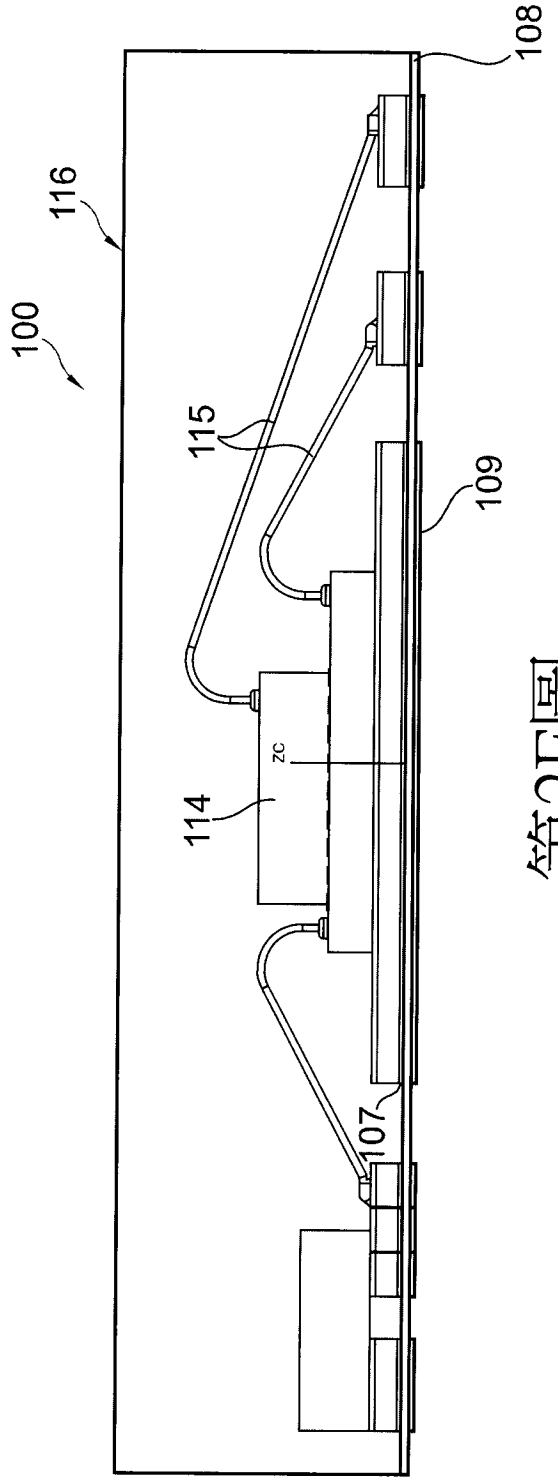
第2C圖


100
102
106
105
112
114
110
ZC
113
101
107
111
108
109

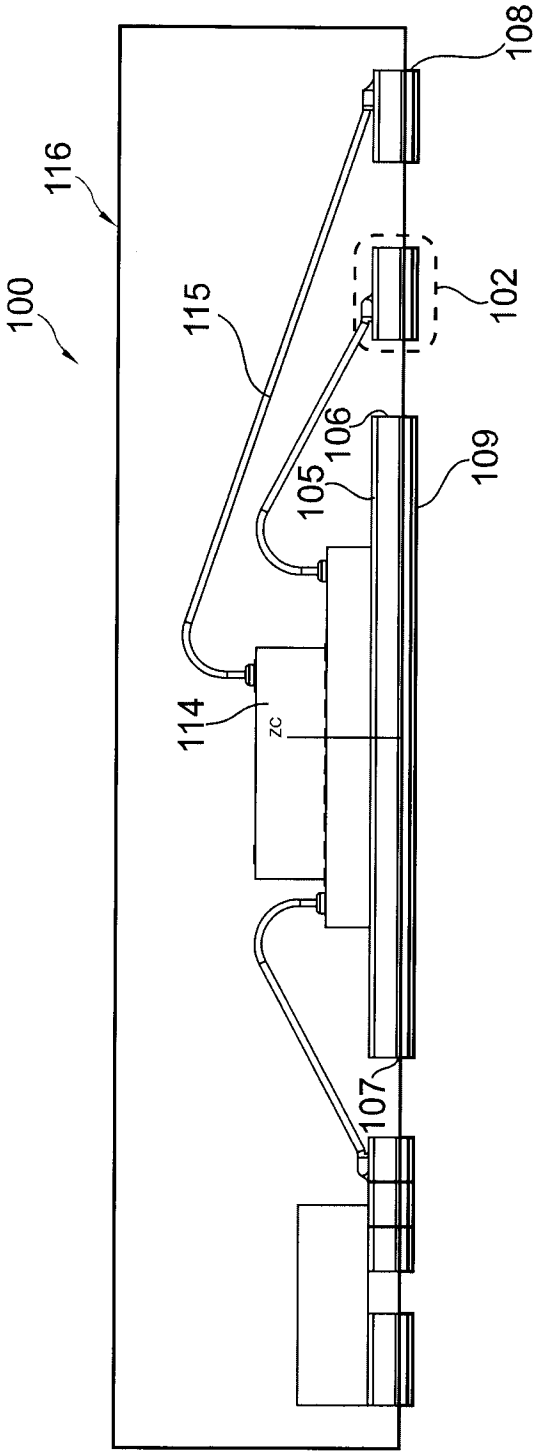
第2D圖


100
115
106
105
112
114
113
101
107
111
102
108
109
ZC

第2E圖


100
116
115
114
107
108
109
ZC

第2F圖



第2G圖

七、指定代表圖：

(一)本案指定代表圖為：第（ 1A ）圖。

(二)本代表圖之元件符號簡單說明：

100...載具
101...晶粒墊
102...接觸墊
103...第一環圈
104...第二環圈
105...黏性層
106...第二傳導層
107...緩衝層
108...第一傳導層
109...表面層
110...座標系統

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：