



Wirtschaftspatent

Erteilt gemäß § 5 Absatz 1 des Aenderungsgesetzes
zum Patentgesetz

ISSN 0433-6461

(11)

0154 244

Int.Cl.³

3(51) G 06 F 11/00

AMT FUER ERFINDUNGS- UND PATENTWESEN

In der vom Anmelder eingereichten Fassung veröffentlicht

(21) WP G 06 F/ 225 072

(22) 10.11.80

(44) 03.03.82

(71) siehe (72)

(72) MATTHES, WOLFGANG, DIPL.-ING.; DD;

(73) siehe (72)

(74) DIPL. JUR. GREGOR BOEHME, VEB ROBOTRON 9010 KARL-MARX-STADT, ERNST-THAELMANN-STR. 7,
PSF 240

(54) SPEICHERANORDNUNG MIT FEHLERERKENNUNGS- UND DIAGNOSEEIGENSCHAFTEN, VORZUGSWEISE FUER
MIKRORECHNER

(57) Ermöglichung von Fehlerkontrollen und Vergleichskontrollen zu Diagnosezwecken mit geringem Aufwand. Alternative Verwendung von an sich bekannten Prinzipien der Fehlerprüfung fuer Vergleichspruefungen (z. B. Adressenvergleich) zu Diagnosezwecken. Parallel zum eigentlichen Informationsspeicher ist ein zusätzlicher Lese/Schreibspeicher angeordnet, dem eine Auswahl-schaltung vorgeschaltet ist, die mit einer Pruefsignalgeneratorschaltung und mit Steuerregistern verbunden ist. Der Speicheranordnung ist eine Pruefsignalkontrollschaltung nachgeordnet, deren Ausgaenge an ein Fehlerregister und eine Fehlersignalisierungsschaltung angeschlossen sind. Dem zusätzlichen Speicher ist eine Bedingungssignalisierungsschaltung nachgeordnet, die an Ausgaenge der Steuerregister und an Eingaenge des Fehlerregisters angeschlossen ist. -Figur 1-



Wirtschaftspatent

Erteilt gemäß § 5 Absatz 1 des Änderungsgesetzes
zum Patentgesetz

ISSN 0433-6461

(11)

0154 244

Int.Cl.³

3(51) G 06 F 11/00

AMT FÜR ERFINDUNGS- UND PATENTWESEN

In der vom Anmelder eingereichten Fassung veröffentlicht

(21) WP G 06 F/ 225 072

(22) 10.11.80

(44) 03.03.82

(71) siehe (72)

(72) MATTHES, WOLFGANG, DIPL.-ING.; DD;

(73) siehe (72)

(74) DIPL. JUR. GREGOR BOEHME, VEB ROBOTRON 9010 KARL-MARX-STADT, ERNST-THAELMANN-STR.7,
PSF 240

(54) SPEICHERANORDNUNG MIT FEHLERERKENNUNGS- UND DIAGNOSEEIGENSCHAFTEN, VORZUGSWEISE FÜR
MIKRORECHNER

(57) Ermöglichung von Fehlerkontrollen und Vergleichskontrollen zu Diagnosezwecken mit geringem Aufwand. Alternative Verwendung von an sich bekannten Prinzipien der Fehlerprüfung für Vergleichsprüfungen (z. B. Adressenvergleich) zu Diagnosezwecken. Parallel zum eigentlichen Informationsspeicher ist ein zusätzlicher Lese/Schreibspeicher angeordnet, dem eine Auswahl-schaltung vorgeschaltet ist, die mit einer Prüfsignalgeneratorschaltung und mit Steuerregistern verbunden ist. Der Speicheranordnung ist eine Prüfsignalkontrollschaltung nachgeordnet, deren Ausgänge an ein Fehlerregister und eine Fehlersignalisierungsschaltung angeschlossen sind. Dem zusätzlichen Speicher ist eine Bedingungssignalisierungsschaltung nachgeordnet, die an Ausgänge der Steuerregister und an Eingänge des Fehlerregisters angeschlossen ist. -Figur 1-

Zur PS Nr. 154 844.....

ist eine Zweitschrift erschienen.

(Teilweise bestätigt gem. § 18 Abs. 1 d. Änd.Ges.z.Pat.Ges.)

Titel der Erfindung

Speicheranordnung mit Fehlererkennungs- und Diagnoseeigenschaften, vorzugsweise für Mikrorechner

Anwendungsgebiet der Erfindung

Die Erfindung betrifft eine Speicheranordnung mit Fehlererkennungs- und Diagnoseeigenschaften, die vorzugsweise als Programm- und Datenspeicher in Mikrorechnern, d. h. in Rechneranordnungen auf Basis kommerziell erhältlicher Mikroprozessorschaltkreise, vorgesehen ist.

Charakteristik der bekannten technischen Lösungen

Es ist bekannt, zur Fehlererkennung in Speicheranordnungen in jeder Speicherzelle zusätzliche Bits vorzusehen, um damit eine Fehlerprüfung zu erreichen. Der einfachste Fall ist die Erweiterung des Speichers um ein Bit je Speicherzelle, um eine Paritätskontrolle durchzuführen. Dabei wird die Prüfung auf ungerade Parität bevorzugt. Für eine größere Fehlersicherheit werden mehrere Paritätsbits vorgesehen. Es sind auch Schaltungen bekannt, die bei Anordnung einer entsprechenden Anzahl von Paritätsbits und geeigneter Wahl der jeweils in die Paritätsprüfung einbezogenen Speicherdatenbits die Korrektur von einem fehlerhaften Bit oder auch von mehreren erlauben.

Derartige Anordnungen werden seit geraumer Zeit für Rechner und andere informationsverarbeitende Geräte eingesetzt, und sie werden in der Literatur ausreichend beschrieben. Entsprechende Darstellungen sind beispielsweise im Hewlett-Packard-Journal, October 1978, S. 23 - 27, zu finden.

Zur Diagnose von informationsverarbeitenden Systemen, die Speicheranordnungen benutzen, ist es bekannt, Einrichtungen

anzuordnen, die eine Aussage darüber liefern, ob auf eine bestimmte Speicherzelle bzw. auf einen Bereich von Speicherzellen zugegriffen wurde oder nicht. Dies kann beispielsweise als eine Anordnung von Vergleichsschaltungen ausgeführt sein, die die aktuelle Speicheradresse mit fest eingestellten Werten vergleichen und bei Koinzidenz entsprechende Signale liefern (DWP 75 162). Während bei größeren und mittleren Systemen derartige Einrichtungen in der Regel fest eingebaut sind, ist dies bei Mikrorechnersystemen meist zu aufwendig. Deshalb existieren diese Einrichtungen in extern anschließbarer Form für Servicezwecke, und zwar sowohl als Servicegeräte bzw. Bedieneinheiten, die auf ein bestimmtes System zugeschnitten sind, als auch als universelle Logikanalysatoren. Dafür ist auch der Einsatz von RAM-Speicherelementen für Vergleichszwecke und von Mikroprozessoren zur Steuerung der vielfältigen Bedienungsabläufe bekannt und beispielsweise im Hewlett-Packard-Journal, January 1977, S. 8 - 9, beschrieben. Ein anderes, namentlich in Mikrorechnern angewandtes Prinzip realisiert die gewünschte Reaktion im Koinzidenzfall durch Einfügen spezieller Sprungbefehle an den erforderlichen Stellen (software breakpoints). Der Nachteil der bekannten Schaltmittel besteht in ihrem Aufwand, der bei Mikrorechnersystemen zu der beschriebenen Trennung (in Form externer Servicegeräte) zwingt, um das System selbst kostengünstig realisieren zu können. Ein getrenntes Servicegerät stellt natürlich wiederum einen Nachteil für die Service- und Wartungsfreundlichkeit des Systems dar, da die erforderlichen Verbindungen manuell hergestellt werden müssen. Außerdem muß das Servicegerät stets verfügbar sein. Im besonderen zeigt sich der Nachteil des externen Servicegerätes dann, wenn das System selbst relativ komplex ist (etwa eine Anordnung aus mehreren Mikrorechnern) und wenn die Anforderungen an Service- und Wartungszeiten kritisch sind (etwa bei wichtigen Geräten innerhalb eines EDV-Systems).

Software-Verfahren sind wesentlich kostengünstiger, haben aber nur eine bestimmte Anwendungsbreite. So sind damit prinzipiell nur Kontrollen der Befehlslesezugriffe möglich, wenn noch die Realzeitbedingungen eingehalten werden sollen. Für komplexe-

re Kontrollen verlängert sich die Programmlaufzeit um mehrere Größenordnungen. Dies ist für viele Echtzeitanwendungen jedoch nicht tragbar.

Ziel der Erfindung

Das Ziel der Erfindung besteht darin, eine Speicheranordnung zu schaffen, die eine Fehlererkennung während des laufenden Betriebs ermöglicht und die andererseits Vergleichskontrollen zu Diagnosezwecken zuläßt. Dabei soll der zusätzlich erforderliche Aufwand so gering sein, daß die Anordnung auch in Mikrorechnersystemen erfolgreich eingesetzt werden kann.

Wesen der Erfindung

Die Aufgabe der Erfindung besteht darin, eine Speicheranordnung anzugeben, in der an sich bekannte Prinzipien der Fehlerprüfung während des normalen Betriebes (etwa eine Paritätskontrolle) realisiert sind und die mit sehr geringem zusätzlichen Aufwand Vergleichsprüfungen (z. B. Adressenvergleich) zu Diagnosezwecken ermöglicht. Dabei wird eine alternative Benutzung der beiden Betriebsarten als ausreichend angesehen. Außerdem soll es möglich sein, daß Bedienung, Betriebsartenwahl usw. durch die steuernde Einrichtung (z. B. einen Mikrorechner) selbst vorgenommen werden können.

Die Mängel der bekannten Lösungen haben ihre Ursache darin, daß die Einrichtungen zur Fehlerprüfung und zu Vergleichsprüfungen als völlig voneinander getrennte Schaltungsanordnungen ausgeführt sind, wobei der Schaltungsaufwand namentlich für die Einrichtungen zu Vergleichsprüfungen beträchtlich ist (für die logischen Schaltungen selbst, für die Adaptierung an die zu prüfende Einrichtung und für die Mittel zur Bedienung).

Erfindungsgemäß wird die Aufgabe dadurch gelöst, daß parallel zu dem eigentlichen Informationsspeicher mit einer dem Datenpfad der angeschlossenen Einrichtung entsprechenden Zugriffsbreite ein zusätzlicher Lese/Schreibspeicher angeordnet ist, dem eine Auswahl schaltung vorgeschaltet ist, die mit einer

Prüfsignalgeneratorschaltung und mit Ausgängen von Steuerregistern verbunden ist, daß der gesamten Speicheranordnung eine Prüfsignalkontrollschaltung nachgeordnet ist, deren Ausgänge an ein Fehlerregister und eine Fehlersignalisierungsschaltung angeschlossen sind und daß dem zusätzlichen Lese/Schreibspeicher eine Bedingungssignalisierungsschaltung nachgeordnet ist, die an Ausgänge der Steuerregister und an Eingänge des Fehlerregisters angeschlossen ist.

Die Lösung ist ferner dadurch charakterisiert, daß der zusätzliche Lese/Schreibspeicher eine Zugriffsbreite von mehreren Bits hat, von denen nur ein Teil an die Bedingungssignalisierungsschaltung angeschlossen ist und daß sowohl die Prüfsignalgeneratorschaltung als auch die Prüfsignalkontrollschaltung so ausgebildet sind, daß sie auf verschiedene Prüfalgorithmen, die eine unterschiedliche Anzahl von Prüfbits erfordern, umschaltbar sind und daß der eigentliche Informationsspeicher eingangsseitig direkt und ausgangsseitig über ein Ausgangsregister an den Datenbus des Mikrorechners angeschlossen ist, daß der zusätzliche Lese/Schreibspeicher eine Zugriffsbreite von einem Bit hat, daß die Prüfsignalgeneratorschaltung ein Paritätsgenerator ist, daß die Prüfsignalkontrollschaltung ein Paritätsprüfer ist, daß das Fehlerregister und das Steuerregister an den Datenbus angeschlossen sind, daß der Fehlersignalisierungsschaltung eine externe Fehlersignalleitung nachgeordnet ist und daß die Bedingungssignalisierungsschaltung mit einem Unterbrechungs-(Interrupt-)Eingang der CPU des Mikrorechners sowie einer externen Signalleitung verbunden ist.

Ausführungsbeispiel

Im folgenden Ausführungsbeispiel zeigen:

Fig. 1 das Blockschaltbild eines Mikrorechners mit der erfindungsgemäßen Speicheranordnung

Fig. 2 Details des Anschlusses der erfindungsgemäßen Speicheranordnung

Fig. 3 Details der Ausführung der Bedingungssignalisierungsschaltung

Fig. 4 Details der Ausführung der Fehlersignalisierungsschaltung.

Fig. 1 zeigt, wie die erfindungsgemäße Speicheranordnung im Rahmen einer praktisch häufig vorkommenden Mikrorechnerkonfiguration eingesetzt wird.

Der eigentliche Informationsspeicher 1 wird von der angeschlossenen Einrichtung 3 adressiert, und seine Dateneingänge und -ausgänge sind ebenfalls mit der angeschlossenen Einrichtung 3 verbunden. Die Zugriffsbreite des Informationsspeichers 1 entspricht der der angeschlossenen Einrichtung 3. Zusätzlich ist ein Lese/Schreibspeicher 4 (im folgenden als RAM 4 bezeichnet) vorgesehen. Dieser wird parallel zum Informationsspeicher 1 adressiert. Seinen Schreibimpuls- und Dateneingängen ist eine Auswahl-schaltung 5 vorgeschaltet, die ihrerseits mit Steuerregistern 7 der angeschlossenen Einrichtung 3 sowie mit einer Prüf-signalgeneratorschaltung 6 verbunden ist. Die Prüf-signalgeneratorschaltung 6 liefert Prüf-signale nach Art der Paritätskontrolle oder auch eines fehlerkorrigierenden Codes. Durch entsprechende Belegung der Steuerregister 7 kann jeweils eine von drei Möglichkeiten gewählt werden, bei Schreibzugriffen zum Informationsspeicher 1 Information in den RAM 4 einzutragen:

a) Es werden die Ausgangssignale der Prüf-signalgeneratorschaltung 6 eingeschrieben.

Dies ist der normale Betriebsfall, in dem die Daten im Informationsspeicher 1 durch zusätzliche Kontrollbits (Paritätsbits bzw. Bits des fehlerkorrigierenden Codes) überwacht werden.

b) Es werden spezielle Informationen aus den Steuerregistern 7 eingeschrieben. Dies ist der Fall, wenn die Anordnung auf den "Vergleichsstop"-Modus umgestellt wird.

c) Es werden für RAM 4 keine Schreibzugriffe ausgeführt. Dies ist der Fall, wenn die Anordnung im "Vergleichsstop"-Modus betrieben wird.

Ausgangsseitig ist der Anordnung aus Informationsspeicher 1 und RAM 4 eine Prüf-signalkontrollschaltung 8 nachgeordnet, die mit einer Fehlersignalisierungsschaltung 10 verbunden ist.

Die Prüf-signalkontrollschaltung 8 führt eine Prüfung der gelesenen Information durch, indem sowohl die Datenbits des Informationsspeichers 1 als auch des RAM 4 ausgewertet werden, und zwar wiederum nach Art der Paritätskontrolle oder eines

fehlerkorrigierenden Codes. Weiterhin ist RAM 4 eine Bedingungssignalisierungsschaltung 11 nachgeordnet. Beide Signalisierungsschaltungen 10; 11 werden durch spezielle Signale aus den Steuerregistern 7 gesteuert. Es ergeben sich dabei folgende Möglichkeiten:

- a) Die Fehlersignalisierungsschaltung 10 ist aktiviert. Dies ist der normale Betriebsfall, in dem die Daten im Informationsspeicher 1 durch zusätzliche Kontrollbits (Paritätsbits bzw. Bits des fehlerkorrigierenden Codes) überwacht werden.
- b) Beide Signalisierungsschaltungen 10; 11 sind inaktiv. Dies ist der Fall, wenn die Betriebsart der Anordnung umgestellt wird (von Paritätsprüfung auf Vergleichsstop oder umgekehrt).
- c) Die Bedingungssignalisierungsschaltung 11 ist aktiv. Dies ist der Fall, wenn die Anordnung im "Vergleichsstop"-Modus betrieben wird.

Der Anordnung liegt somit das Prinzip zugrunde, zusätzliche Speicherelemente, die auf bekannte Weise zum Zwecke der Kontrolle der gespeicherten Information verwendet werden, alternativ dazu zu benutzen, durch einen "Vergleichsstop"-Modus diagnostische Funktionen auszuführen. Dazu werden die zusätzlichen Speicherelemente in den betreffenden Positionen mit charakteristischen Bitmustern geladen. Diese Bitmuster werden beim Betrieb in diesem "Vergleichsstop"-Modus von der Bedingungssignalisierungsschaltung 11 ausgewertet. Ist beispielsweise zu überprüfen, ob auf die Adresse 2531 ein Schreibzugriff ausgeführt wird, so ist an die betreffende Position in RAM 4 ein entsprechendes Bitmuster einzutragen. Bei Zugriff auf die angegebene Adresse wird dies von der Bedingungssignalisierungsschaltung 11 erkannt.

Die alternative Nutzung des RAM 4 bedingt, daß zur Umschaltung zwischen den beiden Betriebsarten der normale Betrieb kurzzeitig unterbrochen werden muß. Dies ist aber für die meisten praktischen Anwendungsfälle keine Einschränkung. Üblicherweise wird im normalen Betrieb die Kontrolle der gespeicherten Information (z. B. durch Paritätsprüfung) eingeschaltet sein.

Zu Zwecken der Fehlersuche läßt sich hingegen oft der "Vergleichsstop"-Modus vorteilhaft einsetzen. Da die Fehlersuche in der Regel mit manuellen Eingriffen verbunden ist und eine vom Normalen abweichende Betriebsart darstellt, ist die erforderliche Unterbrechung des Betriebes in der Regel bedeutungslos. Bei Einsatz der Speicheranordnung im Rahmen von Mikrorechnerkonfigurationen oder ähnlichem läßt sich die Umstellung der Betriebsarten in der Regel durch Programme bewerkstelligen, die in anderen Speichermedien untergebracht sind. Die Tatsache, daß beim Betrieb im "Vergleichsstop"-Modus die Verläßlichkeit des Betriebes wegen der fehlenden Kontrolle geringer wird, ist im allgemeinen ebenfalls vernachlässigbar, wenn man die an sich hohe Zuverlässigkeit mikroelektronischer Einrichtungen und den vergleichsweise geringen Zeitanteil der Diagnose an der gesamten Betriebszeit der Anordnung berücksichtigt.

Enthält der RAM 4 mehrere Bits in jeder Position, um beispielsweise einen fehlerkorrigierenden Code aufzunehmen, so ist es möglich, im "Vergleichsstop"-Modus einige Bits für die Vergleichsstop-Bedingungen und einige für eine reduzierte Form der Informationskontrolle (etwa für eine Paritätsprüfung) zu verwenden.

Beispiel:

- Zugriffsbreite des Informationsspeichers 1: 16 Bits
- Zugriffsbreite des RAM 4: 5 Bits
- Belegung im normalen Modus: 5 Bits Fehlerkorrekturcode
- Belegung im "Vergleichsstop"-Modus: 3 Bits Vergleichsbedingung, 2 Bits Paritätsprüfung (je 1 Paritätsbit für 8 Informationsbits).

Im folgenden soll eine spezielle Ausführung näher beschrieben werden, bei der die angeschlossene Einrichtung 3 ein Mikrorechner ist, wie dies in Fig. 1 bereits detailliert angedeutet ist. Der Mikrorechner selbst stellt eine übliche Anordnung aus CPU 14, ROM 16 sowie Zeitgeberschaltungen CTC 19 und seriellen sowie parallelen Ein/Ausgabeschaltungen SIO, PIO 21; 22 dar, die als

MOS-LSI-Schaltungen ausgeführt sind. Die Einrichtungen sind über einen Datenbus 2, einen Adressenbus 17 und Steuerleitungen 18 untereinander verbunden.

Der Adressenbus 16 hat eine Breite von 16 Bit und der Datenbus 2 eine von 8 Bit. Die Speicheranordnung ist ebenfalls an diese Leitungssysteme angeschlossen. Dabei ist zwischen dem Ausgang des Informationsspeichers 1 und dem Datenbus 2 ein Ausgangsregister 12 geschaltet.

Zusätzlich sind an den Datenbus 2 die Steuerregister 7 sowie ein Fehlerregister 9 angeschlossen. Die Register 7; 9 sind weiterhin derart mit Teilen des Adressenbus 17 und der Steuerleitungen 18 verbunden, daß die Steuerregister 7 von Programmen beschrieben werden können und daß das Fehlerregister 9 von Programmen gelesen werden kann. Der Informationsspeicher 1 ist ein Lese/Schreibspeicher mit einer Kapazität von 32 kBytes. Er wird im folgenden ebenfalls als RAM bezeichnet. RAM 4 hat eine Kapazität von 32 kbit, d. h. je Position wird ein Bit belegt. Damit ist eine Paritätsprüfung möglich, so daß die Prüfsignalgeneratorschaltung 6 als Paritätsgenerator und die Prüfsignalkontrollschaltung 8 als Paritätsprüfer ausgebildet sind.

Für eine genauere Erläuterung zeigt Fig. 2 nähere Details des Anschlusses der Speicheranordnung, insbesondere die Ausführung der Auswahl-schaltung 5 und die Belegung der Steuerregister 7. Die Steuerregister 7 enthalten 2 Bytes, die einzeln programmtechnisch geladen werden können. Es sind jeweils nur wenige Bits zur Steuerung der Speicheranordnung belegt, die verbleibenden Bits dienen anderweitigen Zwecken. Die Steuerregister 7 sind Flipflop-Register, an deren Ausgänge die betreffenden Steuerleitungen direkt angeschlossen sind.

Bedeutung der Steuersignale:

- **ENABLE PARITY.** Der Modus der Paritätskontrolle ist eingeschaltet. Das Signal veranlaßt, daß das Ausgangssignal des Paritätsgenerators 6 zum Dateneingang des RAM 4 durchgesteuert wird und daß bei Schreibvorgängen auch RAM 4 Schreibimpulse von der Leitung WRITE PULSE erhält.

- ENABLE ERROR SIGNALIZATION. Es wird erlaubt, daß die Fehler-signalisierungsschaltung 10 ein externes Fehlersignal abgibt.
- ENABLE COMPARE STOP. Der "Vergleichsstop"-Modus ist eingeschaltet. In diesem Modus muß ENABLE PARITY inaktiv sein. Damit gelangen keine Schreibimpulse zu RAM 4. RAM 4 wird nur gelesen, und die Information wird in der Bedingungssignalisierungsschaltung 11 ausgewertet.
- ENABLE INJECT. Dies ist der Modus der Betriebsartenumstellung. Es wird erlaubt, daß über die Auswahl-schaltung 5 die Belegung der Leitung INJECT HIGH in den RAM 4 übernommen wird (bei Schreibzugriffen).
- FORCE EVEN PARITY/INJECT HIGH. Dieses Bit wird doppelt ausgenutzt:
 - a) Ist ENABLE PARITY aktiv, wird Paritätsgenerator 6 auf die Erzeugung von Prüfbits gerader Parität umgestellt (der normale Modus ist die ungerade Parität). Damit muß Paritätsprüfer 8 stets Fehler signalisieren. Dieses Signal dient somit zur Überprüfung der Funktionsfähigkeit der Paritätskontrolle. Es kann z. B. im Rahmen von Diagnoseprogrammen benutzt werden.
 - b) Ist ENABLE INJECT aktiv, so wird die Belegung dieses Bits bei Schreibzugriffen in den RAM 4 übernommen.
- STOP ON READ, STOP ON WRITE. Diese beiden Bits sind nur bedeutungsvoll, wenn ENABLE COMPARE STOP aktiv ist. Sie steuern die Auswertung der Vergleichsstopbedingung in der Bedingungssignalisierungsschaltung 11.

Zur Bedeutung der weiteren Steuersignale in Fig. 2:

WRITE PULSE ist der Schreibimpuls für die RAMs 1; 4, der bei jedem Schreibzugriff von der allgemeinen Steuerung des Mikrorechners geliefert wird.

PARITY CHECK ist das Fehlersignal des Paritätsprüfers 8, das nur erzeugt wird, wenn die Paritätsprüfung erlaubt ist und wenn der Mikrorechner einen Zugriff zum RAM ausführt (Signal RAM ACCESS aus der allgemeinen Steuerung des Mikrorechners).

Fig. 3 zeigt die detaillierte Ausgestaltung der Bedingungs-signalisierungsschaltung 11. Sie gibt folgende Ausgangssignale ab, die von je einem Flipflop geliefert werden:

COMPARE STOP. Dies ist ein Impuls, der auf die externe Signal-leitung 15 abgegeben wird, wenn in einem Zyklus die "Vergleichs-stop"-Bedingung erfüllt ist.

NMI. Dies ist ein Unterbrechungssignal für die CPU 14, das ebenfalls abgegeben wird, wenn die "Vergleichsstop"-Bedingung erfüllt ist.

NMI IN PROGRESS. Dieses Signal zeigt an, daß eine Unterbrechung zur Behandlung einer "Vergleichsstop"-Bedingung von der CPU 14 bearbeitet wird.

Die "Vergleichsstop"-Bedingung kann auf zwei verschiedene Weisen ausgewertet werden:

a) durch Signalisierung nach außen, z. B. für eine optische Anzeige. Dazu wird auf der Leitung 15 ein Impuls COMPARE STOP abgegeben.

b) von der CPU 14 des Mikrorechners selbst. Dazu wird eine Unterbrechung ausgelöst, die ein Auswerteprogramm startet, das im ROM 16 untergebracht ist. Die Unterbrechung muß von der CPU 14 vorrangig behandelt werden. Dazu besitzen viele der üblichen Mikrorechnerschaltkreise einen Eingang für einen "nicht-maskierbaren Interrupt" (NMI). Dieser wird durch die NMI-Leitung erregt.

Zusätzlich zu den bereits beschriebenen Signalen werden aus den allgemeinen Steuerschaltungen des Mikrorechners noch folgende Signale verarbeitet:

READ OPERATION. Das Signal zeigt an, daß ein Lesezyklus mit RAM 1 und RAM 4 ausgeführt wird.

WRITE OPERATION. Das Signal zeigt an, daß ein Schreibzyklus mit RAM 1 ausgeführt wird (mit RAM 4 wird gleichzeitig ein Lesezyklus ausgeführt).

CYCLE RUNNING. Das Signal zeigt an, daß der Mikrorechner einen Speicherzyklus ausführt.

NMI ENABLE. Das Signal zeigt an, daß die Behandlung der

"Vergleichsstop"-Bedingung durch die CPU 14 selbst erfolgt. NMI DONE. Das Signal wird von der CPU 14 programmtechnisch aktiviert. Es zeigt an, daß die CPU 14 die Behandlung der "Vergleichsstop"-Bedingung beendet hat.

NMI ACTION. Das Signal zeigt an, daß die CPU 14 die Unterbrechung angenommen hat.

Eine "Vergleichsstop"-Bedingung wird erkannt, wenn im aktuellen Zyklus aus RAM 4 (über die Leitung RAM OUTPUT 8) eine "1" gelesen wird und die betreffenden Steuerregister-Bits gesetzt sind.

ENABLE COMPARE STOP muß stets aktiv sein. Ist ein Stop bei Lesezugriffen gewünscht, muß zusätzlich STOP ON READ gesetzt sein. Entsprechend ist STOP ON WRITE zu setzen, wenn ein Stop bei Schreibzugriffen gewünscht wird.

Fig. 4 zeigt Details der Fehlersignalisierungsschaltung 10 und des Fehlerregisters 9.

Über das Fehlerregister 9 können Programme in der CPU 14 Fehlersignale aus dem gesamten Mikrorechner programmtechnisch abfragen. Es ist in Fig. 4 angedeutet, daß neben dem bereits beschriebenen Paritätsfehlersignal PARITY CHECK noch anderweitige Fehlersignale zum Fehlerregister 9 geführt sind. Auch ist dort das Signal NMI IN PROGRESS angeschlossen. Dieses dient zur Zustandsanalyse während der Fehlerbehandlung. Die Fehlersignalisierungsschaltung 10 liefert das externe Fehlersignal ERROR auf der Fehlersignalleitung 13, sofern dies durch das Steuerungssignal ENABLE ERROR SIGNALIZATION erlaubt ist. Das Fehlersignal ERROR wird durch einen Flipflop so lange aktiv gehalten, bis im Mikrorechner ein Rücksetzen (Signal RESET) ausgelöst wird. Wichtig für die Art und Weise der Fehlerbehandlung ist die Tatsache, daß Mikrorechner üblicherweise mit anderen Einrichtungen im Realzeitbetrieb zusammenarbeiten. Somit sind umfangreiche Fehlermaßnahmeprogramme (wie etwa bei EDV-Anlagen) wenig sinnvoll. Vielmehr handelt es sich darum, die anderen Einrichtungen über den Fehler zu informieren, um schwerwiegende

Fehlfunktionen durch eine Notmaßnahme zu verhindern. Danach ist in der Regel ein generelles Rücksetzen erforderlich. Die Umschaltung zwischen den Betriebsarten kann von der CPU 14 vorgenommen werden. Dazu sind entsprechende Programme im ROM 16 gespeichert.

Algorithmus zur Umstellung auf den "Vergleichsstop"-Modus:

- ENABLE PARITY löschen
- ENABLE INJECT einschalten
- INJECT HIGH löschen
- Alle Speicherplätze im RAM 1 nacheinander lesen und wieder beschreiben. Dabei werden gleichzeitig in den RAM 4 Nullen eingetragen.
- ENABLE INJECT setzen
- Alle Speicherplätze, für die ein Vergleichsstop gewünscht wird, lesen und wieder beschreiben. Dabei werden in diesen Positionen in den RAM 4 Einsen eingetragen.
- ENABLE INJECT löschen
- ENABLE COMPARE STOP setzen
- Nach Wunsch STOP ON READ oder STOP ON WRITE oder beides setzen
- Gewünschte Funktion starten

Algorithmus für die Rückkehr zur Paritätsprüfung:

- ENABLE COMPARE STOP löschen
- INJECT HIGH löschen
- ENABLE ERROR SIGNALIZATION löschen
- ENABLE PARITY setzen
- Alle Speicherplätze nacheinander lesen und wieder beschreiben
- ENABLE ERROR SIGNALIZATION setzen
- Gewünschte Funktion starten.

Erfindungsanspruch

1. Speicheranordnung mit Fehlererkennungs- und Diagnoseeigenschaften, vorzugsweise für Mikrorechner, gekennzeichnet dadurch, daß parallel zu dem eigentlichen Informationsspeicher (1) mit einer dem Datenpfad (2) der angeschlossenen Einrichtung (3) entsprechenden Zugriffsbreite ein zusätzlicher Lese/Schreibspeicher (4) angeordnet ist, dem eine Auswahlerschaltung (5) vorgeschaltet ist, die mit einer Prüfsignalgeneratorschaltung (6) und mit Ausgängen von Steuerregistern (7) verbunden ist, daß der gesamten Speicheranordnung (1; 4) eine Prüfsignalkontrollschaltung (8) nachgeordnet ist, deren Ausgänge an ein Fehlerregister (9) und eine Fehlersignalisierungsschaltung (10) angeschlossen sind und daß dem zusätzlichen Lese/Schreibspeicher (4) eine Bedingungssignalisierungsschaltung (11) nachgeordnet ist, die an Ausgänge der Steuerregister (7) und an Eingänge des Fehlerregisters (9) angeschlossen ist.
2. Anordnung nach Punkt 1, gekennzeichnet dadurch, daß der zusätzliche Lese/Schreibspeicher (4) eine Zugriffsbreite von mehreren Bits hat, von denen nur ein Teil an die Bedingungssignalisierungsschaltung (11) angeschlossen ist und daß sowohl die Prüfsignalgeneratorschaltung (6) als auch die Prüfsignalkontrollschaltung (7) so ausgebildet sind, daß sie auf verschiedene Prüfalgorithmen, die eine unterschiedliche Anzahl von Prüfbits erfordern, umschaltbar sind.
3. Anordnung nach Punkt 1, wobei die angeschlossene Einrichtung als Mikrorechner ausgebildet ist, gekennzeichnet dadurch, daß der eigentliche Informationsspeicher (1) eingangsseitig direkt und ausgangsseitig über ein Ausgangsregister (12) an den Datenbus (2) des Mikrorechners (3) angeschlossen ist, daß der zusätzliche Lese/Schreibspeicher (4) eine Zugriffsbreite von einem Bit hat, daß die Prüfsignalgeneratorschaltung (6) ein Paritätsgenerator ist, daß die Prüfsignalkontrollschaltung (8) ein Paritätsprüfer ist, daß das Fehlerregister

(9) und das Steuerregister (7) an den Datenbus (2) angeschlossen sind, daß der Fehlersignalisierungsschaltung (10) eine externe Fehlersignalleitung (13) nachgeordnet ist und daß die Bedingungssignalisierungsschaltung (11) mit einem Unterbrechungs-(Interrupt-)Eingang der CPU (14) des Mikrorechners (3) sowie einer externen Signalleitung (15) verbunden ist.

Hierzu 4 Seiten Zeichnungen

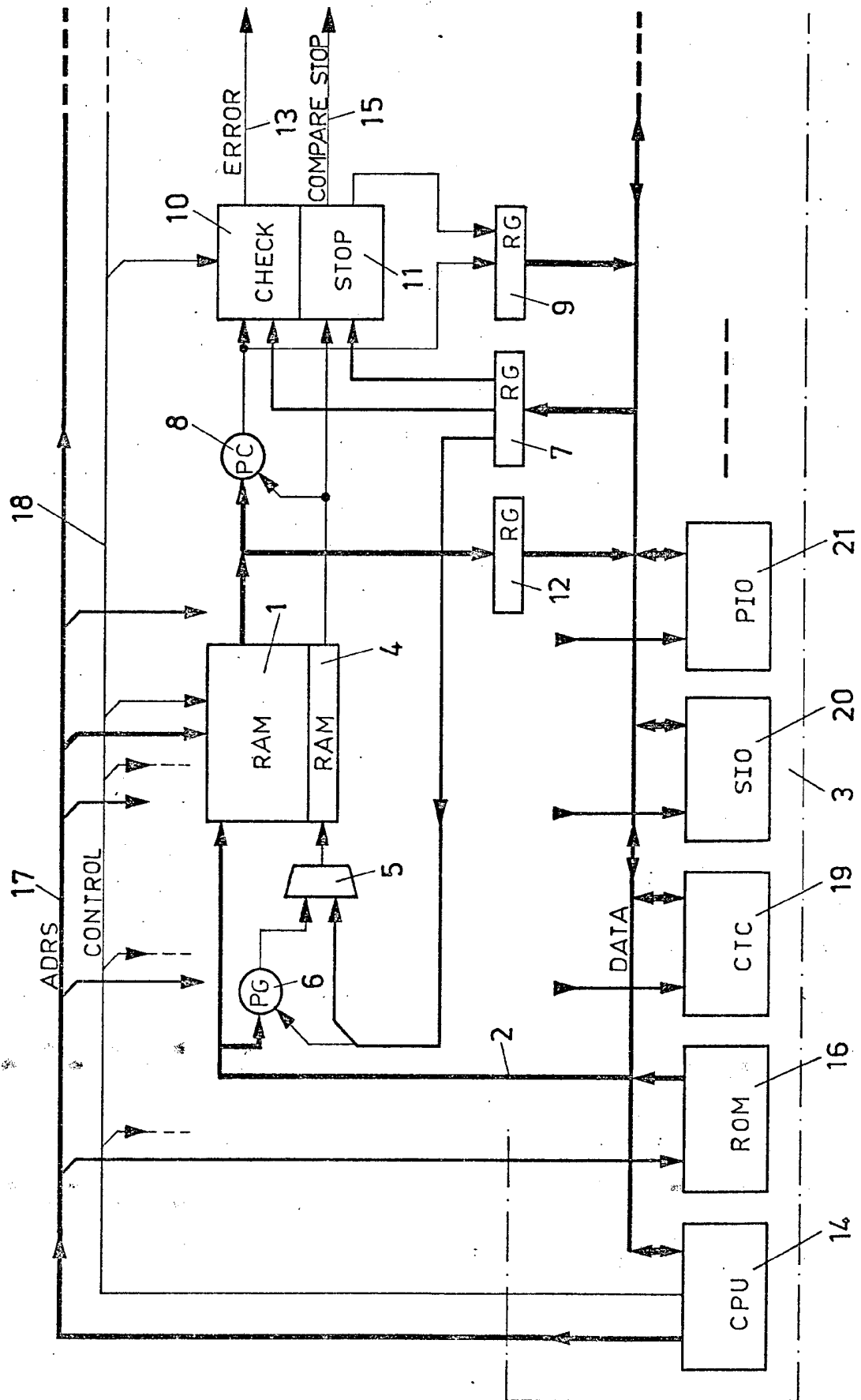


Fig. 1

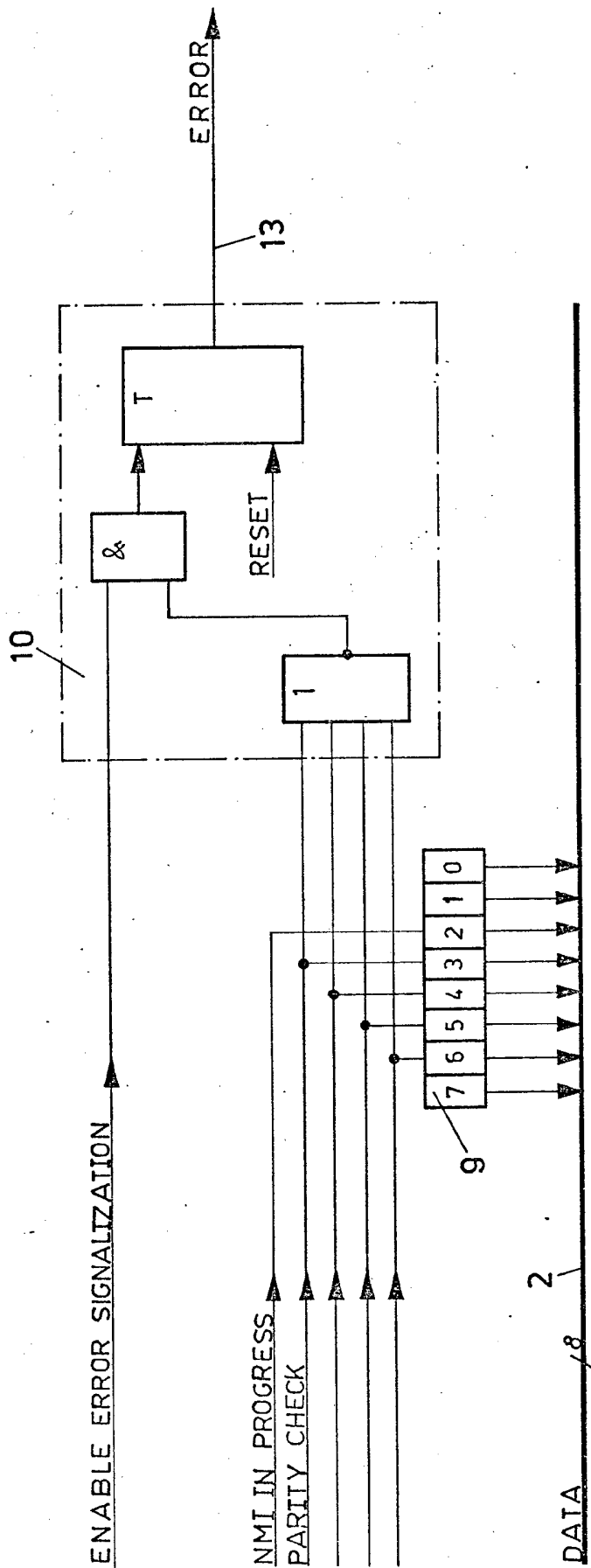


Fig.4