

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 21/8247 (2006.01)

H01L 27/115 (2006.01)

G11C 16/10 (2006.01)



[12] 发明专利说明书

专利号 ZL 200410054957.0

[45] 授权公告日 2007 年 8 月 29 日

[11] 授权公告号 CN 100334716C

[22] 申请日 2004.7.26

[21] 申请号 200410054957.0

[30] 优先权

[32] 2003.7.25 [33] US [31] 10/627,026

[73] 专利权人 旺宏电子股份有限公司

地址 台湾省新竹科学工业园区

[72] 发明人 杨大弘 杨添助 吴宗显 李崇贤
郭权辉

[56] 参考文献

TW 526612 2003.4.1

US6436722B2 2002.8.20

US5449632A 1995.9.12

US5691216A 1997.11.25

审查员 曹轶乐

[74] 专利代理机构 北京市柳沈律师事务所

代理人 李晓舒 魏晓刚

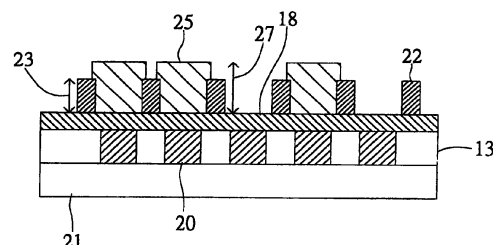
权利要求书 5 页 说明书 16 页 附图 8 页

[54] 发明名称

程序编码一只读存储元件的方法及所形成的
只读存储元件

[57] 摘要

本发明公开一种程序编码一只读存储元件的方法及所形成的只读存储元件。依照此方法，先形成一只读存储元件的半成品，半成品中具有多个相同宽度的栅极。接着，于只读存储元件半成品上形成第一光致抗蚀剂层。第一光致抗蚀剂层被选择性地曝光，以显影一具预编码开口的图案。每一预编码开口的大小基本上相等，且每一预编码开口设置于一字线上，且介于由二相邻位线与一字线所构成的交错区域之间。然后，形成一第二光致抗蚀剂层在第一光致抗蚀剂层上，并选择性曝光，以显影一具真编码开口的图案，每一真编码开口的大小基本上相等。最后，注入一适当的离子剂量于由真编码开口与预编码开口所构成的交错区域中，以进行只读存储元件的编码。



1. 一种程序编码一只读存储元件的方法，其中，预定的存储器单元是以注入相等的一离子剂量来编码，该方法包括：

(a) 形成至少一只读存储元件的半成品，且各只读存储元件具有多个栅极，这些栅极具有相等的一栅极宽度；

(b) 形成一具预编码开口的图案，各预编码开口设置于一字线上且介于一由二相邻的位线与其一字线所构成的交错区域之间，这些预编码开口的大小相等；

(c) 形成一具真编码开口的图案以覆盖于该具预编码开口的图案上，这些真编码开口的大小相等且这些真编码开口的数目少于这些预编码开口的数目；以及

(d) 注入该离子剂量于由这些真编码开口与这些预编码开口所构成的多个交错区域，由这些真编码开口与这些预编码开口所构成的这些交错区域具有相等的开口。

2. 如权利要求 1 所述的方法，其中：

于该形成一具预编码开口的图案的步骤中包括：

形成一第一光致抗蚀剂层于这些只读存储元件的半成品上，并选择性地曝光该第一光致抗蚀剂层以显影该具预编码开口的图案；以及

于该形成一具真编码开口的图案的步骤中包括：

形成一第二光致抗蚀剂层于该第一光致抗蚀剂层上，并选择性地曝光该第二光致抗蚀剂层以显影该具真编码开口的图案。

3. 如权利要求 2 所述的方法，其中该方法更包括：

于形成该具预编码开口的图案后，硬化该第一光致抗蚀剂层。

4. 如权利要求 3 所述的方法，于该硬化该第一光致抗蚀剂层的步骤中，更包括：

对该第一光致抗蚀剂层进行离子注入，或将该第一光致抗蚀剂层置于等离子体蚀刻机内进行处理。

5. 如权利要求 1 所述的方法，其中，这些预编码开口的宽度大于被这些预编码开口所覆盖的这些栅极的宽度。

6. 如权利要求 5 所述的方法，其中，这些真编码开口的大小大于这些

预编码开口的大小。

7. 如权利要求 6 所述的方法, 其中该方法的步骤(c)以及步骤(d), 是依据所需的临界电压, 重复实施。

8. 如权利要求 5 所述的方法, 其中, 这些真编码开口的大小, 等于这些预编码开口的大小。

9. 如权利要求 5 所述的方法, 其中, 这些真编码开口的大小, 小于这些预编码开口的大小。

10. 如权利要求 1 所述的方法, 其中于形成这些预编码开口的步骤中包括:

形成一氧化层覆盖于这些栅极上;

以该具预编码开口的图案, 形成一图案化的第一光致抗蚀剂层于该氧化层上; 以及

蚀刻该氧化层并除去该第一光致抗蚀剂层。

11. 如权利要求 10 所述的方法, 其中, 该方法更包括:

于蚀刻该氧化层并除去该第一光致抗蚀剂层后, 形成一牺牲层于该具预编码开口的图案上; 以及

平坦化该牺牲层。

12. 如权利要求 11 所述的方法, 其中, 平坦化该牺牲层的步骤是以化学机械研磨法或回蚀法进行。

13. 如权利要求 11 所述的方法, 其中形成这些真编码开口后, 除去该牺牲层中的曝光部分。

14. 如权利要求 1 所述的方法, 其中于形成这些只读存储元件的半成品, 且各只读存储元件具有多个栅极的步骤更包括:

涂布一抗反射层。

15. 如权利要求 1 所述的方法, 其中:

位于由这些真编码开口与这些预编码开口所构成的这些交错区域下的多个第一栅极沟道, 透过与该具这些预编码开口的图案相同大小的开口, 这些第一栅极沟道具有的离子剂量, 与权利要求 1 所述的(d)步骤的该离子剂量相同; 以及

位于非由这些真编码开口与这些预编码开口所构成的这些交错区域下的多个第二栅极沟道, 这些第二栅极沟道于权利要求 1 所述的(d)步骤中, 无

离子剂量的注入。

16. 如权利要求 1 所述的方法，其中该至少一只读存储元件的半成品，包括多个只读存储元件的半成品，且该些栅极包括该些只读存储元件的半成品的所有栅极。

17. 如权利要求 1 所述的方法，其中于权利要求 1 所述的(b)步骤与(c)步骤间，该只读存储器的结构，是可贮存及再回复以供额外的处理。

18. 一种利用如权利要求 1 所述的方法形成的只读存储元件，其中该具该些预编码开口的图案以及该具该些真编码开口的图案，是垂直重叠并设置于不同的平面。

19. 一种程序编码一只读存储元件的方法，其中，预定的存储器单元以注入相等的一离子剂量来编码，该方法包括：

(a) 形成至少一只读存储元件的半成品，且各只读存储元件具有多个相同宽度的栅极；

(b) 形成一具真编码开口的图案，此步骤中包括：形成一第一光致抗蚀剂层于该些只读存储元件的半成品上，并选择性地曝光该第一光致抗蚀剂层以显影该具真编码开口的图案；

(c) 形成一具预编码开口的图案以覆盖于该具真编码开口的图案上，此步骤中包括：形成一第二光致抗蚀剂层于该第一光致抗蚀剂层上，并选择性地曝光该第二光致抗蚀剂层以显影该具预编码开口的图案；以及

(d) 注入该离子剂量于由该些预编码开口与该些真编码开口所构成的多个交错区域，且该些交错区域具有相等的大小，

其中各真编码开口相对于该些其它真编码开口的大小相等，该些预编码开口的大小相等，以及该些真编码开口的数目少于该些预编码开口的数目。

20. 如权利要求 19 所述的方法，其中该方法更包括：

于形成该具真编码开口的图案后，硬化该第一光致抗蚀剂层。

21. 如权利要求 20 所述的方法，于该硬化该第一光致抗蚀剂层的步骤中，更包括：

对该第一光致抗蚀剂层进行离子注入，或将该第一光致抗蚀剂层置于等离子体蚀刻机内进行处理。

22. 如权利要求 19 所述的方法，其中，该些预编码开口的宽度大于被该些预编码开口所覆盖的该些栅极的宽度。

23. 如权利要求 22 所述的方法, 其中, 这些真编码开口的大小大于这些预编码开口的大小。

24. 如权利要求 23 所述的方法, 其中该方法的步骤(c)以及步骤(d), 是依据所需的临界电压, 重复实施。

25. 如权利要求 22 所述的方法, 其中, 这些真编码开口的大小, 相等与这些预编码开口的大小。

26. 如权利要求 25 所述的方法, 其中该方法的步骤(b)、步骤(c)以及步骤(d), 是依据所需的临界电压, 重复实施。

27. 如权利要求 22 所述的方法, 其中, 这些真编码开口的大小, 小于这些预编码开口的大小。

28. 如权利要求 19 所述的方法, 其中于形成这些预编码开口的步骤中包括:

形成一氧化层覆盖于这些栅极上;

以该具预编码开口的图案, 形成一图案化的第一光致抗蚀剂层于该氧化层上; 以及

蚀刻该氧化层并除去该第一光致抗蚀剂层。

29. 如权利要求 28 所述的方法, 其中, 该方法更包括:

于蚀刻该氧化层并除去该第一光致抗蚀剂层后, 形成一牺牲层于该具预编码开口的图案上; 以及

平坦化该牺牲层。

30. 如权利要求 29 所述的方法, 其中, 平坦化该牺牲层的步骤是以化学机械研磨法或回蚀法进行。

31. 如权利要求 30 所述的方法, 其中形成这些真编码开口后, 除去该牺牲层中的曝光部分。

32. 如权利要求 19 所述的方法, 其中于形成这些只读存储元件的半成品, 且各只读存储元件具有多个栅极的步骤更包括:

涂布一抗反射层。

33. 如权利要求 19 所述的方法, 其中:

位于由这些真编码开口与这些预编码开口所构成的这些交错区域下的多个第一栅极沟道, 透过与该具这些预编码开口的图案相同大小的开口, 这些第一栅极沟道具有的离子剂量, 是与权利要求 21 所述的(d)步骤的该离子

剂量相同；以及

位于非由这些真编码开口与这些预编码开口所构成的这些交错区域下的多个第二栅极沟道，这些第二栅极沟道于权利要求 21 所述的(d)步骤中，无离子剂量的注入。

34. 一种利用如权利要求 33 所述的方法形成的只读存储元件，其中该具这些真编码开口的图案以及该具这些预编码开口的图案，是垂直重叠并设置于不同的光致抗蚀剂平面。

35. 如权利要求 19 所述的方法，其中该至少一只读存储元件的半成品，包括多个只读存储元件的半成品，且这些栅极包括这些只读存储元件的半成品的所有栅极。

程序编码一只读存储元件的方法及所形成的只读存储元件

技术领域

本发明是有关于一种非易失性(non-volatile)存储元件，且特别是有关于一种程序编码只读存储半导体元件的方法。

背景技术

非易失性(non-volatile)半导体存储元件主要目的是用以安全地储存数据，甚至当没有电源供应时，数据仍存在。而只读存储器(Read Only Memory, ROM)，为一种非易失性存储元件，用以储存已写好的程序，并广泛地被应用于所有以微处理机为基础的数字电子装置中。

存储单元(cell)的阵列(array)一般配置于只读存储元件内，用以存放数据，且每一存储单元内包括一个晶体管。这些晶体管主要为金属氧化物半导体场效应晶体管(Metal-Oxide-Semiconductor Field Effect Transistor, MOSFET)，配置于存储元件的字线(word line)与位线(bit line)所构成的交错区域中。于存储单元的晶体管中的位数据值或程序代码，会永久地以物理或电力特性的方式储存于个别存储单元内。一般说来，存放于非易失性只读存储器内的数据，只供读取，但不能变更或再存入其它数据。

对于只读数据的储存，在存储元件制造时，于程序编码只读存储器过程中完成。一般而言，习知的编码只读存储器的方式，必需藉由离子注入，将只读的数据写至所选定的存储单元的晶体管沟道区域中，因此，必需提高其金属氧化物半导体场效应晶体管的临界电压(threshold voltage)，并使增加的临界电压值大于可能外加电压的最大值。如此一来，可得到一永久性绝缘或低传导性的晶体管，亦即编码二进制程序码的‘0’至所选定的金属氧化物半导体场效应晶体管。

由于离子只需注入于所选定的存储单元的晶体管沟道区域中，故于离子轰击期间，存储元件的其它区域应被遮盖并保护。因此，各种具不同编码的光掩模已被应用于使离子注入半导体中特定的区域。故若于程序编码过程中，采用具不同编码的光掩模，便能制造相异的多种只读存储器，称作光掩

模式只读存储器(mask ROM)。

用以帮助光掩模式只读存储器编码的具编码的光掩模,是利用光刻工艺(photolithography)的原理来进行。光刻工艺,为一种将图案移转到一硅基板(substrate)上,以便产生如微米(micro, μ)的微小结构的方法。光刻工艺可整合于许多包含有光掩模式只读存储器的近代元件的制造,例如:微机电系统(micro-electro-mechanical systems)、光学元件及半导体元件等。

习知的光刻工艺,是用一种装置(例如是旋转盘, spinner),均匀地将一层感光电阻沉积在硅基板,例如是半导体的晶片(wafer)上。再利用紫外光或其它型式的放射光,将此晶片曝光。曝光前,于此晶片表面先设置一光掩模,用以避免放射光穿透其余非预定感光电阻层的区域。当曝光时,于放射光下,预定感光电阻层的区域自然进行某一程度的聚合作用(polymerization)或去极化(depolymerization)反应。接着,将晶片浸入一种作为显影液的化学品中加以显影后,溶解晶片上部分不必要的光致抗蚀剂,并冲洗晶片表面以去除显影液。由于晶片上的光致抗蚀剂图案由光掩模的图案所决定,因此,此具光掩模图案的光致抗蚀剂被称为图案化光致抗蚀剂。

图案化光致抗蚀剂层直接可形成于裸晶片(bare wafer)上或已具有多层结构的晶片上,但须考虑到形成的表面需平坦以避免聚焦变化深度的问题。一般图案化光致抗蚀剂的应用包括选择性地掺杂晶片的特定区域,并于硅基板上选择性地蚀刻图案化光致抗蚀剂层下的结构。当图案化光致抗蚀剂作为注入障壁使用时,图案化光致抗蚀剂可避免底下欲保护的区域获得掺杂剂,因此可使硅基板中的不同区域具有不同的电性。

具编码光掩模可分为预编码光掩模(pre-code mask)以及真编码光掩模(real-code mask)。预编码光掩模用于形成密集且相等的开口,且每一开口定义为一个晶体管。真编码光掩模只用于形成具可程序化晶体管的开口。

有数种方法可将欲得的程序码注入至只读存储器内,用以进行只读存储器的编码。今举出两种一般习知的实作编码方法,宣称可降低工艺时间以及减少工艺的步骤。第一种方法包括:形成一光致抗蚀剂层,接着,分别采用具有预编码开口的图案的光掩模以及具有真编码开口的图案的光掩模,两次曝光此光致抗蚀剂层。于此法中,由于单一光致抗蚀剂平面曝光两次,使得两次曝光后重叠结果难以控制,造成注入区域可能发生移位的问题。

另一种习知的编码方法为,于离子注入时仅使用单一光掩模(即真编码

光掩模),而未使用预编码光掩模,故真编码藉由一光掩模影像形成于单一光致抗蚀剂平面上。此种方法所需要的工艺步骤最少,但因未使用预编码光掩模,故很难控制各个工艺中窗口(开口区域)的实际大小。如此一来,位于只读存储器上的不同位置的晶体管,其离子剂量的接收控制制度变差。

为了避免上述的困难,提供一种替代方法,是于光刻工艺技术中,选择性地使用一氧化层与一个或多个光致抗蚀剂层。作为预编码光掩模使用的氧化层,可依据欲达成的制造电路结构,并避免上述问题来进行所需的离子注入。然而,由于此替代方法牵涉一氧化层的应用,亦伴随着某些缺点,例如:为了图案化氧化层所需增加的步骤使得工艺时间增长、额外原料消耗增加且增加成本。此外,于氧化层形成及图案化氧化层的过程中,可能有非必要外来粒子造成晶片污染。再者,氧化预编码光掩模过程的施行也可能导致关键尺度(Critical Dimension, CD)产生偏差,并可能导致蚀刻不均匀等相关问题。于形成一具有预编码开口图案于氧化层上时,不精确的 CD 更对之后所进行的注入真编码工艺造成不利的影晌。有鉴于此,对于光掩模式只读存储器的制造及编码,如何迅速且容易地进行程序化编码且消耗最少的材料、避免污染以及避免 CD 偏差,实为所有相关从业人员所必须努力改进的方向。

对于相关从业人员而言,除了习知光掩模式只读存储器制造方法的上述缺点必须加以改善,以期更精确的控制注入离子的剂量与控制所形成的开口大小外,更希望能够使所需的工艺时间达到最少且材料的消耗量最低,以期增加生产良率及维持低成本。再者,希望有更精确的编码方法能够降低于预编码时可能的粒子污染。另外,因元件大小接近光刻工艺处理的分辨率极限,如程序代码注入区域的大小为 $0.15 \mu\text{m}^2$,故需不断操练精进,以期更精确的控制预编码以及真编码的 CD 等各项技术,而能够以较经济的方式维持元件的品质。

发明内容

有鉴于此,本发明的目的就是在提供一种制造相同非易失性(non-volatile)的存储器编码结构及其方法,以达到快速、无污染性、可控制性且结构简单的作用。本发明揭露一种程序编码光掩模式只读存储器(mask read only memory)的方法,于本发明中,将光致抗蚀剂覆盖于只读存储器的字线(word line)上,并直接形成只读存储器的具预编码(pre-code)开口的图案

于光致抗蚀剂上。接着，形成第二光致抗蚀剂层，并图案化第二光致抗蚀剂层，以产生只读存储器的具真编码(real-code)开口的图案，用以完成接下来程序化编码的离子注入步骤。具真编码开口的图案以及具预编码开口的图案，是垂直重叠并设置于不同的光致抗蚀剂平面上。

依照本发明的发明精神，一种执行本发明且达到其它优点的方法包括，形成至少一只读存储元件的半成品，且半成品中具有多个基本上相同的栅极宽度。接着，于只读存储元件半成品上形成第一光致抗蚀剂层，并选择性地曝光第一光致抗蚀剂层，以显影一具预编码开口的图案。每一预编码开口的大小基本上相等，且每一预编码开口设置于一字线上，且介于由二相邻的位线与一字线所构成的交错区域之间。然后，形成一第二光致抗蚀剂层在第一光致抗蚀剂层上，并选择性地曝光，以显影一具真编码开口的图案，每一真编码开口的大小基本上相等。随后，再注入适当的离子剂量于由真编码开口与预编码开口所构成的交错区域中。于形成具真编码开口的图案后，对第一光致抗蚀剂层注入适当剂量(离子)，或将第一光致抗蚀剂层置于等离子体蚀刻机内进行处理，使第一光致抗蚀剂层硬化。

此外，栅极宽度的大小基本上不需相等，预编码开口的大小基本上不需相等，且真编码开口的大小基本上不需相等，只要位于由真编码开口以及预编码开口所构成的交错区域中所形成的开口具有相同的大小，以使基本上相等的注入剂量可传送至特定的沟道即可。形成第一光致抗蚀剂层之前，可依使用者所需，先涂布一抗反射层(anti-reflective coating layer)。

再者，形成预编码开口可先形成一氧化层覆盖于只读存储元件半成品的栅极上，接着，形成第一图案化光致抗蚀剂层于氧化层上，然后蚀刻氧化层并除去第一图案化光致抗蚀剂层。随后，形成第二图案化光致抗蚀剂层于氧化层上。在除去第一图案化光致抗蚀剂层后，可依实际需求，形成一牺牲层(sacrificial layer)，并平坦化此牺牲层。在形成第二图案化光致抗蚀剂层后，除去牺牲层的曝光区。

依照本发明的发明精神，另一种执行本发明的方法包括，形成至少一只读存储元件的半成品，且半成品中具有多个基本上相同的栅极宽度。接着，于只读存储元件半成品上形成第一光致抗蚀剂层，并选择性地曝光第一光致抗蚀剂层，以显影一具真编码开口的图案。每一真编码开口的大小基本上相等。然后，形成一第二光致抗蚀剂层在第一光致抗蚀剂层上，并选择性地曝

光，以显影一具预编码开口的图案。每一预编码开口的大小基本上相等。随后，再注入适当的离子剂量于由真编码开口与预编码开口所构成的交错区域中。

此外，至少一具真编码开口的图案的开口与至少一预编码开口重叠。真编码开口的数目可少于预编码开口的数目，预编码开口的宽度可大于栅极宽度，且真编码开口的大小可大于、等于或小于预编码开口的大小。

依照本发明，一种程序编码只读存储元件的方法包括：形成第一光致抗蚀剂层、图样化第一光致抗蚀剂层、形成第二光致抗蚀剂层、图样化第二光致抗蚀剂层以及只读存储元件的编码注入。上述方法依据所需的临界电压，全部或部分重复实施。第一光致抗蚀剂层具有第一种厚度，第二光致抗蚀剂层具有第二种厚度，且第二光致抗蚀剂层的厚度可大于第一光致抗蚀剂层的厚度。

实施本发明的另一方法为：硅基板可由P型半导体基板所构成，位线可掺杂N型杂质形成，且二相邻位线间的硅基板可掺杂P型杂质。多个编码包括基本上所有编码，至少一只读存储元件的半成品，包括多个只读存储元件的半成品，且多个栅极包括基本上只读存储元件半成品的所有栅极。

为让本发明的上述目的、特征、和优点能更明显易懂，下文特举优选实施例，并配合附图，作详细说明如下。

附图说明

图 1 绘示乃形成字线后的只读存储元件的平面图；

图 2 绘示乃依照本发明的实施例的中间工艺阶段的只读存储元件的剖面图；

图 3A 绘示乃依照图 2，形成第一图案化光致抗蚀剂层后的只读存储元件的剖面图；

图 3B 绘示乃依照图 3A，形成第二图案化光致抗蚀剂层后的只读存储元件的剖面图；

图 4 绘示乃图 3B 的只读存储元件的一部分放大的剖面图；

图 5 绘示乃依照本发明的一实施例的编码只读存储元件工艺步骤的流程图；

图 6A 绘示乃依照图 2，为本发明的另一实施例的具有一额外图案化光

致抗蚀剂层的剖面图；

图 6B 绘示乃依照第 6A 图，并具有另一额外图案化光致抗蚀剂层的剖面图；

图 7 绘示乃依照本发明的另一实施例的编码只读存储元件工艺步骤的流程图；

图 8 绘示乃依照本发明的另一实施例的中间工艺阶段形成第一图案化光致抗蚀剂层后的只读存储元件的剖面图；

图 9 绘示乃依照图 8，蚀刻下面氧化层并除去第一图案化光致抗蚀剂层后的剖面图；

图 10 绘示乃依照图 9，并形成牺牲层于已蚀刻的氧化层间的剖面图；

图 11 绘示乃依照图 10，光掩模蚀刻牺牲层的选择区后的剖面图；以及

图 12 绘示乃依照图 11，程序码注入并除去光致抗蚀剂层、氧化层以及部分牺牲层，以形成一连续的 MOSFET 存储单元的剖面图。

附图标记说明

11: 位线

13: 字线

16: 存储单元

18: 底部抗反射层

20: 栅极宽度

21: 硅基板

22、22': 第一光致抗蚀剂层

23、23': 第一光致抗蚀剂层厚度

25、25': 第二光致抗蚀剂层

27、27': 第二光致抗蚀剂层厚度

28: 氧化层

30、38: 区域

32: 牺牲层

42: 开口区域

101、103、105、108、110、112、115、201、203、205、208、210、212、
215: 步骤方块

具体实施方式

附图中，相同或类似的附图标记，用以描述相同或类似的部分。需要注意的是，附图为较简化型式，并未使用精确尺度。另外，于附图中所使用的直观的命名，例如上、下、左、右、上面、下面、之上、之下、在...之上、背面以及前面，是用以方便且清楚地说明本发明，并不致于限制本发明发明精神的范围。

双光致抗蚀剂层已被发现并具体地应用在非易失性(non-volatile)半导体存储元件的制造以及程序编码上。大多数非易失性半导体存储元件必须在制造时将程序码写入。这些存储元件在程序编码时，将离子注入至由金属氧化物半导体场效应晶体管(Metal-Oxide-Semiconductor Field Effect Transistor; MOSFET)所构成的存储单元内，用以改变存储单元的电性特性。非易失性存储元件的一种形式—光掩模式可编程只读存储器(mask-programmable read-only memory)，可藉由注入杂质至特定的 MOSFET 的沟道区域内，以增加临界电压来完成程序编码。

请参照图 1，其绘示设置于半导体硅基板上的光掩模式只读存储器的存储单元阵列，此阵列具有多条相互垂直排列的位线(bit lines)11 以及字线(word lines)13。于本实施例中，形成位线 11 在字线 13 形成之前，且此硅基板由掺杂某种杂质型式(P 型或 N 型)的半导体所构成，而位线 11 可藉由注入具有与硅基板相反的杂质型式，并平行地形成于硅基板上。也就是若硅基板为 P 型的半导体，则利用如砷或磷等具有 N 型性质的元素掺杂以形成位线 11。

形成位线 11 之后，在硅基板上优选地形成栅极氧化层(未绘制于图上)，其厚度约为 50 埃(angstroms, Å)至 300 埃之间，并图案化栅极氧化层以形成本实施例中的多个具有基本上相等的栅极。栅极设置于存储单元的阵列内，并具有基本上相等或完全相等的栅极宽度。上述栅极氧化层可于化学气相沉积(Cheical Vapor Deposition, CVD)炉内执行热氧化工艺成长获得。

接着，利用例如是 CVD 沉积一层传导层，其厚度有如喱 (grain) 般的大小即足以表现出所需的电性特性。再来，将光致抗蚀剂利用旋转盘沉积于传导层之上，并藉由曝光光致抗蚀剂层于紫外 (Ultraviolet, UV) 放射光下以图案化光致抗蚀剂层。投影至光致抗蚀剂层上的图案具有多个条带 (strips)。然后，透过传导层的回蚀曝光部将图案化光致抗蚀剂移转至传导

层上。接着,除去光致抗蚀剂层以得到彼此互相平行的多个存储单元字线 13,而这些字线 13 与位线 11 垂直。上述的字线 13,可利用低压化学气相沉积法(Low Pressure Chemical Vapor Deposition, LPCVD)来形成,并优选地由导电材料例如是多晶硅(polysilicon)构成。本实施例的位线 11 以及字线 13 的宽度大约为 0.16 微米(micron, μ)或小于 0.16μ ,且字线 13 之间的间隔大约为 0.16μ 或小于 0.16μ 。

位线 11 与字线 13 组成多个 MOSFET 的存储单元 16,如图 1 中,以虚线所构成的矩形标示。也就是说, MOSFET 的存储单元 16 由一字线 13 与二相邻位线 11 所构成的交错区域所定义。然而,每一 MOSFET 存储单元 16 两侧的位线 11 为此 MOSFET 存储单元 16 的源极或漏极(source/drain)区域,而设置于源极与漏极区域间的字线 13 为此 MOSFET 存储单元 16 的栅极。

MOSFET 的存储单元 16 可藉由相对应的位线 11 与字线 13 来存取光掩模式只读存储器的数据(或编码)。当读取 MOSFET 的存储单元 16 的数据时,字线 13 上的外加栅极电压值高于或是低于用以使源极与漏极间导通所需的临界电压值。若外加栅极电压值等于或高于临界电压值,则 MOSFET 的存储单元 16 会导通,以逻辑值“1”表示。反之,若外加栅极电压值低于临界电压值,则 MOSFET 的存储单元 16 不导通,以逻辑值“0”表示。

当离子注入至一特定 MOSFET 存储单元 16 的沟道时,增加此存储单元 16 的临界电压值,使得此 MOSFET 存储单元 16 的逻辑值为“0”。上述被注入离子的 MOSFET 存储单元 16 的沟道是设置于硅基板上,且介于字线 13 与二相邻位线 11 所构成的交错区域的下方。不同于有离子注入的 MOSFET 存储单元 16,对没有离子注入的 MOSFET 存储单元 16 而言,当外加电压经由字线 13 加至 MOSFET 存储单元 16 的栅极时, MOSFET 存储单元 16 的逻辑值为“1”,并永远导通。因此,可利用离子注入来改变特定 MOSFET 存储单元 16 的逻辑值,以程序化光掩模式只读存储器。也就是当离子注入某一特定 MOSFET 的存储单元 16 时,此存储单元 16 的逻辑值由“1”转变成“0”。

实际上,屏蔽没有离子注入的 MOSFET 存储单元 16 的沟道区域,在程序编码过程中是一个关键的步骤。依照本发明的发明精神,具预编码开口的图案化光致抗蚀剂层与具真编码开口的图案化光致抗蚀剂层,用于离子注入期间,遮盖光掩模式只读存储器内的逻辑值仍要维持为“1”的 MOSFET 存

储单元 16。此二图案化光致抗蚀剂层，优选地由可用于光刻工艺 (photolithographic) 的正光致抗蚀剂、负光致抗蚀剂或由正光致抗蚀剂以及负光致抗蚀剂组合所构成。正光致抗蚀剂，也称遇光软化型光致抗蚀剂 (light-softening photoresist)，可藉由曝光于放射光下例如是 UV 光，来产生去极化 (depolymerized) 反应。然而，对正光致抗蚀剂而言，曝光于放射光下的区域可由显影液加以显影，而有屏蔽的未曝光区，不受显影液影响。反之，负光致抗蚀剂，也称遇光硬化型光致抗蚀剂 (light-hardening photoresist)，一样可藉由曝光于放射光下，来产生聚合作用 (polymerization)。但对负光致抗蚀剂而言，曝光于放射光下的区域，不受显影液影响，反而是有屏蔽的未曝光区可藉由显影液加以显影。因此，依据所使用的光致抗蚀剂型式，半导体的晶片 (wafer) 上光致抗蚀剂层的图案移转不是与光掩模图案完全相同就是与光掩模图案完全相反。

请参照图 2，其绘示乃依照图 1 中沿 A-A' 方向的本发明的实施例的只读存储元件 (也就是中间工艺阶段的只读存储元件) 的剖面图，其中，图 2 绘示乃从硅基板上至硅基板上方的简图，在图 2 中，并未绘示设置于硅基板上的栅极氧化层以及设置于硅基板内的注入的位线。栅极宽度 20 标示于预先准备好的硅基板 21 上的字线 13 内。每一个标示的栅极宽度，表示设置于栅极氧化层之下的区域。

在图 2 中，设置一底部抗反射层 18 (Bottom Anti-Reflective Coating, BARC) 于字线 13 之上。BARC18 是一种好的吸收剂，可吸收大部分穿透光致抗蚀剂层的放射光，因而减低任何由放射光所造成的反射凹口 (notching)、驻波效应以及散射。于本实施例中，BARC18 由一般习知的抗反射层材料中适用于本应用的材料所组成。

请参照图 3A，其绘示乃利用旋转盘沉积第一光致抗蚀剂层 22 于 BARC18 上的剖面图。第一光致抗蚀剂层 22，可选用正光致抗蚀剂或是负光致抗蚀剂为之。若选用正光致抗蚀剂来构成第一光致抗蚀剂层 22，则光掩模的图案就必须与所需的电路图案一致，若选用负光致抗蚀剂来构成第一光致抗蚀剂层 22，则光掩模的图案就必须与所需的电路图案相反。为了增加分辨率，本实施例中的第一光致抗蚀剂层由正光致抗蚀剂所构成，例如是由 Shipely 所制造的 UV3 抗蚀剂，或是由 Shin-Etsu 所制造的 SEP203。然而，第一光致抗蚀剂层 22 可沉积一第一光致抗蚀剂层厚度 23，其厚度范围大约

为 $0.3\ \mu\text{m}$ 至 $0.7\ \mu\text{m}$ 之间。于优选实施例中，从旋转曲线(swing curve)所选择的厚度大约为 $0.41\ \mu\text{m}$ 。此外，第一光致抗蚀剂层可基于使注入的抗蚀剂与分辨率皆达到最佳来选择其厚度范围。较厚的抗蚀剂，可较有效预防非必要的离子注入，但也可能会降低分辨率。

接着，依据所使用的光掩模，将具预编码开口的图案透过步进机(stepper)或光掩模式曝光机(aligner)投影至半导体的晶片上。于工艺期间，建议可用最大或适当的聚焦深度 $\text{NA}=0.7$ 以及分辨率 $\sigma=0.85/0.55$ 。然而，具预编码开口的图案具有密集的工艺窗口图案，于本施实例中，每一个工艺窗口的大小及形状基本上相等且最好是完全相等，而工艺窗口的大小最好大于栅极宽度，如此的好处例如是增加源极与漏极区域之间重新编码连结的效力，以及/或提高编码的良率。本实施例中用以预编码工艺窗口的关键尺度(Critical Dimension, CD)为 $0.19\ \mu\text{m}$ 。于修改过的实施例中，每一个工艺窗口的大小可与栅极宽度的大小相等或大约相等。具预编码开口的图案，藉由提供基本上相等的图案化工艺窗口给各只读存储单元，来保证只读存储单元间的离子剂量的注入基本上相等且最好完全相等。接着，使用显影液来溶解未产生聚合作用光致抗蚀剂。由光掩模所定义的具预编码开口的图案，被移转至第一光致抗蚀剂层 22 上，此具预编码开口的图案，对应至一密集的曝光区以及未曝光区相间的图案。本实施例中，具预编码开口的图案描绘所有可能的 MOSFET 存储单元 16 的开口，而这些存储单元 16 的开口将可用在随后的程序化真编码步骤中的编码。

于形成具预编码开口的图案后，对第一光致抗蚀剂层 22 至少注入一次适当剂量(离子)，并将第一光致抗蚀剂层置于等离子体蚀刻机内进行处理，使第一光致抗蚀剂层硬化，以提供图案化的第一光致抗蚀剂层不受随后的光刻工艺步骤影响。此硬化步骤可藉由产生一交连(cross-linked)的图案于光致抗蚀剂化合物内来完成，例如是在离子注入时。氩(argon)离子注入可沿第一光致抗蚀剂层的外层产生硬化表面，并可到达第一光致抗蚀剂层内某一深度。在硬化过程中，藉由适当的调整离子注入的剂量与能量，可保留接下来的工艺整合步骤。

请参照图 3B，第二光致抗蚀剂层 25 利用旋转盘直接沉积于图案化的第一光致抗蚀剂层 22 之上，且第二光致抗蚀剂层厚度 27 大约为 $0.3\ \mu\text{m}$ 至 $0.7\ \mu\text{m}$ 之间。于优选实施例中，由旋转曲线所选择的第二光致抗蚀剂层厚度 27，

大约为 $0.5\ \mu\text{m}$ 。与第一光致抗蚀剂层 22 一样，第二光致抗蚀剂层的厚度，可基于使注入的抗蚀剂与分辨率皆达到最佳来选择。然而，第二光致抗蚀剂层 25 依据所发明的电路图形，可选用正光致抗蚀剂或负光致抗蚀剂为之。为了增加分辨率，本实施例中的第二光致抗蚀剂层由正光致抗蚀剂所构成，例如是由 Shipely 所制造的 UV3 抗蚀剂，或是由 Shin-Etsu 所制造的 SEP203。在选择并运用了真编码光掩模之后，第二光致抗蚀剂层 25 可利用传统的方式来图案化。于工艺期间，建议最好是利用聚焦深度 $\text{NA}=0.56$ 、分辨率 $\sigma=0.406$ 以及真编码工艺窗口的 CD 值为 $0.27\ \mu\text{m}$ 。接着，将晶片浸入一种作为显影液的化学品中加以显影，溶解产生去极化反应的第二光致抗蚀剂层的光致抗蚀剂。

光致抗蚀剂由对光敏感的聚合物以及溶剂结合而组成。因此，若第一图案化光致抗蚀剂层没有执行硬化处理，就在第一图案化光致抗蚀剂层上沉积第二光致抗蚀剂层并图案化第二光致抗蚀剂层，如此可能会因例如是第二光致抗蚀剂层的溶剂与第一光致抗蚀剂层的溶剂发生反应(甚至使第一光致抗蚀剂层曝光以及/或烘烤)，而导致第一光致抗蚀剂层变形。依照本发明，抗蚀剂的硬化步骤的执行，是避免图案化光致抗蚀剂层产生非必要的变形。如此一来，使得第一光致抗蚀剂层 22 基本上不受溶剂以及 UV 放射光的影响，并于第二光致抗蚀剂层 25 成长期间，可维持第一光致抗蚀剂层原有完整的结构。

图 3B 绘示乃第二光致抗蚀剂层 25 直接沉积于第一光致抗蚀剂层 22 以及 BARC18 上的只读存储元件的剖面图。由第二光致抗蚀剂层 25 所定义的开口区域(工艺窗口)的大小基本上可相等或完全相等，并可大于、小于或等于由第一光致抗蚀剂层 22 所定义的开口区域的大小。然而，本实施例中，由第二光致抗蚀剂层 25 所定义的开口区域的大小，稍大于由第一光致抗蚀剂层 22 所定义的开口区域的大小，且第二光致抗蚀剂层 25 所定义的开口区域覆盖至少一个由第一光致抗蚀剂层 22 所定义的开口区域。另外，由第二图案化光致抗蚀剂层所定义的开口区域的数目少于由第一图案化光致抗蚀剂层所定义的开口区域的数目。此外，第二光致抗蚀剂层 25 只决定欲程序化的只读存储单元的位置选择，而没有提供任何离子剂量控制的形式。由图案化的第一光致抗蚀剂层 22 以及图案化的第二光致抗蚀剂层 25 结合来决定那些 MOSFET 存储单元 16 具有逻辑值“1”，那些 MOSFET 存储单元具有

逻辑值“0”。本实施例中，接受离子注入至 MOSFET 存储单元 16 的沟道区域的 MOSFET 存储单元 16，被程序化成“0”，而未接受离子注入的 MOSFET 存储单元 16 则被程序化成“1”。也就是于本实施例中，系利用离子注入的方式来编码，因此 MOSFET 的临界电压值仍维持不变。

请参照图 4，其绘示乃图 3B 的一部分的放大图。如图 4 所示，第一光致抗蚀剂层 22 的图案与第二光致抗蚀剂层 25 的图案，彼此分离且独立。然而，半导体的晶片上或许存在区域 38、区域 30 以及开口区域 42。其中，区域 38，是只有第一光致抗蚀剂层 22 覆盖或是只有第二光致抗蚀剂层 25 覆盖的区域，区域 30，是第一光致抗蚀剂层 22 与第二光致抗蚀剂层 25 皆覆盖的区域，而开口区域 42，是对应到第一光致抗蚀剂层 22 的具预编码开口与第二光致抗蚀剂层 25 的具真编码开口相交的区域。此开口区域 42，可用以将杂质注入至 MOSFET 存储单元 16 以下的沟道区域，而这些有注入杂质的 MOSFET 存储单元 16，被程序化成逻辑值“0”。

因此，可将适当的离子剂量注入至具预编码开口的图案化第一光致抗蚀剂层 22 以及具真编码开口的图案化第二光致抗蚀剂层 25 两者皆曝光的区域。然而，本实施例中，是将离子注入至开口大小基本上相等的开口区域 42。此外，本实施例中，因位线设置于 N 型半导体区域内，故 P 型硼离子可用以注入编码，并用足以穿透 BARC 层 18、字线 13 以及与栅极氧化层的能量，将硼离子注入至硅基板上特定的沟道区域。然后，除去第一光致抗蚀剂层以及第二光致抗蚀剂层，在半导体晶片编码注入后。其中，第一光致抗蚀剂层可容易地由习知的灰化(O₂ ashing)来除去。与习知用以除去单一光致抗蚀剂层的步骤相同，本实施例中，不要求额外的步骤来除去第一光致抗蚀剂层以及第二光致抗蚀剂层。

接着，请参照图 5，其绘示乃依照本发明的实施例中，编码只读存储元件的存储单元的方法流程图。本编码只读存储元件的存储单元的方法的步骤系以步骤方块 101 至步骤方块 115 以数字由小至大排列并依照顺序说明。首先，如步骤方块 101 所述，提供一预先准备好的半导体硅基板 21，且硅基板 21 上具有 BARC18。接着，在步骤方块 103 中，形成所需的厚度的第一光致抗蚀剂层 22。然后，如步骤方块 105 所述，依照开口大小基本上相等的具预编码开口的图样，形成图案化第一光致抗蚀剂层 22，且每一预编码开口定义为只读存储元件的单一存储单元 16，而每一预编码开口的宽度大于栅极宽

度。接着，在步骤方块 108 中，形成第二光致抗蚀剂层 25 于第一光致抗蚀剂层 22 之上，其中，第二光致抗蚀剂层 25 与第一光致抗蚀剂层 22 可选用相同或不同的光致抗蚀剂型式，且第二光致抗蚀剂层 25 的厚度基本上大于第一光致抗蚀剂层 23 的厚度。然后，在步骤方块 110 中，将一具真编码开口的图案移转至第二光致抗蚀剂层 25 上，此具真编码开口的图案的开口数目少于具预编码开口的图案的开口数目，且每一真编码开口基本上彼此相等，且此真编码图案的开口大小可大于、小于或等于由具预编码开口的图案所定义的开口大小。接着，如步骤方块 112 所述，将离子注入只读存储元件以程序化曝光的开口区域。最后，在步骤方块 115 中，利用习知的灰化与清洗处理来除去第一光致抗蚀剂层 22 以及第二光致抗蚀剂层 25。

以上说明一优选实施例，其中，图案化的第一光致抗蚀剂层 22，覆盖于非易失性存储元件的字线上，而与具预编码开口的光致抗蚀剂图案一致的光致抗蚀剂图案用以制造光掩模式可编程只读存储器。具预编码开口的图案曝光晶片上所有可能被编码的存储单元区域的沟道。然而，具有第一光致抗蚀剂层 22 的晶片被储存于仓库中，并用以未来的编码。

接着，将晶片从仓库取回后，第二光致抗蚀剂层 25 可沉积于取回的晶片上，且第二光致抗蚀剂层 25 可由正光致抗蚀剂或负光致抗蚀剂构成。然而，第二光致抗蚀剂层 25 的具真编码开口的图案由客户的需求来决定，又因第一光致抗蚀剂层曝光所有可能编码的区域，而第二光致抗蚀剂层 25 只曝光需编码的区域，所以第一光致抗蚀剂层与第二光致抗蚀剂层的图案必定不同。然后，将离子注入至第一光致抗蚀剂层与第二光致抗蚀剂层皆曝光的区域。接着，利用例如是先执行干剥离再执行湿剥离来除去第一光致抗蚀剂层以及第二光致抗蚀剂层。

请再参照图 2，依照本发明的另一实施例，BARC18 沉积于字线 13 之上，字线 13 设置于预先准备好的半导体硅基板 21 之上。请接续参照图 6A，如图 6A 所示，第一光致抗蚀剂层 22' 利用旋转盘沉积一第一光致抗蚀剂层厚度 23' 于 BARC18 之上，其成分与优选实施例中的第一光致抗蚀剂层 22 基本上相似。接着，依据所使用的光掩模的种类，将具真编码开口的图案透过步进机或曝光机投影至晶片上。然而，由具真编码开口的图案所呈献的工艺窗口具有基本上相等的大小，且这些工艺开口的宽度大于栅极宽度。然后，利用显影液来溶解产生去极化反应或未产生聚合作用的光致抗蚀剂。接着，

硬化第一光致抗蚀剂层 22'。

接着，请参照图 6B，其绘示乃依照第 6A 图，并利用旋转盘沉积第二光致抗蚀剂层 25' 直接地覆盖于第一光致抗蚀剂层 22' 之上，且第二光致抗蚀剂层厚度 27' 基本上大于第一光致抗蚀剂层厚度 23'。第二光致抗蚀剂层 25' 可选择使用正光致抗蚀剂或是负光致抗蚀剂为之。然后，将具预编码开口的光掩模图案投影至第二光致抗蚀剂层 25' 上。因此，产生的具预编码开口的图案，为阵列式的开口，且此阵列式的开口的大小及形状基本上相等，而每一开口皆设置于只读存储器的存储单元的上方。于本实施例中，这些具预编码图案的开口的宽度大于栅极宽度。接着，将离子注入至只读存储元件内，最后，再除去第一光致抗蚀剂层以及第二光致抗蚀剂层。

接着，请参照图 7 其绘示乃依照本发明的图 6A 以及图 6B 的实施例中，编码只读存储元件的存储单元的方法流程图。本编码只读存储元件的存储单元的方法的步骤以步骤方块 201 至步骤方块 215 以数字由小至大排列并依照顺序说明。首先，如步骤方块 201 所述，提供一预先准备好的半导体硅基板 21，且硅基板 21 上具有 BARC18。接着，在步骤方块 203 中，形成所需的厚度的第一光致抗蚀剂层 22'。然后，如步骤方块 205 所述，依照开口大小基本上相等的具真编码开口的图案，形成图案化第一光致抗蚀剂层 22'，且每一真编码开口的宽度优选地大于栅极宽度。接着，在步骤方块 208 中，形成第二光致抗蚀剂层 25' 于第一光致抗蚀剂层 22' 之上，其中，第二光致抗蚀剂层 25' 与第一光致抗蚀剂层 22' 可具有相同或不同的光致抗蚀剂型式，且第二光致抗蚀剂层 25' 的厚度基本上大于第一光致抗蚀剂层 22' 的厚度。然后，在步骤方块 210 中，将具预编码开口的图案移转至第二光致抗蚀剂层 25' 上，此具预编码开口的图案的开口数目多于具真编码开口的图案的开口数目。接着，如步骤方块 212 所述，将离子注入只读存储元件以程序化曝光的开口区域。最后，在步骤方块 215 中，利用习知的灰化与清洗处理来除去第一光致抗蚀剂层 22' 以及第二光致抗蚀剂层 25'。

然而，第一光致抗蚀剂层 22 或第一光致抗蚀剂层 22' 所具有的厚度与成份，足以保护设置于硅基板下于接下来的程序编码工艺期间，非必要的离子注入至不需注入离子的区域，例如是与位线 11 具有不同型式的非必要的杂质注入至位线 11 内，而导致位线 11 的电阻提高。有鉴于此，于第一光致抗蚀剂层及字线 13 之间必须存在一些不具图案化的层，以阻挡只读存储器或

半导体元件的接下来的离子注入。也就是说，不具图案化的层足以阻挡接下来只读存储器或半导体元件的离子注入至第一光致抗蚀剂层与 ARC 层之间。

依照本发明的编码只读存储元件的方法，其中，形成第一光致抗蚀剂层 22(或第一光致抗蚀剂层 22')的步骤，图案化第一光致抗蚀剂层的步骤，形成第二光致抗蚀剂层 25(或第二光致抗蚀剂层 25')的步骤，图案化第二光致抗蚀剂层的步骤以及只读存储元件的编码注入的步骤，是以所需的临界电压重复实施。

此外，设置于图案化的第一光致抗蚀剂层 22(或第一光致抗蚀剂层 22')上的开口的大小基本上不需相等，且设置于图案化的第二光致抗蚀剂层 25(或第二光致抗蚀剂层 25')上的开口的大小基本上不需相等，只要位于由真编码开口以及预编码开口所构成的交错区域中所形成的开口大小基本上相等，以使基本上相等且最好是完全相等的注入剂量可传送至特定的沟道即可。

再者，当具真编码图案的开口小于具预编码图案的开口时，在图案化具预编码图案的第一光致抗蚀剂层 22 之后，或是在图案化具真编码图案的第一光致抗蚀剂层 22'之后，可形成一牺牲层于只读存储元件上。请参照图 8，如图 8 所示，栅极宽度 20 绘示于字线 13 内，而字线 13 设置于预先准备好的硅基板 21 上。此外，氧化层 28 沉积于字线 13 之上。然而，第一光致抗蚀剂层 22，设置于氧化层 28 之上，并以具预编码开口的图案曝光以及显影。请接续参照图 9。图 9 中的氧化层 28，是将图 8 的氧化层 28 先经过干蚀刻或湿蚀刻处理，再除去第一光致抗蚀剂层 22 后得到。经过上述处理后，第一光致抗蚀剂层 22 的具预编码开口的图案投影至氧化层 28 上。

如图 10 所示，牺牲层 32，形成于氧化层 28 以及字线 13 之上。牺牲层 32 可先由例如是旋涂式玻璃工艺(Spin On Glass, SOG)来构成，再利用化学机械研磨法或回蚀法(etching back)平坦化，以得到如图 10 所示的结构。接着，覆盖一第二光致抗蚀剂层 25 于氧化层 28 以及牺牲层 32 之上，并以具真编码开口的图案曝光并显影第二光致抗蚀剂层 25。由具真编码开口的图案曝光后，其所剩余的曝光牺牲层 32 的区域，可藉由例如是缓冲氧化蚀刻来除去，结果如图 11 所示。然后，注入一适当的离子剂量于字线 13 的剩余曝光于具预编码开口的图案以及具真编码开口的图案的区域。在离子注入晶片后，清

除第二光致抗蚀剂层 25、氧化层 28 以及牺牲层 32 的剩余部分。以此方法得到一连续结构的 MOSFET 存储单元 16, 而存储单元 16 所具有的逻辑值不是“1”就是“0”, 如图 12 所示。此方法有利于预测位于真编码图案以及预编码图案之间的错位 (mis-alignment budget), 并使真编码图案具有一较小的 CD 值。

本发明上述实施例所揭露的编码只读存储元件中控制注入剂量的方法, 为一种有效的将离子注入至高密度存储单元(cell)内的方法, 例如是具有 CD 的存储单元, 系类似光刻工艺(photolithography)处理的物理限制。此外, 本发明有助于集成电路中的只读存储元件的构成以及写码, 然而, 本领域技术人员应了解, 本发明并非仅限定适用于本实施例所揭露之处。例如, 利用本发明的方法所形成的具预编码以及真编码开口的图案, 可形成于 NMOS、PMOS、CMOS 以及双极性元件上。需要了解的是, 上述的工艺步骤与结构并非为制造存储器元件的完整的流程。然而, 本发明可与各种习知的集成电路制造以及编码技术结合, 并只需包括一些习知的练习工艺步骤。

综上所述, 虽然本发明已以实施例揭露如上, 但是其并非用以限定本发明, 本领域技术人员在不脱离本发明的精神和范围的情况下, 当可作各种的更动与润饰, 因此本发明的保护范围当以所附的权利要求所确定的为准。

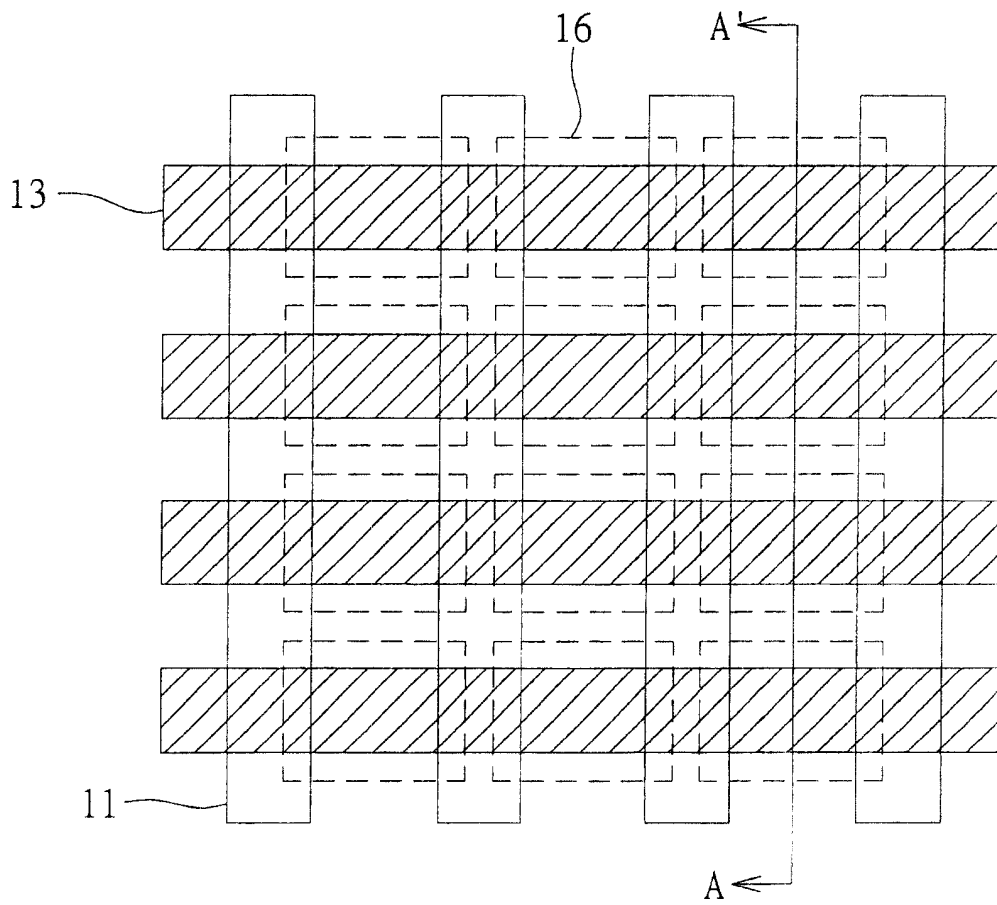


图 1

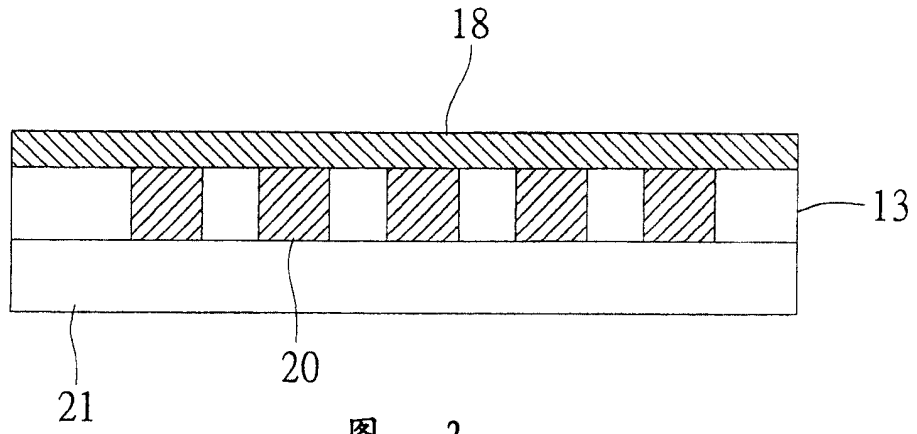


图 2

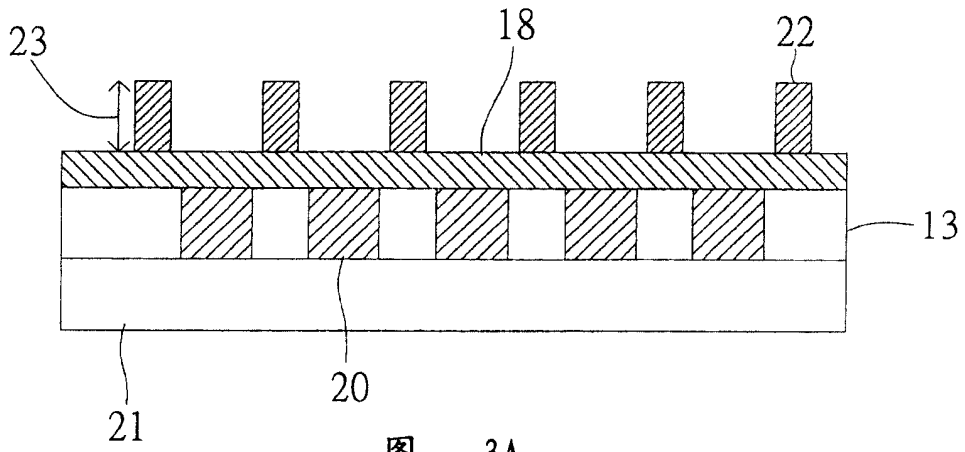


图 3A

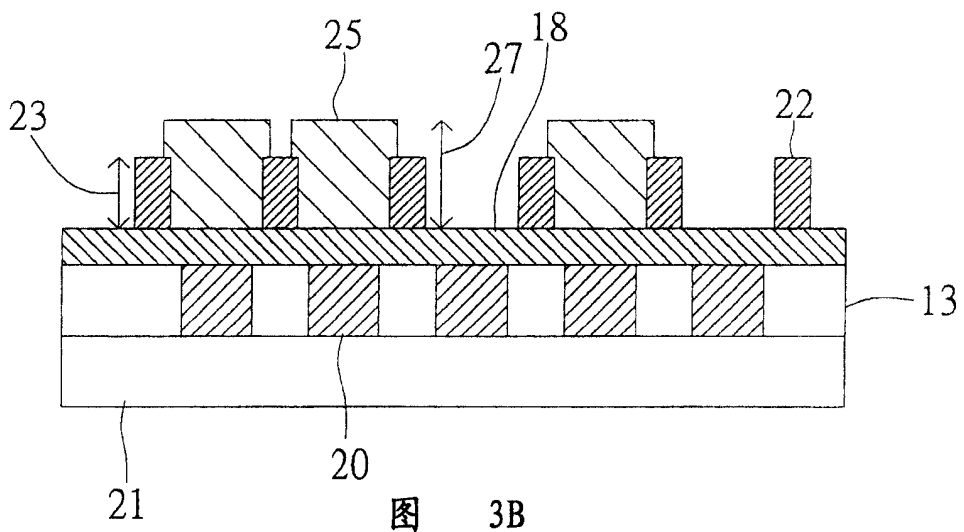


图 3B

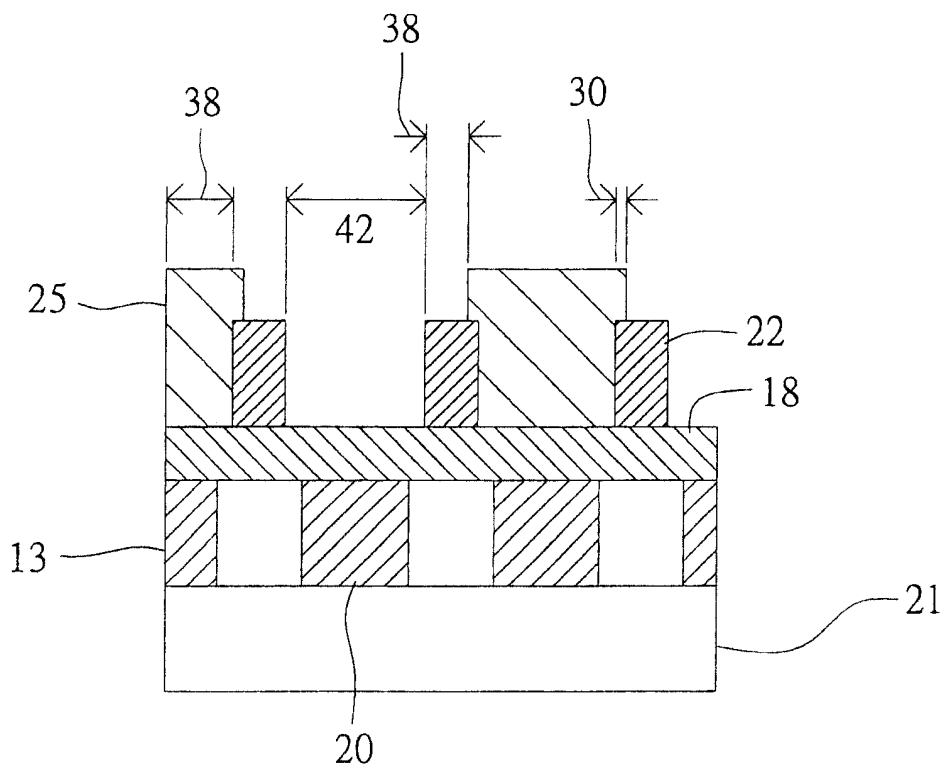


图 4

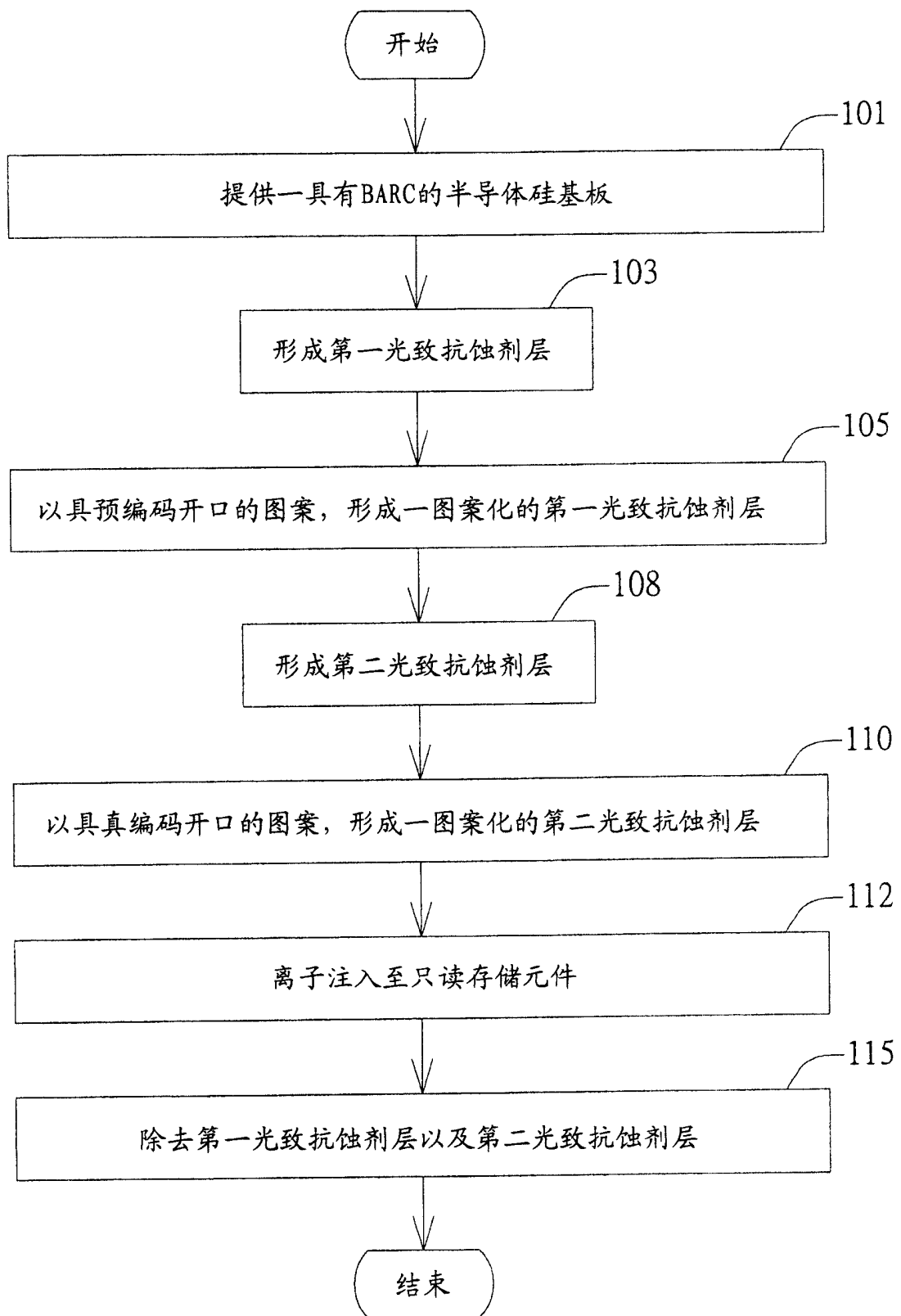


图 5

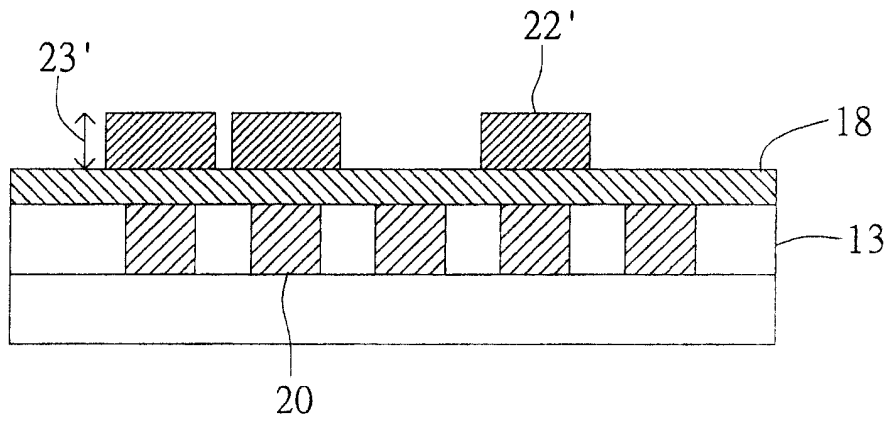


图 6A

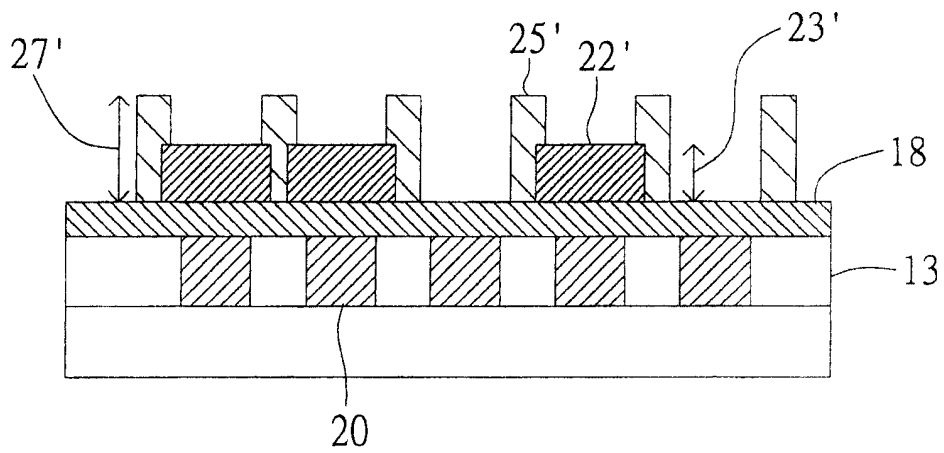


图 6B

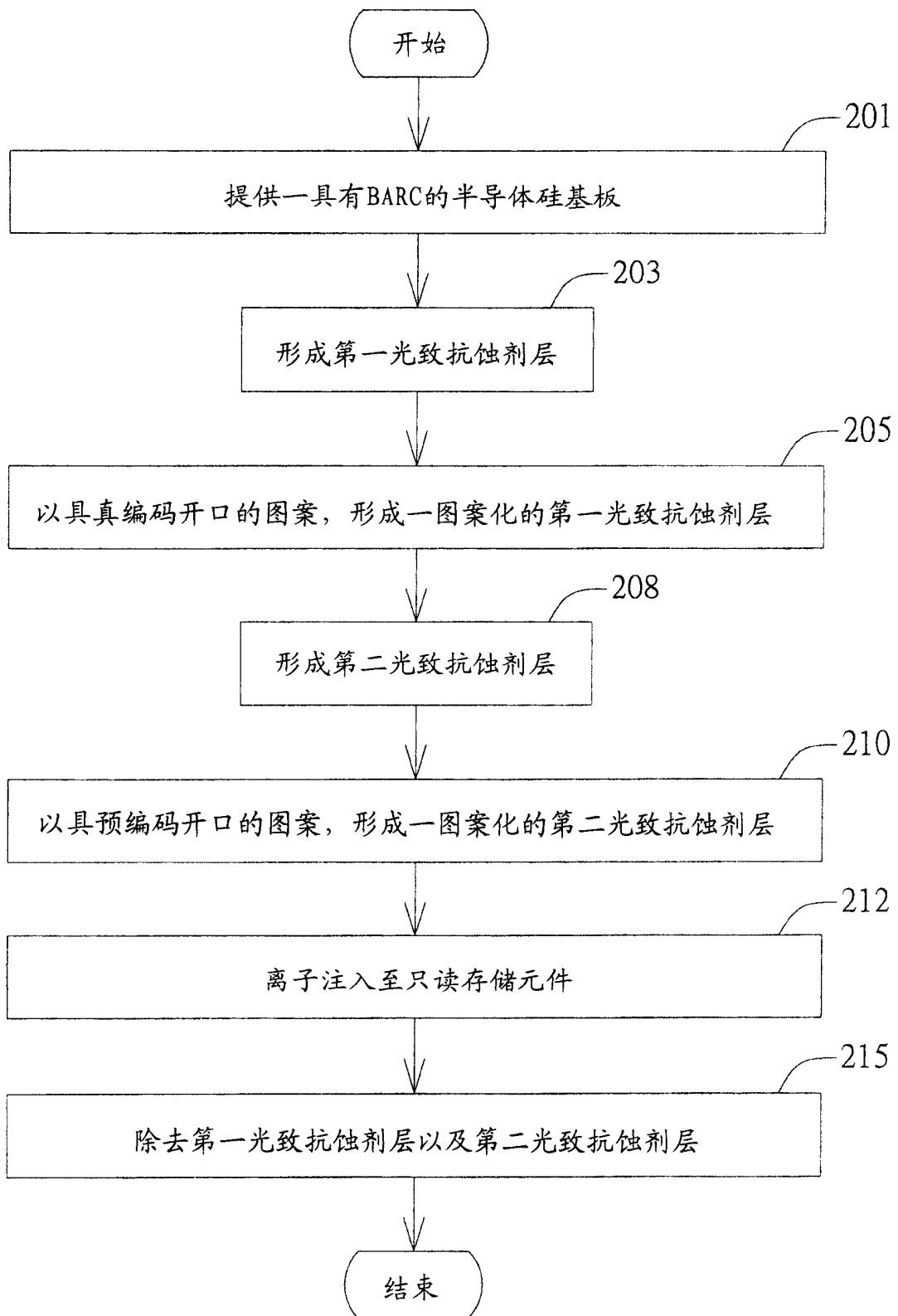


图 7

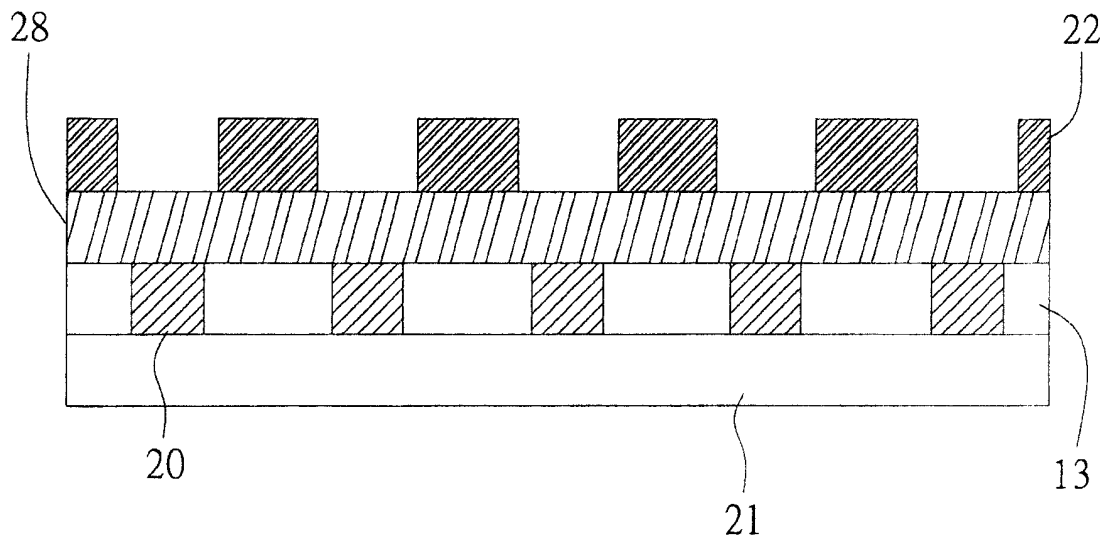


图 8

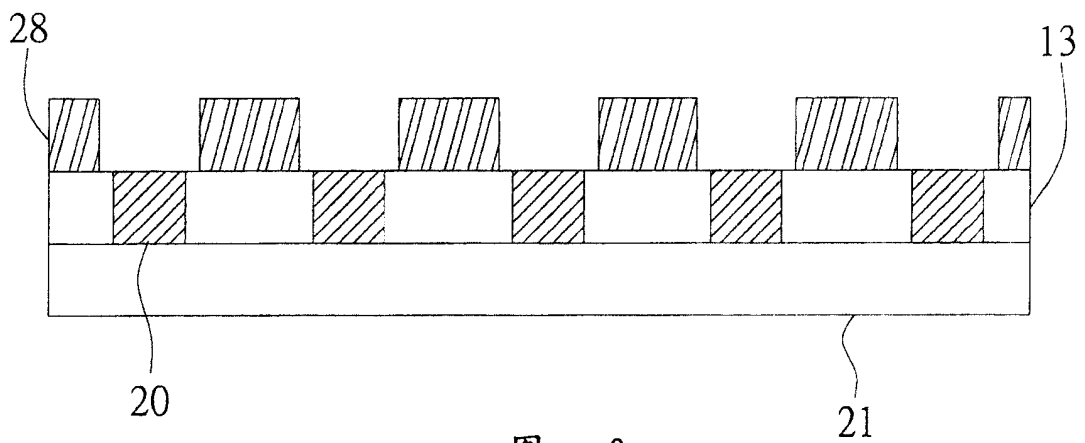


图 9

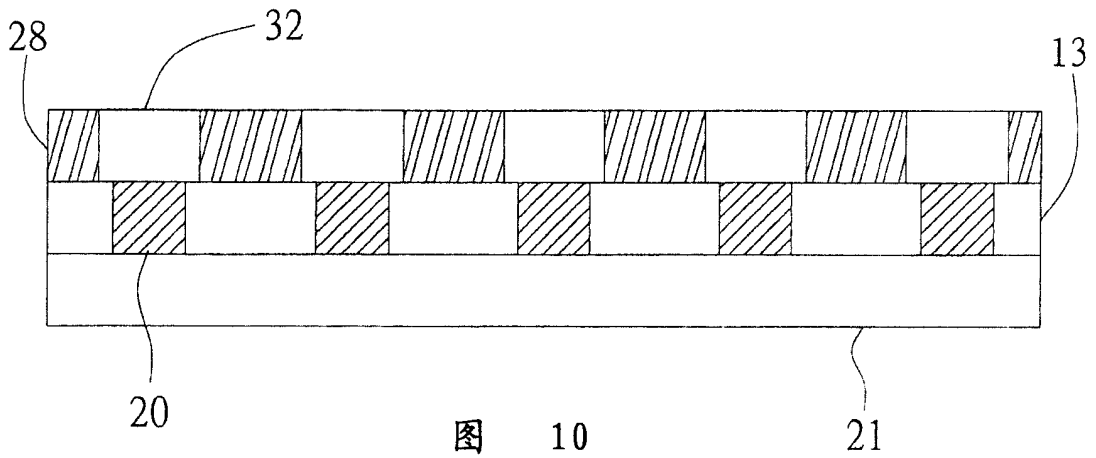


图 10

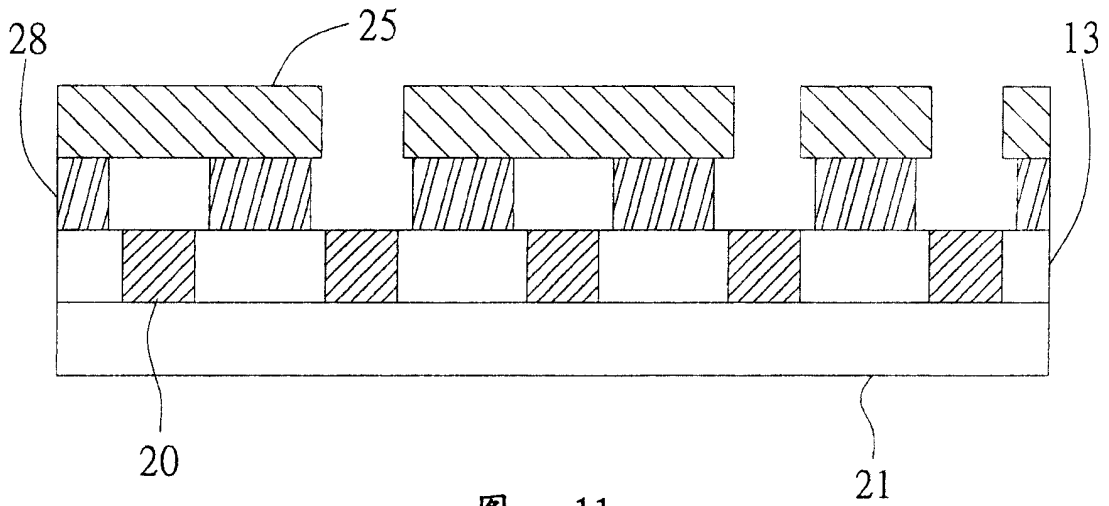


图 11

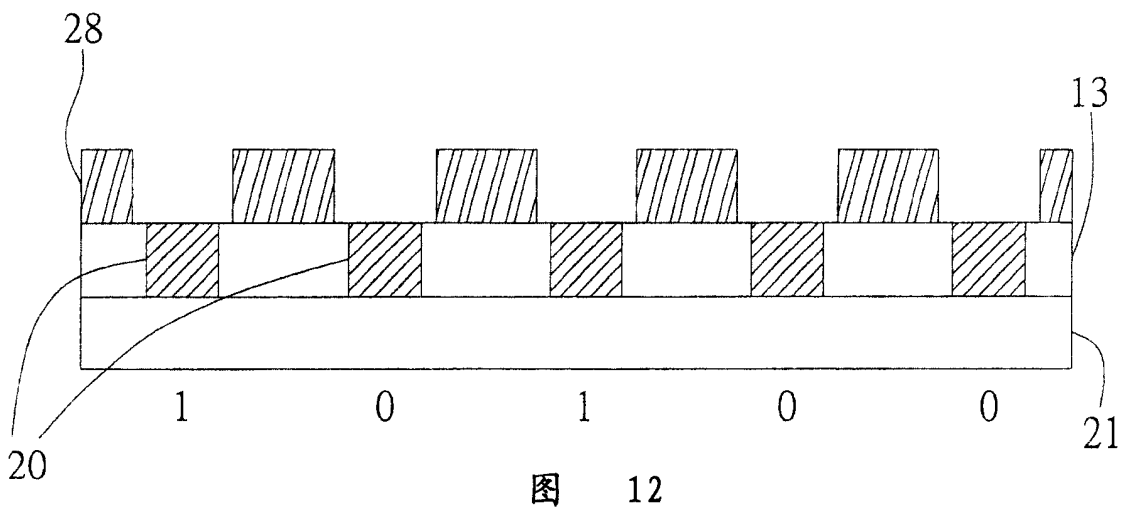


图 12