【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第７部門第２区分
【発行日】平成19年1月18日(2007.1.18)

【公開番号】特開2001-168323(P2001-168323A)
【公開日】平成13年6月22日(2001.6.22)
【出願番号】特願平11-345924
【国際特許分類】
Ｈ０１Ｌ　21/336　(2006.01)
Ｈ０１Ｌ　29/78　(2006.01)
【ＦＩ】
Ｈ０１Ｌ　29/78　３０１Ｌ
Ｈ０１Ｌ　29/78　３０１Ｓ

【手続補正書】
【提出日】平成18年11月28日(2006.11.28)
【手続補正１】
【補正対象書類名】明細書
【補正対象項目名】特許請求の範囲
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】　（ａ）半導体基板の主面上に設けられたゲート絶縁膜と、前記ゲート絶縁膜を介して前記半導体基板上に設けられたゲート電極とを形成する工程と、
（ｂ）前記ゲート電極及び前記ゲート絶縁膜の側面と、前記側面から前記ゲート電極の外へと第１の幅で広がる第１の領域における前記主面とを覆う第１の側壁を形成する工程と、
（ｃ）前記第１の側壁及び前記ゲート電極をマスクとして前記主面に対して第１の不純物を導入して第１の不純物領域を形成する工程と、
（ｄ）前記工程（ｃ）で得られた構造に対して熱処理を行い、前記第１の不純物を電気的に活性化する工程と、
（ｅ）前記側面から前記ゲート電極の外へと前記第１の幅よりも狭い第２の幅で広がる第２の領域において前記側面を覆う部分を残しつつ、前記第１の側壁の厚さを前記ゲート電極の厚さよりも減少させて第２の側壁を得る工程と、
（ｆ）前記工程（ｄ）の後、前記ゲート電極をマスクとし、また前記第２の側壁を介して第２の不純物を導入して前記第１の不純物領域よりも不純物濃度の低い第２の不純物領域を形成する工程と
を備える、半導体装置の製造方法。
【請求項２】　前記工程（ｂ）は
（ｂ－１）前記側面及び前記主面を熱窒化して前記第２の側壁を形成する工程と、
（ｂ－２）前記第２の側壁とエッチングの選択比が大きな材料を前記第２の側壁に堆積して前記第１の側壁を形成する工程と
を有する、請求項１記載の半導体装置の製造方法。
【請求項３】　（ｇ）前記工程（ｂ）と前記工程（ｆ）の間で実行され、前記ゲート電極の側面から前記第１の幅以上に離れた前記主面において、前記半導体基板の厚さを増す工程
を更に備える、請求項１記載の半導体装置の製造方法。
【請求項４】　前記工程（ｇ）において半導体のエピタキシャル成長が施され、
前記工程（ａ）において前記ゲート電極の上面が半導体のエピタキシャル成長を阻む絶縁体で構成される、請求項３記載の半導体装置の製造方法。

【請求項５】　（ｇ）前記工程（ｆ）よりも前に実行され、前記ゲート電極の側面から前記第１の幅以上に離れた前記主面において、前記半導体基板がサリサイド化される工程
を更に備える、請求項１記載の半導体装置の製造方法。
【請求項６】　前記工程（ｆ）において、前記第２の不純物のイオンが前記主面の法線方向に対して斜めに注入される、請求項１乃至請求項５のいずれか一つに記載の半導体装置の製造方法。
【請求項７】　（ａ）半導体基板の主面上に設けられたゲート絶縁膜と、前記ゲート絶縁膜を介して前記半導体基板上に設けられたゲート電極とを形成する工程と、
（ｂ）前記ゲート電極及び前記ゲート絶縁膜の側面と、前記側面から前記ゲート電極の外へと第１の幅で広がる第１の領域における前記主面とを覆う第１の側壁を形成する工程と、
（ｃ）前記第１の側壁及び前記ゲート電極をマスクとして前記主面に対して第１の不純物を導入して第１の不純物領域を形成する工程と、
（ｄ）前記工程（ｃ）で得られた構造に対して熱処理を行い、前記第１の不純物を電気的に活性化する工程と、
（ｅ）前記側面から前記ゲート電極の外へと前記第１の幅よりも狭い第２の幅で広がる第２の領域において前記側面を覆う部分を残しつつ、前記第１の側壁の厚さを前記ゲート電極の厚さよりも減少させて第２の側壁を得る工程と、
（ｆ）前記工程（ｄ）の後、前記ゲート電極をマスクとし、また前記第２の側壁を介して第２の不純物を導入して前記第１の不純物領域と前記半導体基板との接合よりも浅く前記半導体基板との接合を有する第２の不純物領域を形成する工程と
を備える、半導体装置の製造方法。
【請求項８】　前記工程（ｂ）は
（ｂ－１）前記側面及び前記主面を熱窒化して前記第２の側壁を形成する工程と、
（ｂ－２）前記第２の側壁とエッチングの選択比が大きな材料を前記第２の側壁に堆積して前記第１の側壁を形成する工程と
を有する、請求項７記載の半導体装置の製造方法。
【請求項９】　（ｇ）前記工程（ｂ）と前記工程（ｆ）の間で実行され、前記ゲート電極の側面から前記第１の幅以上に離れた前記主面において、前記半導体基板の厚さを増す工程
を更に備える、請求項７記載の半導体装置の製造方法。
【請求項１０】　前記工程（ｇ）において半導体のエピタキシャル成長が施され、
前記工程（ａ）において前記ゲート電極の上面が半導体のエピタキシャル成長を阻む絶縁体で構成される、請求項９記載の半導体装置の製造方法。
【請求項１１】　（ｇ）前記工程（ｆ）よりも前に実行され、前記ゲート電極の側面から前記第１の幅以上に離れた前記主面において、前記半導体基板がサリサイド化される工程
を更に備える、請求項７記載の半導体装置の製造方法。
【手続補正２】
【補正対象書類名】明細書
【補正対象項目名】００１４
【補正方法】変更
【補正の内容】
【００１４】
【課題を解決するための手段】
この発明のうち請求項１にかかるものは、（ａ）半導体基板の主面上に設けられたゲート絶縁膜と、前記ゲート絶縁膜を介して前記半導体基板上に設けられたゲート電極とを形成する工程と、（ｂ）前記ゲート電極及び前記ゲート絶縁膜の側面と、前記側面から前記ゲート電極の外へと第１の幅で広がる第１の領域における前記主面とを覆う第１の側壁を

形成する工程と、（ｃ）前記第１の側壁及び前記ゲート電極をマスクとして前記主面に対して第１の不純物を導入して第１の不純物領域を形成する工程と、（ｄ）前記工程（ｃ）で得られた構造に対して熱処理を行い、前記第１の不純物を電気的に活性化する工程と、（ｅ）前記側面から前記ゲート電極の外へと前記第１の幅よりも狭い第２の幅で広がる第２の領域において前記側面を覆う部分を残しつつ、前記第１の側壁の厚さを前記ゲート電極の厚さよりも減少させて第２の側壁を得る工程と、（ｆ）前記工程（ｄ）の後、前記ゲート電極をマスクとし、また前記第２の側壁を介して第２の不純物を導入して前記第１の不純物領域よりも不純物濃度の低い第２の不純物領域を形成する工程とを備える、半導体装置の製造方法である。

この発明のうち請求項７にかかるものは、請求項１にかかるものの工程（ｆ）に代えて、（ｆ）前記工程（ｄ）の後、前記ゲート電極をマスクとし、また前記第２の側壁を介して第２の不純物を導入して前記第１の不純物領域と前記半導体基板との接合よりも浅く前記半導体基板との接合を有する第２の不純物領域を形成する工程を備える、半導体装置の製造方法である。

【手続補正３】
【補正対象書類名】明細書
【補正対象項目名】００１５
【補正方法】変更
【補正の内容】
【００１５】
この発明のうち請求項２及び請求項８にかかるものは、それぞれ請求項１及び請求項７記載の半導体装置の製造方法であって、前記工程（ｂ）は（ｂ－１）前記側面及び前記主面を熱窒化して前記第２の側壁を形成する工程と、（ｂ－２）前記第２の側壁とエッチングの選択比が大きな材料を前記第２の側壁に堆積して前記第１の側壁を形成する工程とを有する。

【手続補正４】
【補正対象書類名】明細書
【補正対象項目名】００１６
【補正方法】変更
【補正の内容】
【００１６】
この発明のうち請求項３及び請求項９にかかるものは、それぞれ請求項１及び請求項７記載の半導体装置の製造方法であって、（ｇ）前記工程（ｂ）と前記工程（ｆ）の間で実行され、前記ゲート電極の側面から前記第１の幅以上に離れた前記主面において、前記半導体基板の厚さを増す工程を更に備える。

【手続補正５】
【補正対象書類名】明細書
【補正対象項目名】００１７
【補正方法】変更
【補正の内容】
【００１７】
この発明のうち請求項４及び請求項１０にかかるものは、それぞれ請求項３及び請求項９記載の半導体装置の製造方法であって、前記工程（ｇ）において半導体のエピタキシャル成長が施され、前記工程（ａ）において前記ゲート電極の上面が半導体のエピタキシャル成長を阻む絶縁体で構成される。

【手続補正６】
【補正対象書類名】明細書
【補正対象項目名】００１８
【補正方法】変更
【補正の内容】

【００１８】
この発明のうち請求項５及び請求項１１にかかるものは、それぞれ請求項１及び請求項７記載の半導体装置の製造方法であって、（ｇ）前記工程（ｆ）よりも前に実行され、前記ゲート電極の側面から前記第１の幅以上に離れた前記主面において、前記半導体基板がサリサイド化される工程を更に備える。
【手続補正７】
【補正対象書類名】明細書
【補正対象項目名】００７６
【補正方法】変更
【補正の内容】
【００７６】
【発明の効果】
この発明のうち請求項１あるいは請求項７にかかる半導体装置の製造方法によれば、第１の領域においては第１の側壁によって妨げられて、第１の不純物は主面に導入されない。しかし、第２の側壁は第２の領域以外において第１の側壁よりも薄くなるので、第２の領域以外では主面に第２の不純物が導入される。そして第１の不純物領域よりも第２の不純物領域の方が不純物濃度が低い、あるいは第１の不純物領域と半導体基板との接合よりも第２の不純物領域と半導体基板との接合の方が浅いので、いわゆるＬＤＤ構造あるいはエクステンションを実現することができる。そして工程（ｄ）が工程（ｆ）に先行するので、工程（ｆ）は工程（ｄ）による熱処理の影響を受けない。よって第１の不純物領域の形状制御とは独立して、第２の不純物領域の寸法の制御を精度良く行うことができる。しかも、第２の領域においては第２の側壁によって第２の不純物は主面に導入されない。従って、第２の不純物領域のゲート電極の下方への進入を軽減することができる。
【手続補正８】
【補正対象書類名】明細書
【補正対象項目名】００７７
【補正方法】変更
【補正の内容】
【００７７】
この発明のうち請求項２及び請求項８にかかる半導体装置の製造方法によれば、工程（ｅ）をエッチングで容易に実行することができ、しかも第２の側壁の形成に必要な熱処理が工程（ｆ）よりも前に実行されるので、請求項１の効果を阻害することがない。
【手続補正９】
【補正対象書類名】明細書
【補正対象項目名】００７８
【補正方法】変更
【補正の内容】
【００７８】
この発明のうち請求項３及び請求項９にかかる半導体装置の製造方法によれば、いわゆるせり上がり型の半導体装置を製造することができる。そして半導体基板の増厚において高温処理が必要であっても、工程（ｇ）は工程（ｆ）よりも前に実行されるので、請求項１や請求項７の効果を阻害することがない。
【手続補正１０】
【補正対象書類名】明細書
【補正対象項目名】００７９
【補正方法】変更
【補正の内容】
【００７９】
この発明のうち請求項４及び請求項１０にかかる半導体装置の製造方法によれば、工程（ｇ）においてエピタキシャル成長が施されても、ゲート電極の上面にはエピタキシャル

層が成長しない。また工程（ｃ）において第１の不純物の導入に対するマスクとしてゲート電極が機能しても、絶縁体に第１の不純物が導入される。従ってゲート電極の不純物濃度を変更することがなく、半導体装置のしきい値に影響を与えることもない。

【手続補正１１】
【補正対象書類名】明細書
【補正対象項目名】００８０
【補正方法】変更
【補正の内容】
【００８０】
この発明のうち請求項５及び請求項１１にかかる半導体装置の製造方法によれば、工程（ｇ）がエクステンション領域を形成する工程（ｆ）よりも前に実行されるので、請求項１や請求項７の効果を阻害することなくソース・ドレインをサリサイド化することができる。