

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4707229号
(P4707229)

(45) 発行日 平成23年6月22日 (2011.6.22)

(24) 登録日 平成23年3月25日 (2011.3.25)

(51) Int. Cl. F I
H03H 19/00 (2006.01) H03H 19/00
H03M 1/08 (2006.01) H03M 1/08 B

請求項の数 1 (全 10 頁)

(21) 出願番号	特願2000-401075 (P2000-401075)	(73) 特許権者	000191238
(22) 出願日	平成12年12月28日 (2000.12.28)		新日本無線株式会社
(65) 公開番号	特開2002-204144 (P2002-204144A)		東京都中央区日本橋横山町3番10号
(43) 公開日	平成14年7月19日 (2002.7.19)	(74) 代理人	100099818
審査請求日	平成19年9月28日 (2007.9.28)		弁理士 安孫子 勉
		(72) 発明者	小笠原 健一
			埼玉県上福岡市福岡二丁目1番1号 新日
			本無線株式会社川越製作所内
		(72) 発明者	伊理 哲郎
			埼玉県上福岡市福岡二丁目1番1号 新日
			本無線株式会社川越製作所内
		(72) 発明者	関口 亨
			埼玉県上福岡市福岡二丁目1番1号 新日
			本無線株式会社川越製作所内

最終頁に続く

(54) 【発明の名称】 スイッチトキャパシタ回路

(57) 【特許請求の範囲】

【請求項1】

アナログスイッチによりキャパシタの接続が切り換えられて、入力信号が処理されるよう構成されてなると共に、前記入力信号及び前記アナログスイッチの制御信号が外部から入力されるよう構成されてなるスイッチトキャパシタ回路であって、

前記入力信号及び制御信号が、駆動能力の低い2段以上直列接続されたインバータを介してそれぞれ入力され、通過する信号に生じたオーバーシュートやアンダーシュートを抑圧するよう構成されてなり、

前記直列接続されたインバータの初段は、前記入力信号及び制御信号を生成する回路の電源回路から電源供給を受けると共に、当該電源回路と同一のアースに接続されてなる一方、前記直列接続されたインバータの次段以降は、前記電源回路と別個の電源回路により電源供給され、かつ、別個のアースに接続されてなることを特徴とするスイッチトキャパシタ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、スイッチトキャパシタ回路に係り、特に、 $\Delta\Sigma$ 型D/A変換器に用いられるものにおいて、高調波ノイズの低減を図ったものに関する。

【0002】

【従来の技術】

スイッチトキャパシタ回路は、集積回路化に適することから種々の集積回路に用いられており、例えば、 $\Delta\Sigma$ 型D/A変換器を構成する場合等に用いられるものがある。

この $\Delta\Sigma$ 型D/A変換器に用いられるスイッチトキャパシタ回路においては、通常、いわゆる相補型のアナログスイッチが用いられるために、論理値Highの区間が重なることのない二層クロックが必要とされる。

従来、このスイッチトキャパシタ回路の動作に必要とされる二層クロックは、スイッチトキャパシタ回路へ入力される $\Delta\Sigma$ 信号を発生する $\Delta\Sigma$ 変調器などを有してなるデジタル回路で生成され、図6に示されたようなインバータ回路を介して $\Delta\Sigma$ 信号と共に、スイッチトキャパシタ回路へ供給されるようになっていた。

【0003】

10

【発明が解決しようとする課題】

しかしながら、このインバータ回路を構成する各々のインバータ41～43の電源電圧VDは、上述した $\Delta\Sigma$ 信号及び制御信号 $\phi 1$ 、 $\phi 2$ を生成するデジタル回路の電源回路から供給されるようになっていたために、この電源回路に生じたいわゆる電源ノイズが $\Delta\Sigma$ 信号や制御信号 $\phi 1$ 、 $\phi 2$ に重畳されるだけでなく、これら $\Delta\Sigma$ 信号や制御信号 $\phi 1$ 、 $\phi 2$ 自体には、オーバーシュートやアンダーシュートが生じることが多く、それらによる高調波ノイズを含んだ状態でスイッチトキャパシタ回路へ入力され、誤作動の原因となるという問題があった。

本発明は、上記実状に鑑みてなされたもので、電源ノイズの混入を抑圧し、かつ、オーバーシュートやアンダーシュートに起因する高調波ノイズが少ない制御信号が供給されて動作の確実なスイッチトキャパシタ回路を提供するものである。

20

【0004】

【課題を解決するための手段】

上記本発明の目的を達成するため、本発明に係るスイッチトキャパシタ回路は、

アナログスイッチによりキャパシタの接続が切り換えられて、入力信号が処理されるよう構成されてなると共に、前記入力信号及び前記アナログスイッチの制御信号が外部から入力されるよう構成されてなるスイッチトキャパシタ回路であって、

前記入力信号及び制御信号が、駆動能力の低い2段以上直列接続されたインバータを介してそれぞれ入力され、通過する信号に生じたオーバーシュートやアンダーシュートを抑圧するよう構成されてなり、

30

前記直列接続されたインバータの初段は、前記入力信号及び制御信号を生成する回路の電源回路から電源供給を受けると共に、当該電源回路と同一のアースに接続されてなる一方、前記直列接続されたインバータの次段以降は、前記電源回路と別個の電源回路により電源供給され、かつ、別個のアースに接続されてなるものである。

【0005】

かかる構成においては、入力信号及び制御信号は、これらの信号を生成する回路へ電源を供給する電源回路と異なる別個の電源回路から電源供給を受けるインバータを通過せしめられるので、電源ノイズやオーバーシュート及びアンダーシュートの低減、抑圧、また、オーバーシュートやアンダーシュートに起因する高調波ノイズの低減、抑圧がなされ、動作の確実な信頼性の高いスイッチトキャパシタ回路が提供されることとなるものである。

40

【0006】

【発明の実施の形態】

以下、本発明の実施の形態について、図1乃至図5を参照しつつ説明する。

なお、以下に説明する部材、配置等は本発明を限定するものではなく、本発明の趣旨の範囲内で種々改変することができるものである。

最初に、本発明の実施の形態におけるスイッチトキャパシタ回路の構成について、図1を参照しつつ説明する。

このスイッチトキャパシタ回路は、例えば、いわゆる $\Delta\Sigma$ 型デジタル・アナログ変換器を構成する回路の一部として用いられるもので、図示されないデジタル回路、すなわち、 $\Delta\Sigma$ 型デジタル・アナログ変換器に用いられる場合にあっては、 $\Delta\Sigma$ 変調器から後述す

50

るように $\Delta\Sigma$ 信号及び制御信号が入力されるようになっているものである。

【0007】

かかるスイッチトキャパシタ回路は、演算増幅器1を中心に積分器が構成されたものとなっている。すなわち、演算増幅器1の非反転入力端子はアースに接続される一方、反転入力端子には、サンプリングキャパシタ2の一端が第2のアナログスイッチ6を介して接続されたものとなっており、このサンプリングキャパシタ2の他端には、第1のアナログスイッチ5を介して後述する信号整形部100を通過した $\Delta\Sigma$ 信号が印加されるようになっている。

また、第1のアナログスイッチ5が接続されたサンプリングキャパシタ2の他端とアースとの間には、第3のアナログスイッチ7が接続される一方、第2のアナログスイッチ6が接続されたサンプリングキャパシタ2の一端とアースとの間には、第4のアナログスイッチ8が接続されたものとなっている。

一方、演算増幅器1の反転入力端子と出力端子との間には、第1の積分キャパシタ3が次述するようにして接続されると共に、第2の積分キャパシタ4が反転入力端子と出力端子との間に接続されたものとなっている。

【0008】

第1の積分キャパシタ3の一端は、第5のアナログスイッチ9を介して演算増幅器1の反転入力端子と接続されるようになっている一方、第1の積分キャパシタ3の他端は、第6のアナログスイッチ10を介して演算増幅器1の出力端子と接続されるようになっている。さらに、第5のアナログスイッチ9が接続された第1の積分キャパシタ3の一端とアースとの間には、第7のアナログスイッチ11が接続される一方、第6のアナログスイッチ10が接続された第1の積分キャパシタ3の他端とアースとの間には、第8のアナログスイッチ12が接続されたものとなっている。

なお、演算増幅器1の出力端子には、外部へ出力信号を取り出すための信号出力端子25が接続されている。

【0009】

上述した第1乃至第8のアナログスイッチ5～12は、いわゆる相補型であるため、位相が180度異なる2種類の制御信号が同時に入力されて動作するものとなっている。

すなわち、第1、第4、第7及び第8のアナログスイッチ5、8、11、12は、いずれも第1の制御信号 $\phi 1$ と、この第1の制御信号が反転された信号（以下「第1の反転制御信号」と言う） $\phi 1b$ とが同時に入力されるようになっており、第1の制御信号 $\phi 1$ が論理値Highであって、かつ、第1の反転制御信号 $\phi 1b$ が論理値Lowの場合に導通状態となるようになっている。

また、第2、第3、第5及び第6のアナログスイッチ6、7、9、10は、いずれも第2の制御信号 $\phi 2$ と、この第2の制御信号が反転された信号（以下「第2の反転制御信号」と言う） $\phi 2b$ とが同時に入力されるようになっており、第2の制御信号 $\phi 2$ が論理値Highであって、かつ、第2の反転制御信号 $\phi 2b$ が論理値Lowの場合に導通状態となるようになっている。

第1及び第2の制御信号 $\phi 1$ 、 $\phi 2$ は、同時に論理値Highとなる区間が存在しない、いわゆるノンオーバーラップの2層クロックとなっているものである（図2（A）及び図2（C）参照）。なお、先に述べたように第1の反転制御信号 $\phi 1b$ は、第1の制御信号 $\phi 1$ を反転したものであり（図2（B）参照）、第2の反転制御信号 $\phi 2b$ は、第2の制御信号 $\phi 2$ を反転したものである（図2（D）参照）。

【0010】

これら第1の制御信号 $\phi 1$ 、第1の反転制御信号 $\phi 1b$ 、第2の制御信号 $\phi 2$ 及び第2の反転制御信号 $\phi 2b$ 並びに $\Delta\Sigma$ 信号は、図示されないデジタル部（例えば $\Sigma\Delta$ 変調器）において生成され、このスイッチトキャパシタ回路に設けられた信号整形部100を介して第1乃至第8のアナログスイッチ5～12へ適宜入力されるようになっている。なお、 $\Delta\Sigma$ 信号は、公知・周知の $\Delta\Sigma$ 変調によって生成される1ビット符号化信号である。

信号整形部100は、第1の整形部51と第2の整形部52とから構成されたものとなっ

10

20

30

40

50

ている。

第1の整形部51は、第1乃至第3のインバータ（反転回路）13～15を有してなり、第1のインバータ13には、先に述べたように制御信号と $\Delta\Sigma$ 信号を発生するデジタル部（図示せず）からの第1の制御信号 $\phi 1$ が、第2のインバータ14には、デジタル部からの第2の制御信号 $\phi 2$ が、第3のインバータ15には、 $\Delta\Sigma$ 信号が、それぞれ入力されるようになっている。そして、これら第1乃至第3のインバータ13～15の電源電圧VDDは、図示されないデジタル部と同一の電源回路（図示せず）から供給されるものとなっており、この第1の整形部51のアース、換言すれば、第1乃至第3のインバータ13～15のアースは、先の図示されないデジタル部の電源回路と同一のアースに接続されたものとなっている。

10

【0011】

一方、第2の整形部52は、第4乃至第12のインバータ16～24を有してなるもので、第4のインバータ16には、上述した第1のインバータ13の出力信号が、第7のインバータ19には、上述した第2のインバータ14の出力信号が、第10のインバータ22には、上述した第3のインバータ15の出力信号が、それぞれ入力されるようになっている。

そして、第4のインバータ16の出力端子には、第5のインバータ17の入力端子が接続され、この第5のインバータ17の出力端子には、第6のインバータ18の入力端子が接続されたものとなっており、第6のインバータ18から第1の制御信号 $\phi 1$ が出力されるようになっていると共に、第5のインバータ17の出力端子から第1の反転制御信号 $\phi 1b$ が出力されるようになっている。

20

【0012】

また、第7のインバータ19の出力端子には、第8のインバータ20の入力端子が接続され、この第8のインバータ20の出力端子には、第9のインバータ21の入力端子が接続されたものとなっており、第9のインバータ21から第2の制御信号 $\phi 2$ が出力されるようになっていると共に、第8のインバータ20の出力端子から第2の反転制御信号 $\phi 2b$ が出力されるようになっている。

さらに、第10のインバータ22の出力端子には、第11のインバータ23の入力端子が接続され、この第11のインバータ23の出力端子には、第12のインバータ24の入力端子が接続されたものとなっており、第12のインバータ24から $\Delta\Sigma$ 信号が出力されるようになっている。

30

【0013】

そして、これら第4乃至第12のインバータ16～24の電源電圧VDDAは、先の第1の整形部51の電源電圧VDDを供給するデジタル部の電源回路（図示せず）とは別個に設けられた電源回路（図示せず）から供給されるものとなっており、この第2の整形部52のアース、換言すれば、第4乃至第12のインバータ16～24のアースは、先の第1の整形部51のアースと別個に、換言すれば、デジタル部の電源回路とは別個のアースに接続されたものとなっている。

なお、第2の整形部52の電源電圧VDDAを供給する電源回路及びそのアースとしては、現実的には、スイッチトキャパシタ回路の電源回路と共通にするのが好適である。

40

また、第1乃至第12のインバータ13～24は、これらを通ずる信号に生じたオーバーシュートやアンダーシュートを抑圧するという観点から、比較的駆動能力の低いものを用いるのが好適である。

【0014】

上記構成においては、第1のインバータ13と第4乃至第6のインバータ16～18が直列接続されたものとなっており、第1のインバータ13は、この直列接続部分の初段であり、第4乃至第6のインバータ16～18により次段以降が構成されたものとなっている。

同様に、第2のインバータ14と第7乃至第9のインバータ19～21が直列接続されたものとなっており、第2のインバータ14は、この直列接続部分の初段であり、第7乃至

50

第9のインバータ19～21により次段以降が構成されたものとなっている。

さらに、第3のインバータ15と第10乃至第12のインバータ22～24が直列接続されたものとなっており、第3のインバータ15は、この直列接続部分の初段であり、第10乃至第12のインバータ22～24により次段以降が構成されたものとなっている。

【0015】

次に、かかる構成における動作について説明する。

まず、図示されないデジタル部（例えば $\Delta\Sigma$ 変調器）からこのスイッチトキャパシタ回路を構成する第1の整形部51へ第1及び第2の制御信号 $\phi 1$ 、 $\phi 2$ 並びに $\Delta\Sigma$ 信号が入力されると、それぞれの信号は反転されて第2の整形部52の対応するインバータ16、19、22へ入力されることとなる。デジタル部で生成された第1及び第2の制御信号 $\phi 1$ 、 $\phi 2$ 並びに $\Delta\Sigma$ 信号は、いわゆるオーバーシュートやアンダーシュートがないのが理想であるが、現実には、これらを伴った状態で第1の整形部51へ入力される。また、デジタル部の電源回路においても種々の原因によりノイズが存在し、このノイズが、同じ電源を用いる第1乃至第3のインバータ13～15へ侵入して出力信号に重畳されることとなる。

10

結局、第1の整形部51からの信号は、上述のようなオーバーシュートやアンダーシュートを含み、しかも、いわゆる電源ノイズが重畳されたものとなる。

【0016】

第2の整形部52においては、第1の制御信号 $\phi 1$ は、第4乃至第6のインバータ16～18を介して出力されると共に、第5のインバータ17からは、第1の反転制御信号 $\phi 1b$ が出力されることとなる。

20

また、第2の制御信号 $\phi 2$ は、第7乃至第9のインバータ19～21を介して出力されると共に、第8のインバータ20からは、第2の反転制御信号 $\phi 2b$ が出力されることとなる。

そして、 $\Delta\Sigma$ 信号は、第10乃至第12のインバータ22～24を介して出力されることとなる。

ここで、第2の整形部52は、先に述べたようにデジタル部用の電源回路（図示せず）とは別個の電源回路によりその電源電圧VDDAが供給されると共に、アースも別個となっているため、第1の整形部51のように電源回路からのノイズの侵入はなく、しかも、先に述べたような第1及び第2の制御信号 $\phi 1b$ 、 $\phi 2b$ 並びに $\Delta\Sigma$ 信号のオーバーシュートやアンダーシュートは、第4乃至第12のインバータ16～24の電源電圧が上述のようにデジタル部の電源回路とは別個の電源回路により供給されることに加えて、各々のインバータ16～24は、駆動能力が比較的に低いものが用いられていることと、それぞれのインバータ16～24自体が有する波形整形機能によって低減、抑圧されることとなる。

30

【0017】

そして、第1乃至第8のアナログスイッチ5～12には、オーバーシュートやアンダーシュートが殆どなく、誤動作を招くことのない正常な第1及び第2の制御信号 $\phi 1b$ 、 $\phi 2b$ 並びに $\Delta\Sigma$ 信号が入力されることとなる。

また、このスイッチトキャパシタ回路において、第1及び第2の制御信号 $\phi 1$ 、 $\phi 2$ が通過するインバータの数は、いずれも同一であるため、相互のタイミングが、デジタル部から出力された時点におけるタイミングからずれることはなく、相互のタイミングのずれによる第1乃至第8のアナログスイッチ5～12の誤動作が生ずることがない。

40

また、このスイッチトキャパシタ回路の第2の整形部52において生成される第1及び第2の反転制御信号 $\phi 1b$ 、 $\phi 2b$ についても、双方の信号が通過するインバータの数は同一であるために、相互のタイミングが本来のタイミングからずれることがなく第1乃至第8のアナログスイッチ5～12において用いられることとなる。

【0018】

そして、第1の制御信号 $\phi 1$ が論理値Highとなる一方、第2の制御信号 $\phi 2$ が論理値Lowとなると、第1及び第4のアナログスイッチ5、8が導通状態となって、サンプリングキャパシタ2は、第4のアナログスイッチ8に接続された側が第4のアナログスイッチ

50

8を介してアースに接続された状態で、 $\Delta\Sigma$ 信号による電荷の蓄積がなされる一方、第7及び第8のアナログスイッチ11, 12が導通状態となるために、第1の積分キャパシタ3は、第7及び第8のアナログスイッチ11, 12を介して短絡されて放電状態とされることとなる。

次いで、第1の制御信号 $\phi 1$ が論理値Highから論理値Lowとなる一方、第2の制御信号 $\phi 2$ が論理値Lowから論理値Highとなると、第1及び第4のアナログスイッチ5, 8に代わって第2及び第3のアナログスイッチ6, 7が導通状態となって、サンプリングキャパシタ2は、第3のアナログスイッチ7に接続された側が第3のアナログスイッチ7を介してアースに接続され、他端は、第2のアナログスイッチ6を介して演算増幅器1の反転入力端子に接続された状態となる。

10

一方、このとき同時に、第7及び第8のアナログスイッチ11, 12に代わって、第5及び第6のアナログスイッチ9, 10が導通状態となって、第1の積分キャパシタ3が演算増幅器1の反転入力端子と出力端子間に接続された状態となり、サンプリングキャパシタ2の電荷が、その充電の際とは逆極性で、このサンプリングキャパシタ2に流入し、演算増幅器1による積分動作により演算増幅器1の出力端子には、入力された $\Delta\Sigma$ 信号に応じた電圧信号が得られることとなる。

【0019】

次に、上述した第2の整形部52におけるノイズ抑圧の具体的な試験例について、図3乃至図6を参照しつつ説明する。

まず、図3は、ノイズ抑圧の効果を確認するための試験回路を示す回路図であって、特に、この試験例では、 $\Delta\Sigma$ 信号が通過する先の第3のインバータ15及び第10乃至第12のインバータ22~24が構成されたものとなっており、基本的に先の図1に示されたと同様に、第3のインバータ15には、ディジタル部（図示せず）の電源電圧VDDが、第10乃至第12のインバータ22~24には、別個の電源電圧VDDAが、それぞれ印加されるようにすると共に、アースも先に説明したと同様に別個のものとした。なお、この試験回路においては、電源電圧VDDは、第1の電源用抵抗器31を介して供給される一方、第3のインバータ15のアースは、第1のアース用抵抗器33を介してアースに接続される構成としてある。また、電源電圧VDDAは、第2の電源用抵抗器32を介して供給される一方、第10乃至第12のインバータ22~24のアースは、第2のアース用抵抗器34を介してアースに接続される構成としてある。

20

30

そして、第3のインバータ15には、 $\Delta\Sigma$ 信号を印加する一方、電源電圧VDDには、疑似的に発生させたノイズを混入させた。

【0020】

図4には、上述のような条件下で、各々のインバータ15, 22~24の出力端子において計測された信号波形が示されている。なお、同図において、横軸は時間の経過を $\Delta\Sigma$ 信号の出力周期 u を単位として表したものとなっており、第1周期目を1 u 、第2周期目を2 u の如くに、 u に昇順に数字を付して時間経過を表したものとなっている。

同図において、図4(A)は、試験回路へ入力される前で、かつ、疑似的なノイズが重畳される前の $\Delta\Sigma$ 信号を表すものである。

第3のインバータ15の出力端子側においては、電源側から混入されたノイズが殆どそのまま現れている状態が計測されたものとなっている（図4(B)参照）。

40

一方、第10乃至第12のインバータ22~24の各々の出力端子においては、通常の計測状態で計測された信号波形には、ノイズは現れていないように見える（図4(C)、図4(D)及び図4(E)参照）。

【0021】

しかし、高周波歪みが-80dB程度以下の要求がなされる場合には、第2の整形部52において第10のインバータ22を通過した程度では、ノイズの影響は残り、高周波歪みが-80dB程度以下の要求を満たすことができない。

このような状態は、それぞれのインバータの出力波形をFFT(Fast Fourier Transform)解析することで確認することが可能となる。

50

図5には、第3のインバータ15に入力される直前における $\Delta\Sigma$ 信号及び各々のインバータにおける出力信号のFFT解析結果が示されており、以下、同図について説明する。まず、同図において横軸は対数目盛で表された周波数軸であり、縦軸は信号のレベルを表すものとなっている。

そして、同図において、符号Aが付された特性線は、第3のインバータ15へ入力される前の $\Delta\Sigma$ 信号のFFT解析結果を表しており、符号Bが付された特性線は、第3のインバータ15の出力信号のFFT解析結果を表しており、符号Cが付された特性線は、第10のインバータ22の出力信号のFFT解析結果を表しており、符号Dが付された特性線は、第11のインバータ23の出力信号のFFT解析結果を表しており、符号Eが付された特性線は、第12のインバータ24の出力信号のFFT解析結果を表している。図5において、10KHz付近のピークは、 $\Delta\Sigma$ 信号の基本波成分であり、大凡20KHz付近以降の部分が高調波ノイズ成分である。

このFFT解析結果によれば、第3のインバータ15の出力側においては、可聴周波数域における高調波のレベルやいわゆるノイズフロア(noise floor)の低減が未だ不十分であるのに対して、第12のインバータ24の出力側においては、これらが大きく改善されていることが確認できる。

【0022】

上述した発明の実施の形態においては、第2の整形部52は、第1の整形部51の第1乃至第3のインバータ13~15に対して次段以降となるインバータを、それぞれ3個設けるような構成としたが、インバータの直列数はこれに限定される必要は勿論なく、例えば、要求される高調波歪みのレベルを満足するのであれば、次段となる第4、第7及び第10のインバータ16、19、22のみとしても良いものである。

また、電源を第1の整形部51と第2の整形部52で異なるものを用いたが、同一の電源としてもインバータの多段接続による波形整形の効果は得ることができる。

【0023】

【発明の効果】

以上、述べたように、本発明によれば、入力信号と制御信号とを、これらの信号を生成する回路の電源とアースとは別個の電源及びアースを用いるインバータを通過せしめた後に用いるようにしたので、従来と異なり、簡易な構成で、電源ノイズの混入を抑圧し、かつ、オーバーシュートやアンダーシュートに起因する高調波ノイズを抑圧することができ、動作の確実な信頼性の高いスイッチトキャパシタ回路を提供することができるという効果を奏するものである。

【図面の簡単な説明】

【図1】本発明の実施の形態におけるスイッチトキャパシタ回路の構成例を示す構成図である。

【図2】図1に示されたスイッチトキャパシタ回路を構成する第1乃至第8のアナログスイッチの制御に用いられる制御信号を示す波形図であって、図2(A)は、第1の制御信号を示す波形図、図2(B)は、第1の反転制御信号を示す波形図、図2(C)は、第2の制御信号を示す波形図、図2(D)は、第2の反転制御信号を示す波形図である。

【図3】図1に示されたスイッチトキャパシタ回路におけるノイズ抑圧の効果を確認するために用いられた試験回路の構成を示す回路図である。

【図4】図3に示された試験回路の主要部における信号波形を示す波形図であって、図4(A)は、試験回路入力前の $\Delta\Sigma$ 信号を示す波形図、図4(B)は、第3のインバータの出力端子における出力信号の波形を示す波形図、図4(C)は、第10のインバータの出力端子における出力信号の波形を示す波形図、図4(D)は、第11のインバータの出力端子における出力信号の波形を示す波形図、図4(E)は、第12のインバータの出力端子における出力信号の波形を示す波形図である。

【図5】図3に示された試験回路の各々のインバータの出力信号をFFT解析した結果を示す特性線図である。

【図6】従来のスイッチトキャパシタ回路における制御信号の入力部分の回路構成例を示

10

20

30

40

50

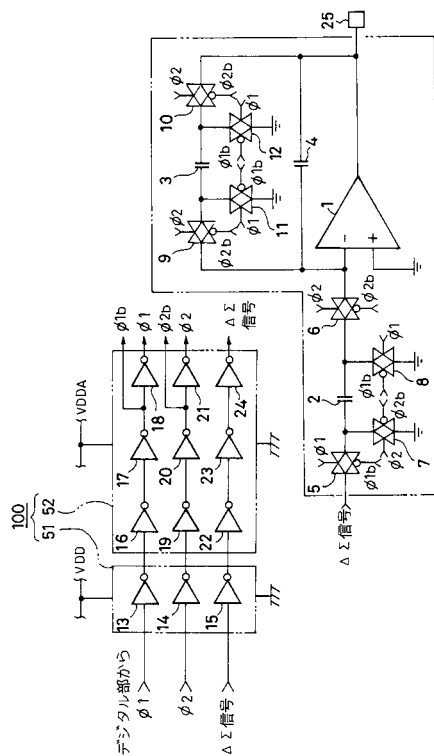
す回路図である。

【符号の説明】

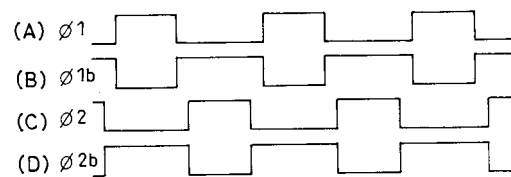
- 1 … 演算増幅器
- 5 … 第 1 のアナログスイッチ
- 6 … 第 2 のアナログスイッチ
- 7 … 第 3 のアナログスイッチ
- 8 … 第 4 のアナログスイッチ
- 9 … 第 5 のアナログスイッチ
- 10 … 第 6 のアナログスイッチ
- 11 … 第 7 のアナログスイッチ
- 12 … 第 8 のアナログスイッチ
- 100 … 信号整形部
- 51 … 第 1 の整形部
- 52 … 第 2 の整形部

10

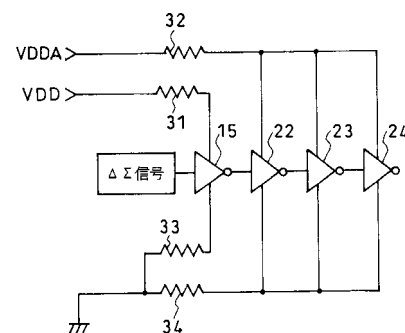
【図 1】



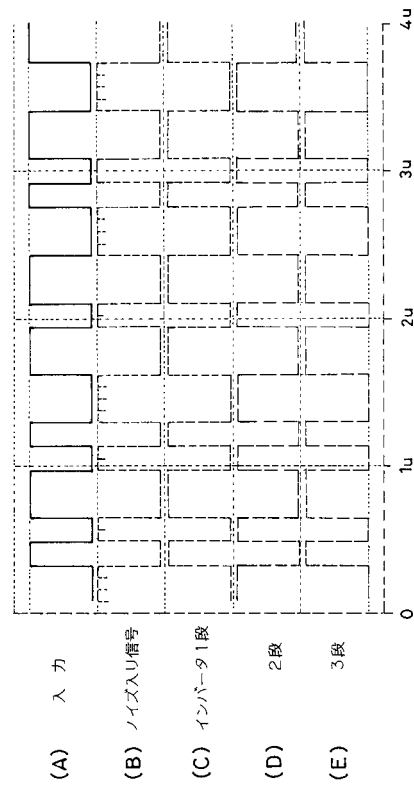
【図 2】



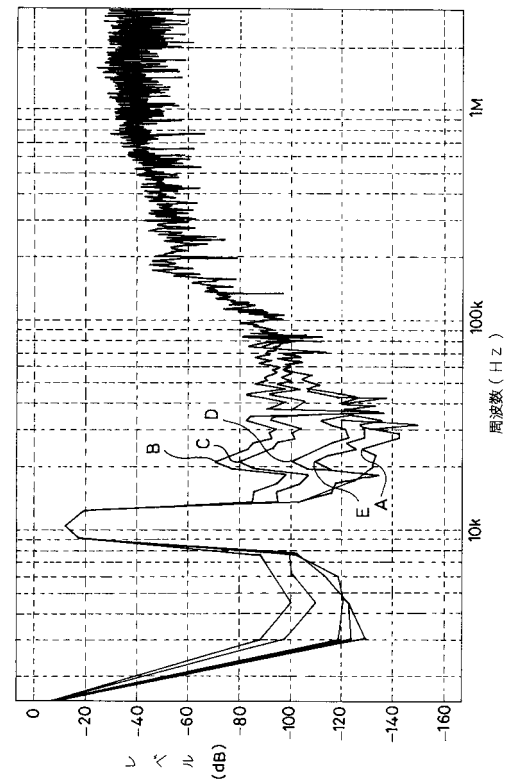
【図 3】



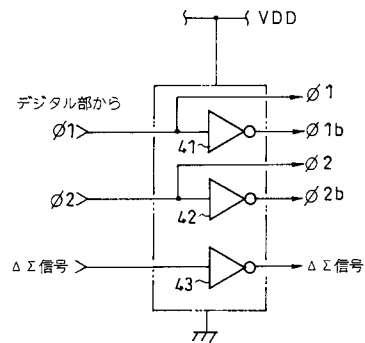
【図 4】



【図 5】



【図 6】



フロントページの続き

審査官 関 知子

- (56)参考文献 特開平01-246914 (JP, A)
特開平04-111537 (JP, A)
特開昭52-127082 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
H03H 19/00
H03M 1/08