(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년04월22일
(11) 등록번호 10-2103607
(24) 등록일자 2020년04월16일

(51) 국제특허분류(Int. Cl.)
H01L 27/00 (2006.01) *H01L 21/77* (2017.01)
H01L 29/786 (2006.01)
(21) 출원번호 10-2013-0045241
(22) 출원일자 2013년04월24일
심사청구일자 2018년04월24일
(65) 공개번호 10-2013-0120404
(43) 공개일자 2013년11월04일
(30) 우선권주장
JP-P-2012-100190 2012년04월25일 일본(JP)
(56) 선행기술조사문헌
JP2005039210 A*
JP2007293856 A*
JP2012074125 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
다케무라 야스히코
일본 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
(74) 대리인
장수길, 박충범, 이중희

전체 청구항 수 : 총 10 항 심사관 : 백형열

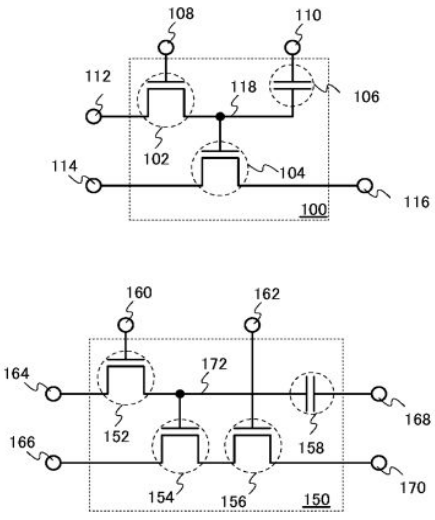
(54) 발명의 명칭 **반도체 장치와 반도체 장치의 구동 방법**

(57) 요 약

본 발명은 저장된 데이터에 대하여 확실성이 높은 에러 판정을 실시한다.

에러 판정에 사용하는 데이터(예를 들어 CRC에서의 잉여값)를 에러가 발생하기 어려운 메모리에 저장시킨다. 구체적으로 말하면, 복수의 트랜지스터, 용량 소자, 및 데이터 유지부를 갖는 메모리 소자가 매트릭스 형상으로 제공된 반도체 장치를 사용하고, 상기 데이터 유지부는 상기 복수의 트랜지스터 중 하나의 트랜지스터의 소스 및 드레인 중 하나, 상기 복수의 트랜지스터 중 다른 하나의 트랜지스터의 게이트, 및 상기 용량 소자의 전극 중 하나로 구성되고, 상기 데이터 유지부에 소스 및 드레인 중 상기 하나가 접속된 상기 트랜지스터에서는 채널이 형성되는 반도체층의 밴드 갭이 2.8eV 이상 또는 3.2eV 이상이고, 상기 데이터 유지부에 에러 판정용 데이터가 저장된다.

대 표 도



명 세 서

청구범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

반도체 장치의 구동 방법에 있어서,

잉여값을 계산하는 단계와;

순환 중복 검사용 메모리에 상기 잉여값을 저장시키는 단계와;

순환 중복 검사에 의하여 상기 잉여값을 사용하여 제 i번째 행의 에러를 판정하는 단계와;

상기 제 i번째 행에서 에러가 없는 경우에는, 제 i+1번째 행의 처리를 실시하는 단계와;

상기 제 i번째 행에서 에러가 있는 경우에는, 컨피규레이션 메모리에 저장된 상기 제 i번째 행에 입력하여야 할 데이터를 기록하는 단계와;

상기 에러를 판정하는 단계와 상기 데이터를 기록하는 단계를 에러가 검출되지 않게 될 때까지 반복하는 단계를 포함하고,

상기 순환 중복 검사용 메모리는 상기 컨피규레이션 메모리보다 에러율이 낮고,

상기 잉여값을 사용하여 상기 에러를 판정하는 단계가 일정 횟수 이상 반복되는 경우에는, 상기 잉여값이 다시 계산되는, 반도체 장치의 구동 방법.

청구항 9

제 8 항에 있어서,

상기 제 i번째 행의 데이터는 상기 잉여값을 계산할 때 부트 메모리로부터 꺼내지는, 반도체 장치의 구동 방법.

청구항 10

제 8 항에 있어서,

상기 순환 중복 검사는

상기 순환 중복 검사용 메모리의 상기 제 i번째 행의 데이터를 상기 컨피규레이션 메모리의 상기 제 i번째 행 끝의 데이터에 더하는 단계와;

상기 순환 중복 검사용 메모리의 상기 제 i번째 행의 상기 데이터와 상기 컨피규레이션 메모리의 상기 제 i번째 행 끝의 상기 데이터의 합을 미리 설정한 제수로 나누는 단계와;

상기 잉여값이 0인지 여부를 결정하는 단계에 의하여 실시되는, 반도체 장치의 구동 방법.

청구항 11

삭제

청구항 12

제 8 항에 있어서,

상기 잉여값을 계산하기 위하여 사용되는 제수는 ROM에 저장되는, 반도체 장치의 구동 방법.

청구항 13

제 8 항에 있어서,

상기 순환 중복 검사용 메모리는 상기 반도체 장치에 제공되고,

상기 순환 중복 검사용 메모리는

매트릭스 형상으로 제공된 복수의 메모리 소자를 포함하고,

상기 메모리 소자는

복수의 트랜지스터;

용량 소자; 및

에러 판정용 데이터가 저장되는 데이터 유지부를 각각 포함하고,

상기 데이터 유지부는 상기 복수의 트랜지스터의 제 1 트랜지스터의 소스 및 드레인 중 하나, 상기 복수의 트랜지스터의 제 2 트랜지스터의 게이트, 및 상기 용량 소자의 제 1 전극을 포함하고,

상기 복수의 트랜지스터의 상기 제 1 트랜지스터는 산화물 반도체층을 포함하는, 반도체 장치의 구동 방법.

청구항 14

반도체 장치의 메모리에서 에러를 판정하기 위한 컴퓨터 프로그램을 저장하는 판독 가능한 메모리 장치에 있어서,

상기 컴퓨터 프로그램이 상기 반도체 장치 또는 프로세서에서 실행될 때 상기 반도체 장치 또는 상기 프로세서는

잉여값을 계산하는 단계와;

순환 중복 검사용 메모리에 상기 잉여값을 저장시키는 단계와;

순환 중복 검사에 의하여 상기 잉여값을 사용하여 제 i번째 행의 에러를 판정하는 단계와;

상기 제 i번째 행에서 에러가 없을 때, 제 i+1번째 행의 처리를 수행하는 단계와;

상기 제 i번째 행에서 에러가 있을 때, 컨피규레이션 메모리에 저장된 상기 제 i번째 행에 입력하여야 할 데이터를 기록하는 단계와;

상기 에러를 판정하는 단계와 상기 데이터를 기록하는 단계를 에러가 검출되지 않게 될 때까지 반복하는 단계를 실시하고,

상기 순환 중복 검사용 메모리는 상기 컨피규레이션 메모리보다 에러율이 낮고,

상기 잉여값을 사용하여 상기 에러를 판정하는 단계가 일정 횟수 이상 반복되는 경우에는, 상기 잉여값이 다시 계산되는, 판독 가능한 메모리 장치.

청구항 15

제 14 항에 있어서,

상기 제 i번째 행의 데이터는 상기 잉여값을 계산할 때 부트 메모리로부터 꺼내지는, 판독 가능한 메모리 장치.

청구항 16

제 14 항에 있어서,

상기 순환 중복 검사는

상기 순환 중복 검사용 메모리의 상기 제 i번째 행의 데이터를 상기 컨피규레이션 메모리의 상기 제 i번째 행 끝의 데이터에 더하는 단계와;

상기 순환 중복 검사용 메모리의 상기 제 i번째 행의 상기 데이터와 상기 컨피규레이션 메모리의 상기 제 i번째 행 끝의 상기 데이터의 합을 미리 설정한 제수로 나누는 단계와;

상기 잉여값이 0인지 여부를 결정하는 단계에 의하여 실시되는, 판독 가능한 메모리 장치.

청구항 17

제 14 항에 있어서,

상기 잉여값을 계산하기 위하여 사용되는 제수는 ROM에 저장되는, 판독 가능한 메모리 장치.

청구항 18

제 14 항에 있어서,

상기 순환 중복 검사용 메모리는 상기 반도체 장치에 제공되고,

상기 순환 중복 검사용 메모리는

매트릭스 형상으로 제공된 복수의 메모리 소자를 포함하고,

상기 메모리 소자는

복수의 트랜지스터;

용량 소자; 및

에러 판정용 데이터가 저장되는 데이터 유지부를 각각 포함하고,

상기 데이터 유지부는 상기 복수의 트랜지스터의 제 1 트랜지스터의 소스 및 드레인 중 하나, 상기 복수의 트랜지스터의 제 2 트랜지스터의 게이트, 및 상기 용량 소자의 제 1 전극을 포함하고,

상기 복수의 트랜지스터의 상기 제 1 트랜지스터는 산화물 반도체층을 포함하는, 판독 가능한 메모리 장치.

청구항 19

삭제

청구항 20

삭제

발명의 설명

기 술 분 야

[0001] 본 발명은 반도체 장치에 관한 것이다. 본 명세서에서 반도체 장치란 반도체 소자 자체 또는 반도체 소자를 포함하는 것을 가리키며, 이러한 반도체 소자로서 예를 들어 박막 트랜지스터를 들 수 있다. 따라서, 액정 표시 장치 및 기억 장치 등도 반도체 장치에 포함된다.

배 경 기 술

[0002] 반도체 장치의 일종으로서 프로그래밍이 가능한 반도체 장치를 들 수 있다. 프로그래밍이 가능한 반도체 장치 내부의 논리 회로의 설계는 사용자가 변경할 수 있다. 예를 들어 PLD(Programmable Logic Device: 프로그래머블 로직 디바이스)라고 불리는 것이 이것에 상당한다.

[0003] PLD의 일례로서 복수의 논리 회로를 갖고, 메모리부(컨피규레이션(configuration) 메모리라고 불림)에 저장된 데이터(컨피규레이션 데이터라고 불림)에 의하여 논리 회로들 사이의 접속 상태나 논리 회로 자체의 기능을 전환함으로써 사용자가 회로 설계를 변경할 수 있는 반도체 장치를 들 수 있다. 여기서, 컨피규레이션 데이터로서는 예를 들어 LUT(Look Up Table: 룩업 테이블)에 저장되는 데이터를 들 수 있다.

[0004] 컨피규레이션 메모리로서는 일반적으로는 SRAM(Static Random Access Memory)이 사용되지만, SRAM에는 소프트 에러로 인하여 데이터가 반전(업셋)될 확률이 높은 문제가 있다. 이러한 에러를 판별하기 위하여 프로그래밍이 가능한 반도체 장치의 각 프로그램 소자에 접속된 기억 소자의 데이터를 정기적으로 판독하여 에러 판정을 할 필요가 있다. 이러한 에러 판정의 일례로서 CRC(Cyclic Redundancy Check: 순환 중복 검사)를 들 수 있다. CRC에 의하여 업셋의 유무를 판별할 수 있다(예를 들어 특허 문헌 1 참조).

선행기술문헌

특허문헌

[0005] (특허문헌 0001) 미국 특허 8130574호 명세서

발명의 내용

해결하려는 과제

[0006] 휘발성 메모리(예를 들어 SRAM)를 갖는 프로그래밍이 가능한 반도체 장치(사용자가 회로 설계를 변경할 수 있는 반도체 장치)에서는 컨피규레이션시에 컨피규레이션 데이터를 로드할 때, 컨피규레이션 데이터에 연산 처리를 실시하여 잉여값을 산출하고 상기 잉여값을 저장한다. 그리고, 컨피규레이션이 진행되는 도중 또는 컨피규레이션이 완료된 후이며 또 사용자 모드가 실행되는 도중에 상기 잉여값에 의거하여 반도체 장치 내에 산재하는 컨피규레이션 데이터를 판독하여 CRC를 실시한다.

[0007] 그러나, 상기 잉여값은 휘발성 메모리(예를 들어 SRAM)에 저장되기 때문에, 소프트 에러로 인하여 기대값(상기 잉여값에 의거한 데이터)이 변화되었을 우려가 있다. 그러므로, 에러인 것으로 판정된 경우에는, 다시 컨피규레이션할 필요가 있다.

[0008] 본 발명의 일 형태는 소프트 에러가 발생하지 않고 CRC를 실시할 수 있는 반도체 장치를 제공하는 것을 과제로 한다. 즉, 본 발명의 일 형태는 에러 판정의 확실성이 높은 반도체 장치를 제공하는 것을 과제로 한다.

[0009] 본 발명의 일 형태는 소프트 에러가 발생하지 않고 CRC를 실시하는 반도체 장치의 구동 방법을 제공하는 것을 과제로 한다. 즉, 본 발명의 일 형태는 에러 판정의 확실성이 높은 반도체 장치의 구동 방법을 제공하는 것을 과제로 한다.

과제의 해결 수단

[0010] 본 발명의 일 형태는 복수의 트랜지스터, 용량 소자, 및 데이터 유지부를 갖는 메모리 소자가 매트릭스 형상으로 제공된 반도체 장치로서, 상기 데이터 유지부는 상기 복수의 트랜지스터 중 하나의 트랜지스터의 소스 및 드레인 중 하나, 상기 복수의 트랜지스터 중 다른 하나의 트랜지스터의 게이트, 및 상기 용량 소자의 전극 중 하나로 구성되고, 상기 데이터 유지부에 소스 및 드레인 중 상기 하나가 접속된 상기 트랜지스터에서 채널이 형성되는 반도체층의 밴드 갭은 2.8eV 이상 또는 3.2eV 이상이고, 상기 데이터 유지부에 에러 판정용 데이터가 저장

되어 있는 것을 특징으로 하는 반도체 장치다.

[0011] 상기 구성을 갖는 반도체 장치에서 상기 에러 판정은 순환 중복 검사이고, 상기 에러 판정용 상기 데이터는 상기 순환 중복 검사에 사용되는 잉여값인 것이 바람직하다.

[0012] 상기 구성을 갖는 반도체 장치에서 상기 데이터 유지부에 소스 및 드레인 중 상기 하나가 접속된 상기 트랜지스터의 채널이 형성되는 상기 반도체층의 두께는 20nm 이하인 것이 바람직하다.

[0013] 본 발명의 일 형태는 순환 중복 검사에 의하여 에러 판정을 할 때 컨피규레이션 메모리와 잉여값이 저장된 메모리를 사용하는 반도체 장치의 구동 방법으로서, 미리 산출된 상기 잉여값을 사용하여 제 i번째 행의 에러 판정을 하고, 상기 제 i번째 행에서 에러가 없는 경우에는, 제 i+1번째 행의 처리로 이행되고, 상기 제 i번째 행에서 에러가 있는 경우에는, 컨피규레이션 메모리에 저장된 제 i번째 행에 입력하여야 할 데이터의 기록을 하고, 상기 에러 판정과 상기 데이터의 기록은 상기 에러 판정에 의하여 에러가 검출되지 않게 될 때까지 반복되고, 상기 순환 중복 검사에 사용하는 상기 잉여값은 상기 컨피규레이션 메모리보다 에러율이 낮은 메모리 소자에 저장되는 것을 특징으로 하는 반도체 장치의 구동 방법이다.

[0014] 상기 구성을 갖는 반도체 장치의 구동 방법에서 상기 잉여값을 사용한 에러 판정을 일정 횟수 실시하여도 에러가 발생하는 경우에는, 상기 잉여값을 다시 계산하면 좋다.

[0015] 상기 구성을 갖는 반도체 장치의 구동 방법에서 상기 잉여값을 계산하기 위한 제수(除數)는 ROM에 저장되어 있는 것이 바람직하다.

[0016] 상기 구성을 갖는 반도체 장치의 구동 방법에서 에러율이 낮은 상기 메모리 소자는 상기 구성을 갖는 반도체 장치에 제공된 상기 메모리 소자라도 좋다.

발명의 효과

[0017] 소프트 에러가 발생하지 않고 CRC를 실시할 수 있는 반도체 장치를 제공할 수 있다. 즉, 에러 판정의 확실성이 높은 반도체 장치를 제공할 수 있다.

도면의 간단한 설명

[0018] 도 1a 및 도 1b는 본 발명의 일 형태인 반도체 장치의 메모리 소자를 설명하기 위한 도면.

도 2는 본 발명의 일 형태인 반도체 장치의 메모리 소자를 설명하기 위한 도면.

도 3a 및 도 3b는 본 발명의 일 형태인 반도체 장치의 메모리 소자를 설명하기 위한 도면.

도 4a 내지 도 4c는 본 발명의 일 형태인 반도체 장치의 컨피규레이션 메모리와 CRC용 메모리를 도시한 도면.

도 5는 본 발명의 일 형태인 반도체 장치의 구동 방법을 설명하기 위한 제 1 도면.

도 6은 본 발명의 일 형태인 반도체 장치의 구동 방법을 설명하기 위한 제 2 도면.

발명을 실시하기 위한 구체적인 내용

[0019] 본 발명의 실시형태에 대하여 도면을 사용하여 아래에 자세히 설명한다. 다만, 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위에서 벗어남이 없이 그 형태 및 자세한 사항을 다양하게 변경할 수 있다는 것은 당업자라면 쉽게 이해할 수 있다. 따라서, 본 발명은 아래에 기재된 실시형태의 기재 내용에 한정하여 해석되는 것이 아니다.

[0020] 우선, 본 발명의 일 형태인 반도체 장치에 적용할 수 있는 메모리 소자의 구성과 그 동작에 대하여 설명한다. 그리고, 본 발명의 일 형태인 반도체 장치의 구동 방법에 적용할 수 있는 CRC에 대하여 설명한다.

[0021] (실시형태 1)

[0022] 본 발명의 일 형태인 반도체 장치에 적용할 수 있는 메모리 소자의 구성과 그 동작을 설명한다.

[0023] 또한, 본 실시형태의 메모리 소자의 설명은 하나의 메모리 소자에 착안한 것이지만, 반도체 장치에서는 복수의 상기 메모리 소자가 매트릭스 형상으로 배열되어 제공되어 있다.

[0024] 도 1a는 본 발명의 일 형태인 반도체 장치에 적용할 수 있는 메모리 소자의 구성의 일례를 도시한 것이다. 도

1a에 도시된 메모리 소자(100)는 제 1 트랜지스터(102), 제 2 트랜지스터(104), 용량 소자(106), 및 데이터 유지부(118)를 갖고, 제 1 단자(108), 제 2 단자(110), 제 3 단자(112), 제 4 단자(114), 및 제 5 단자(116)에 전기적으로 접속되어 있다.

[0025] 제 1 트랜지스터(102)의 소스 및 드레인 중 하나는 제 3 단자(112)에 전기적으로 접속되어 있다. 제 1 트랜지스터(102)의 소스 및 드레인 중 다른 하나는 용량 소자(106)의 제 1 전극과, 제 2 트랜지스터(104)의 게이트에 전기적으로 접속되어 있다. 제 1 트랜지스터(102)의 게이트는 제 1 단자(108)에 전기적으로 접속되어 있다.

[0026] 제 2 트랜지스터(104)의 소스 및 드레인 중 하나는 제 4 단자(114)에 전기적으로 접속되어 있다. 제 2 트랜지스터(104)의 소스 및 드레인 중 다른 하나는 제 5 단자(116)에 전기적으로 접속되어 있다.

[0027] 용량 소자(106)의 제 2 전극은 제 2 단자(110)에 전기적으로 접속되어 있다. 또한, 용량 소자(106)의 용량은 1fF(1펨토패럿) 이상인 것이 바람직하다.

[0028] 데이터 유지부(118)는 제 1 트랜지스터(102)의 소스 및 드레인 중 다른 하나, 용량 소자(106)의 제 1 전극, 및 제 2 트랜지스터(104)의 게이트가 전기적으로 접속된 부분에 형성되어 있다.

[0029] 제 1 트랜지스터(102)는 적어도 오프 전류가 작은 것이면 좋다. 제 1 트랜지스터(102)의 채널 형성 영역은 박막의 반도체층인 것이 바람직하고, 상기 반도체층의 두께는 20nm 이하인 것이 더 바람직하다. 이와 같이, 채널 형성 영역을 박막의 반도체층으로 하면, 고에너지 중성자의 입사에 의한 핵 반응에 의하여 발생하는 전하의 발생량을 벌크의 반도체의 대략 10분의 1 이하로 억제할 수 있다. 또한, 채널이 형성되는 반도체층을 밴드 갭이 큰 재료로 형성하면, 전하의 발생량을 더 저감시킬 수 있다. 이러한 밴드 갭이 큰 재료로서는 예를 들어 산화물 반도체를 들 수 있다.

[0030] 예를 들어 밴드 갭이 3.2eV인 반도체(예를 들어 산화물 반도체)에서는 상기 핵 반응에 의하여 발생된 α입자가 통과하는 부분에서의 단위 길이당의 전하의 발생량은 밴드 갭이 1.1eV인 반도체(예를 들어 실리콘)의 약 3분의 1이다. 일반적으로는 실리콘 내에서 하나의 핵 반응에서는 수백fC(수백펨토쿨롬)의 전하가 발생한다고 하지만, 밴드 갭이 3.2eV이고 두께가 20nm인 반도체를 사용하면, 발생하는 전하는 1fC 미만으로 억제할 수 있다.

[0031] 따라서, 제 1 트랜지스터(102)의 채널 형성 영역이 되는 반도체층을 밴드 갭이 큰 반도체 재료로 얇게 형성하면, 제 1 트랜지스터(102)는 고에너지 중성자의 입사에 의한 핵 반응에 대하여 충분히 안정되고, 데이터 유지부(118)의 저장 능력이 매우 높게 된다.

[0032] 또한, 제 1 트랜지스터(102)의 채널 형성 영역이 되는 반도체층은 바람직하게는 PN접합을 갖지 않는 것이 바람직하고, 하나의 반도체층에 복수의 트랜지스터(채널)가 형성되지 않는 것이 바람직하다. PN접합을 갖고 또 복수의 트랜지스터의 채널이 하나의 반도체층에 제공된 경우(즉, 하나의 반도체층에 복수의 트랜지스터가 제공된 경우)에는 핵 반응이 발생하였을 때 기생 바이폴러 효과에 의하여 동일한 반도체층에 있는 모든 트랜지스터가 영향을 받을 경우가 있기 때문이다.

[0033] 제 2 트랜지스터(104)는 적어도 스위칭 기능을 가지면 좋다. 제 2 트랜지스터(104)로서 예를 들어 실리콘 기판에 채널이 형성되는 트랜지스터를 사용하면 좋다. 또한, 제 2 트랜지스터(104)는 p채널형 트랜지스터와 n채널형 트랜지스터의 어느 쪽이라도 좋다.

[0034] 제 1 단자(108) 및 제 3 단자(112)에는 적어도 데이터 유지부(118)로의 데이터 기록시에 신호가 입력된다. 제 3 단자(112)에는 에러 판정용 데이터가 입력된다. 에러 판정의 대상은 예를 들어 도 4a 및 도 4b에 도시된 컨피규레이션 메모리(400)를 구성하는 메모리다. 제 2 단자(110)에는 적어도 데이터 유지부(118)로부터의 데이터 판독시에 신호가 입력된다. 제 5 단자(116)로부터는 적어도 데이터 유지부(118)로부터의 데이터 판독시에 신호가 출력된다. 다만, 제 1 단자(108), 제 2 단자(110), 제 3 단자(112), 제 4 단자(114), 및 제 5 단자(116)에서의 신호의 입출력의 타이밍은 이것에 한정되지 않는다.

[0035] 다음에, 도 1a에 도시된 메모리 소자(100)의 동작에 대하여 설명한다. 메모리 소자(100)로의 데이터 기록시에는 제 1 단자(108)의 전위를 제어하여 제 1 트랜지스터(102)를 온 상태로 하고, 제 3 단자(112)의 전위를 기록하는 데이터의 전위가 되도록 제어한다. 여기서, 도 1a에 도시된 바와 같이, 제 1 트랜지스터(102)가 n채널형 트랜지스터인 경우에는 제 1 단자(108)의 전위를 고전위로 하면 온 상태가 되고, 제 1 트랜지스터(102)가 p채널형 트랜지스터인 경우에는 제 1 단자(108)의 전위를 저전위로 하면 온 상태가 된다.

[0036] 상술한 바와 같이 전위를 제어하면, 데이터 유지부(118)의 전위는 제 3 단자(112)의 전위에 따른 전위가 되고, 바람직하게는 데이터 유지부(118)의 전위와 제 3 단자(112)의 전위가 동등한 값이 된다. 즉, 데이터 유지부

(118)에 데이터가 기록된다. 데이터 유지부(118)에 데이터가 기록된 후에 제 1 단자(108)의 전위를 제어하여 제 1 트랜지스터(102)를 오프 상태로 하면 데이터 유지부(118)에 데이터가 유지된다. 여기서, 제 1 트랜지스터(102)로서 적어도 오프 전류가 작은 것을 사용하기 때문에 데이터 유지부(118)의 전위는 충분한 시간(10ms 이상) 동안 유지된다. 데이터 유지부(118)에 더 긴 시간 동안 데이터를 유지하는 경우에는, 리프레시 동작을 실시하면 좋다.

[0037] 메모리 소자(100)로부터의 데이터 판독시에는 제 2 단자(110)의 전위를 판독하기 위한 전위로 설정함으로써, 제 2 트랜지스터(104)의 온 저항에 따라 데이터 유지부(118)의 데이터를 판별한다.

[0038] 예를 들어 제 2 트랜지스터(104)가 n채널형 트랜지스터인 경우에는, 데이터 유지부(118)가 고전위이면, 제 2 트랜지스터(104)의 온 저항이 작고, 제 4 단자로부터 신호를 입력하면 제 5 단자(116)에 전달된다. 그러나, 데이터 유지부(118)가 저전위이면, 제 2 트랜지스터(104)의 온 저항이 크고, 제 4 단자(114)로부터 신호를 입력하여도 제 5 단자(116)에 전달되지 않는다.

[0039] 한편, 제 2 트랜지스터(104)가 p채널형 트랜지스터인 경우에는, 데이터 유지부(118)가 고전위이면, 온 저항이 크고, 제 4 단자(114)로부터 신호를 입력하여도 제 5 단자(116)에 전달되지 않는다. 그러나, 데이터 유지부(118)가 저전위이면, 제 2 트랜지스터(104)의 온 저항이 작고, 제 4 단자(114)로부터 신호를 입력하면 제 5 단자(116)에 전달된다.

[0040] 또한, 제 3 단자(112)의 전위는 데이터 유지부(118)의 전위의 최고값 이상 또는 데이터 유지부(118)의 전위의 최저값 이하로 하는 것이 바람직하다. 예를 들어 데이터 유지부(118)의 고전위는 +1V이고, 데이터 유지부(118)의 저전위는 0V이다.

[0041] 도 1b는 본 발명의 일 형태인 반도체 장치에 적용할 수 있는 메모리 소자의 구성의 일례이고, 도 1a와 다른 형태를 도시한 것이다. 도 1b에 도시된 메모리 소자(150)는 제 1 트랜지스터(152), 제 2 트랜지스터(154), 제 3 트랜지스터(156), 용량 소자(158), 및 데이터 유지부(172)를 갖고, 제 1 단자(160), 제 2 단자(162), 제 3 단자(164), 제 4 단자(166), 제 5 단자(168), 및 제 6 단자(170)에 전기적으로 접속되어 있다.

[0042] 제 1 트랜지스터(152)는 도 1a의 제 1 트랜지스터(102)와 같은 구성을 갖는 트랜지스터다. 제 2 트랜지스터(154) 및 제 3 트랜지스터(156)는 도 1a의 제 2 트랜지스터(104)와 같은 구성을 갖는 트랜지스터다. 데이터 유지부(172)는 제 1 트랜지스터(152)의 소스 및 드레인 중 하나, 용량 소자(158)의 제 1 전극, 및 제 2 트랜지스터(154)의 게이트가 전기적으로 접속된 부분에 형성되어 있다.

[0043] 제 1 단자(160) 및 제 3 단자(164)에는 적어도 데이터 유지부(172)로의 데이터 기록시에 신호가 입력된다. 제 3 단자(164)에는 에러 판정용 데이터가 입력된다. 에러 판정의 대상은 예를 들어 도 4a 및 도 4b에 도시된 컨피규레이션 메모리(400)를 구성하는 메모리다. 제 2 단자(162)에는 적어도 데이터 유지부(172)로부터의 데이터 판독시에 신호가 입력된다. 제 6 단자(170)로부터는 적어도 데이터 유지부(172)로부터의 데이터 판독시에 신호가 출력된다. 다만, 제 1 단자(160), 제 2 단자(162), 제 3 단자(164), 제 4 단자(166), 제 5 단자(168), 및 제 6 단자(170)에서의 신호의 입출력의 타이밍은 이것에 한정되지 않는다.

[0044] 다음에, 도 1b에 도시된 메모리 소자(150)의 동작에 대하여 설명한다. 메모리 소자(150)로의 데이터의 기록은 도 1a의 메모리 소자(100)로의 데이터의 기록과 마찬가지이므로 상기 설명을 원용하고 여기서의 설명은 생략한다.

[0045] 메모리 소자(150)로부터의 데이터의 판독시에는 제 2 단자(162)의 전위를 제어하여 제 3 트랜지스터(156)를 온 상태로 함으로써, 데이터 유지부(172)의 전위에 따라 제 2 트랜지스터(154)의 온 저항이 변화되기 때문에, 이것에 따라 데이터 유지부(172)의 데이터를 판별할 수 있다.

[0046] 또한, 도 1b의 메모리 소자(150)에서는 제 5 단자(168)의 전위를 제어함으로써 데이터 유지부(172)의 전위 변동을 크게 할 수 있다.

[0047] 예를 들어 제 2 트랜지스터(154)가 n채널형 트랜지스터이고 용량 소자(158)의 정전 용량이 제 2 트랜지스터(154)가 온 상태일 때의 정전 용량(게이트 용량)과 동등한 경우에 대하여 설명한다. 여기서, 제 3 단자(164)의 전위를 +1V, 제 5 단자(168)의 전위를 0V로 하여 데이터 유지부(172)에 고전위 데이터를 기록한다. 그리고, 데이터 유지부(172)의 데이터를 유지하는 기간에는 제 5 단자(168)의 전위를 +1V로 한다. 그러면, 데이터 유지부(172)의 전위는 +1.5V가 된다. 또한, 제 4 단자(166)의 전위는 +2V로 한다.

[0048] 제 2 트랜지스터(154)가 p채널형 트랜지스터이고, 용량 소자(158)의 정전 용량이 제 2 트랜지스터(154)가 온 상

태일 때의 정전 용량과 동등한 경우에, 마찬가지로 데이터 유지부(172)에 고전위 데이터를 기록하면, 데이터 유지부(172)의 전위는 +2V가 된다.

[0049] (실시형태 2)

[0050] 도 2는 본 발명의 일 형태인 반도체 장치에 적용할 수 있는 메모리 소자의 구성의 일례이고, 도 1a 및 도 1b와 다른 형태를 도시한 것이다. 도 2에 도시된 메모리 소자(200)는 제 1 트랜지스터(202), 제 2 트랜지스터(204), 제 3 트랜지스터(206), 제 4 트랜지스터(208), 용량 소자(210), 및 데이터 유지부(226)를 갖고, 제 1 단자(212), 제 2 단자(214), 제 3 단자(216), 제 4 단자(218), 제 5 단자(220), 제 6 단자(222), 및 제 7 단자(224)에 전기적으로 접속되어 있다.

[0051] 제 1 트랜지스터(202)는 도 1a의 제 1 트랜지스터(102)와 같은 구성을 갖는 트랜지스터다. 제 4 트랜지스터(208)는 도 1a의 제 1 트랜지스터(102) 또는 제 2 트랜지스터(104)와 같은 구성을 갖는 트랜지스터다. 제 2 트랜지스터(204) 및 제 3 트랜지스터(206)는 도 1a의 제 2 트랜지스터(104)와 같은 구성을 갖는 트랜지스터다. 데이터 유지부(226)는 제 1 트랜지스터(202)의 소스 및 드레인 중 하나, 용량 소자(210)의 제 1 전극, 및 제 2 트랜지스터(204)의 게이트가 전기적으로 접속된 부분에 형성되어 있다.

[0052] 제 1 단자(212), 제 3 단자(216), 및 제 4 단자(218)에는 적어도 데이터 유지부(226)로의 데이터 기록시에 신호가 입력된다. 제 4 단자(218)에는 에러 판정용 데이터가 입력된다. 에러 판정의 대상은 예를 들어 도 4a 및 도 4b에 도시된 컨피규레이션 메모리(400)를 구성하는 메모리다. 제 2 단자(214)에는 적어도 데이터 유지부(226)로부터의 데이터 판독시에 신호가 입력된다. 제 7 단자(224)로부터는 적어도 데이터 유지부(226)로부터의 데이터 판독시에 신호가 출력된다. 다만, 제 1 단자(212), 제 2 단자(214), 제 3 단자(216), 제 4 단자(218), 제 5 단자(220), 제 6 단자(222), 및 제 7 단자(224)에서의 신호의 입출력의 타이밍은 이것에 한정되지 않는다.

[0053] 도 2에 도시된 메모리 소자(200)는 제 4 트랜지스터(208)를 갖는다. 임의의 행 및 다른 행으로의 데이터 기록시에 제 4 트랜지스터(208)와 제 1 트랜지스터(202)를 동기시킴으로써(즉 제 4 트랜지스터(208)와 제 1 트랜지스터(202)를 같은 타이밍으로 온/오프시킴으로써), 다른 행으로의 데이터 기록 동작 동안의 데이터 유지부(226)의 전위 저하를 억제할 수 있다. 예를 들어 다른 행으로의 데이터 기록 동작 동안 제 4 트랜지스터(208) 및 제 1 트랜지스터(202)를 오프 상태로 한다.

[0054] 데이터 기록이 종료되면, 제 1 트랜지스터(202)를 오프 상태로 유지하고, 제 4 트랜지스터(208)를 온 상태로 하고, 또한, 제 6 단자(222)의 전위를 적절한 값으로 함으로써, 도 1b의 메모리 소자와 같이 데이터 유지부(226)의 전위를 변경할 수 있다.

[0055] 또한, 다른 점에 대해서는 도 2의 메모리 소자(200)는 도 1a의 메모리 소자(100) 및 도 1b의 메모리 소자(150)와 마찬가지이므로 실시형태 1을 원용하고 여기서의 설명은 생략한다.

[0056] (실시형태 3)

[0057] 실시형태 1에서 설명한 메모리 소자(100), 메모리 소자(150), 및 실시형태 2에서 설명한 메모리 소자(200)에서는 데이터를 판독하기 전에 적어도 2개의 단자 사이에서 전위를 다르게 할(프리차지 동작을 실시할) 필요가 있다. 예를 들어 도 1a의 메모리 소자(100)에서는 제 4 단자(114)와 제 5 단자(116)의 전위를 서로 다르게 할 필요가 있다.

[0058] 다음에, 본 발명의 일 형태인 반도체 장치에 적용할 수 있는 메모리 소자의 구성의 일례이고, 프리차지 동작이 불필요한 것에 대하여 설명한다(도 3a 및 도 3b 참조).

[0059] 도 3a는 본 발명의 일 형태인 반도체 장치에 적용할 수 있는 메모리 소자의 구성의 일례이고, 프리차지 동작이 불필요한 것을 도시한 것이다. 도 3a에 도시된 메모리 소자(300)는 제 1 트랜지스터(302), 제 2 트랜지스터(304), 제 3 트랜지스터(306), 제 4 트랜지스터(308), 용량 소자(310), 및 데이터 유지부(326)를 갖고, 제 1 단자(312), 제 2 단자(314), 제 3 단자(316), 제 4 단자(318), 제 5 단자(320), 제 6 단자(322), 및 제 7 단자(324)에 전기적으로 접속되어 있다.

[0060] 제 1 트랜지스터(302)는 도 1a의 제 1 트랜지스터(102)와 같은 구성을 갖는 트랜지스터다. 제 2 트랜지스터(304), 제 3 트랜지스터(306), 및 제 4 트랜지스터(308)는 도 1a의 제 2 트랜지스터(104)와 같은 구성을 갖는 트랜지스터다. 다만, 아래에서 설명하는 바와 같이, 제 2 트랜지스터(304)의 극성과 제 3 트랜지스터(306)의 극성을 서로 반대로 한다. 데이터 유지부(326)는 제 1 트랜지스터(302)의 소스 및 드레인 중 하나, 용량 소자(310)의 제 1 전극, 제 2 트랜지스터(304)의 게이트, 및 제 3 트랜지스터(306)의 게이트가 전기적으로 접속된

부분에 형성되어 있다.

[0061] 제 1 단자(312) 및 제 3 단자(316)에는 적어도 데이터 유지부(326)로의 데이터 기록시에 신호가 입력된다. 제 3 단자(316)에는 에러 판정용 데이터가 입력된다. 에러 판정의 대상은 예를 들어 도 4a 및 도 4b에 도시된 컨피규레이션 메모리(400)를 구성하는 메모리다. 제 2 단자(314)에는 적어도 데이터 유지부(326)로부터의 데이터 판독시에 신호가 입력된다. 제 7 단자(324)로부터는 적어도 데이터 유지부(326)로부터의 데이터 판독시에 신호가 출력된다. 다만, 제 1 단자(312), 제 2 단자(314), 제 3 단자(316), 제 5 단자(320), 및 제 7 단자(324)에서의 신호의 입출력의 타이밍은 이것에 한정되지 않는다.

[0062] 또한, 제 4 단자(318)는 고전위 전원선 Vdd에 전기적으로 접속되어 있고, 제 6 단자(322)는 저전위 전원선 Vss에 전기적으로 접속되어 있다. 다만, 제 4 단자(318)가 저전위 전원선 Vss에 전기적으로 접속되어 있고, 제 6 단자(322)가 고전위 전원선 Vdd에 전기적으로 접속되어 있어도 좋다.

[0063] 도 3a에 도시된 메모리 소자(300)에서는 제 2 트랜지스터(304)와 제 3 트랜지스터(306)가 인버터를 구성하고, 상기 인버터의 입력 단자는 데이터 유지부(326)에 전기적으로 접속되어 있고, 상기 인버터의 출력 단자는 제 4 트랜지스터(308)의 소스 및 드레인 중 하나에 전기적으로 접속되어 있다. 또한, 제 4 트랜지스터(308)의 소스 및 드레인 중 다른 하나는 도 1a의 제 5 단자(116)에 상당하는 제 7 단자(324)에 전기적으로 접속되어 있다.

[0064] 도 3a에 도시된 메모리 소자(300)는 도 1b에 도시된 메모리 소자(150)에 전원선에 전기적으로 접속되는 단자(318)와 제 2 트랜지스터(304)를 추가한 구성이라고 할 수도 있다.

[0065] 도 3a에 도시된 메모리 소자(300)에서는 프리차지를 실시하지 않고 제 7 단자(324)로부터 고전위 전원선 Vdd의 전위 또는 저전위 전원선 Vss의 전위를 출력할 수 있다. 따라서, 판독 속도가 향상된다.

[0066] 또는, 도 3a에 도시된 구성 대신에 도 3b에 도시된 구성을 채용하여도 좋다. 도 3b는 본 발명의 일 형태인 반도체 장치에 적용할 수 있는 메모리 소자의 구성의 일례이고, 프리차지 동작이 불필요한 것을 도시한 것이다. 도 3b에 도시된 메모리 소자(350)는 제 1 트랜지스터(352), 제 2 트랜지스터(354), 제 3 트랜지스터(356), 제 4 트랜지스터(358), 제 5 트랜지스터(360), 용량 소자(362), 및 데이터 유지부(380)를 갖고, 제 1 단자(364), 제 2 단자(366), 제 3 단자(368), 제 4 단자(370), 제 5 단자(372), 제 6 단자(374), 제 7 단자(376), 및 제 8 단자(378)에 전기적으로 접속되어 있다.

[0067] 제 1 트랜지스터(352) 및 제 5 트랜지스터(360)는 도 1a의 제 1 트랜지스터(102)와 같은 구성을 갖는 트랜지스터다. 제 2 트랜지스터(354), 제 3 트랜지스터(356), 및 제 4 트랜지스터(358)는 도 1a의 제 2 트랜지스터(104)와 같은 구성을 갖는 트랜지스터다. 다만, 도 3a와 마찬가지로 제 2 트랜지스터(354)의 극성과 제 3 트랜지스터(356)의 극성을 서로 반대로 한다. 데이터 유지부(380)는 제 1 트랜지스터(352)의 소스 및 드레인 중 하나, 용량 소자(362)의 제 1 전극, 제 2 트랜지스터(354)의 게이트, 및 제 3 트랜지스터(356)의 게이트가 전기적으로 접속된 부분에 형성되어 있다.

[0068] 제 1 단자(364), 제 2 단자(366), 및 제 4 단자(370)에는 적어도 데이터 유지부(380)로의 데이터 기록시에 신호가 입력된다. 제 4 단자(370)에는 에러 판정용 데이터가 입력된다. 에러 판정의 대상은 예를 들어 도 4a 및 도 4b에 도시된 컨피규레이션 메모리(400)를 구성하는 메모리다. 제 3 단자(368)에는 적어도 데이터 유지부(380)로부터의 데이터의 판독시에 신호가 입력된다. 제 8 단자(378)로부터는 적어도 데이터 유지부(380)로부터의 데이터 판독시에 신호가 출력된다. 다만, 제 1 단자(364), 제 2 단자(366), 제 3 단자(368), 제 4 단자(370), 및 제 8 단자(378)에서의 신호의 입출력의 타이밍은 이것에 한정되지 않는다.

[0069] 또한, 제 5 단자(372)는 고전위 전원선 Vdd에 전기적으로 접속되어 있고, 제 7 단자(376)는 저전위 전원선 Vss에 전기적으로 접속되어 있다. 다만, 제 5 단자(372)가 저전위 전원선 Vss에 전기적으로 접속되어 있고, 제 7 단자(376)가 고전위 전원선 Vdd에 전기적으로 접속되어 있어도 좋다.

[0070] 도 3b에 도시된 메모리 소자(350)는 도 2에 도시된 메모리 소자(200)에 전원선에 전기적으로 접속된 단자와 제 2 트랜지스터(354)를 추가한 구성이라고 할 수도 있다.

[0071] 실시형태 1 내지 실시형태 3에 기재된 바와 같이, 본 발명의 일 형태인 반도체 장치에 적용할 수 있는 메모리 소자의 구성예는 다양하다.

[0072] 도 1a 및 도 1b에 도시된 구성에서는 제 2 단자(110)나 제 5 단자(168)에 의하여 데이터 유지부(118)나 데이터 유지부(172)의 전위 변동을 크게 할 수 있다. 이것은 도 2의 제 6 단자(222), 도 3a의 제 5 단자(320), 및 도

3b의 제 6 단자(374)에서도 마찬가지다.

[0073] 도 2에 도시된 구성에서는 도 1a 및 도 1b에 도시된 구성과 비교하여 다른 행으로의 데이터 기록 동작 동안 데이터 유지부(226)의 전위가 저하되는 것을 제 4 트랜지스터(208) 및 제 3 단자(216)에 의하여 억제할 수 있다. 이것은 도 3b도 마찬가지다.

[0074] 도 3a 및 도 3b에 도시된 구성에서는 도 1a 내지 도 2에 도시된 구성에서 필요한 프리차지가 불필요하다.

[0075] 상술한 바와 같이, 본 발명의 일 형태인 반도체 장치에 적용할 수 있는 메모리 소자를 구성할 수 있다. 다만, 본 발명의 일 형태인 반도체 장치에 적용할 수 있는 메모리 소자는 상술한 것에 한정되지 않고 발명의 취지에서 벗어남이 없는 범위에서 다양하게 변경되어도 좋다.

[0076] 또한, 본 발명의 일 형태에서 상술한 메모리 소자는 반도체 장치의 적어도 일부에 적용되면 좋다.

[0077] (실시형태 4)

[0078] 다음에, 본 발명의 일 형태인 CRC를 실시하는 반도체 장치의 구동 방법에 대하여 설명한다. 도 4a는 본 발명의 일 형태인 반도체 장치의 구동 방법에 사용하는 컨피규레이션 메모리(400)와 CRC용 메모리(402)를 도시한 것이다. 도 4a에 도시된 바와 같이, 컨피규레이션 메모리의 각 행은 대응하는 CRC용 메모리를 갖는다. CRC용 메모리(402)에는 행의 개수×CRC 비트수의 용량이 필요하다. 즉, 도 4a에 도시된 구성에서는 CRC의 비트수가 8비트이기 때문에 CRC용 메모리에는 256×8=2048비트의 용량이 필요하다. 또한, CRC의 비트수는 8비트에 한정되지 않는다.

[0079] 컨피규레이션 메모리(400)는 SRAM과 같은 메모리 소자로 구성되어도 좋고, 도 1a 내지 도 3b를 참조하여 설명한 메모리 소자를 가져도 좋다.

[0080] CRC용 메모리(402)는 도 1a 내지 도 3b를 참조하여 설명한 메모리 소자로 구성된다.

[0081] 또한, 컨피규레이션 메모리(400)와 CRC용 메모리(402)는 물리적으로 떨어져 제공되어도 좋고, 근접하여 제공되어도 좋다. 또한, CRC용 메모리(402)는 컨피규레이션 메모리(400) 위에 적층하여 제공되어도 좋다.

[0082] 도 4b에는 컨피규레이션 메모리(400) 및 CRC용 메모리(402)와 함께 CRC에 사용하는 다른 회로 등을 도시하였다. 컨피규레이션 메모리(400)와 CRC용 메모리(402)로의 데이터 기록 및 컨피규레이션 메모리(400)와 CRC용 메모리(402)로부터의 데이터 판독은 데이터 입출력 회로(404)에 의하여 실시된다. 데이터 입출력 회로(404)는 CRC 연산 회로(406) 및 부트 메모리(408)와 데이터를 송수신할 수 있다.

[0083] 부트 메모리(408)에는 컨피규레이션 메모리(400)에 기록하는 데이터가 저장되어 있다. 부트 메모리(408)는 비휘발 메모리인 것이 바람직하고 예를 들어 플래시 메모리 등의 비트 단가가 싼 메모리 장치를 사용하면 좋다.

[0084] 또한, 컨피규레이션 메모리(400), CRC용 메모리(402), 데이터 입출력 회로(404), 및 CRC 연산 회로(406)는 적어도 같은 칩에 제공되어 있다. 부트 메모리(408)는 이들과 같은 칩에 제공되어도 좋고, 외부에 제공되어도 좋다. 부트 메모리(408)가 외부에 제공되는 경우에는 데이터 입출력 회로(404)와 데이터를 송수신할 수 있는 구성을 가지면 좋다.

[0085] 도 4c에는 CRC 연산 회로(406)의 개략도를 도시하였다. CRC 연산 회로(406)는 입력 레지스터(410), 제수 레지스터(412), 연산 회로(414), 자릿수 카운터(416)를 갖는다.

[0086] 제수 레지스터(412)에는 CRC에 필요한 제수가 저장된다. 예를 들어 8비트의 CRC를 실시하는 경우에는 9자릿수의 데이터가 저장된다. 여기서는, 제수 레지스터(412)의 가장 왼쪽의 비트가 가장 상위(上位)이고, "1"이 입력되는 것으로 한다. 또한, 제수 레지스터(412)에는 도 1a 내지 도 3b에 도시된 메모리 소자를 사용하면 좋다.

[0087] 연산 회로(414)는 복수의 XOR 회로를 갖고, 예를 들어 8비트의 CRC를 실시하는 경우에는 9개의 XOR 회로를 갖고, 입력 레지스터(410)의 상위 9자릿수의 수치와 그것에 대응하는 제수 레지스터(412)의 수치를 사용하여 XOR 연산을 실시한다. 또한, 이와 같이 복수의 XOR 회로(각 2입력)를 제공하는 경우에는, 4비트의 메모리(ROM(Read Only Memory)이 바람직함)와 복수의 멀티플렉서를 사용하여 구성하면 회로 면적을 축소할 수 있다.

[0088] 또한, 도시하지 않았지만, CRC 연산 회로(406)는 상기 회로 외에도 연산에 사용하는 회로를 갖는다.

[0089] 구체적인 CRC의 실행에 대하여 도 4b 및 도 4c를 참조하여 아래에서 설명한다.

[0090] 우선, 컨피규레이션 메모리(400) 및 CRC용 메모리(402)로부터 데이터 입출력 회로(404)를 통하여 CRC를 실행하

는 행의 데이터가 입력 레지스터(410)에 입력된다.

[0091] 다음에, 입력 레지스터(410)의 가장 왼쪽의 비트가 "0"이면 하나 왼쪽으로 데이터를 이동시키고, 자릿수 카운터(416)에 "1"을 입력한다. 가장 오른쪽의 비트에는 "0"을 입력한다. 가장 왼쪽 비트가 "1"이 될 때까지 이 조작을 반복하고, 하나 왼쪽으로 데이터를 이동시킬 때마다 자릿수 카운터(416)에 "1"을 입력한다. 자릿수 카운터(416)에서는 데이터를 이동시킨 횟수(자릿수)가 저장된다.

[0092] 예를 들어 입력 레지스터(410)에 입력된 데이터가 왼쪽에서 "00100110…"이면, 입력된 데이터 전체를 2개 왼쪽으로 이동시킨다. 결과적으로 입력 레지스터(410)의 데이터는 왼쪽에서 "100110…"이 된다. 또한, 이동시킨 자릿수인 "2"는 자릿수 카운터(416)에 저장된다.

[0093] 그리고, 연산 회로(414)에서 입력 레지스터(410)의 상위 9자릿수의 수치와 제수 레지스터(412)의 9자릿수의 수치를 사용하여 XOR 연산을 실시한다. 연산이 종료된 후, 연산 결과는 입력 레지스터(410)의 상위 9자릿수에 입력된다. 입력 레지스터(410)의 가장 왼쪽의 비트는 "0"이므로 하나 왼쪽으로 데이터를 이동시키고, 자릿수 카운터(416)에 "1"을 입력한다. 가장 오른쪽의 비트에는 "0"을 입력한다. 가장 왼쪽의 비트가 "1"이 될 때까지 이 조작을 반복한다.

[0094] 이 후, 연산 회로(414)에서 다시 연산을 실시한다. 자릿수 카운터(416)에 저장된 수치가 소정의 값 이상이 될 때까지 이 조작을 반복한다. 예를 들어 컨피규레이션 데이터가 도 4a에 도시된 바와 같이 256비트이면, 자릿수 카운터(416)에 저장된 수치가 256이 될 때까지 실시한다.

[0095] 이 후, 입력 레지스터(410)의 데이터를 판정한다. 입력 레지스터(410)의 데이터는 입력 레지스터(410)에 첫 번째로 입력된 수치의 잉여값이고, 0이면 에러가 없다고 판정되고, 0이 아니면 에러가 있다고 판정된다.

[0096] 또한, 일반적으로 메모리에서 발생하는 에러의 요인의 하나로서 데이터 기록의 실패를 들 수 있다. 이것은 SRAM과 같은 메모리 소자든 도 1a 내지 도 3b에 도시된 메모리 소자든 같은 확률로 발생한다. 메모리에서 발생하는 에러의 요인의 다른 요인으로서는 소프트 에러를 들 수 있다. 이것은 SRAM과 같은 메모리 소자와 도 1a 내지 도 3b에 도시된 메모리 소자에서는 발생 확률이 다르다. 실시형태 1에서 설명한 바와 같이 도 1a 내지 도 3b의 메모리 소자에서는 SRAM과 같은 메모리 소자보다 소프트 에러가 발생하기 어렵다.

[0097] 따라서, 에러가 발생한 단계에 따라 에러의 발생 요인도 달라진다는 전제로 대처함으로써 불필요한 조작을 줄일 수 있다. 즉, 기록 직후의 에러는 기록의 실패인 것으로 간주하고, 컨피규레이션 메모리(400)와 CRC용 메모리(402) 중 하나 또는 양쪽 모두에서 에러가 발생한 것으로 간주하여도 좋다.

[0098] 한편, 기록에 성공한 후에 에러가 발생한 경우에는, 소프트 에러가 주된 요인인 것으로 간주하고, 이 경우에는 CRC용 메모리(402)에서의 에러 발생 확률보다 컨피규레이션 메모리(400)에서의 에러 발생 확률이 훨씬 높기 때문에, 컨피규레이션 메모리(400)의 데이터만을 재기록하면 좋으므로 효율적이다.

[0099] 다음에, 본 발명의 일 형태인 반도체 장치의 구동 방법에서의 CRC를 사용한 에러 체크의 흐름에 대하여 도 5 및 도 6을 참조하여 설명한다.

[0100] 우선, 컨피규레이션에 대하여 도 5를 참조하여 설명한다. 여기서는, 메모리의 행의 개수를 n으로 한다. 우선, 처리를 시작하고(시작(500)), i=1에서 루프를 시작한다(루프 시작(502)).

[0101] 그리고, 부트 메모리(408)로부터 제 i번째 행의 데이터를 꺼내고 잉여값을 계산한다(제 i번째 행의 잉여값 계산(504)). 제 i번째 행의 잉여값 계산(504) 후에 컨피규레이션 메모리(400)의 제 i번째 행에 입력하여야 할 데이터를 입력하고, CRC용 메모리(402)의 제 i번째 행에 산출한 잉여값의 데이터를 입력한다(제 i번째 행의 데이터 기록(506)).

[0102] 다음에, CRC에 의하여 에러를 판정한다(제 i번째 행의 에러 판정(508)). CRC는 컨피규레이션 메모리(400)의 제 i번째 행 끝의 데이터에 CRC용 메모리(402)의 제 i번째 행의 데이터를 더한 수치를 미리 설정한 제수로 나누고, 잉여값이 0인지 여부에 따라 실시한다. 잉여값이 0이면 에러는 없고(N으로 분기됨), 잉여값이 0이 아니면 에러가 있다(Y로 분기됨). 에러가 없는 경우에는, 다음 행의 처리로 이행된다. 에러가 있는 경우에는, 컨피규레이션 메모리(400) 또는 CRC용 메모리(402)로의 기록이 실패된 것으로 간주하고, 제 i번째 행의 잉여값 계산(504), 제 i번째 행의 데이터 기록(506), 및 제 i번째 행의 에러 판정(508)을 다시 실시하고, 에러가 없어질 때까지 이것을 반복한다.

[0103] 상기 처리를 i=1에서 n까지 반복하여 루프를 종료한다(루프 종료(510)). 루프 종료 후, 컨피규레이션이 종료되

고, 사용자 모드로 이행된다(처리의 이행(512)).

[0104] 다음에, 사용자 모드에 대하여 도 6을 참조하여 설명한다. 여기서는, 도 5와 마찬가지로 메모리의 행의 개수를 n으로 한다. 우선, 처리를 시작하고(사용자 모드 시작(600)), i=1에서 루프를 시작한다(루프 시작(602)).

[0105] 또한, 아래에서 설명하는 바와 같이, 사용자 모드에서 에러 판정에 의하여 일정 횟수 이상 에러가 있다고 판정된 경우에는, 잉여값 계산을 다시 실시한다. 여기서, 에러 판정 횟수를 k로 하고, 상기 "일정 횟수"에 상당하는 에러 판정의 상한 횟수를 m으로 한다. 루프 시작(602) 직후에 k에 1을 입력한다("k=1"(604)).

[0106] 다음에, CRC에 의하여 에러를 판정한다(제 i번째 행의 에러 판정(606)). CRC는 도 5와 마찬가지로 실시한다. 에러가 없는 경우(N으로 분기됨)에는, 다음 행의 처리로 이행된다. 에러가 있는 경우(Y로 분기됨)에는, 컨피규레이션 메모리(400)의 제 i번째 행에 입력하여야 할 데이터를 입력(제 i번째 행의 데이터 기록(608))하고, k에 1을 추가한다("k+1"(610)). 이 때, CRC용 메모리(402)의 제 i번째 행의 데이터는 이대로 유지한다.

[0107] 그리고, 에러 판정 횟수가 상한에 달했는지 여부를 판정한다. 즉, k=m인지 여부를 판정한다("k=m의 판정"(612)). k=m이 아닌 경우(즉, 에러 판정 횟수가 상한 횟수에 달하지 않은 경우)에는, 제 i번째 행의 에러 판정(606)으로 돌아간다. k=m인 경우(즉 에러 판정 횟수가 상한 횟수에 달한 경우)에는 부트 메모리(408)로부터 제 i번째 행의 데이터를 판독하고, 잉여값 계산을 실시한다(제 i번째 행의 잉여값 계산(614)). 잉여값 계산 후, 컨피규레이션 메모리(400)의 제 i번째 행에는 입력하여야 할 데이터를 입력하고, CRC용 메모리(402)의 제 i번째 행에는 산출한 잉여값을 입력하고(제 i번째 행의 데이터 기록(616)), CRC에 의하여 에러 판정을 다시 실시한다(제 i번째 행의 에러 판정(618)). 에러가 없는 경우(N으로 분기됨)에는 다음 행의 처리로 이행된다. 에러가 있는 경우(Y로 분기됨)에는 제 i번째 행의 잉여값 계산(614)으로 돌아가 에러가 없어질 때까지 이 조작을 반복한다.

[0108] 또한, 제 i번째 행의 잉여값 계산(614)에서 제 i번째 행의 에러 판정(618)의 루프에 상한값을 설정하여도 좋다. 이 경우에는, 상한값에 도달된 경우에는, 상술하지 않은 요인이 있을 수 있기 때문에 반도체 장치에 제공된 회로의 일부 또는 모두의 동작을 정지시켜도 좋다.

[0109] 또한, 어느 행의 에러 체크 시작에서 다음 행의 에러 체크 시작까지의 기간을 정하여도 좋다. 이 경우에는, 예를 들어 어느 행의 에러 체크가 시작하고 나서 끝날 때까지 걸린 시간이 이 기간 미만이면, 다음 행의 에러 체크는 어느 행의 에러 체크의 시작에서 이 기간이 지나간 후에 시작하고, 한편, 어느 행의 에러 체크가 시작하고 나서 끝날 때까지 걸린 시간이 이 기간 이상이면, 다음 행의 에러 체크를 바로 시작하면 좋다.

[0110] 상기 처리를 i=1에서 n까지 반복하여 루프가 종료된다(루프 종료(620)). 루프 종료 후, 처리가 종료된다(종료(622)).

[0111] 상술한 바와 같이, 본 발명의 일 형태인 반도체 장치의 구동 방법에서 CRC를 실시할 수 있다. 종래의 CRC에서는 사용자 모드시에도 잉여값 계산을 실시할 필요가 있었지만, 본 발명의 일 형태인 구동 방법에서는 사용자 모드시에 에러 판정이 일정 횟수 이상 나온 경우에만 잉여값 계산을 실시하는 것이 큰 특징 중 하나다. 따라서, 처리 전체를 간략화시킬 수 있다.

[0112] 또한, 상기 처리에서 잉여값 계산을 실시하는 제수의 업셋은 반드시 피하여야 한다. 따라서, 제수는 반도체 장치 내 또는 외부에 별도 제공된 ROM에 별도로 저장시키는 것이 바람직하다. 컨피규레이션시에는 상기 ROM 등으로부터 판독하여 잉여값 계산을 실시하면 좋다. 컨피규레이션시에 판독된 데이터는 CRC용 메모리(402)와 마찬가지로 도 1a 내지 도 3b를 참조하여 설명한 메모리 소자에 저장시키는 것이 바람직하다.

[0113] 상술한 조작은 반도체 장치 내부 또는 반도체 장치 외부에 제공된 판독 가능한 메모리에 저장된 컴퓨터 프로그램을 사용하여 상기 반도체 장치 또는 이 외의 반도체 장치, 컴퓨터, 프로세서 등에 의하여 실행된다. 또한, 이 컴퓨터 프로그램은 통신 회로를 통하여 송신 또는 수신되는 경우도 있다. 또한, 요청에 따라 송신되는 경우도 있다. 또한, 어느 중계 지점(서버 등)에서 중계되는 경우도 있다.

부호의 설명

[0114] 100: 메모리 소자

102: 제 1 트랜지스터

104: 제 2 트랜지스터

106: 용량 소자

108: 제 1 단자

110: 제 2 단자

112: 제 3 단자

114: 제 4 단자

116: 제 5 단자

118: 데이터 유지부

150: 메모리 소자

152: 제 1 트랜지스터

154: 제 2 트랜지스터

156: 제 3 트랜지스터

158: 용량 소자

160: 제 1 단자

162: 제 2 단자

164: 제 3 단자

166: 제 4 단자

168: 제 5 단자

170: 제 6 단자

172: 데이터 유지부

200: 메모리 소자

202: 제 1 트랜지스터

204: 제 2 트랜지스터

206: 제 3 트랜지스터

208: 제 4 트랜지스터

210: 용량 소자

212: 제 1 단자

214: 제 2 단자

216: 제 3 단자

218: 제 4 단자

220: 제 5 단자

222: 제 6 단자

224: 제 7 단자

226: 데이터 유지부

300: 메모리 소자

302: 제 1 트랜지스터

304: 제 2 트랜지스터

306: 제 3 트랜지스터

308: 제 4 트랜지스터

310: 용량 소자

312: 제 1 단자

314: 제 2 단자

316: 제 3 단자

318: 제 4 단자

320: 제 5 단자

322: 제 6 단자

324: 제 7 단자

326: 데이터 유지부

350: 메모리 소자

352: 제 1 트랜지스터

354: 제 2 트랜지스터

356: 제 3 트랜지스터

358: 제 4 트랜지스터

360: 제 5 트랜지스터

362: 용량 소자

364: 제 1 단자

366: 제 2 단자

368: 제 3 단자

370: 제 4 단자

372: 제 5 단자

374: 제 6 단자

376: 제 7 단자

378: 제 8 단자

380: 데이터 유지부

400: 컨피규레이션 메모리

402: CRC용 메모리

404: 데이터 입출력 회로

406: CRC 연산 회로

408: 부트 메모리

410: 입력 레지스터

412: 제수 레지스터

414: 연산 회로

416: 자릿수 카운터

500: 시작

502: 루프 시작

504: 제 i번째 행의 잉여값 계산

506: 제 i번째 행의 데이터 기록

508: 제 i번째 행의 에러 판정

510: 루프 종료

512: 처리의 이행

600: 사용자 모드 시작

602: 루프 시작

604: "k=1"

606: 제 i번째 행의 에러 판정

608: 제 i번째 행의 데이터 기록

610: "k+1"

612: "k=m의 판정"

614: 제 i번째 행의 잉여값 계산

616: 제 i번째 행의 데이터 기록

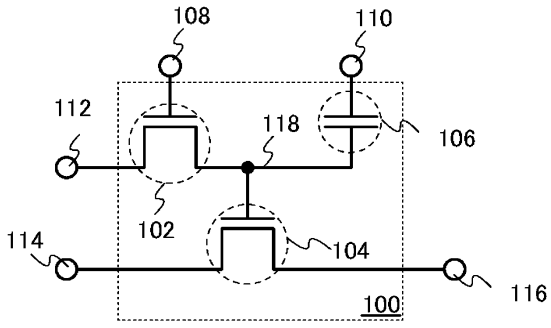
618: 제 i번째 행의 에러 판정

620: 루프 종료

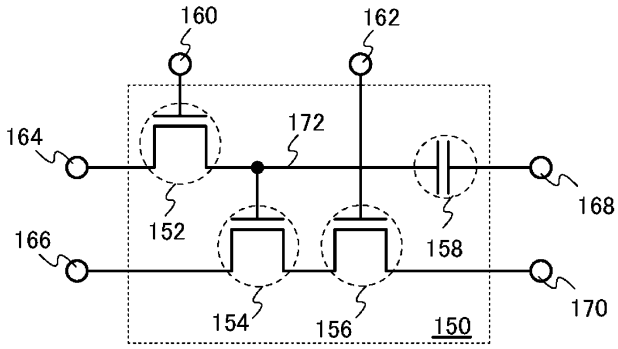
622: 종료

도면

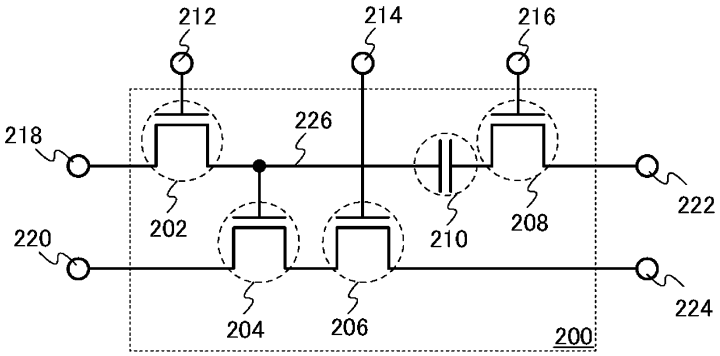
도면1a



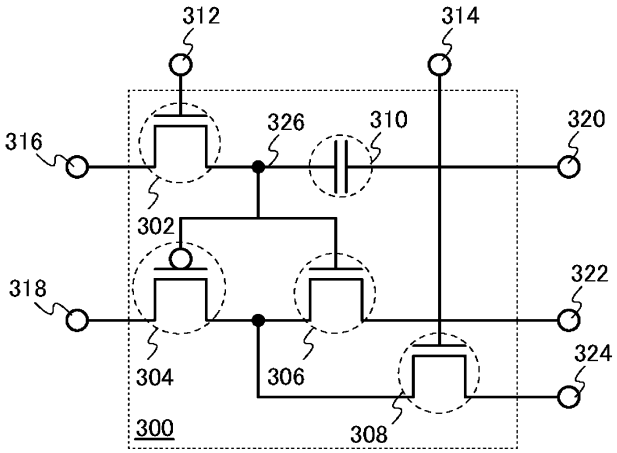
도면1b



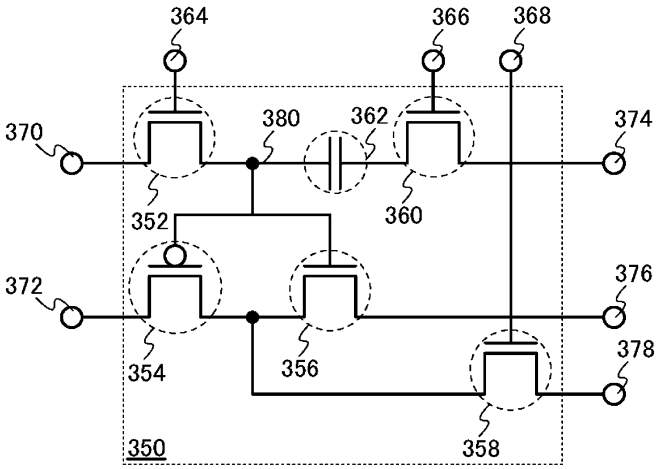
도면2



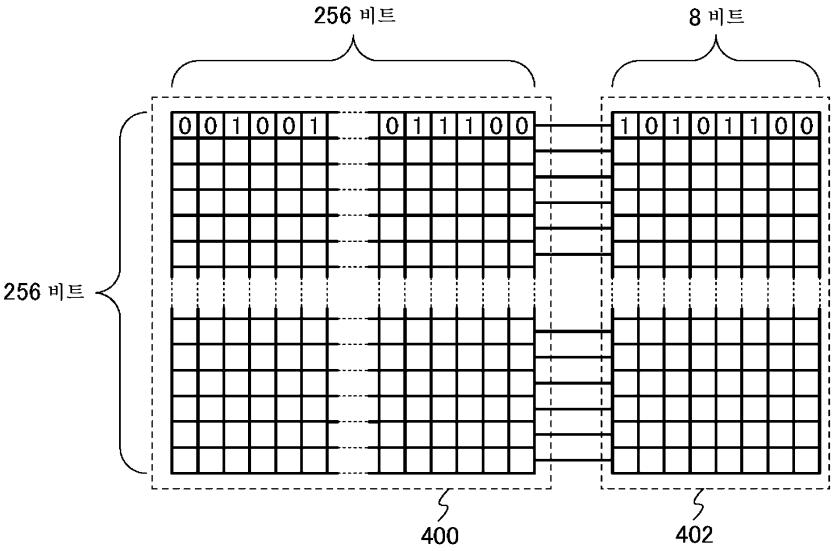
도면3a



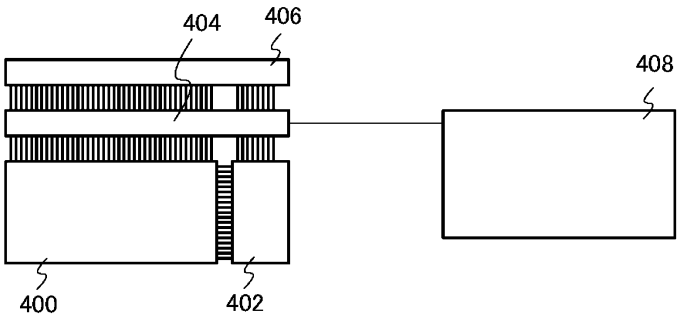
도면3b



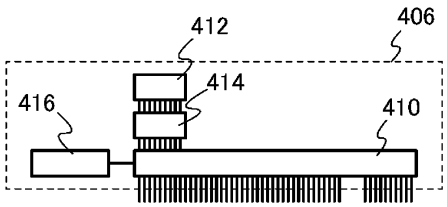
도면4a



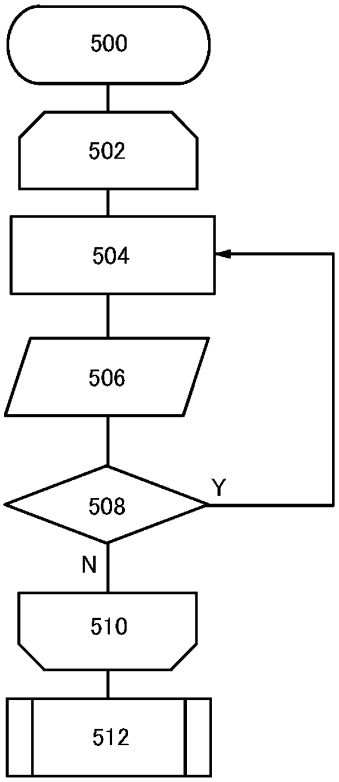
도면4b



도면4c



도면5



도면6

