

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2003年11月20日 (20.11.2003)

PCT

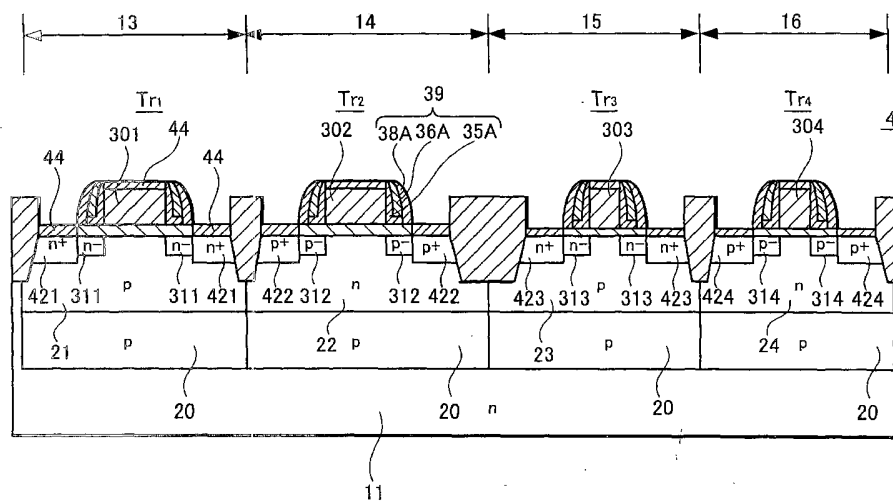
(10) 国際公開番号
WO 03/096421 A1

- (51) 国際特許分類7: H01L 27/088
- (21) 国際出願番号: PCT/JP03/06020
- (22) 国際出願日: 2003年5月14日 (14.05.2003)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2002-138638 2002年5月14日 (14.05.2002) JP
- (71) 出願人(米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 永野 隆史 (NAGANO, Takashi) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo (JP). 森田 靖 (MORITA, Yasushi) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo (JP).
- (74) 代理人: 角田 芳末, 外(TSUNODA, Yoshisue et al.); 〒160-0023 東京都新宿区西新宿1丁目8番1号 新宿ビル Tokyo (JP).
- (81) 指定国(国内): CN, JP, KR, US.
- 添付公開書類:
— 国際調査報告書

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD, AND ELECTRONIC DEVICE

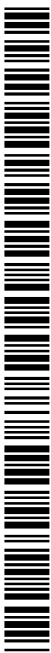
(54) 発明の名称: 半導体装置をその製造方法、並びに電子機器



(57) Abstract: A semiconductor device composed of one semiconductor chip where an imaging region such as a CMOS solid-state imaging element or a DRAM hybrid logic LSI is formed, an imaging region in which a MOS transistor of an LDD structure with no metal silicide layer is fabricated is formed, a region such as a DRAM cell is formed, and a region of a logic circuit in which a MOS transistor of an LDD structure with a metal silicide layer is formed. Its manufacturing method and an electronic device mounted with the semiconductor device are also disclosed. By using insulating films, the side wall of a gate electrode is formed in the region where the metal silicide layer is formed is formed by etch-back of the insulating films or a single-layer film, and the side wall of an upper insulating film is formed on a lower insulating film covering the surface in the region where no metal silicide, or the insulating films are left as there are, thereby fabricating the semiconductor device.

(57) 要約: 本発明は、CMOS型固体撮像素子、DRAM混載ロジックLSI等の撮像領域、金属シリサイド層のないLDD構造のMOSトランジスタを形成した撮像領域やDRAMセル等の領域と、金属シリサイド層を有するLDD構造のMOSトランジスタを形成したロジック回路部の領域とを1つの半導体チップに作り込むことを可能にした半導体装置及びその製造方法、並びにその半導体装置を搭

[続葉有]



WO 03/096421 A1



2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

載した電子機器を提供する。本発明は、複数層の絶縁膜を用い、金属シリサイド層を形成する領域ではゲート電極のサイドウォールを複数層の絶縁膜、又は単層膜に対するエッチバックで形成し、金属シリサイド層を形成しない領域では表面を被覆した下層絶縁膜上に、上層絶縁膜によるサイドウォールを形成し、又は複数層の絶縁膜をそのまま残して半導体装置を構成する。

明 細 書

半導体装置とその製造方法、並びに電子機器

技術分野

- 5 本発明は、例えば、CMOSイメージセンサなどのフォトダイオードを有する固体撮像素子、DRAM混載ロジックLSI等に代表される半導体装置とその製造方法、並びにこの半導体装置を搭載した電子機器に関する。より詳しくは、高融点金属シリサイド層を形成する半導体領域と高融点金属シリサイド層を形成しないようにした半導体領域を有した半導体装置とその製造方法、並びにこの半導体装置を搭載した電子機器に関する。

背景技術

- 15 近年、CMOSロジック回路を有する半導体装置のプロセスでは、スケールリング則を用いた素子の微細化が進んできている。このプロセスにおいて、寄生抵抗の低減を目的に、シリサイド技術を用いてMOSトランジスタのソース/ドレイン領域に高融点金属シリサイド層を形成する方法を用いるのが一般的である。シリ
- 20 サイド技術とは、MOSトランジスタのシリコンゲート電極とソース/ドレイン領域の表面に選択的、自己整合的に高融点金属シリサイド層を同時形成する工程である。また、CMOSロジック回路を有する半導体装置では、素子の微細化と共に、消費電力低減、動作速度の向上、コスト低減を目的に、シリコン基板上にシステムを統合する要求も盛んになってきている。例えば、CMOSイ
- 25 メージセンサやDRAM混載ロジックLSIのような機能デバイスの形成が重要課題となっている。

しかしながら、ソース領域及びドレイン領域に高融点金属シリサイド層を形成するCMOSロジック領域と、接合リークが問題

となるDRAMセルやフォトダイオードを有する固体撮像素子とを、1つのシリコン半導体チップに統合することは技術的に困難である。即ち、ソース領域及びドレイン領域に高融点金属シリサイド層を形成すると、接合リークが増大を引き起こし、特に、接合リークが問題となるDRAMセルやフォトダイオードを有する固体撮像素子では、致命的な問題となるからである。この高融点金属シリサイド層は、ソース領域及びドレイン領域の表面に高融点金属を形成し、シリコンと高融点金属とを反応させることによって形成される。しかし、シリコンと高融点金属とが完全反応せず、幾らかの確率で未反応の高融点金属が拡散して接合付近に残るときには、この残った高融点金属が核となって接合リークを増大を引き起こすことになる。

一方、MOSトランジスタでは、ゲート電極とその側壁に形成した絶縁膜スペーサ、いわゆるサイドウォールを利用して、ソース領域及びドレイン領域をLDD構造することが行われている。そして、例えばフォトリソ法を用いて、ゲート電極の側壁にサイドウォールを形成するためのエッチバック処理を、高融点金属シリサイド層を形成するCMOSロジック領域に対してのみ行い、CMOSロジック領域のソース領域及びドレイン領域のみに高融点金属シリサイド層を形成する方法が提案されている。しかし、この方法の場合、高融点金属シリサイド層を形成しない領域には、ソース領域及びドレイン領域も形成されないという問題がある。

即ち、比較的深い接合を有するソース領域及びドレイン領域の形成では、MOSトランジスタのチャンネル領域への影響を回避するためにサイドウォール構造が必要となる。上述のように高融点金属シリサイド層を形成する領域とサイドウォールを形成する領域とを同じにするときは、高融点金属シリサイド層の非形成領域

には、サイドウォールを形成することができず、高融点金属シリサイド層の形成領域と非形成領域に同時にソース領域及びドレイン領域を形成することができなくなる。例えばCMOSイメージセンサでは、フォトダイオードのポテンシャル設定をより深くすることで、飽和信号を増大し、S/N比を大きくし、画質向上を図っている。しかし、このフォトダイオードのポテンシャル設定をより深くすることに対し、フォトダイオードの信号電荷を読出するためには、読出し用のMOSトランジスタのソース/ドレイン領域のポテンシャル設定を深くする必要がある。この手段として、サイドウォールをマスクに高濃度の不純物注入でソース/ドレイン領域を形成することが不可欠となる。つまり、高融点金属シリサイド層を形成しない領域である、フォトダイオードを有する画素領域のも、高濃度のソース/ドレイン領域を形成する必要があるが、従来技術ではこれを達成できていないという課題があった。

なお、固体撮像装置において、受光部に接続されるMOSトランジスタのゲート電極及びソース/ドレイン領域に金属シリサイド層を形成する構成については、特開2001-44404号公報に示されている。

20

発明の開示

本発明は、上述の点に鑑み、接合リークが問題となる電界効果トランジスタ、例えばDRAMセルやCMOS型の撮像領域のMOSトランジスタでは高融点金属シリサイド層を形成せず、寄生抵抗の低減を必要とした電界効果トランジスタ、例えばロジック回路部の形成領域におけるMOSトランジスタでは高融点金属シリサイド層を形成することができる半導体装置とその製造方法、並びにこのような半導体装置を搭載した電子機器を提供するもの

である。

第1の本発明に係る半導体装置は、基板に高融点金属シリサイド層が形成された第1の領域と高融点金属シリサイド層が形成されない第2の領域を有し、第1の領域に形成された第1の電界効果トランジスタのゲート電極の側壁に複数の絶縁膜からなるサイドウォールが形成され、第1の電界効果トランジスタのソース/ドレイン領域に高融点金属シリサイド層が形成され、第2の領域が、該第2の領域に形成された第2の電界効果トランジスタ、を含めて複数の絶縁膜のうちの下層の絶縁膜で被覆され、第2の電界効果トランジスタのゲート電極の側壁に対応して複数の絶縁膜のうちの上層の絶縁膜からなるサイドウォールが形成されて成る。

基板としては、例えば半導体基板、好ましくはシリコン基板を用いることができる。第1、第2の電界効果トランジスタは、絶縁ゲート型電界効果トランジスタ、いわゆるMOSトランジスタを用いる。以後は電界効果トランジスタをMOSトランジスタと略称して説明をする。第1のMOSトランジスタ及び第2のMOSトランジスタは、いずれもゲート電極にサイドウォールが形成されるため、ソース/ドレイン領域がいわゆるLDD構造で形成される。以下に説明する他の半導体装置、製造方法の場合も同様であるので、重複説明は省略する。

この高融点金属シリサイド層は、第1の領域に形成された第1のMOSトランジスタのゲート電極にも形成することができる。

複数の絶縁膜は、第1の絶縁膜、第2の絶縁膜及び第3の絶縁膜で形成し、第2の領域を被覆する下層の絶縁膜を第1及び第2の絶縁膜で形成し、上層の絶縁膜を第3の絶縁膜で形成することができる。第2の絶縁膜としては、第3の絶縁膜と異なるエッチング特性を有する絶縁膜で形成することができる。例えば、第1及び第3の絶縁膜はシリコン酸化膜で形成し、第2の絶縁膜はシ

リコン窒化膜で形成することができる。第1の絶縁膜となるシリコン酸化膜の膜厚は20nm以下に設定することが好ましい。第2の絶縁膜となるシリコン窒化膜の膜厚は30nm以下に設定することが好ましい。第3の絶縁膜となるシリコン酸化膜の膜厚は

5 100nm以下に設定することが好ましい。

また、複数の絶縁膜は、第1の絶縁膜及び第2の絶縁膜で形成し、第2の領域を被覆する下層の絶縁膜を第1の絶縁膜で形成し、上層の絶縁膜を第2の絶縁膜で形成することができる。第2の絶縁膜としては、第1の絶縁膜と異なるエッチング特性を有する絶縁膜で形成することができる。例えば、第1の絶縁膜はシリコン窒化膜で形成し、第2の絶縁膜はシリコン酸化膜で形成することが

10 できる。第1の絶縁膜となるシリコン窒化膜の膜厚は30nm以下に設定することが好ましい。第2の絶縁膜となるシリコン酸化膜の膜厚は100nm以下に設定することが好ましい。

第1の本発明の半導体装置によれば、複数の絶縁膜、例えば第1、第2及び第3の絶縁膜による3層構造、あるいは第1及び第2の絶縁膜による2層構造のサイドウォールを用いることにより、第1の領域ではLDD構造のソース/ドレイン領域、またはこの

15 ソース/ドレイン領域とゲート電極の表面に高融点金属シリサイドを形成することができ、素子の微細化と共に、寄生抵抗の低減が図られ、高速動作、消費電力低減を可能にする。一方、第2の領域では、複数の絶縁膜の下層、例えば3層構造であれば第1及び第2の絶縁膜、2層構造であれば第1の絶縁膜によって表面が

20 被覆され、その上層の絶縁膜によるサイドウォールがゲート電極の側壁に対応して形成されるの、高融点金属シリサイド層の形成を回避し、接合リークを抑制することができる。しかも、LDD構造のMOSトランジスタを形成することができる。従って、共にLDD構造のソース/ドレイン領域を有するMOSトランジス

タであって、一方が高融点金属シリサイド層が形成されたMOSトランジスタを有する領域と、他方が高融点金属シリサイド層が形成されないMOSトランジスタを有する領域とを同一の半導体チップに作り込むとができる。

- 5 3層構造の絶縁膜を用いるときは、第2の絶縁膜を第3の絶縁膜とエッチング特性の異なる絶縁膜を用いることにより、第2の領域においてエッチバックによりゲート電極の側壁に第1及び第2の絶縁膜を残して第3の絶縁膜によるサイドウォールを形成することが可能になり、第2の領域への高融点金属シリサイド層の
- 10 形成を防ぐことが可能になる。第1の絶縁膜をシリコン酸化膜で、第2の絶縁膜をシリコン窒化膜で、第3の絶縁膜をシリコン酸化膜で夫々形成することにより、このようなエッチバックを可能にする。2層構造の絶縁膜を用いるときは、第1の絶縁膜を第2の
- 15 絶縁膜とエッチング特性の異なる絶縁膜を用いることにより、第2の領域においてエッチバックによりゲート電極の側壁に第1の絶縁膜を残して第2の絶縁膜によるサイドウォールを形成することが可能になり、第2の領域への高融点金属シリサイド層の形成を防ぐことが可能になる。第1の絶縁膜をシリコン窒化膜で、第2の絶縁膜をシリコン酸化膜で夫々形成することにより、このよ
- 20 うなエッチバックを可能にする。

- 複数の絶縁膜を3層膜で形成した場合、第1の絶縁膜であるシリコン酸化膜の膜厚を20nm以下、第2の絶縁膜であるシリコン窒化膜の膜厚を30nm以下、第1の絶縁膜であるシリコン酸化膜の膜厚を100nm以下に設定することにより、サイドウォールが作り易い。この膜厚を越えると微細素子でのサイドウォールが作り難くなる。また第1の絶縁膜であるシリコン酸化膜の膜厚を20nm以下、第2の絶縁膜であるシリコン窒化膜の膜厚を30nm以下に設定することにより、例えばセンサ部上において
- 25

は、反射防止膜を作る上で好都合である。センサ部上の第2シリコン窒化膜上には、配線を作る過程で形成される絶縁膜（例えばシリコン窒化膜、シリコン酸化膜等）が形成されるが、これらのシリコン酸化膜と配線形成過程で形成される絶縁膜とによって、

5 反射防止機能をもたせ、センサ部への光入射効率を上げることが可能になる。複数の絶縁膜を2層膜で形成した場合も同様に、サイドウォールが作り易く、また例えばセンサ部上において、反射防止膜を作る上で好都合である。

第1の本発明に係る半導体装置の製造方法は、基板の高融点金属シリサイド層を形成すべき第1の領域上と高融点金属シリサイド層を形成せざる第2の領域上とにゲート絶縁膜を介してゲート電極を形成する工程と、基板にゲート電極をマスクに不純物を導入して第1の不純物導入領域を形成する工程と、ゲート電極を含む基板の全面に下層となる絶縁膜を形成する工程と、第1の領域

10 上の下層となる絶縁膜のみを選択的にエッチバックしてゲート電極側壁にサイドウォールを形成する工程と、第1及び第2の領域上に上層となる絶縁膜を形成し、該上層となる絶縁膜をエッチバックしてゲート電極の側壁に対応する部分にサイドウォールを形成し、該サイドウォール及びゲート電極をマスクに不純物を導入

15 して第2の不純物導入領域を形成する工程と、第1の領域の第2の不純物導入領域または該第2の不純物導入領域とゲート電極に高融点金属シリサイド層を選択的に形成する工程とを有する。

ここで、第1の領域及び第2の領域において、上記第1の不純物導入領域は、例えばMOSトランジスタの場合には低濃度のソース/ドレイン領域となり、後述の撮像領域のセンサ部の場合には

25 フォトダイオードを構成する一方の導電型領域となる。また上記第2の不純物導入領域は、例えばMOSトランジスタの場合には高濃度のソース/ドレイン領域となり、後述の撮像領域のセン

サ部の場合にはフォトダイオードにおける接合リークを低減するための高濃度半導体領域となる。MOSトランジスタとしては、いわゆるLDD構造のソース/ドレイン領域が形成される。

5 下層及び上層の絶縁膜を構成する複数の絶縁膜は、第1の絶縁膜と第2の絶縁膜と第3の絶縁膜の3層膜にて形成し、下層の絶縁膜を第1及び第2の絶縁膜で形成し、上層の絶縁膜を第3の絶縁膜で形成することができる。第2の絶縁膜としては、第3の絶縁膜と異なるエッチング特性を有する絶縁膜で形成することができる。これによって、第3の絶縁膜をエッチバックした時に、第
10 2の絶縁膜がエッチングストップパになり、第2の領域において、第2、第1の絶縁膜を残すことができる。例えば、第1の絶縁膜はシリコン酸化膜で形成し、第2の絶縁膜はシリコン窒化膜で形成し、第3の絶縁膜はシリコン酸化膜で形成することができる。

15 また、下層及び上層の絶縁膜を構成する複数の絶縁膜は、第1の絶縁膜と第2の絶縁膜の2層膜にて形成し、下層の絶縁膜を第1の絶縁膜で形成し、上層の絶縁膜を第2の絶縁膜で形成することができる。この場合も、第1の絶縁膜としては、第2の絶縁膜と異なるエッチング特性を有する絶縁膜で形成することができる。これによって、第2の絶縁膜をエッチバックした時に、第1の絶
20 縁膜がエッチングストップパになり、第2の領域において第1の絶縁膜を残すことができる。例えば、第1の絶縁膜はシリコン窒化膜で形成し、第2の絶縁膜はシリコン酸化膜で形成することができる。また、例えば、第1の絶縁膜はシリコン酸化膜で形成し、第2の絶縁膜はシリコン窒化膜で形成することも可能である。

25 第1の本発明の半導体装置の製造方法によれば、複数の絶縁膜、例えば第1、第2及び第3の絶縁膜による3層膜、あるいは第1及び第2の絶縁膜による2層膜を用い、下層の例えば第1及び第2の絶縁膜、あるいは第1の絶縁膜を全面に形成した後、選択的

に第1の領域のみエッチバックしたサイドウォールを形成する。
次いで、全面に上層の例えば第3の絶縁膜、あるいは第2の絶縁
膜を形成してエッチバックし第3の絶縁膜によるサイドウォール
を形成することにより、第1の領域、第2の領域共に、LDD構
5 造のMOSトランジスタを形成することができる。しかも高融点
金属シリサイド層は、第2の領域が下層の絶縁膜で保護されてい
るので、第1の領域にのみ形成し、第2の領域には形成されない。
従って、MOSトランジスタの微細化と共に、寄生抵抗が低減し、
高速動作、消費電力低減を可能にしたMOSトランジスタを形成
10 した第1の領域と、接合リークが抑制されたMOSトランジスタ
を形成した第2の領域とを、同一の半導体チップに作り込んだ半
導体装置を製造することができる。

3層膜の場合、第3の絶縁膜のエッチバックの際に第2の絶縁
膜、あるいは2層膜の場合、第2の絶縁膜のエッチバックの際に
15 第2の絶縁膜がエッチバックされる絶縁膜と異なるエッチング特
性を有しているので、第2の領域の表面に保護膜となる絶縁膜を
残すことができ、第2の領域への高融点金属シリサイド層の形成
を阻止することができる。また、第2の領域が絶縁膜で保護され
ているので、エッチバックの際、シリコン基板の表面がエッチン
20 グ、したがってプラズマに晒されることがなく、シリコン基板へ
のダメージを回避することができる。

第2の領域上に残る下層の絶縁膜の膜厚を上述の値に設定する
とにより、不純物の導入を可能にし、第2の領域において、第2
の不純物導入領域の形成を可能にする。

25 第2の本発明に係る半導体装置は、半導体基板に高融点金属シ
リサイド層が形成された第1の領域と高融点金属シリサイド層が
形成されない第2の領域を有し、第2の領域が、該第2の領域に
形成された第2のMOSトランジスタを含めて複数の絶縁膜のう

ちの下層の絶縁膜で被覆され、第2のMOSトランジスタのゲート電極の側壁に対応して複数の絶縁膜のうち上層の絶縁膜からなる単層膜のサイドウォールが形成され、第1の領域に形成された第1のMOSトランジスタのゲート電極の側壁に窒化シリコン
5 を含まない単層膜からなるサイドウォールが形成され、第1のMOSトランジスタのソース/ドレイン領域、またはソース/ドレイン領域とゲート電極に高融点金属シリサイド層が形成されて成る。

複数の絶縁膜は、第1の絶縁膜、第2の絶縁膜及び第3の絶縁
10 膜で形成し、第2の領域を被覆する下層の絶縁膜を第1及び第2の絶縁膜で形成し、上層の絶縁膜を第3の絶縁膜で形成することができる。この場合も前述と同様に、第2の絶縁膜としては、第3の絶縁膜と異なるエッチング特性を有する絶縁膜で形成することができる。例えば、第1及び第3の絶縁膜はシリコン酸化膜で
15 形成し、第2の絶縁膜はシリコン窒化膜で形成することができる。第1の絶縁膜となるシリコン酸化膜の膜厚は20nm以下に設定することが好ましい。第2の絶縁膜となるシリコン窒化膜の膜厚は30nm以下に設定することが好ましい。第3の絶縁膜となるシリコン酸化膜の膜厚は100nm以下に設定することが好まし
20 い。

また、複数の絶縁膜は、第1の絶縁膜及び第2の絶縁膜の絶縁
膜で形成し、第2の領域を被覆する下層の絶縁膜を第1の絶縁膜
で形成し、上層の絶縁膜を第2の絶縁膜で形成することができる。
この場合も前述と同様に、第1の絶縁膜としては、第2の絶縁膜
25 と異なるエッチング特性を有する絶縁膜で形成することができる。
例えば、第1の絶縁膜はシリコン窒化膜で形成し、第2の絶縁膜
はシリコン酸化膜で形成することができる。第1の絶縁膜となる
シリコン窒化膜の膜厚は100nm以下に設定することが好まし

い。第2の絶縁膜となるシリコン酸化膜の膜厚は100nm以下に設定することが好ましい。

第2の本発明の半導体装置によれば、第1の領域において、ゲート電極の側壁に窒化シリコンを含まない単層膜のサイドウォールが形成されるので、不純物導入後の導入不純物の活性化アニール処理時にゲート電極中の不純物、特にpチャネルMOSトランジスタのゲート電極中のボロン(B)の半導体基板内への拡散を回避することができ、トランジスタ特性の劣化、例えばMOSトランジスタの電流駆動能力の劣化を抑制することができる。その他、第1の領域では高融点金属シリサイド層を有するLDD構造のMOSトランジスタを形成し、第2の領域では高融点金属シリサイド層を有さず、接合リークが抑制されたLDD構造のMOSトランジスタを形成することができる等、前述した第1の本発明の半導体装置と同様の効果を奏する。絶縁膜が3層膜で構成するときは、第1、第2、第3の絶縁膜の夫々の膜厚を20nm以下、30nm以下、100nm以下に設定することにより、前述と同様にサイドウォールが作り易くなる。また、反射防止膜を作る上で好都合である。

絶縁膜が2層膜で構成するときは、第1及び第2の絶縁膜の膜厚を100nm以下に設定することにより、同様に、サイドウォールが作り易くなり、反射防止を作る上で好都合である。

第3の本発明に係る半導体装置は、半導体基板に高融点金属シリサイド層が形成された第1の領域と高融点金属シリサイド層が形成されない第2の領域を有し、第2の領域が、該第2の領域に形成された第2のMOSトランジスタを含めて複数の絶縁膜で被覆され、第1の領域に形成された第1のMOSトランジスタのゲート電極の側壁に複数の絶縁膜のうち上層の絶縁膜からなる窒化シリコンを含まない単層膜のサイドウォールが形成され、第1の

MOSトランジスタのソース／ドレイン領域、またはソース／ドレイン領域とゲート電極に高融点金属シリサイド層が形成されて成る。

5 複数の絶縁膜は、第1の絶縁膜、第2の絶縁膜及び第3の絶縁膜で形成され、上層の絶縁膜を第3の絶縁膜で形成することができる。この場合も前述と同様に、第2の絶縁膜としては、第3の絶縁膜と異なるエッチング特性を有する絶縁膜で形成することができる。例えば、第1及び第3の絶縁膜はシリコン酸化膜で形成し、第2の絶縁膜はシリコン窒化膜で形成することができる。前
10 述と同様に、第1の絶縁膜となるシリコン酸化膜の膜厚は20nm以下に設定することが好ましい。第2の絶縁膜となるシリコン窒化膜の膜厚は30nm以下に設定することが好ましい。第3の絶縁膜となるシリコン酸化膜の膜厚は100nm以下に設定することが好ましい。

15 また、複数の絶縁膜は、第1の絶縁膜及び第2の絶縁膜の絶縁膜で形成し、上層の絶縁膜を第2の絶縁膜で形成することができる。例えば、第1の絶縁膜はシリコン窒化膜で形成し、第2の絶縁膜はシリコン酸化膜で形成することができる。第1の絶縁膜となるシリコン窒化膜の膜厚は100nm以下に設定することが好
20 ましい。第2の絶縁膜となるシリコン酸化膜の膜厚は100nm以下に設定することが好ましい。

第3の本発明の半導体装置によれば、第2の本発明の半導体装置と同様に、第1の領域において、ゲート電極の側壁に窒化シリコンを含まない単層膜のサイドウォールが形成されるので、不純物導入後の導入不純物の活性化アニール処理時にゲート電極中の
25 不純物、特にpチャネルMOSトランジスタのゲート電極中のボロン(P)の半導体基板内の拡散を回避することができ、トランジスタ特性の劣化を抑制することができる。その他、第1の領域

では高融点金属シリサイド層を有するLDD構造のMOSトランジスタを形成し、第2の領域では高融点金属シリサイド層を有さず、接合リークが抑制されたLDD構造のMOSトランジスタを形成することができる等、前述した第1の本発明の半導体装置と同様の効果を奏する。絶縁膜が3層膜で構成するときは、第1、第2、第3の絶縁膜の夫々の膜厚を20nm以下、30nm以下、100nm以下に設定することにより、サイドウォールが作り易くなる。また、反射防止膜を作る上で好都合である。絶縁膜が2層膜で構成するときは、第1及び第2の絶縁膜の膜厚を100nm以下に設定することにより、同様にサイドウォールが作り易くなり、反射防止膜を作る上で好都合である。

第2の本発明に係る半導体装置の製造方法は、半導体基板の高融点金属シリサイド層を形成すべき第1の領域と高融点金属シリサイド層を形成せざる第2の領域とにゲート絶縁膜を介してゲート電極材料膜を形成する工程と、第2の領域上のゲート電極材料膜のみを選択的にパターニングしてゲート電極を形成する工程と、ゲート電極をマスクにして第2の領域に不純物を導入して第1の不純物導入領域を形成する工程と、第1の領域及び第2の領域の全面に第1の絶縁膜及び第2の絶縁膜を積層する工程と、第2の領域上をマスクし、第1の領域のゲート電極材料膜上の第1及び第2の絶縁膜を除去して該ゲート電極材料膜をパターニングしてゲート電極を形成し、該ゲート電極をマスクにして第1の領域に不純物を導入し、第2の不純物導入領域を形成する工程と、第1の領域上及び第2の領域上の全面に第3の絶縁膜を形成した後、該第3の絶縁膜をエッチバックし、第1の領域ではゲート電極の側壁に第3の絶縁膜による単層膜のサイドウォールを形成し、第2の領域ではゲート電極の側壁に第1及び第2の絶縁膜を介して第3の絶縁膜によるサイドウォールを形成する工程と、第1の領

域及び第2の領域にゲート電極及びサイドウォールをマスクに不純物を導入して第3の不純物導入領域を形成する工程と、第1の領域の第3の不純物導入領域または該第3不純物導入領域とゲート電極に高融点金属シリサイド層を形成する工程とを有する。

- 5 ここで、第2の領域の上記第1の不純物導入領域は、例えばMOSトランジスタの場合には低濃度のソース/ドレイン領域となり、後述の撮像領域のセンサ部の場合にはフォトダイオードを構成する一方の導電型領域となる。第1の領域の上記第2の不純物導入領域は、例えばMOSトランジスタの場合には低濃度のソース/ドレイン領域となる。第1及び第2の領域の上記第3の不純物導入領域は、例えばMOSトランジスタの場合には高濃度のソース/ドレイン領域となり、後述の撮像領域のセンサ部の場合にはフォトダイオードにおける接合リークを低減するための高濃度半導体領域となる。MOSトランジスタとしては、いわゆるLD
- 10
- 15 D構造のソース/ドレイン領域が形成される。

この場合も前述と同様に、第2の絶縁膜を第3の絶縁膜と異なるエッチング特性を有する絶縁膜で形成することができる。例えば、第1の絶縁膜はシリコン酸化膜で形成し、第2の絶縁膜はシリコン窒化膜で形成し、第3の絶縁膜はシリコン酸化膜で形成す

20

第2の本発明の半導体装置の製造方法によれば、3層構造の絶縁膜を用いて、第1の領域ではゲート電極の側壁に窒化シリコンを含まない第3の絶縁膜による単層膜のサイドウォールを形成するので、不純物導入後の導入不純物の活性化アニール処理時にゲート電極中の不純物、特にpチャネルMOSトランジスタのゲート電極中のボロン(B)の半導体基板内への拡散を回避することができ、トランジスタ特性の劣化、例えばMOSトランジスタの電流駆動能力の劣化を抑制することができる。その他、MOSトラ

25

ンジスタにのみ高融点金属シリサイドを形成し、MOSトランジスタの微細化と共に、寄生抵抗が低減し、高速動作、消費電力低減を可能にしたLDD構造のMOSトランジスタを有した第1の領域と、高融点金属シリサイド層を形成せず、接合リークが抑制されたMOSトランジスタを形成した第2の領域とを、同一の半導体チップに作り込んだ半導体装置を製造することができる等、前述した第1の本発明の半導体装置の製造方法と同様の効果を奏する。

第3の本発明に係る半導体装置の製造方法は、半導体基板の高融点金属シリサイド層を形成すべき第1の領域と高融点金属シリサイド層を形成せざる第2の領域とにゲート絶縁膜を介してゲート電極材料膜を形成する工程と、第2の領域上のゲート電極材料膜のみを選択的にパターニングしてゲート電極を形成する工程と、第2の領域に前記ゲート電極をマスクに不純物を導入して第1の不純物導入領域を形成する工程と、第1の領域及び第2の領域の全面に第1の絶縁膜及び第2の絶縁膜を積層する工程と、第2の領域にゲート電極及び該ゲート電極側壁の第1、第2の絶縁膜をマスクに不純物を導入して第2の不純物導入領域を形成する工程と、第2の領域上をマスクし、第1の領域のゲート電極材料膜上の第1及び第2の絶縁膜を除去して該ゲート電極材料膜をパターニングしてゲート電極を形成し、該ゲート電極をマスクにして第1の領域に不純物を導入し、第2の不純物導入領域を形成する工程と、第1の領域及び第2の領域の全面に第3の絶縁膜を形成した後、第2の領域をマスクして、第3の絶縁膜をエッチバックし、第1の領域にゲート電極及びサイドウォールをマスクに不純物を導入して第4の不純物導入領域を形成する工程と、第1の領域のゲート電極の側壁に第3の絶縁膜による単層膜による単層膜のサイドウォールを形成し、第1の領域の第4の不純物導入領域、ま

たは該第4の不純物導入領域とゲート電極に高融点金属シリサイド層を形成する工程とを有する。

ここで、第2の領域の上記第1の不純物導入領域は、例えばMOSトランジスタの場合には低濃度のソース/ドレイン領域となり、後述の撮像領域のセンサ部の場合にはフォトダイオードを構成する一方の導電型領域となる。第2の領域の上記第2の不純物導入領域は、例えばMOSトランジスタの場合には高濃度のソース/ドレイン領域となり、後述の撮像領域のセンサ部の場合にはフォトダイオードにおける接合リークを低減するための高濃度半導体領域となる。第1の領域の上記第3の不純物導入領域は、例えばMOSトランジスタの場合には低濃度のソース/ドレイン領域となる。第1の領域の上記第4の不純物導入領域は、例えばMOSトランジスタの場合には高濃度のソース/ドレイン領域となる。MOSトランジスタとしては、いわゆるLDD構造のソース/ドレイン領域が形成される。

この場合も前述と同様に、例えば、第1の絶縁膜はシリコン酸化膜で形成し、第2の絶縁膜はシリコン窒化膜で形成し、第3の絶縁膜はシリコン酸化膜で形成することができる。

第3の本発明の半導体装置の製造方法によれば、3層構造の絶縁膜を用いて、第1の領域ではゲート電極の側壁に窒化シリコンを含まない第3の絶縁膜による単層膜のサイドウォールを形成するので、不純物導入後の導入不純物の活性化アニール処理時にゲート電極中の不純物、特にpチャネルMOSトランジスタのゲート電極中のボロン(B)の半導体基板内への拡散を回避することができる。トランジスタ特性の劣化、例えばMOSトランジスタの電流駆動能力の劣化を抑制することができる。また、第2の領域では3層構造の絶縁膜がそのまま残るので、第2の絶縁膜の膜厚を自由に設定することができる。これによって、例えば光電変換手

段が形成されているような場合、入射光に対する反射強度を最小化することができる。その他、MOSトランジスタにのみ高融点金属シリサイドを形成し、MOSトランジスタの微細化と共に、寄生抵抗が低減し、高速動作、消費電力低減を可能にしたLDD

5 構造のMOSトランジスタを有した第1の領域と、高融点金属シリサイド層を形成せず、接合リークが抑制されたMOSトランジスタを形成した第2の領域とを、同一の半導体チップに作り込んだ半導体装置を製造することができる等、前述した第1の本発明の半導体装置の製造方法と同様の効果を奏する。

- 10 第4の本発明に係る半導体装置の製造方法は、半導体基板の高融点金属シリサイド層を形成すべき第1の領域と高融点金属シリサイド層を形成せざる第2の領域とにゲート絶縁膜を介してゲート電極材料膜を形成する工程と、第2の領域上のゲート電極材料膜のみを選択的にパターニングしてゲート電極を形成する工程と、
- 15 ゲート電極をマスクにして第2の領域に不純物を導入して第1の不純物導入領域を形成する工程と、第1の領域及び第2の領域の全面に第1の絶縁膜を形成する工程と、第2の領域をマスクし、第1の領域のゲート電極材料膜上の第1の絶縁膜を除去し、該ゲート電極材料膜をパターニングしてゲート電極を形成し、該ゲ
- 20 ト電極をマスクにして第1の領域に不純物を導入して第2の不純物導入領域を形成する工程と、第1の領域及び第2の領域の全面に第2の絶縁膜を形成した後、該第2の絶縁膜をエッチバックし、第1の領域ではゲート電極の側壁に第2の絶縁膜による単層膜のサイドウォールを形成し、第2の領域ではゲート電極の側壁に第
- 25 1の絶縁膜を介して第2の絶縁膜によるサイドウォールを形成する工程と、第1の領域及び第2の領域にゲート電極及びサイドウォールをマスクに不純物を導入して第3の不純物導入領域を形成する工程と、第1の領域の第3の不純物導入領域または該第3不

純物導入領域とゲート電極に高融点金属シリサイド層を形成する工程とを有する。この場合も前述と同様に、第1の絶縁膜は第2の絶縁膜と異なるエッチング特性を有する絶縁膜で形成することができる。例えば、第1の絶縁膜はシリコン窒化膜で形成し、第2の絶縁膜はシリコン酸化膜で形成することができる。

ここで、第2の領域の上記第1の不純物導入領域は、例えばMOSトランジスタの場合には低濃度のソース/ドレイン領域となり、後述の撮像領域のセンサ部の場合にはフォトダイオードを構成する一方の導電型領域となる。第1の領域の上記第2の不純物導入領域は、例えばMOSトランジスタの場合には低濃度のソース/ドレイン領域となる。第1及び第2の領域の上記第3の不純物導入領域は、例えばMOSトランジスタの場合には高濃度のソース/ドレイン領域となり、後述の撮像領域のセンサ部の場合にはフォトダイオードにおける接合リークを低減するための高濃度半導体領域となる。MOSトランジスタとしては、いわゆるLDD構造のソース/ドレイン領域が形成される。

第4の本発明の半導体装置の製造方法によれば、2層構造の絶縁膜を用いて、第1の領域ではゲート電極の側壁に窒化シリコンを含まない第2の絶縁膜による単層膜のサイドウォールを形成するので、不純物導入後の導入不純物の活性化アニール処理時にゲート電極中の不純物、特にpチャネルMOSトランジスタのゲート電極中のボロン(B)の半導体基板内への拡散を回避することができ、トランジスタ特性の劣化、例えばMOSトランジスタの電流駆動能力の劣化を抑制することができる。その他、MOSトランジスタにのみ高融点金属シリサイドを形成し、MOSトランジスタの微細化と共に、寄生抵抗が低減し、高速動作、消費電力低減を可能にしたLDD構造のMOSトランジスタを有した第1の領域と、高融点金属シリサイド層を形成せず、接合リークが抑制

されたMOSトランジスタを形成した第2の領域とを、同一の半導体チップに作り込んだ半導体装置を製造することができる等、前述した第1の本発明の半導体装置の製造方法と同様の効果を奏する。

- 5 第5の本発明に係る半導体装置の製造方法は、半導体基板の高融点金属シリサイド層を形成すべき第1の領域と高融点金属シリサイド層を形成せざる第2の領域とにゲート絶縁膜を介してゲート電極材料膜を形成する工程と、第2の領域上のゲート電極材料膜のみを選択的にパターンニングしてゲート電極を形成する工程と、
- 10 第2の領域に前記ゲート電極をマスクに不純物を導入して第1の不純物導入領域を形成する工程と、第1の領域及び第2の領域の全面に第1の絶縁膜を形成する工程と、第2の領域にゲート電極及びゲート電極側壁の第1の絶縁膜をマスクに不純物を導入して
- 15 第1の領域のゲート電極材料膜上の第1の絶縁膜を除去し、該ゲート電極材料膜をパターンニングしてゲート電極を形成し、該ゲート電極をマスクにして第1の領域に不純物を導入して第3の不純物導入領域を形成する工程と、第1の領域及び第2の領域の全面に第2の絶縁膜を形成した後、第2の領域をマスクして第2の絶縁膜をエッチバックし、第1の領域のゲート電極の側壁に第2の
- 20 絶縁膜による単層膜のサイドウォールを形成し、第1の領域にゲート電極及びサイドウォールをマスクに不純物を導入して第4の不純物導入領域を形成する工程と、第1の領域の第4の不純物導入領域または該第4不純物導入領域とゲート電極に高融点金属シリ
- 25 リサイド層を形成する工程とを有する。この場合も前述と同様に、例えば、第1の絶縁膜はシリコン窒化膜で形成し、第2の絶縁膜はシリコン酸化膜で形成することができる。

また、例えば、第1の絶縁膜はシリコン窒化膜で形成し、第2

の絶縁膜はシリコン酸化膜で形成することも可能である。

ここで、第2の領域の上記第1の不純物導入領域は、例えばMOSトランジスタの場合には低濃度のソース/ドレイン領域となり、後述の撮像領域のセンサ部の場合にはフォトダイオードを構成する一方の導電型領域となる。第2の領域の上記第2の不純物導入領域は、例えばMOSトランジスタの場合には高濃度のソース/ドレイン領域となり、後述の撮像領域のセンサ部の場合にはフォトダイオードにおける接合リークを低減するための高濃度半導体領域となる。第1の領域の上記第3の不純物導入領域は、例えばMOSトランジスタの場合には低濃度のソース/ドレイン領域となる。第1の領域の上記第4の不純物導入領域は、例えばMOSトランジスタの場合には高濃度のソース/ドレイン領域となる。MOSトランジスタとしては、いわゆるLDD構造のソース/ドレイン領域が形成される。

第5の本発明の半導体装置の製造方法によれば、2層構造の絶縁膜を用いて、第1の領域ではゲート電極の側壁に窒化シリコンを含まない第2の絶縁膜による単層膜のサイドウォールを形成するので、不純物導入後の導入不純物の活性化アニール処理時にゲート電極中の不純物、特にpチャネルMOSトランジスタのゲート電極中のボロン(B)の半導体基板内への拡散を回避することができ、トランジスタ特性の劣化、例えばMOSトランジスタの電流駆動能力の劣化を抑制することができる。また、第2の領域では2層構造の絶縁膜がそのまま残るので、第1の絶縁膜の膜厚を自由に設定することができる。これによって、例えば光電変換手段が形成されているような場合、入射光に対する反射強度を最小化することができる。その他、MOSトランジスタにのみ高融点金属シリサイドを形成し、MOSトランジスタの微細化と共に、寄生抵抗が低減し、高速動作、消費電力低減を可能にしたLDD

構造のMOSトランジスタを有した第1の領域と、高融点金属シリサイド層を形成せず、接合リークが抑制されたMOSトランジスタを形成した第2の領域とを、同一の半導体チップに作り込んだ半導体装置を製造することができる等、前述した第1の本発明
5 の半導体装置の製造方法と同様の効果を奏する。

上述の半導体装置においては、第1の領域にロジック回路を構成する第1のMOSトランジスタを形成し、第2の領域に信号電荷蓄積手段を形成することができる。

上述の半導体装置は、第1の領域にロジック回路を構成する第
10 1のMOSトランジスタを形成し、第2の領域に前記第2のMOSトランジスタとセンサ部からなる画素を有した撮像領域を形成してなるCMOS型の固体撮像素子として用いることができる。CMOS型の固体撮像素子に適用したときには、複数絶縁が3層膜構造の場合に、撮像領域のセンサ部上に、第1の絶縁膜のシリ
15 コン酸化膜と第2の絶縁膜のシリコン窒化膜と配線を作る過程で形成される上層絶縁膜のシリコン窒化膜との積層膜で反射防止膜を構成することができる。この場合は、第1の絶縁膜のシリコン酸化膜の膜厚を20nm以下に設定し、第2の絶縁膜のシリ
20 0nm、好ましくは100nm～20nmに設定することができる。第1の絶縁膜のシリコン酸化膜の膜厚は、薄ければ薄いほど良く、膜厚を零にすることも可能である。各絶縁膜の膜厚を上記の値に設定することにより、積層膜に反射防止機能を持たせることができる。各絶縁膜の膜厚がこの値より厚くなると、即ち厚く
25 なり過ぎると反射防止機能が得られにくくなると共に、コンタクト孔の形成が困難となる。また、複数の絶縁膜を2層膜構造をとしたときにも、同様にセンサ部上に反射防止機能をもたせることができる。

上述の半導体装置は、第1の領域にロジック回路を構成する第1のMOSトランジスタを形成し、第2の領域に第2のMOSトランジスタと容量素子からなるメモリ素子を有したDRAMセルを形成してなるDRAM混載ロジック半導体集積回路として用いることができる。

上述の半導体装置の製造方法では、第1の領域にロジック回路を構成するゲート電極及び第1、第2の不純物導入領域からなるLDD構造のMOSトランジスタを形成し、第2の領域にゲート電極及び第1、第2の不純物導入領域からなるLDD構造のMOSトランジスタとセンサ部からなる固体撮像領域を形成して、CMOS型の固体撮像素子を製造することができる。

上述の半導体装置の製造方法では、第1の領域にロジック回路を構成するゲート電極及び第1、第2の不純物導入領域からなるLDD構造のMOSトランジスタを形成し、第2の領域にゲート電極及び第1、第2の不純物導入領域からなるLD構造のMOSトランジスタと容量からなるメモリ素子を形成して、DRAM混載ロジック半導体集積回路を製造することができる。

本発明では、上述した半導体装置を搭載して電子機器を構成することができる。電子機器に搭載する半導体装置としては、第1の領域にロジック回路を構成する第1のMOSトランジスタを形成し、第2の領域に信号電荷蓄積手段を形成して構成したものを用いることができる。例えば、この半導体装置は、第1の領域にロジック回路を構成する第1のMOSトランジスタを形成し、第2の領域に第2のMOSトランジスタとセンサ部からなる画素を有した固体撮像領域を形成してなるMOS型の固体撮像素子とすることができる。あるいは、この半導体装置は、第1の領域にロジック回路を構成する第1のMOSトランジスタを形成し、第2の領域に第2のMOSトランジスタと容量素子からなるメモリ素

子を有したDRAMセルを形成してなるRAM混載ロジック半導体集積回路とすることができる。

また、本発明では、上述した半導体装置を搭載して携帯型の通信機器としての電子機器を構成することができる。

5

図面の簡単な説明

図1は本発明に係る半導体装置をCMOS型の固体撮像素子に適用した一実施の形態を示す概略構成図である。

10 図2は図1のCMOS型の固体撮像素子のA-A線上のCMOSロジック回路部の断面図である。

図3は図1のCMOS型の固体撮像素子のA-A線上の画素部の断面図である。

図4～図13はCMOS型の体撮像素子の製造方法の一実施の形態を示すCMOSロジック回路部の製造工程図である。

15 図14～図23はCMOS型の体撮像素子の製造方法の一実施の形態を示す画素部の製造工程図である。

図24は本発明に係る半導体装置をCMOS型の固体撮像素子に適用した他の実施の形態を示すCMOSロジック回路部の断面図である。

20 図25は本発明に係る半導体装置をCMOS型の固体撮像素子に適用した他の実施の形態を示す画素部の断面図である。

図26は本発明のCMOS型の固体撮像素子のセンサ部の他の例を示す断面図である。

25 図27は本発明に係る半導体装置をCMOS型の固体撮像素子に適用した他の実施の形態を示すCMOSロジック回路部の断面図である。

図28は本発明に係る半導体装置をCMOS型の固体撮像素子に適用した他の実施の形態を示す画素部の断面図である。

図 2 9 ~ 図 4 1 は C M O S 型の体撮像素子の製造方法の他の実施の形態を示す図 2 7 に対応した C M O S ロジック回路部の製造工程図である。

5 図 4 2 ~ 図 5 4 は C M O S 型の体撮像素子の製造方法の他の実施の形態を示す図 2 8 に対応した画素部の製造工程図である。

図 5 5 は本発明に係る半導体装置を C M O S 型の固体撮像素子に適用した他の実施の形態を示す画素部の断面図である。

図 5 6 は本発明に係る半導体装置を C M O S 型の固体撮像素子に適用した他の実施の形態を示す画素部の断面図である。

10 図 5 7 ~ 図 6 0 は C M O S 型の体撮像素子の製造方法の他の実施の形態を示す図 5 5 に対応した C M O S ロジック回路部の製造工程図である。

図 6 1 ~ 図 6 4 は C M O S 型の体撮像素子の製造方法の他の実施の形態を示す図 5 6 に対応した画素部の製造工程図である。

15 図 6 5 は本発明に係る半導体装置を C M O S 型の固体撮像素子に適用した他の実施の形態を示す画素部の断面図である。

図 6 6 は本発明に係る半導体装置を C M O S 型の固体撮像素子に適用した他の実施の形態を示す画素部の断面図である。

20 図 6 7 ~ 図 6 9 は C M O S 型の体撮像素子の製造方法の他の実施の形態を示す図 6 5 に対応した C M O S ロジック回路部の製造工程図である。

図 7 0 ~ 図 7 2 は C M O S 型の体撮像素子の製造方法の他の実施の形態を示す図 6 6 に対応した画素部の製造工程図である。

25 図 7 3 は本発明に係る半導体装置を C M O S 型の固体撮像素子に適用した他の実施の形態を示す画素部の断面図である。

図 7 4 は本発明に係る半導体装置を C M O S 型の固体撮像素子に適用した他の実施の形態を示す画素部の断面図である。

図 7 5 ~ 図 7 8 は C M O S 型の体撮像素子の製造方法の他の実

施の形態を示す図 7 3 に対応した CMOS ロジック回路部の製造工程図である。

図 7 9 ~ 図 8 2 は CMOS 型の撮像素子の製造方法の他の実施の形態を示す図 7 4 に対応した画素部の製造工程図である。

- 5 図 8 3 は本発明に係る半導体装置を DRAM 混載ロジック LSI に適用した実施の形態を示す概略構成図である。

発明を実施するための最良の形態

以下、図面を参照して本発明の実施の形態を説明する。

- 10 図 1 は、本発明に係る半導体装置を MOS 型の固体撮像素子に適用した一実施の形態を示す。本実施の形態に係る固体撮像素子 1 は、センサ部となるフォトダイオードと複数の MOS トランジスタで構成された画素が複数個マトリックス状に配列されてなる撮像領域 3 と、この撮像領域 3 の周辺に形成された CMOS ロジック回路部 4、5 及びアナログ回路部 6、7 とを有して成る。
- 15 画素 2 を構成する MOS トランジスタは、その数が画素の構成に応じて異なるも、少なくともフォトダイオード駆動用 MOS トランジスタ、即ちフォトダイオードの信号電荷を読み出すための読出し用 MOS トランジスタ及びフォトダイオードの信号を出力する
- 20 ための信号出力用 MOS トランジスタ等を有している。固体撮像素子 1 は、これら撮像領域 3 と周辺の CMOS ロジック回路部 4、5 及びアナログ回路部 6、7 を 1 チップとして構成する共通の半導体基板に混載して構成される。

- 図 2 及び図 3 は、図 1 の CMOS ロジック回路部 4 と撮像領域 3 の 1 画素 2 に対応した A-A 線上の断面構造を示す。図 2 は CMOS ロジック回路部 4 を示し、図 3 は 1 画素 2 の要部を示す。
- 25

本実施の形態の CMOS 型固体撮像素子 1 では、図 2 及び図 3 に示すように、第 1 導電型、本例では n 型の共通の半導体基板 1

1に素子分離領域12が形成され、半導体基板11の所要領域に撮像領域3を構成する画素2が形成され、半導体基板11の他の所要領域にCMOSロジック回路部4が形成される。画素2側のMOSトランジスタでは高融点金属シリサイド層を形成せず、CMOSロジック回路部4側のCMOSトランジスタでは高融点金属シリサイド層を形成するように構成される。

CMOSロジック回路部4は、図2に示すように、n型半導体基板11の深い位置に第1～第4のMOSトランジスタ形成領域13～16にわたり第2導電型、したがってp型の半導体ウェル領域20が形成され、第2導電型、したがってp型の不純物を導入したp型半導体ウェル領域20が形成される。さらに第1及び第3のMOSトランジスタ形成領域13及び15には、基板表面からp型半導体ウェル領域20に達するp型半導体ウェル領域21及び23が形成される。また、第2及び第4のMOSトランジスタ形成領域には、基板表面からp型半導体ウェル領域20に達するn型半導体ウェル領域22及び24が形成される。p型半導体ウェル領域21上及びn型半導体ウェル領域22上にはゲート絶縁膜281を介して夫々例えば多結晶シリコン膜によるゲート電極301及び302が形成される。p型半導体ウェル領域21には、ゲート電極301を挟んでn⁻領域311及びn⁺領域421からなるLDD構造のソース/ドレイン領域が形成され、nチャネルMOSトランジスタTr1が形成される。n半導体ウェル領域22には、ゲート電極302を挟んでp⁻領域312及びn⁺領域422からなるLDD構造のソース/ドレイン領域が形成され、pチャネルMOSトランジスタTr2が形成される。このnチャネルMOSトランジスタTr1とpチャネルMOSトランジスタTr2でCMOSトランジスタが構成される。p型半導体ウェル領域23上及びn型半導体ウェル領域24上にはゲート絶

縁膜 282 を介して夫々例えば多結晶シリコン膜によるゲート電極 303 及び 304 が形成される。p 型半導体ウェル領域 23 には、ゲート電極 303 を挟んで n^- 領域 313 及び n^+ 領域 423 からなる LDD 構造のソース/ドレイン領域が形成され、
5 n チャネル MOS トランジスタ T_r3 が形成される。n 半導体ウェル領域 24 には、ゲート電極 304 を挟んで p^- 領域 314 及び p^+ 領域 424 からなる LDD 構造のソース/ドレイン領域が形成され、
p チャネル MOS トランジスタ T_r4 が形成される。この n チャネル MOS トランジスタ T_r3 と p チャネル MOS トランジスタ T_r4 で CMOS トランジスタが構成される。
10

そして、各 MOS トランジスタ $T_r1 \sim T_r4$ のゲート電極 301 ~ 304 の側壁には、第 1 の絶縁膜 35、第 2 の絶縁膜 36 及び第 3 の絶縁膜 38 の 3 層構造のサイドウォール 39 [35A、36A、38A] が形成される。第 1 及び第 3 の絶縁膜 35 及び
15 38 は例えばシリコン酸化膜 (SiO_2 膜) で形成し、第 2 の絶縁膜 36 は例えばシリコン窒化膜で形成することができる。ソース/ドレイン領域を構成する n^- 領域 311、313、 p^- 領域 312、314 は、ゲート電極 301 ~ 304 をマスクにセルフアラインで形成される。 n^+ 領域 421、423、 p^+ 領域 422、
20 424 は、3 層構造の絶縁膜 35、36、38 によるサイドウォール 39 及びゲート電極 301 ~ 304 をマスクにセルフアラインで形成される。そして、各 MOS トランジスタ $T_r1 \sim T_r4$ のゲート電極 301 ~ 304 の表面及びソース/ドレイン領域の n^+ 領域 421、423、 p^+ 領域 422、424 の表面には、高
25 融点金属シリサイド層 44 が形成される。なお、CMOS ロジック回路部 5 側においても、同様に構成される。なお、本例の CMOS ロジック回路部 4、5 では、2 系統の電源が接続される。例えば n チャネル MOS トランジスタ T_r1 及び p チャネル MO

SトランジスタTr2からなるCMOSトランジスタと、nチャネルMOSトランジスタTr3及びpチャネルMOSトランジスタTr4からなるCMOSトランジスタとの電源電圧が異なっている。

- 5 画素2は、図3に示すように、n型半導体基板11の深い位置にセンサ部形成領域17とMOSトランジスタ形成領域18にわたりp型の不純物を導入したp型半導体ウェル領域25が形成される。さらにMOSトランジスタ形成領域18には、表面からp型半導体ウェル領域25に達する2段重ねのp型半導体ウェル領域26及び27が形成される。p型半導体ウェル領域25、26、
- 10 27で囲われたセンサ部形成領域17には、そのn型半導体領域11Aの表面側に、領域11Aより不純物濃度の高いn型半導体領域315が形成される。n型半導体領域11Aは、半導体基板11の深い位置にイオン注入で形成されたp型半導体領域25で
- 15 分離された半導体基板11の一部である。基板表面にはn型半導体領域11Aに接するように接合リーク電流の低軽減を目的とした不純物濃度の高いp⁺半導体領域425が形成される。p型半導体ウェル領域25、n型半導体領域11A、25及びp⁺半導体領域425によってフォトダイオードのセンサ部45、即ちH
- 20 ADセンサが形成される。一方、MOSトランジスタ形成領域18には、ゲート絶縁膜19を介して例えば多結晶シリコン膜によるゲート電極305、306、307が形成され、各ゲート電極を挟んでn⁻領域315とn⁺領域425からなるLDD構造のソース/ドレイン領域、n⁻領域316とn⁺領域426からなる
- 25 LDD構造のソース/ドレイン領域、n⁻領域317とn⁺領域427からなるLDD構造のソース/ドレイン領域が形成され、複数のnチャネルMOSトランジスタ、例えばセンサ部45の信号電荷を読み出すための読出し用MOSトランジスタTr5、信号

5
10
15
20

を出力するための信号出力用MOSトランジスタ $T r 6$ 、 $T r 7$ が形成される。そして、画素2の領域では、センサ部45上及びMOSトランジスタ $T r 5$ 、 $T r 6$ 、 $T r 7$ のゲート電極305～307上、ソース/ドレイン領域上を被覆するように第1の絶縁膜35及び第2の絶縁膜36が堆積され、各ゲート電極305～307の側壁に第3の絶縁膜38によるサイドウォール部38Aが形成される。ソース/ドレイン領域を構成する n^- 領域316、317はゲート電極305～307をマスクにセルフアラインで形成される。 n^+ 領域426、427は3層構造の絶縁膜35、36、38によるサイドウォール40及びゲート電極305～307をマスクにセルフアラインで形成される。このとき、ソース/ドレイン領域の n^+ 領域426、427上には第1及び第2の絶縁膜35、36が形成されているが、絶縁膜35、36の膜厚とイオン注入時の加速エネルギー（打ち込みエネルギー）を最適化することにより、絶縁膜35、36の下にも n^+ 領域426、427を形成することが可能である。また、上記したようにゲート電極305～307の側壁には3層構造のサイドウォール40が形成されるので、図2のCMOSロジック回路部4のMOSトランジスタ $T r 1 \sim T r 4$ と同様なLDD構造のソース/ドレイン領域を形成することができる。MOSトランジスタ $T r 5 \sim T r 7$ では、ゲート電極305～307上及び n^+ 領域426、427上に高融点金属シリサイド層が形成されない。

25

本実施の形態に係るCMOS型固体撮像素子1によれば、第1、第2及び第3の絶縁膜35、36及び38による3層構造のサイドウォール39、40を用いることにより、CMOSロジック回路部4側ではCMOSトランジスタ $T r 1 \sim T r 4$ のゲート電極301～304及びLDD構造のソース/ドレイン領域の高不純物濃度領域（ n^+ 領域、 p^+ 領域）421～424の表面に高融

点金属シリサイド層 4 を形成することができる。且つ、画素 2 側では MOS トランジスタ $T_{r5} \sim T_{r7}$ への高融点金属シリサイド層の形成を回避することが可能になる。さらに、画素 2 側の MOS トランジスタ $T_{r5} \sim T_{r7}$ においても、LDD 構造のソース／ドレイン領域を有する MOS トランジスタを構成することができる。

CMOS ロジック回路部 4、5 においては、高融点金属シリサイド層 4 4 を有するので、素子の微細化と共に、寄生抵抗の低減が図られ、高速動作、消費電力低減を可能にする。一方、画素 2 においては、高融点金属シリサイド層を有さないので、MOS トランジスタにおける高融点金属に起因する接合リークが抑制される。また、センサ部表面が第 1、第 2 の絶縁膜 3 5、3 6 で保護されるので、サイドウォール形成時のプラズマダメージ、コンタミネーション等による欠陥生成も抑制される。

従って、共に LDD 構造のソース／ドレイン領域を有する MOS トランジスタであって、一方が高融点金属シリサイド層が形成された CMOS トランジスタからなる CMOS ロジック回路部と、他方の高融点金属シリサイド層が形成されない MOS トランジスタを有する撮像領域とを同一の半導体チップに作り込むことができる。

次に、本実施の形態に係る固体撮像素子 1 の製造方法を説明する。図 4 ～図 1 3 は高融点金属シリサイド層を形成する CMOS ロジック回路部 4 側の製造工程を示し、図 1 4 ～図 2 3 は高融点金属シリサイド層を形成しない 1 画素 2 側の製造工程を示す。図 4 ～図 1 3 の工程と図 1 4 ～図 2 3 の工程とは、互いに工程が対応している。

先ず、図 4 及び図 1 4 に示すように、第 1 導電型、本例では n 型の共通のシリコン半導体基板 1 1 を設け、この半導体基板 1 1

に素子分離領域 1 2 を形成する。この素子分離領域 1 2 は、半導体基板 1 1 の表面に形成した例えばシリコン窒化膜 (SiN 膜) によるマスクを介して素子分離領域に対応する部分に溝を形成し、溝内壁を熱酸化膜で被覆した後、溝内をシリコン酸化膜 (例えば CVD-SiO₂ 膜) で埋め込み、その後シリコン窒化膜を除去して形成される。CMOS ロジック回路部 4 では、第 1 の MOS トランジスタ形成領域 1 3、第 2 の MOS トランジスタ形成領域 1 4、第 3 の MOS トランジスタ領域 1 5 及び第 4 の MOS トランジスタ領域 1 6 を形成するように素子分離領域 1 2 が形成される (図 4 参照)。画素 2 では、センサ部 (フォトダイオード) 形成領域 1 7 及び MOS トランジスタ形成領域 1 8 を形成するように素子分離領域 1 2 が形成される (図 1 4 参照)。

次に、図 5 及び図 1 5 に示すように、半導体基板 1 1 上にイオン注入用の絶縁膜、例えばスクリーン酸化膜 (SiO₂ 膜) 1 9 を形成し、所要の不純物をイオン注入法により導入し、所要の導電型の半導体ウェル領域を形成する。半導体ウェル領域は、フォトレジスト法を用いて注入する不純物及び注入条件 (打ち込みエネルギー、不純物濃度等) を各領域 1 3 ~ 1 8 にて打ち分けて形成することができる。CMOS ロジック回路部 4 側では、例えば各 MOS トランジスタ形成領域 1 3 ~ 1 6 の深い位置に第 2 導電型である p 型であって同じ不純物濃度の p 型半導体ウェル領域 2 0 を形成する。さらに基板表面から p 型半導体ウェル領域 2 0 に達するように、第 1 及び第 3 の MOS トランジスタ形成領域 1 3 及び 1 5 では p 型半導体ウェル領域 2 1 及び 2 3 を形成し、第 2 及び第 4 の MOS トランジスタ形成領域では n 型半導体ウェル領域 2 2 及び 2 4 を形成する。なお、p 型半導体ウェル領域 2 0 は、1 回のイオン注入工程で第 1 ~ 第 4 の MOS トランジスタ領域 1 3 ~ 1 6 に対して同時に形成しても良く、あるいは各 p 型、n 型

の半導体ウェル領域 21、22、23、24 に対して個別的に形成するようにしても良い。後者の場合は、半導体ウェル領域 21、22、23、24 のイオン注入用マスクを兼用することができ、イオン注入用マスクを 1 枚節減できる(図 5 参照)。画素 2 側では、

5 センサ部形成領域 17 及び MOS トランジスタ形成領域 18 の深い位置に第 2 導電型である p 型であって同じ不純物濃度の p 型半導体ウェル領域 25 を形成する。さらに、MOS トランジスタ形成領域 18 側及びセンサ部形成領域 17 を分離する部分に深さ方向に p 型半導体ウェル領域 26、27 を形成する。センサ部形成

10 領域 17 では p 型ウェル領域 25、26 及び 27 で囲まれた n 型半導体基板 11 による n 型半導体ウェル領域 11A が形成される(図 15 参照)。

次に、図 6 及び図 16 に示すように、CMOS ロジック回路部 4 及び画素 2 の各領域 13~18 上に所要の膜厚のゲート絶縁膜

15 28 [281、282、283] を形成し、このゲート絶縁膜 28 上にゲート電極材料膜 29 を形成する。ゲート絶縁膜 28 としては、例えばシリコン酸化膜 (SiO₂ 膜) を用いる。ゲート電極材料膜 29 としては、例えば多結晶シリコン膜を用いる。CMOS ロジック回路部 4 側では、第 1 及び第 2 の MOS トランジスタ形成領域 13 及び 14 上に同じ所要膜厚 t1、例えば 5 nm 厚のゲート絶縁膜 281 を形成し、第 3 及び第 4 の MOS トランジスタ形成領域 15 及び 16 上に同じ所要膜厚 t2、例えば 3 nm のゲート絶縁膜 282 を形成する(図 6 参照)。画素 2 側では、センサ部形成領域 17 及び MOS トランジスタ形成領域 18 上に同じ所要膜厚 t3、例えば 3 nm のゲート絶縁膜 283 を形成する

25 (図 16 参照)。ゲート電極材料膜 29 の膜厚 t4 は、例えば 200 nm に設定することができる。

次に、図 7 及び図 17 に示すように、ゲート電極材料膜 29 を

例えばフォトリソ法、及びエッチング法、例えばドライエッチング法を用いてパターンニングし、ゲート電極 30 [301、302、303、304、305、306、307] を形成する。CMOS ロジック回路部 4 側では、第 1 の MOS トランジスタ形成領域 13 に対応する位置にゲート電極 301、第 2 の MOS トランジスタ形成領域 14 に対応する位置にゲート電極 302、第 3 の MOS トランジスタ形成領域 15 に対応する位置にゲート電極 303、第 4 の MOS トランジスタ形成領域 16 に対応する位置にゲート電極 304 を夫々形成する。本例では特性設計の関係で、第 1 及び第 2 の MOS トランジスタ形成領域 13 及び 14 のゲート電極 301 及び 302 のゲート長を、第 3 及び第 4 の MOS トランジスタ形成領域のゲート電極 303 及び 304 のゲート長さより大に設定している (図 7 参照)。画素 2 側では、MOS トランジスタ形成領域 18 に対応する位置にゲート電極 305、306 及び 307 を形成する (図 17 参照)。

次に、図 8 及び図 18 に示すように、CMOS ロジック回路部 4 側及び画素 2 側の領域に夫々素子分離領域 12 及びゲート電極 30 [301~307] をマスクにして、所要の不純物をイオン注入法により導入し、所要の導電型の不純物導入領域 31 [311、312、313、314、315、316、317] を形成する。不純物導入領域 31 は、フォトリソ法を用いて注入する不純物及び注入条件 (打ち込みエネルギー、不純物濃度等) を各領域にて打ち分けて形成することができる。CMOS ロジック回路部 4 側では、第 1 及び第 3 の p 型半導体ウェル領域 21 及び 23 に不純物導入領域、即ち LDD 構造を構成する低不純物濃度の n⁻ 領域 311、313 を形成し、第 2 及び第 4 の n 型半導体ウェル領域 22 及び 24 に不純物導入領域、即ち LDD 構造を構成する低不純物濃度の p⁻ 領域 312、314 を形成する (第 8

参照)。画素 2 側では、センサ部形成領域 1 7 の n 領域 (n 型半導体基板 1 1 の一部に対応する) 1 1 A に不純物導入領域、即ちフォトダイオードを構成する n 型半導体領域 3 1 5 を形成する。また、p 型半導体ウェル領域 2 7 に不純物導入領域、即ち L D D 構造を構成する低不純物濃度の n⁻ 領域 3 1 6、3 1 7 を形成を形成する (図 1 8 参照)。

次に、図 9 及び図 1 9 に示すように、半導体基板 1 1 上にゲート電極 3 0 [3 0 1 ~ 3 0 7] を含む全面に、夫々所要膜厚 t 5、t 6 の第 1 の絶縁膜 3 5 及び第 2 の絶縁膜 3 6 を順次形成する。

10 第 1 の絶縁膜 3 5 には例えばシリコン酸化膜 (S i O₂ 膜) を用いることができる。第 2 の絶縁膜 3 6 にはシリコン酸化膜とエッチングレートの異なる例えばシリコン窒化膜を用いることができる。第 1 の絶縁膜 3 5 の膜厚 t 5 は例えば 1 0 n m 程度、第 2 の絶縁膜 3 6 の膜厚 t 6 は例えば 3 0 n m 程度に、夫々設定することができる。

15 とができる。

次に、図 1 0 及び図 2 0 に示すように、画素 2 側の第 2 の絶縁膜 3 6 上に選択的にフォトレジストマスク 3 7 を形成し、この状態で C M O S ロジック回路部 4 側の第 1 及び第 2 の絶縁膜 3 5 及び 3 6 を、エッチバック法を用いてエッチングし、各ゲート電極

20 3 0 1 ~ 3 0 4 の側壁にのみ第 1 の絶縁膜 3 5 と第 2 の絶縁膜 3 6 によるサイドウォール部 3 5 A と 3 6 A を形成する (図 1 0 参照)。画素 2 側の領域では、第 1 及び第 2 の絶縁膜 3 5 及び 3 6 はフォトレジストマスク 3 7 により保護され、エッチング除去されずに残る。(図 2 0 参照)。

25 次に、図 1 1 及び図 2 1 に示すように、画素 2 側のフォトレジストマスク 3 7 を除去する。次いで、C M O S ロジック回路部 4 側及び画素 2 側の半導体基板上の全面に所要膜厚 t 6 (図示せず) の第 3 の絶縁膜 3 8 を形成する。第 3 の絶縁膜 3 8 には、第

2の絶縁膜36とエッチングレートの異なる膜、例えばシリコン酸化膜(SiO₂膜)を用いることができる。第3の絶縁膜38の膜厚t7は、例えば100nm程度に設定することができる。この第3の絶縁膜38を、エッチバック法を用いてエッチングし、

5 CMOSロジック回路部4側及び画素2側の各ゲート電極301～307の側壁にサイドウォール部38Aを形成する。これによって、CMOSロジック回路部4側の各ゲート電極301～304の側壁には、第1、第2及び第3の絶縁膜35A、36A及び38Aによる3層構造のサイドウォール39が形成される(図1

10 1参照)。また、画素2側では第2の絶縁膜36がエッチングストップパとなって第3の絶縁膜38のみがエッチバックされ、第1及び第2の絶縁膜35及び36は除去されない。従って、ゲート電極305～307の側壁には、第1、第2及び第3の絶縁膜35、36及び38Aによる3層構造のサイドウォール40が形成され

15 る(図21参照)。

次に、図12及び図22に示すように、CMOSロジック回路部4側及び画素2側の領域において、ゲート電極301～307及びサイドウォール39、40をマスクとして所要の不純物をイオン注入法により導入して、ソース/ドレイン領域、HAD(ホール・アキミュレーション・ダイオード)となる所要の導電型の

20 不純物導入領域42〔421、422、423、424、425、426、427〕を形成する。不純物導入領域42は、フォトレジスト法を用いて注入する不純物及び注入条件(打ち込みエネルギー、不純物濃度等)を各領域にて打ち分けて形成することができる。

25 CMOSロジック回路部4側では、p型半導体ウェル領域21及び23に高不純物濃度のp⁺ソース/ドレイン領域421及び423を形成し、n型半導体ウェル領域22及び24に高不純物濃度のn⁺ソース/ドレイン領域422及び424を形成す

る。p⁻領域311とp⁺領域421、p⁻領域313とp⁺領域423のより夫々LDD構造のp型ソース/ドレイン領域が形成される。n⁻領域312とn⁺領域422、n⁻領域314とn⁺領域424のより夫々LDD構造のn型ソース/ドレイン領域が形成される(図12参照)。画素2側では、センサ部形成領域17の表面に接合リーク電流の更なる低減を目的として、埋め込みフォトダイオード、いわゆるHAD(ホール・アキミュレーション・ダイオード)センサを形成するための高濃度不純物導入領域であるp⁺半導体領域(ホール蓄積領域)425を形成する。また、MOSトランジスタ形成領域18に高不純物濃度のn⁺ソース/ドレイン領域426、427を形成する。n⁻領域316とn⁺領域426、n⁻領域317とn⁺領域427のより夫々LDD構造のn型ソース/ドレイン領域が形成される(図22参照)。

画素2側のMOSトランジスタ形成領域18では、表面に第1の絶縁膜35及び第2の絶縁膜36が形成されているが、例えば第1の絶縁膜35の膜厚を10nm、第2の絶縁膜36の膜厚を30nmに設定したとき、高不純物濃度のソース/ドレイン領域を形成するためのイオン注入エネルギーを、例えば注入イオンがリン(P)の場合に20keV以上に設定することで、n⁺ソース/ドレイン領域426、427を形成することができる。

次に、図13及び図23に示すように、サリサイド法により、CMOSロジック回路部4側の多結晶シリコンからなるゲート電極301~304上とn⁺、p⁺ソース/ドレイン領域421~424上に高融点金属シリサイド層44を形成する。即ち、CMOSロジック回路部4側及び画素2側の全面上に高融点金属膜を被着形成する。次いで、合金化処理して未反応の高融点金属を除去することにより、CMOSロジック回路部4側のゲート電極301~304の表面及びソース/ドレイン領域421~424の表

面に高融点金属シリサイド層 4 4 が形成される。一方、画素 2 側は第 1 及び第 2 の絶縁膜 3 5 及び 3 6 が形成されているので、高融点金属シリサイド層 4 4 は形成されない。高融点金属としては、例えば Co, Ti, Mo, Ni, W などを使用することができる。

5 本例では Co シリサイド層を形成している。

CMOS ロジック回路部 4 側では、第 1 の p 型半導体ウェル領域 2 1 に形成された n チャネル MOS トランジスタ Tr 1 と第 2 の n 型半導体ウェル領域 2 2 に形成された p チャネル MOS トランジスタ Tr 2 により、CMOS トランジスタが形成され、第 3 の p 型半導体ウェル領域 2 3 に形成された n チャネル MOS トランジスタ Tr 3 と第 4 の n 型半導体ウェル領域 2 4 に形成された p チャネル MOS トランジスタ Tr 4 により、CMOS トランジスタが形成される。画素 2 側では、センサ部 4 5 が形成される。本例では、センサ部 4 5 が p⁺半導体領域 4 2 5 と n 型半導体領域 3 1 5 及び n 型半導体ウェル領域 1 1 A と p 型半導体ウェル領域 5 によってHADセンサとして構成される。

以降は従来の CMOS 型固体撮像素子の技術を用いて、配線工程、オンチップレンズ形成工程、カラーフィルタ形成工程を行う。上述の工程により、CMOS ロジック回路部 4 側にのみ高融点金属シリサイド層 4 4 を有する CMOS トランジスタが形成され、画素 2 側には高融点金属シリサイド層 4 4 が形成れない、目的の CMOS 型固体撮像素子 1 を得る。

なお、上例では共通の半導体基板 1 1 を n 型半導体基板を用いたが、その他、半導体デバイスによって p 型の共通の半導体基板 1 1 を用いることもできる。また、各半導体領域も上例とは逆の導電型で形成することもできる。

また、上例では CMOS ロジック回路部 4 の p チャネル MOS トランジスタ Tr 2 としては、ソース/ドレイン領域を LDD 構

造としたが、その他、ソース／ドレイン領域をLDD構造とせず、すなわちp-領域312を省略した形とすることもできる。

本実施の形態によれば、画素2には、高融点金属シリサイド層を形成せずに、ゲート電極305～307及び高不純物濃度のソース／ドレイン領域426、427を形成し、且つCMOSロジック回路部4には、ゲート電極301～304及び高不純物濃度のソース／ドレイン領域421～424に高融点金属シリサイド層44を形成することができる。

ゲート電極301～304及びソース／ドレイン領域の高不純物濃度領域421～424に高融点金属シリサイド層44を形成するCMOSロジック回路部4側では、3層構造の絶縁膜35、36及び38からなるサイドウォール39を形成することにより、LDD構造とし且つ高融点金属シリサイドソース層44を有するCMOSトランジスタTr1～Tr4を形成することができる。

ゲート電極305～307及びソース／ドレイン領域の高不純物濃度領域426、427に高融点金属シリサイド層を形成しない画素2側では、センサ部45上及びソース／ドレイン領域316、317、426、427上に第1、第2の絶縁膜35、36をエッチバック時にも除去せずに残し、第3の絶縁膜38のみエッチバックしてサイドウォール40を形成する構成であるので、LDD構造でありながら高融点金属シリサイド層の形成されないMOSトランジスタTr5～Tr7を形成することができる。

第3の絶縁膜38のエッチバックの際、第2の絶縁膜36がエッチングストッパとして働き、第2、第1の絶縁膜36、35をエッチング除去することがなく、第1、第2の絶縁膜35、36がそのまま残ることになる。シリサイド法により高融点金属シリサイド層44を形成するので、画素2における第1の絶縁膜35及び第2の絶縁膜36を残したセンサ部45、さらにゲート電極

305～307及びソース／ドレイン領域の高不純物濃度領域426、427には高融点金属シリサイド層は形成されず、CMOSロジック回路部4、5における第1の絶縁膜35及び第2の絶縁膜36を除去したゲート電極301～304及びソース／ドレイン領域の高不純物濃度領域421～424には高融点金属シリサイド層44を形成することができる。

画素2側において、ソース／ドレイン領域の高不純物濃度領域426、427を形成する際のイオン注入時に、第1及び第2の絶縁膜35及び36の合計の膜厚 $t_4 + t_5$ を、イオンが十分透過できる膜厚に設定することにより、第1及び第2の絶縁膜35及び36を除去しなくても、ソース／ドレイン領域の高不純物濃度領域426、427を形成することができる。また、ソース／ドレイン領域の高不純物濃度領域426、427の不純物注入用マスクとしてのサイドウォール40の厚さは、第3の絶縁膜38の成膜厚さをコントロールすることで最適化できるので、従来のサイドウォール法と同様の効果を有するサイドウォール構造及びソース／ドレイン領域構造とすることができる。

従って、CMOSロジック回路部4の寄生容量を減少させ、高速、低消費電力のロジック回路部を達成することができる。且つ、低接合リークの画素2、即ちノイズレベルを低減した高画質の撮像部を、高速、低消費電力のロジック回路部と同時に同一チップ内に作り込むことが可能となる。さらに、画素2のセンサ部形成領域17の表面を、サイドウォール部39、40の形成の際のエッチバック時のプラズマ雰囲気にも晒すとも回避できるので、プラズマダメージ、コンタミネーション等によるセンサ部への欠陥生成をも抑制することができる。

上述の実施の形態では、サイドウォール構造を第1の絶縁膜35、第2の絶縁膜36及び第3の絶縁膜38からなる3層構造と

したが、2層構造としてもよい。図24及び図25は、サイドウォール構造を2層構造とした本発明に係る固体撮像素子1の他の実施の形態を示す。本実施の形態に係る固体撮像素子1は、CMOSロジック回路部4側において、各MOSトランジスタTr1

5 ~ Tr4を構成するゲート電極301~304の側壁に第1の絶縁膜51と第2の絶縁膜52をエッチバックして両絶縁膜51及び52からなる2層構造のサイドウォール53を形成する。また、画素2側においては、第1の絶縁膜51をエッチバックせずに画素2側の全面に第1の絶縁膜51を残し、各MOSトランジ

10 スタTr5~Tr7のゲート電極305~307の側壁に第2の絶縁膜52のみをエッチバックして第2の絶縁膜52によるサイドウォール54を形成するようになる。第1の絶縁膜51と第2の絶縁膜52とは、互いにエッチングレートの異なる膜を用いる。例えば、第1の絶縁膜51にはシリコン窒化膜を用い、第2

15 の絶縁膜52にはシリコン酸化膜を用いることができる。第1の絶縁膜51であるシリコン窒化膜の膜厚としては30nm以下、第2の絶縁膜52であるシリコン酸化膜の膜厚としては100nm以下とすることができる。第1の絶縁膜51にシリコン酸化膜を用い、第2の絶縁膜52にシリコン窒化膜を用いることも可能

20 である。但し、エッチバックはシリコン酸化膜のその他の構成は前述の図13及び図23と同様であるので、重複説明は省略する。また、製造工程については、図4~図23における第1及び第2の絶縁膜35及び36を、第1の絶縁膜51に、第3の絶縁膜38を第2の絶縁膜52に夫々置き換える。それ以外は図4~図2

25 3の工程と同様である。

図24及び図25の実施の形態において、第1の絶縁膜51にシリコン窒化膜を用いたとき、半導体基板上に直接これを堆積し、界面順位増大が問題になる場合には、第1の絶縁膜51をシリコ

ン酸化膜とするか、好ましくは前述の図 1 1 及び図 2 1 に示すように、第 1、第 2 及び第 3 の絶縁膜 3 5、3 6 及び 3 8 の 3 層構造とする。

5 また、シリコン窒化膜に比べて、シリコン酸化膜の方が誘電率が低いので、ゲート電極側壁のフリンジ容量からなる寄生容量、即ちゲート電極のゲート絶縁膜側のエッジ部とソース/ドレイン領域間に形成される寄生容量が問題となるデバイスには、3 層構造として第 1 層をシリコン酸化膜からなる絶縁膜とする方が良い。

10 図 1 3 及び図 2 3 の実施の形態では、第 1 の絶縁膜 3 5 の膜厚 t_5 を 10 nm 程度、第 2 の絶縁膜 3 6 の膜厚 t_6 を 30 nm 程度、第 3 の絶縁膜 3 8 の膜厚 t_7 を 100 nm 程度としたが、各絶縁膜 3 5、3 6、3 8 の膜厚としては、例えば第 1 の絶縁膜 3 5 の膜厚 t_5 を 20 nm 以下、第 2 の絶縁膜 3 6 の膜厚 t_6 を 30 nm 以下、第 3 の絶縁膜 3 8 の膜厚 t_7 を 100 nm 以下の範囲で設定することが有効であると考えられる。

15 特に、画素 2 のセンサ部 4 5 では、入射光ができるだけ反射されずに入射させることが望まれる。図 2 6 に示すように、センサ部 4 5 上には、ゲート絶縁膜 2 8 3 を介して第 1 の絶縁膜としてシリコン酸化膜 3 5、第 2 の絶縁膜として減圧 CVD によるシリコン窒化膜 (LPCVD-SiN 膜) 3 6 が形成され、さらにその上にプラズマ CVD によるシリコン窒化膜 (プラズマ CVD-SiN 膜) 4 6 が形成される。この場合、第 1 の絶縁膜であるシリコン酸化膜 3 5 の膜厚 t_4 を 20 nm 以下とし (薄い程好ましく、0 nm を含む)、第 2 の絶縁膜であるシリコン窒化膜 3 6 とその上のシリコン窒化膜 4 6 の合計の膜厚 t_8 を 150 nm ~ 200 nm、好ましくは 100 nm ~ 200 nm、最適は 60 nm 程度に設定する。各絶縁膜の膜厚をこのような値に設定することにより、シリコン酸化膜 3 5、シリコン窒化膜 3 6 及び 4 6 の積層膜

が反射防止膜として機能し、センサ部 4 5 への光入射効率を向上することができる。

この反射防止機能を有する膜構造は、図 2 4 及び図 2 5 の絶縁膜 5 1、5 2 からなる 2 層膜構造にも適用できる。

- 5 上述の実施の形態では、シリコン窒化膜を有した 3 層構造又は 2 層構造の絶縁膜によるサイドウォールを有して構成されている。前述したシリコン窒化膜の影響が無視出来ない程、MOS トランジスタの特性が要求されるときには、シリコン窒化膜を省略することが望ましい。例えば、CMOS トランジスタを作成するとき、
- 10 p チャネル MOS トランジスタでは多結晶シリコンのゲート電極に p 型不純物として通常ボロン (B) をイオン注入で導入している。イオン注入後、活性化のための高温のアニール処理を行うが、その際にゲート絶縁膜が薄いと、多結晶シリコンのゲート電極中のボロン (B) が拡散してゲート絶縁膜を突き抜け、シリコン基
- 15 板内に入ってしまう現象がある。このボロン (B) の拡散のし易さを見ると、サイドウォールにシリコン窒化膜 (SiN 膜) が存在すると、ボロンの拡散を増速してより拡散することが認められる。メカニズムは完全には判っていないが、理由の 1 つは、シリコン窒化膜の膜質が水素を多く含んでおり、水素がゲート電極内に
- 20 に拡散すると、ボロンの拡散を増速すると考えられる。理由の 2 つは、シリコン窒化膜が応力が大きいので、この膜応力で水素の拡散を増速してしまうと考えられる。少なくとも、実験ではシリコン窒化膜を使うとボロンの拡散が多くなることが確認されている。

- 25 次に、サイドウォールの絶縁膜にシリコン窒化膜を使用しないようにした、本発明に係る半導体装置及びその製造方法の他の実施の形態を説明する。本実施の形態の半導体装置は、上述と同様に、高融点金属シリサイド層を形成る MOS トランジスタを有す

る半導体領域と、高融点金属シリサイド層を形成しないMOSトランジスタを有する半導体領域とを共通の半導体基板に備えた半導体装置である。

図27～図28は、本発明に係る半導体装置を図1のCMOS型の固体撮像素子に適用した他の実施の形態を示す。図27及び図28は、図1のCMOSロジック回路部4と撮像領域3の1画素2に対応したA-A線上の断面構造を示す。図27はCMOSロジック回路部4を示し、図28は1画素2の要部を示す。

本実施の形態のCMOS型固体撮像素子では、図27及び図28に示すように、第1導電型、本例ではn型の共通の半導体基板11に素子分離領域12が形成され、半導体基板11の所要領域に撮像領域3を構成する画素2が形成され、半導体基板11の他の所要領域にCMOSロジック回路部4が形成される。画素2側のMOSトランジスタでは高融点金属シリサイド層を形成せず、CMOSロジック回路部4側のCMOSトランジスタでは高融点金属シリサイド層を形成するように構成される。

CMOSロジック回路部4は、図27に示すように、n型半導体基板11の深い位置に第1～第4のMOSトランジスタ形成領域13～16にわたり第2導電型、したがってp型の半導体ウェル領域20が形成され、第2導電型、したがってp型の不純物を導入したp型半導体ウェル領域20が形成される。さらに第1及び第3のMOSトランジスタ形成領域13及び15には、基板表面からp型半導体ウェル領域20に達するp型半導体ウェル領域21及び23が形成される。また、第2及び第4のMOSトランジスタ形成領域には、基板表面からp型半導体ウェル領域20に達するn型半導体ウェル領域22及び24が形成される。p型半導体ウェル領域21上及びn型半導体ウェル領域22上にはゲート絶縁膜281を介して夫々例えば多結晶シリコン膜によるゲー

ト電極 301 及び 302 が形成される。p 型半導体ウェル領域 21 には、ゲート電極 301 を挟んで n^- 領域 311 及び n^+ 領域 421 からなる LDD 構造のソース/ドレイン領域が形成され、n チャンネル MOS トランジスタ T_{r1} が形成される。n 半導体ウェル領域 22 には、ゲート電極 302 を挟んで p^- 領域 312 及び n^+ 領域 422 からなる LDD 構造のソース/ドレイン領域が形成され、p チャンネル MOS トランジスタ T_{r2} が形成される。この n チャンネル MOS トランジスタ T_{r1} と p チャンネル MOS トランジスタ T_{r2} で CMOS トランジスタが構成される。p 型半導体ウェル領域 23 上及び n 型半導体ウェル領域 24 上にはゲート絶縁膜 282 を介して夫々例えば多結晶シリコン膜によるゲート電極 303 及び 304 が形成される。p 型半導体ウェル領域 23 には、ゲート電極 303 を挟んで n^- 領域 313 及び n^+ 領域 423 からなる LDD 構造のソース/ドレイン領域が形成され、n チャンネル MOS トランジスタ T_{r3} が形成される。n 半導体ウェル領域 24 には、ゲート電極 304 を挟んで p^- 領域 314 及び p^+ 領域 424 からなる LDD 構造のソース/ドレイン領域が形成され、p チャンネル MOS トランジスタ T_{r4} が形成される。この n チャンネル MOS トランジスタ T_{r3} と p チャンネル MOS トランジスタ T_{r4} で CMOS トランジスタが構成される。

そして、本実施の形態では、特に、各 MOS トランジスタ $T_{r1} \sim T_{r4}$ のゲート電極 301 ~ 304 の側壁には、シリコン窒化膜を用いない絶縁膜（後述する第 3 の絶縁膜に相当する）73 からなる単層構造のサイドウォール 75 が形成される。絶縁膜 73 は例えばシリコン酸化膜（ SiO_2 膜）で形成することができる。このシリコン酸化膜による単層構造のサイドウォール 75 は、例えばソース/ドレイン領域にイオン注入した不純物の活性化アニール処理時に、後述の p チャンネル MOS トランジスタ T_{r2} ,

Tr4 のゲート電極 302、304 中の不純物であるボロン(B)が拡散し、シリコン基板中に注入されるのを回避する。ソース/ドレイン領域を構成する n⁻領域 311、313、p⁻領域 312、314 は、ゲート電極 301~304 をマスクにセルフアラインで形成される。n⁺領域 421、423、p⁺領域 422、424 は 13 層構造の絶縁膜 73 によるサイドウォール 75 及びゲート電極 301~304 をマスクにセルフアラインで形成される。そして、各 MOS トランジスタ Tr1~Tr4 のゲート電極 301~304 の表面及びソース/ドレイン領域の n⁺領域 421、423、p⁺領域 422、424 の表面には、高融点金属シリサイド層 44 が形成される。なお、CMOS ロジック回路部 5 側においても、同様に構成される。なお、本例の CMOS ロジック回路部 4、5 では、2 系統の電源が接続される。例えば n チャンネル MOS トランジスタ Tr1 及び p チャンネル MOS トランジスタ Tr2 からなる CMOS トランジスタと、n チャンネル MOS トランジスタ Tr3 及び p チャンネル MOS トランジスタ Tr4 からなる CMOS トランジスタとの電源電圧が異なっている。

画素 28 は、図 28 に示すように、n 型半導体基板 11 の深い位置にセンサ部形成領域 17 と MOS トランジスタ形成領域 18 にわたり p 型の不純物を導入した p 型半導体ウェル領域 25 が形成される。さらに MOS トランジスタ形成領域 18 には、表面から p 型半導体ウェル領域 25 に達する 2 段重ねの p 型半導体ウェル領域 26 及び 27 が形成される。p 型半導体ウェル領域 25、26、27 で囲われたセンサ部形成領域 17 には、その n 型半導体領域 11A の表面側に、領域 11A より不純物濃度の高い n 型半導体領域 315 が形成される。n 型半導体領域 11A は、半導体基板 11 の深い位置にイオン注入で形成された p 型半導体領域 25 で分離された半導体基板 11 の一部である。基板表面には n

型半導体領域 1 1 A に接するように接合リーク電流の軽減を目的とした不純物濃度の高い p⁺半導体領域 4 2 5 が形成される。p 型半導体ウェル領域 2 5、n 型半導体領域 1 1 A、3 1 5 及び p⁺半導体領域 4 2 5 によってフォトダイオードのセンサ部（所謂 H A D センサ部）4 5 が形成される。一方、M O S トランジスタ形成領域 1 8 には、ゲート絶縁膜 1 9 を介して例えば多結晶シリコン膜によるゲート電極 3 0 5、3 0 6、3 0 7 が形成され、各ゲート電極を挟んで n⁻領域 3 1 5 と n⁺領域 4 2 5 からなる L D D 構造のソース/ドレイン領域、n⁻領域 3 1 6 と n⁺領域 4 2 6 からなる L D D 構造のソース/ドレイン領域、n⁻領域 3 1 7 と n⁺領域 4 2 7 からなる L D D 構造のソース/ドレイン領域が形成され、複数の n チャンネル M O S トランジスタ、例えばセンサ部 4 5 の信号電荷を読み出すための読出し用 M O S トランジスタ T r 5、信号を出力するための信号出力用 M O S トランジスタ T r 6、T r 7 が形成される。そして、画素 2 の領域では、センサ部 4 5 上及び M O S トランジスタ T r 5、T r 6、T r 7 のゲート電極 3 0 5 ~ 3 0 7 上、ソース/ドレイン領域上を被覆するように第 1 の絶縁膜 7 1 及び第 2 の絶縁膜 7 2 が堆積され、各ゲート電極 3 0 5 ~ 3 0 7 の側壁に第 3 の絶縁膜 7 3 によるサイドウォール部 7 3 A が形成される。第 1 の絶縁膜 7 1 は例えばシリコン酸化膜（S i O₂膜）で形成し、第 2 の絶縁膜 7 2 は例えばシリコン窒化膜（S i N 膜）で形成することができる。第 3 の絶縁膜 7 3 は前述したように例えばシリコン酸化膜（S i O₂膜）で形成することができる。ソース/ドレイン領域を構成する n⁻領域 3 1 6、3 1 7 はゲート電極 3 0 5 ~ 3 0 7 をマスクにセルフアラインで形成される。n⁺領域 4 2 6、4 2 7 は 3 層構造の絶縁膜 7 1、7 2、7 3 A からなるサイドウォール 7 6 及びゲート電極 3 0 5 ~ 3 0 7 をマスクにセルフアラインで形成される。この

とき、ソース／ドレイン領域の n^+ 領域 426、427 上には第 1 及び第 2 の絶縁膜 71、72 が形成されているが、絶縁膜 71、72 の膜厚とイオン注入時の加速エネルギー（打ち込みエネルギー）を最適化することにより、絶縁膜 71、72 の下にも n^+ 領域 426、427 を形成することが可能である。また、上記したようにゲー電極 305～307 の側壁には 3 層構造のサイドウォール 76 が形成されるので、図 27 の CMOS ロジック回路部 4 の MOS トランジスタ $T_{r1} \sim T_{r4}$ と同様な LDD 構造のソース／ドレイン領域を形成することができる。MOS トランジスタ $T_{r5} \sim T_{r7}$ では、ゲー電極 305～307 上及び n^+ 領域 426、427 上に高融点金属シリサイド層が形成されない。

本実施の形態に係る CMOS 型固体撮像素子によれば、CMOS ロジック回路部 4、5 側において、ゲート電極 301～304 の側壁に形成するサイドウォール 75 として、シリコン窒化膜を用いない絶縁膜、例えばシリコン酸化膜の単層構造で形成するので、ソース／ドレイン領域の高不純物濃度領域（ n^+ 領域、 p^+ 領域）421、424、422、423 に不純物をイオン注入した後の不純物の活性化アニール処理時に、 p チャネル MOS トランジスタ T_{r2} 、 T_{r4} のゲート電極 302、304 中の不純物であるボロン（B）のシリコン基板中への拡散を抑制することができ、特性劣化を回避することができる。即ち、厳しいトランジスタ特性が要求される CMOS トランジスタを構成することが可能になる。

さらに、前述の実施の形態と同様の効果を奏する。即ち、第 3 の絶縁膜 73 による単層構造のサイドウォール 75 を用いることにより、CMOS ロジック回路部 4 側では CMOS トランジスタ $T_{r1} \sim T_{r4}$ のゲート電極 301～304 及び LDD 構造のソース／ドレイン領域の高不純物濃度領域 421～424 の表面

に高融点金属シリサイド層 4 4 を形成することができる。且つ、画素 2 側では MOS トランジスタ $T_{r5} \sim T_{r7}$ への高融点金属シリサイド層の形成を回避することが可能になる。さらに、画素 2 側の MOS トランジスタ $T_{r5} \sim T_{r7}$ においても、LDD 5 構造のソース／ドレイン領域を有する MOS トランジスタを構成することができる。

CMOS ロジック回路部 4、5 においては、高融点金属シリサイド層 4 4 を有するので、素子の微細化と共に、寄生抵抗の低減が図られ、高速動作、消費電力低減を可能にする。一方、画素 2 10 においては、高融点金属シリサイド層を有さないので、MOS トランジスタにおける高融点金属に起因する接合リークが抑制される。また、センサ部表面が第 1、第 2 の絶縁膜 7 1、7 2 で保護されるので、サイドウォール形成時のプラズマダメージ、コンタミネーション等による欠陥生成も抑制される。

15 従って、共に LDD 構造のソース／ドレイン領域を有する MOS トランジスタであって、一方が高融点金属シリサイド層が形成された CMOS トランジスタからなる CMOS ロジック回路部と、他方の高融点金属シリサイド層が形成されない MOS トランジスタを有する撮像領域とを同一の半導体チップに作り込むことができる。同時に、p チャネル MOS トランジスタにおいてゲート電極中の不純物であるボロン (P) の拡散が回避され、厳しく設定されたトランジスタ特性を有する p チャネル MOS トランジスタ 20 が得られる。

次に、本実施の形態に係る固体撮像素子の製造方法を説明する。25 図 2 9 ~ 図 4 1 は高融点金属シリサイド層を形成する CMOS ロジック回路部 4 側の製造工程を示し、図 4 2 ~ 図 5 3 は高融点金属シリサイド層を形成しない 1 画素 2 側の製造工程を示す。図 2 9 ~ 図 4 1 の工程と図 4 2 ~ 図 5 3 の工程とは、互いに工程が対

応している。

5 10 15

先ず、図 2 9 及び図 4 2 に示すように、第 1 導電型、本例では n 型の共通のシリコン半導体基板 1 1 を設け、この半導体基板 1 1 に素子分離領域 1 2 を形成する。この素子分離領域 1 2 は、前述の実施の形態と同様に、半導体基板 1 1 の表面に形成した例えばシリコン窒化膜 (S i N 膜) によるマスクを介して素子分離領域に対応する部分に溝を形成し、溝内壁を熱酸化膜で被覆した後、溝内をシリコン酸化膜 (例えば C V D - S i O₂ 膜) で埋め込み、その後シリコン窒化膜を除去して形成される。C M O S ロジック回路部 4 では、第 1 の M O S トランジスタ形成領域 1 3、第 2 の M O S トランジスタ形成領域 1 4、第 3 の M O S トランジスタ領域 1 5 及び第 4 の M O S トランジスタ領域 1 6 を形成するように素子分離領域 1 2 が形成される (図 2 9 参照)。画素 2 では、センサ部 (フォトダイオード) 形成領域 1 7 及び M O S トランジスタ形成領域 1 8 を形成するように素子分離領域 1 2 が形成される (図 4 2 参照)。

20 25

次に、図 3 0 及び図 4 3 に示すように、半導体基板 1 1 上にイオン注入用の絶縁膜、例えばスクリーン酸化膜 (S i O₂ 膜) 1 9 を形成し、所要の不純物をイオン注入法により導入し、所要の導電型の半導体ウェル領域を形成する。半導体ウェル領域は、フォトレジスト法を用いて注入する不純物及び注入条件 (打ち込みエネルギー、不純物濃度等) を各領域 1 3 ~ 1 8 にて打ち分けて形成することができる。C M O S ロジック回路部 4 側では、例えば各 M O S トランジスタ形成領域 1 3 ~ 1 6 の深い位置に第 2 導電型である p 型であって同じ不純物濃度の p 型半導体ウェル領域 2 0 を形成する。さらに基板表面から p 型半導体ウェル領域 2 0 に達するように、第 1 及び第 3 の M O S トランジスタ形成領域 1 3 及び 1 5 では p 型半導体ウェル領域 2 1 及び 2 3 を形成し、第

2 及び第 4 の MOS トランジスタ形成領域では n 型半導体ウェル領域 2 2 及び 2 4 を形成する。なお、p 型半導体ウェル領域 2 0 は、1 回のイオン注入工程で第 1 ~ 第 4 の MOS トランジスタ領域 1 3 ~ 1 6 に対して同時に形成しても良く、あるいは各 p 型、

5 n 型の半導体ウェル領域 2 1、2 2、2 3、2 4 に対して個別的に形成するようにしても良い。後者の場合は、半導体ウェル領域 2 1、2 2、2 3、2 4 のイオン注入用マスクを兼用することができ、イオン注入用マスクを 1 枚節減できる (図 3 0 参照)。画素

10 2 側では、センサ部形成領域 1 7 及び MOS トランジスタ形成領域 1 8 の深い位置に第 2 導電型である p 型であって同じ不純物濃度の p 型半導体ウェル領域 2 5 を形成する。さらに、MOS トランジスタ形成領域 1 8 側及びセンサ部形成領域 1 7 を分離する部分に深さ方向に p 型半導体ウェル領域 2 6、2 7 を形成する。センサ部形成領域 1 7 では p 型ウェル領域 2 5、2 6 及び 2 7 で囲

15 まれた n 型半導体基板 1 1 による n 型半導体ウェル領域 1 1 A が形成される (図 4 3 参照)。

次に、図 3 1 及び図 4 4 に示すように、CMOS ロジック回路部 4 及び画素 2 の各領域 1 3 ~ 1 8 上に所要の膜厚のゲート絶縁膜 2 8 [2 8 1、2 8 2、2 8 3] を形成し、このゲート絶縁膜

20 2 8 上にゲート電極材料膜 2 9 を形成する。ゲート絶縁膜 2 8 としては、例えばシリコン酸化膜 (SiO₂ 膜) を用いる。ゲート電極材料膜 2 9 としては、例えば多結晶シリコン膜を用いる。CMOS ロジック回路部 4 側では、第 1 及び第 2 の MOS トランジスタ形成領域 1 3 及び 1 4 上に同じ所要膜厚 t 1、例えば 5 nm

25 厚のゲート絶縁膜 2 8 1 を形成し、第 3 及び第 4 の MOS トランジスタ形成領域 1 5 及び 1 6 上に同じ所要膜厚 t 2、例えば 3 nm のゲート絶縁膜 2 8 2 を形成する (図 3 1 参照)。画素 2 側では、センサ部形成領域 1 7 及び MOS トランジスタ形成領域 1 8 上に

同じ所要膜厚 t_3 、例えば 3 nm のゲート絶縁膜 283 を形成する (図 44 参照)。ゲート電極材料膜 29 の膜厚 t_4 は、例えば 200 nm に設定することができる。

次に、図 32 及び図 45 に示すように、ゲート電極材料膜 29 を例えばフォトレジスト法、及びエッチング法例えばドライエッチング法を用いて、パターンニングし、画素 2 側の形成すべき MOS トランジスタのゲート電極 30 [305、306、307] を選択的に形成する。画素 2 側では、MOS トランジスタ形成領域 18 に対応する位置にゲート電極 305、306 及び 307 を形成する (図 45 参照)。CMOS ロジック回路部 4 側では、ゲート電極材料膜 29 上にフォトレジストマスク 77 を残しているので、ゲート電極材料膜 29 はエッチングされない (図 32 参照)。

次に、図 33 及び図 46 に示すように、画素 2 側の領域に夫々素子分離領域 12 及びゲート電極 30 [305~307] をマスクにして、所要の不純物をイオン注入法により導入し、所要の導電型の不純物導入領域 31 [315、316、317] を形成する。画素 2 側では、センサ部形成領域 17 の n 領域 (n 型半導体基板 11 の一部に対応する) 11A に不純物導入領域、即ちフォトダイオードを構成する n 型半導体領域 315 を形成する。また、 p 型半導体ウェル領域 27 に不純物導入領域、即ち LDD 構造を構成する低不純物濃度の n^- 領域 316、317 を形成する (図 46 参照)。CMOS ロジック回路部 4 側ではフォトレジストマスク 77 が被着形成されているので、不純物は導入されない (図 33 参照)。

次に、図 34 及び図 47 に示すように、CMOS ロジック回路部 4 側のゲート電極材料膜 29 の上面及び画素 2 側のゲート電極 30 [305~307] を含む半導体基板 11 上に全面に、所要膜厚 t_5 、 t_6 の第 1 の絶縁膜 71 及び第 2 の絶縁膜 72 を順次

形成する。第1の絶縁膜71には例えばシリコン酸化膜(SiO₂膜)を用いることができる。第2の絶縁膜72にはシリコン酸化膜とエッチングレートの異なる例えばシリコン窒化膜を用いることができる。第1の絶縁膜71の膜厚t5は例えば10nm程度、
5 第2の絶縁膜72の膜厚t6は例えば30nm程度に、夫々設定することができる。

次に、図35及び図48に示すように、画素2側の第2の絶縁膜72上に選択的にフォトレジストマスク78を形成し、この状態でCMOSロジック回路部4側の第1及び第2の絶縁膜71及び72を、エッチバック法を用いてエッチングし、ゲート電極材料膜29を露出する(図35参照)。画素2側の領域では、第1及び第2の絶縁膜71及び72はフォトレジストマスク78により保護され、エッチング除去されずに残る。(図48参照)。
10

次に、図36及び図49に示すように、CMOSロジック回路部4側のゲート電極材料29を例えばフォトレジスト法、及びエッチング法例えばドライエッチング法を用いてパターンニングし、ゲート電極30〔301~304〕を形成する。CMOSロジック回路部4側では、第1のMOSトランジスタ形成領域13に対応する位置にゲート電極301、第2のMOSトランジスタ形成領域14に対応する位置にゲート電極302、第3のMOSトランジスタ形成領域15に対応する位置にゲート電極303、第4のMOSトランジスタ形成領域16に対応する位置にゲート電極304を夫々形成する。前述の実施の形態と同様に、本例では特性設計の関係で、第1及び第2のMOSトランジスタ形成領域13及び14のゲート電極301及び302のゲート長を、第3及び第4のMOSトランジスタ形成領域のゲート電極303及び304のゲート長さより大に設定している(図36参照)。
20
25

次に、図37及び図50に示すように、CMOSロジック回路

部 4 側に対して、素子分離領域 1 2 及びゲート電極 3 0 [3 0 1
~ 3 0 4] をマスクにして、所要の不純物をイオン注入法により
導入し、所要の導電型の不純物導入領域 3 1 1、3 1 2、3 1 3、
3 1 4 を形成する。不純物導入領域 3 1 1 ~ 3 1 4 は、フォトレ
5 ジスト法を用いて注入する不純物及び注入条件（打ち込みエネル
ギー、不純物濃度等）を各領域にて打ち分けて形成することがで
きる。CMOS ロジック回路部 4 側では、第 1 及び第 3 の p 型半
10 導体ウェル領域 2 1 及び 2 3 に不純物導入領域、即ち LDD 構造
を構成する低不純物濃度の n⁻ 領域 3 1 1、3 1 3 を形成し、第
2 及び第 4 の n 型半導体ウェル領域 2 2 及び 2 4 に不純物導入領
域、即ち LDD 構造を構成する低不純物濃度の p⁻ 領域 3 1 2、
3 1 4 を形成する（図 3 7 参照）。画素 2 側はフォトレジストマス
ク 7 9 で保護されているので、エッチングされない（図 5 0 参照）。

次に、図 3 8 及び図 5 1 に示すように、CMOS ロジック回路
15 部 4 側及び画素 2 側の基板全面上に第 3 の絶縁膜 7 3 を形成する。
第 3 の絶縁膜 7 3 としては、第 2 の絶縁膜 7 2 とエッチングレー
トの異なる膜、例えばシリコン酸化膜（SiO₂ 膜）を用いるこ
とができる。第 3 の絶縁膜 7 3 の膜厚 t₇ は、例えば 1 0 0 n m
程度に設定することができる。

20 次に、図 3 9 及び図 5 2 に示すように、この第 3 の絶縁膜 7 3
を、エッチバック法を用いてエッチングし、CMOS ロジック回
路部 4 側及び画素 2 側の各ゲート電極 3 0 1 ~ 3 0 7 の側壁にサ
イドウォール部 7 3 A を形成する。これによって、CMOS ロジ
ック回路部 4 側の各ゲート電極 3 0 1 ~ 3 0 4 の側壁には、第 3
25 の絶縁膜 7 3 A による単層構造のサイドウォール 7 5 が形成され
る（図 3 9 参照）。また、画素 2 側では第 2 の絶縁膜 7 2 がエッチ
ングストップパとなって第 3 の絶縁膜 7 3 のみがエッチバックされ、
第 1 及び第 2 の絶縁膜 7 1 及び 7 2 は除去されない。従って、ゲ

ート電極 305～307の側壁には、第1、第2及び第3の絶縁膜 71, 72及び73Aによる3層構造のサイドウォール 76が形成される(図52参照)。

次に、図40及び図53に示すように、CMOSロジック回路部4側及び画素2側の領域において、ゲート電極301～307及びサイドウォール75、76をマスクとして所要の不純物をイオン注入法により導入して、ソース/ドレイン領域、HAD(ホール・アキミュレーション・ダイオード)となる所要の導電型の不純物導入領域42〔421、422、423、424、425、426、427〕を形成する。不純物導入領域42は、フォトリジスト法を用いて注入する不純物及び注入条件(打ち込みエネルギー、不純物濃度等)を各領域にて打ち分けて形成することができる。CMOSロジック回路部4側では、p型半導体ウェル領域21及び23に高不純物濃度のp⁺ソース/ドレイン領域421及び423を形成し、n型半導体ウェル領域22及び24に高不純物濃度のn⁺ソース/ドレイン領域422及び424を形成する。p⁻領域311とp⁺領域421、p⁻領域313とp⁺領域423のより夫々LDD構造のp型ソース/ドレイン領域が形成される。n⁻領域312とn⁺領域422、n⁻領域314とn⁺領域424のより夫々LDD構造のn型ソース/ドレイン領域が形成される(図40参照)。この不純物導入に際して、多結晶シリコンのゲート電極301～304にも不純物が導入され、導電性が付与される。例えば、pチャネルMOSトランジスタ側のゲート電極302、304にはボロン(B)が導入され、nチャネルMOSトランジスタ側のゲート電極301、303にはリン(P)が導入される。画素2側では、センサ部形成領域17の表面に接合リーク電流の更なる低減を目的として、埋め込みフォトダイオード、いわゆるHAD(ホール・アキミュレーション・ダイオード、

ド) センサを形成するための高濃度不純物導入領域である p^+ 半導体領域 (ホール蓄積領域) 425 を形成することができる。また、MOS トランジスタ形成領域 18 に高不純物濃度の n^+ ソース/ドレイン領域 426、427 を形成する。 n^- 領域 316 と n^+ 領域 426、 n^- 領域 317 と n^+ 領域 427 のより夫々 LDD 構造の n 型ソース/ドレイン領域が形成される (図 53 参照)。

画素 2 側の MOS トランジスタ形成領域 18 では、表面に第 1 の絶縁膜 71 及び第 2 の絶縁膜 72 が形成されているが、例えば第 1 の絶縁膜 71 の膜厚を 10 nm、第 2 の絶縁膜 72 の膜厚を 30 nm に設定したとき、高不純物濃度のソース/ドレイン領域を形成するためのイオン注入エネルギーを、例えば注入イオンがリン (P) の場合に 20 keV 以上に設定することで、 n^+ ソース/ドレイン領域 426、427 を形成することができる。

次に、図 41 及び図 54 に示すように、サリサイド法により、CMOS ロジック回路部 4 側の多結晶シリコンからなるゲート電極 301 ~ 304 上と n^+ 、 p^+ ソース/ドレイン領域 421 ~ 424 上に高融点金属シリサイド層 44 を形成する。(図 41 参照)。一方、画素 2 側では第 1 及び第 2 の絶縁膜 71 及び 72 が形成されているので、高融点金属シリサイド層 44 は形成されない。高融点金属としては、例えば Co, Ti, Mo, Ni, W などを使用することができる。本例では Co シリサイド層を形成している。

CMOS ロジック回路部 4 側では、第 1 の p 型半導体ウェル領域 21 に形成された n チャネル MOS トランジスタ Tr1 と第 2 の n 型半導体ウェル領域 22 に形成された p チャネル MOS トランジスタ Tr2 により、CMOS トランジスタが形成され、第 3 の p 型半導体ウェル領域 23 に形成された n チャネル MOS トランジスタ Tr3 と第 4 の n 型半導体ウェル領域 24 に形成された p チャネル MOS トランジスタ Tr4 により、CMOS トラ

ンジスタが形成される。画素 2 側では、センサ部 4 5 が形成される。本例では、センサ部 4 5 が p⁺半導体領域 4 2 5 と n 型半導体領域 3 1 5 及び n 型半導体ウェル領域 1 1 A と p 型半導体ウェル領域 5 により H A D センサとして構成される。

- 5 以降は従来の CMOS 型固体撮像素子の技術を用いて、配線工程、オンチップレンズ形成工程、カラーフィルタ形成工程を行う。上述の工程により、CMOS ロジック回路部 4 側にのみ高融点金属シリサイド層 4 4 を有する CMOS トランジスタが形成され、画素 2 側で高融点金属シリサイド層 4 4 が形成れない、目的の CMOS 型固体撮像素子を得る。

10 なお、上例では共通の半導体基板 1 1 を n 型半導体基板を用いたが、その他、半導体デバイスによって p 型の共通の半導体基板 1 1 を用いることもできる。また、各半導体領域も上例とは逆の導電型で形成することもできる。

- 15 また、上例では CMOS ロジック回路部 4 の p チャネル MOS トランジスタ T r 2 としては、ソース/ドレイン領域を L D D 構造としたが、その他、ソース/ドレイン領域を L D D 構造とせず、すなわち p⁻領域 3 1 2 を省略した形とすることもできる。

- 20 本実施の形態によれば、CMOS ロジック回路部 4 側の CMOS トランジスタを構成する L D D 構造の各チャネル MOS トランジスタにおいて、そのゲート電極 3 0 1 ~ 3 0 4 の側壁にシリコン窒化膜ではない絶縁膜、本例ではシリコン酸化膜（第 3 の絶縁膜）7 3 からなる単層構造のサイドウォール 7 5 が形成される。また、n⁺、p⁺領域及び多結晶シリコンのゲート電極に高不濃度の不純物がイオン注入される。例えば p チャネル MOS トランジスタ側ではボロン（B）不純物がイオン注入され、n チャネル MOS トランジスタ側ではリン（P）不純物がイオン注入される。
- 25 このように、シリコン窒化膜でないシリコン酸化膜のサイドウォール

ール75が形成されるので、不純物導入後の活性化アニール処理時に、特にボロン(B)が導入されたゲート電極において、ゲート電極中のボロン(P)の基板内への拡散が抑制される。従って、トランジスタ特性に優れたpチャネルMOSトランジスタを形成
5 することができる。リン(P)が導入されたゲート電極においては、リン(P)の拡散係数が小さいので、リン(P)の基板内への拡散は生じにくい。

そして、本実施の形態においても、前述と同様の効果を奏する。即ち、画素2側には高融点金属シリサイド層を形成せず、CMOS
10 Sロジック回路部4、5にのみ高融点金属シリサイド層4を形成したCMOS型の固体撮像素子を製造することができる。さらに、CMOSロジック回路部4、5側のMOSトランジスタ、画素2側のMOSトランジスタ共に、LDD構造のソース/ドレイン領域を形成することができる。画素2側では、高融点金属シリサイ
15 ド層44の形成時に、第1、第2の絶縁膜71、72で表面が保護されているので、画素2側への高融点金属シリサイド層の形成を回避することができる。画素2側の第3の絶縁膜73のエッチバックの際、シリコン窒化膜で形成される第2の絶縁膜72をエッチングストップとすることができるので、センサ部のシリコン
20 基板面がプラズマに晒されることがなく、シリコン基板へのダメージを回避することができ、プラズマダメージ、コンタミネーション等によるセンサ部への欠陥生成をも抑制することができる。さらに、前述の図26で説明したと同様に、センサ部上の第1の絶縁膜71、第2の絶縁膜72及びその上の配線等の層間絶縁膜
25 (シリコン窒化膜)を有する膜構造の膜厚等の条件を設定することにより、反射防止効果を奏することができる。従って、CMOSロジック回路部4の寄生容量を減少させ、高速、低消費電力のロジック回路部を達成することができる。且つ、低接合リークの

画素 2、即ちノイズレベルを低減した高画質の撮像部を、高速、低消費電力のロジック回路部と同時に同一チップ内に作り込むことが可能となる。

5 図 5 5 及び図 5 6 は、本発明に係る半導体装置を図 1 の CMOS 型の固体撮像素子に適用した他の実施の形態を示す。本例は図 2 7 及び図 2 8 に示した CMOS 型の固体撮像素子の変形例である。

10 本実施の形態に係る固体撮像素子は、CMOS ロジック回路部 4 側が前述の図 2 7 と同様に、各 MOS トランジスタ $T_{r1} \sim T_{r4}$ のゲートで 3 0 1 ~ 3 0 4 のサイドウォール 7 5 を第 3 の絶縁膜である例えばシリコン酸化膜 (SiO_2 膜) 7 3 からなる単層構造で形成して構成される(図 5 5 参照)。一方、画素 2 側は、第 1、第 2 及び第 3 の絶縁膜である例えばシリコン酸化膜 (SiO_2 膜) 7 1、シリコン窒化膜 (SiN 膜) 7 2 及びシリコン酸化膜 (SiO_2 膜) 7 3 をエッチバックせずに、センサ部 4 5、ゲート電極 3 0 4 ~ 3 0 7 及びソース/ドレイン領域上を含む全面に残して構成される(図 5 6 参照)。その他の構成は図 2 7 及び図 2 8 と同様であるので、図 2 7、図 2 8 に対応する部分には同一符号を付して重複説明を省略する。

20 次に、図 5 7 ~ 図 6 4 を用いて、かかる CMOS 型の固体撮像素子の製造方法を説明する。図 5 7 ~ 図 6 0 は高融点金属シリサイド層を形成する CMOS ロジック回路部 4 側の製造工程を示し、図 6 1 ~ 図 6 4 は高融点金属シリサイド層を形成しない画素 2 側の製造工程を示す。図 5 7 ~ 図 6 0 の工程と図 6 1 ~ 図 6 4 の工程とは互いに対応している。

25 本実施の形態では、先ず、前述の図 2 9 ~ 図 3 4 の工程、図 4 2 ~ 図 4 7 の工程と同様の工程を行う。図 5 7 は図 3 4 の工程に対応し、図 6 1 は図 4 2 の工程に対応する。

次に、図 5 8 及び図 6 2 に示すように、画素 2 側において、ゲート電極 3 0 4 ~ 3 0 7 と、エッチバックされない第 1 の絶縁膜 7 1 及び第 2 の絶縁膜 7 2 によるサイドウォールとをマスクにして、フォトレジスト法及びイオン注入法により、MOS トランジスタの n^+ ソース / ドレイン領域 4 2 6、4 2 7 を形成する。さらにセンサ部の n 型半導体領域 1 1 A の表面に、接合リークでの更なる低減を目的として p^+ 半導体領域 4 2 5 を形成する（図 6 2 参照）。CMOS ロジック回路部 4 側では、フォトレジストマスク 8 1 により不純物は導入されない（図 5 8 参照）。

10 次に、CMOS ロジック回路部 4 側では前述の図 3 5 ~ 図 3 7 の工程と同様の工程を経て、各ゲート電極 3 0 1 ~ 3 0 4 を形成し、またソース / ドレイン領域の n^- 、 p^- 領域 3 1 1 ~ 3 1 4 を形成する。画素 2 側では前述の図 4 8 ~ 図 5 0 の工程と同様の工程を経て後、フォトレジストマスク 7 8 を除去する。

15 次に、図 5 9 及び図 6 3 に示すように、CMOS ロジック回路部 4 及び画素 2 上の全面に第 3 の絶縁膜（前述と同様のシリコン酸化膜）7 3 を形成する。

次に、図 6 0 及び図 6 4 に示すように、画素 2 側をフォトレジストマスク 8 2 で被覆して、CMOS ロジック回路部 4 側の第 3 の絶縁膜 7 3 のみをエッチバックして第 3 の絶縁膜であるシリコン酸化膜 7 3 による単層構造のサイドウォール 7 5 を形成する。

これ以後は、図 4 0 ~ 図 4 1 の工程と同じ工程を経て、CMOS ロジック回路部 4 側に高融点金属シリサイド層 4 4 を有した CMOS トランジスタを形成して CMOS ロジック回路部 4 の形成を形成する。一方画素 2 側のフォトレジストマスク 8 2 を除去して画素 2 の形成を形成する（図 5 5、図 5 6 参照）。

25 本実施の形態においても、前述した図 2 7、図 2 8 の CMOS 型の固体撮像素子及びその製造方法と同様の作用効果を奏する。

また、第2の絶縁膜72の膜厚を自由に設定できる構造であるので、センサ部45への入射光に対し、第1、第2及び第3の絶縁膜71、72及び73の構造により決定される反射光強度を、最小化できる。

5 図65及び図66は、本発明に係る半導体装置を図1のCMOS型の固体撮像素子に適用した他の実施の形態を示す。本例は図27及び図28に示したCMOS型の固体撮像素子の他の変形例である。

本実施の形態に係る固体撮像素子は、CMOSロジック回路部
10 4側が前述の図27と同様に、各MOSトランジスタTr1～Tr4のゲートで301～304のサイドウォール86を改めて形成した第2の絶縁膜（例えばシリコン酸化膜：前述の第3の絶縁膜73に相当する）75からなる単層構造で形成して構成される（図55参照）。一方、画素2側は、第1の絶縁膜（例えばシリ
15 コン酸化膜）71を省略し、改めて第1の絶縁膜（シリコン窒化膜：前述の第2の絶縁膜72に相当する）84を全面に被覆すると共に、第2の絶縁膜（シリコン酸化膜：前述の第3の絶縁膜73に相当する）85によるサイドウォール87を形成して構成される（図66参照）。その他の構成は図27及び図28と同様であるので、図27、図28に対応する部分には同一符号を付して重
20 複説明を省略する。

次に、図67～図72を用いて、かかるCMOS型の固体撮像素子の製造方法を説明する。図67～図69は高融点金属シリサイド層を形成するCMOSロジック回路部4側の製造工程を示し、
25 図70～図72は高融点金属シリサイド層を形成しない画素2側の製造工程を示す。図67～図69の工程と図70～図72の工程とは互いに対応している。

本実施の形態では、先ず、前述の第1の絶縁膜（例えばSiO₂

膜) 71を省略した状態で、前述の図29～図34の工程、図42～図47の工程と同様の工程を行う。図67は図34の工程に対応する。図70は図47の工程に対応し、但しゲート絶縁膜283及びゲート305～307上には改めて第1の絶縁膜(例えばシリコン窒化膜)84を堆積する。第1の絶縁膜である例えば

5 シリコン窒化膜84の膜厚は、40nm程度に設定する。

次に、MOSロジック回路部4側では前述の図35～図38の工程と同様の工程を経て、即ちゲート電極301～304を形成し、またソース/ドレイン領域の n^- 、 p^- 領域331～314

10 を形成し、全面に第2の絶縁膜(例えばシリコン酸化膜)85を堆積する。第2の絶縁膜である例えばシリコン酸化膜85の膜厚は、100nm程度とすることができる。画素2側では前述の図49～図51と同様の工程を経る。

次に、図68及び図71に示すように、CMOSロジック回路部4側及び画素2側の第2の絶縁膜85をエッチバックして各ゲート電極301～307の側壁に第2の絶縁膜85によるサイドウォール86を形成する。

15

次に、図69及び図72(前述の図40及び図53の相当)に示すように、CMOSロジック回路部4側及び画素2側に所要の導電型の高濃度の不純物をイオン注入して、 n^+ 、 p^+ ソース/ドレイン領域421～424、 p^+ 半導体領域425、 n^+ ソース/ドレイン領域426、427を形成する。画素2でのイオン注入は、注入するイオンがリン(P)の場合、例えば20keV以上のエネルギーで注入する。これ以後は、図41及び図54の工程と同様の工程を経て、高融点金属シリサイド層44を形成してCMOSロジック回路部4の形成を形成する。一方、高融点金属シリサイド層を形成しない画素2の形成を形成する。

20

25

本実施の形態においても、前述した図27、図28のCMOS

型の固体撮像素子及びその製造方法と同様の作用効果を奏する。受光センサ部 4 5 への入射光に対する反射光強度を、シリコン酸化膜、シリコン窒化膜の 2 層構造よりも低減できる場合は、本実施の形態の構造を採用することができる。

5 図 7 3 及び図 7 4 は、本発明に係る半導体装置を図 1 の CMOS 型の固体撮像素子に適用した他の実施の形態を示す。本例は図 2 7 及び図 2 8 に示した CMOS 型の固体撮像素子の他の変形例である。

本実施の形態に係る固体撮像素子は、CMOS ロジック回路部
10 4 側が前述の図 2 7 と同様に、各 MOS トランジスタ $T_{r1} \sim T_{r4}$ のゲートで 3 0 1 ~ 3 0 4 のサイドウォール 7 5 を第 3 の絶縁膜である例えばシリコン酸化膜 (SiO_2 膜) 7 3 からなる単層構造で形成して構成される(図 7 3 参照)。一方、画素 2 側は、ゲート絶縁膜 2 8 3 及びゲート電極 3 0 5 ~ 3 0 7 を含む全面上
15 を被覆するように第 1 の絶縁膜 (シリコン窒化膜: 前述の第 2 の絶縁膜 7 2 に相当する) 8 4 及び第 2 の絶縁膜 (シリコン酸化膜: 前述の第 3 の絶縁膜 7 3 に相当する) 8 5 を積層して構成される(図 6 6 参照)。その他の構成は図 2 7 及び図 2 8 と同様であるので、図 2 7、図 2 8 に対応する部分には同一符号を付して重複説
20 明を省略する。

次に、図 7 5 ~ 図 8 2 を用いて、かかる CMOS 型の固体撮像素子の製造方法を説明する。図 7 5 ~ 図 7 8 は高融点金属シリサイド層を形成する CMOS ロジック回路部 4 側の製造工程を示し、
25 図 7 9 ~ 図 8 2 は高融点金属シリサイド層を形成しない画素 2 側の製造工程を示す。図 7 5 ~ 図 7 8 の工程と図 7 9 ~ 図 8 2 の工程とは互いに対応している。

本実施の形態では、先ず、前述の第 1 の絶縁膜 (例えば SiO_2 膜) 7 1 を省略した状態で、前述の図 2 9 ~ 図 3 4 の工程、図 4

2～図47の工程と同様の工程を行う。図75は図34の工程に対応する。図79は図47の工程に対応し、但しゲート絶縁膜283及びゲート305～307上には改めて第1の絶縁膜（例えばシリコン窒化膜）84を堆積する。第1の絶縁膜である例えば

5 シリコン窒化膜84の膜厚は、40nm程度に設定する。

次に、図76及び図80に示すように、画素2側において、ゲート電極304～307と、エッチバックされない第1の絶縁膜84によるサイドウォールとをマスクにして、フォトレジスト法及びイオン注入法により、MOSトランジスタのn⁺ソース/ド

10 レイン領域426、427を形成する。さらにセンサ部のn型半導体領域11Aの表面に、接合リークでの更なる低減を目的としてp⁺半導体領域425を形成する（図80参照）。CMOSロジック回路部4側では、フォトレジストマスク88により不純物は導入されない（図76参照）。

次に、CMOSロジック回路部4側では前述の図35～図37の工程と同様の工程を経て、各ゲート電極301～304を形成し、またソース/ドレイン領域のn⁻、p⁻領域311～314を形成する。画素2側では前述の図48～図50の工程と同様の工程を経てた後、フォトレジストマスク78を除去する。

次に、図77及び図81に示すように、CMOSロジック回路部4及び画素2上の全面に第2の絶縁膜（例えばシリコン酸化膜）85を形成する。

次に、図78及び図82に示すように、画素2側をフォトレジストマスク89で被覆して、CMOSロジック回路部4側の第2

25 の絶縁膜85のみをエッチバックして第2の絶縁膜であるシリコン酸化膜85による単層構造のサイドウォール86を形成する。

これ以後は、図40～図41の工程と同じ工程を経て、CMOSロジック回路部4側に高融点金属シリサイド層44を有したC

MOSトランジスタを形成してCMOSロジック回路部4の形成を形成する。一方画素2側のフォトレジストマスク82を除去して画素2の形成を形成する（図73、図74参照）。

5 本実施の形態においても、前述した図27、図28のCMOS型の固体撮像素子及びその製造方法と同様の作用効果を奏する。また、第1の絶縁膜84の膜厚を自由に設定できる構造であるので、センサ部45への入射光に対し、第1の絶縁膜84により決定される反射光強度を、最小化することができる。

10 上述の実施の形態では、CMOS型固体撮像素子に適用した場合であるが、本発明は、このようなCMOS型固体撮像素子に限定されない。例えば、本発明は、図84に示すように、1メモリセルがMOSトランジスタと容量からなるDRAMセル62と、このDRAMセル62の周辺のCMOSロジック回路部63、64及びアナログ回路部65、66とを混載して成る半導体装置61、所謂DRAM混載ロジック半導体集積回路（LSI）にも適用
15 できる。この場合、DRAMセル62側のMOSトランジスタには高融点金属シリサイド層を形成せず、CMOSロジック回路部63、64側のCMOSトランジスタに高融点金属シリサイド層を形成するようにしている。このDRAM混載ロジックLSI
20 61においても、高性能化が図れる。

さらに、高融点金属シリサイド層を作り分ける領域も、上例に限定さない。例えば、ロジック回路部のうちI/Oセルのような静電破壊に対して保護トランジスタ、保護ダイオードを形成する領域には、高融点金属シリサイド層をしなくてもよい。即ち、
25 この場合のロジック回路は、本発明の高融点金属シリサイド層を形成しない領域の範疇に入る。

さらに、本発明は、高融点金属シリサイド層の形成領域を半導体チップ中で作り分ける各種のデバイスに広く適用することが可

能である。

従って、本発明は、このような各種デバイスを搭載した各種の電子機器に適用することが可能である。本発明によって小型、高性能化を達成した半導体装置を搭載することにより、各種電子機器の小型化、高機能化を促進できる。特に、形態電話等の移動体通信端末に適用することで、極めて大きい効果を得ることが可能である。このような電子機器も本発明の範囲に含まれるものである。

また、上述した各絶縁膜 35、36、38、あるいは絶縁膜 51、52 の材質も、上例の組み合わせに限らず、適宜変更できるものである。

15

20

25

請求の範囲

1. 基板にシリサイド層が形成された第1の領域とシリサイド層が形成されない第2の領域を有し、前記第1の領域に形成された第1の電界効果トランジスタのゲート電極の側壁に複数の絶縁膜からなるサイドウォールが形成され、前記第1の電界効果トランジスタのソース/ドレイン領域に前記シリサイド層が形成され、前記第2の領域が、該第2の領域に形成された第2の電界効果トランジスタを含めて前記複数の絶縁膜のうちの下層の絶縁膜で被覆され、前記第2の電界効果トランジスタのゲート電極の側壁に対応して前記複数の絶縁膜のうちの上層の絶縁膜からなるサイドウォールが形成されて成ることを特徴とする半導体装置。
2. 前記第1の領域に形成された第1の電界効果トランジスタのゲート電極にシリサイド層が形成されて成ることを特徴とする請求の範囲第1項記載の半導体装置。
3. 前記複数の絶縁膜が第1の絶縁膜、第2の絶縁膜、第3の絶縁膜で形成され、前記第2の領域を被覆する下層の絶縁膜が前記第1及び第2の絶縁膜で形成され、前記上層の絶縁膜が前記第3の絶縁膜で形成されて成ることを特徴とする請求の範囲第1項記載の半導体装置。
4. 前記第2の絶縁膜が前記第3の絶縁膜と異なるエッチング特性を有する絶縁膜で形成されて成ることを特徴とする請求の範囲第3項記載の半導体装置。
5. 前記第1及び第3の絶縁膜がシリコン酸化膜で形成され、前記第2の絶縁膜がシリコン窒化膜で形成されて成ることを特徴とする請求の範囲第3項記載の半導体装置。
6. 前記第1の絶縁膜となるシリコン酸化膜の膜厚が20nm以下、前記第2の絶縁膜となるシリコン窒化膜の膜厚が30nm以下、前記第3の絶縁膜となるシリコン酸化膜の膜厚が100nm

以下に設定されて成ることを特徴とする請求の範囲第3項記載の半導体装置。

7. 前記複数の絶縁膜が第1の絶縁膜及び第2の絶縁膜で形成され、前記第2の領域を被覆する下層の絶縁膜が前記第1の絶縁膜
- 5 5 で形成され、前記上層の絶縁膜が前記第2の絶縁膜で形成されて成ることを特徴とする請求の範囲第1項記載の半導体装置。
8. 前記第2の絶縁膜が前記第1の絶縁膜とエッチング特性が異なる絶縁膜で形成されて成ることを特徴とする請求の範囲第7項記載の半導体装置。
- 10 9. 前記第1の絶縁膜がシリコン窒化膜で形成され、前記第2の絶縁膜がシリコン酸化膜で形成されて成ることを特徴とする請求の範囲第7項記載の半導体装置。
- 10 10. 前記第1の絶縁膜となるシリコン窒化膜の膜厚が30nm以下、前記第2の絶縁膜となるシリコン酸化膜の膜厚が100nm
- 15 m以下に設定されて成ることを特徴とする請求の範囲第7項記載の半導体装置。
11. 前記第1の領域にロジック回路を構成する前記第1の電界効果トランジスタが形成され、前記第2の領域に信号電荷蓄積手段が形成されて成ることを特徴とする請求の範囲第1項記載の半
- 20 導体装置。
12. 前記第1の領域にロジック回路を構成する第1の電界効果トランジスタが形成され、前記第2の領域に前記第2の電界効果トランジスタとセンサ部からなる画素を有した撮像領域が形成され、CMOS型の固体撮像素子として用いることを特徴とする請
- 25 求の範囲第1項記載の半導体装置。
13. 前記撮像領域のセンサ部上に、第1の絶縁膜のシリコン酸化膜と第2の絶縁膜のシリコン窒化膜と上層絶縁膜のシリコン窒化膜とが積層され、前記第1の絶縁膜のシリコン酸化膜の膜厚が

20 nm以下、前記第2の絶縁膜のシリコン窒化膜と前記上層絶縁膜のシリコン窒化膜の合計の膜厚が150 nm～20 nmに設定されて成ることを特徴とする請求の範囲第12項記載の半導体装置。

- 5 14. 前記第1の領域にロジック回路を構成する第1の電界効果トランジスタが形成され、前記第2の領域に第2の電界効果トランジスタと容量素子からなるメモリ素子を有したDRAMセルが形成され、DRAM混載ロジック半導体集積回路として用いることを特徴とする請求の範囲第1項記載の半導体装置。
- 10 15. 基板のシリサイド層を形成すべき第1の領域上とシリサイド層を形成せざる第2の領域上とにゲート絶縁膜を介してゲート電極を形成する工程と、前記基板に前記ゲート電極をマスクに不純物を導入して第1の不純物導入領域を形成する工程と、前記ゲート電極を含む前記基板の全面に下層となる絶縁膜を形成する工程と、前記第1の領域上の前記下層となる絶縁膜のみを選択的にエッチバックしてゲート電極側壁にサイドウォールを形成する工程と、前記第1及び第2の領域上に上層となる絶縁膜を形成し、該上層となる絶縁膜をエッチバックして前記ゲート電極の側壁に対応する部分にサイドウォールを形成し、該サイドウォール及び
- 20 前記ゲート電極をマスクに不純物を導入して第2の不純物導入領域を形成する工程と、前記第1の領域の第2の不純物導入領域または該第2の不純物導入領域と前記ゲート電極にシリサイド層を選択的に形成する工程とを有することを特徴とする半導体装置の製造方法。
- 25 16. 前記下層及び上層の絶縁膜を構成する複数の絶縁膜を、第1の絶縁膜と第2の絶縁膜と第3の絶縁膜の3層膜にて形成し、下層の絶縁膜を前記第1及び第2の絶縁膜で形成し、前記上層の絶縁膜を前記第3の絶縁膜で形成することを特徴とする請求の範

図第 15 項記載の半導体装置の製造方法。

17. 前記第 2 の絶縁膜を前記第 3 の絶縁膜と異なるエッチング特性を有する絶縁膜で形成することを特徴とする請求の範囲第 16 項記載の半導体装置の製造方法。

5 18. 前記第 1 の絶縁膜をシリコン酸化膜で形成し、前記第 2 の絶縁膜をシリコン窒化膜で形成し、前記第 3 の絶縁膜をシリコン酸化膜で形成することを特徴とする請求の範囲第 16 項記載の半導体装置の製造方法。

10 19. 前記下層及び上層の絶縁膜を構成する複数の絶縁膜を、第 1 の絶縁膜と第 2 の絶縁膜の 2 層膜にて形成し、前記下層の絶縁膜を前記第 1 の絶縁膜で形成し、前記上層の絶縁膜を前記第 2 の絶縁膜で形成することを特徴とする請求の範囲第 15 項記載の半導体装置の製造方法。

15 20. 前記第 1 の絶縁膜を前記第 2 の絶縁膜と異なるエッチング特性を有する絶縁膜で形成することを特徴とする請求の範囲第 19 項記載の半導体装置の製造方法。

21. 前記第 1 の絶縁膜をシリコン酸化膜で形成し、前記第 2 の絶縁膜をシリコン窒化膜で形成することを特徴とする請求の範囲第 19 項記載の半導体装置の製造方法。

20 22. 前記第 1 の領域にロジック回路を構成する前記ゲート電極及び前記第 1、第 2 の不純物導入領域からなる電界効果トランジスタを形成し、前記第 2 の領域に前記ゲート電極及び前記第 1、第 2 の不純物導入領域からなる電界効果トランジスタとセンサ部からなる撮像領域を形成して、CMOS 型の固体撮像素子を製造
25 することを特徴とする請求の範囲第 15 項記載の半導体装置の製造方法。

23. 前記第 1 の領域にロジック回路を構成する前記ゲート電極及び前記第 1、第 2 の不純物導入領域からなる電界効果トランジ

スタを形成し、前記第2の領域に前記ゲート電極及び前記第1、第2の不純物導入領域からなる電界効果トランジスタと容量からなるメモリ素子を形成して、DRAM混載ロジック半導体集積回路を製造することを特徴とする請求の範囲第15項記載の半導体装置の製造方法。

24. 基板にシリサイド層が形成された第1の領域とシリサイド層が形成されない第2の領域を有し、前記第1の領域に形成された第1の電界効果トランジスタのゲート電極の側壁に複数の絶縁膜からなるサイドウォールが形成され、前記第1の電界効果トランジスタのソース/ドレイン領域、またはソース/ドレイン領域とゲート電極に前記シリサイド層が形成され、前記第2の領域が、該第2の領域に形成された第2の電界効果トランジスタを含めて前記複数の絶縁膜のうちの下層の絶縁膜で被覆され、前記第2の電界効果トランジスタのゲート電極の側壁に対応して前記複数の絶縁膜のうちの上層の絶縁膜からなるサイドウォールが形成されてなる半導体装置を搭載して成ることを特徴とする電子機器。

25. 前記第1の領域にロジック回路を構成する第1の電界効果トランジスタが形成され、前記第2の領域に信号電荷蓄積手段が形成されて成ることを特徴とする請求の範囲第24項記載の電子機器。

26. 前記第1の領域にロジック回路を構成する第1の電界効果トランジスタが形成され、前記第2の領域に前記第2の電界効果トランジスタとセンサ部からなる画素を有した撮像領域が形成され、CMOS型の固体撮像素子として用いる半導体装置を搭載して成ることを特徴とする請求の範囲第24項記載の電子機器。

27. 前記第1の領域にロジック回路を構成する第1の電界効果トランジスタが形成され、前記第2の領域に第2の電界効果トランジスタと容量素子からなるメモリ素子を有したDRAMセルが

形成され、D R A M混載ロジック半導体集積回路として用いる半導体装置を搭載して成ることを特徴とする請求の範囲第24項記載の電子機器。

28. 携帯型の通信機器であることを特徴とする請求の範囲第24項記載の電子機器。

29. 基板にシリサイド層が形成された第1の領域とシリサイド層が形成されない第2の領域を有し、前記第2の領域が、該第2の領域に形成された第2の電界効果トランジスタを含めて複数の絶縁膜のうちの下層の絶縁膜で被覆され、前記第2の電界効果トランジスタのゲート電極の側壁に対応して前記複数の絶縁膜のうちの上層の絶縁膜からなる単層膜のサイドウォールが形成され、前記第1の領域に形成された第1の電界効果トランジスタのゲート電極の側壁に窒化シリコンを含まない前記単層膜からなるサイドウォールが形成され、前記第1の電界効果トランジスタのソース/ドレイン領域、またはソース/ドレイン領域とゲート電極に前記シリサイド層が形成されて成ることを特徴とする半導体装置。

30. 基板にシリサイド層が形成された第1の領域とシリサイド層が形成されない第2の領域を有し、前記第2の領域が、該第2の領域に形成された第2の電界効果トランジスタを含めて前記複数の絶縁膜で被覆され、前記第1の領域に形成された第1の電界効果トランジスタのゲート電極の側壁に前記複数の絶縁膜のうち上層の絶縁膜からなる窒化シリコンを含まない単層膜のサイドウォールが形成され、前記第1の電界効果トランジスタのソース/ドレイン領域、またはソース/ドレイン領域とゲート電極に前記シリサイド層が形成されて成ることを特徴とする半導体装置。

31. 前記複数の絶縁膜が第1の絶縁膜、第2の絶縁膜、第3の絶縁膜で形成され、前記第2の領域を被覆する下層の絶縁膜が前記第1及び第2の絶縁膜で形成され、前記上層の絶縁膜が前記第

3の絶縁膜で形成されて成ることを特徴とする請求の範囲第29項記載の半導体装置。

5 32. 前記第1及び第3の絶縁膜がシリコン酸化膜で形成され、前記第2の絶縁膜がシリコン窒化膜で形成されて成ることを特徴とする請求の範囲第31項記載の半導体装置。

10 33. 前記第1の絶縁膜となるシリコン酸化膜の膜厚が20nm以下、前記第2の絶縁膜となるシリコン窒化膜の膜厚が30nm以下、前記第3の絶縁膜となるシリコン酸化膜の膜厚が100nm以下に設定されて成ることを特徴とする請求の範囲第32項記載の半導体装置。

34. 前記複数の絶縁膜が第1の絶縁膜、第2の絶縁膜で形成され、前記第2の領域を被覆する下層の絶縁膜が前記第1の絶縁膜で形成され、前記上層の絶縁膜が前記第2の絶縁膜で形成されて成ることを特徴とする請求の範囲第29項記載の半導体装置。

15 35. 前記第1の絶縁膜がシリコン窒化膜で形成され、前記第2の絶縁膜がシリコン酸化膜で形成されて成ることを特徴とする請求の範囲第34項記載の半導体装置。

20 36. 前記第1の絶縁膜となるシリコン窒化膜の膜厚が100nm以下、前記第2の絶縁膜となるシリコン酸化膜の膜厚が100nm以下に設定されて成ることを特徴とする請求の範囲第35項記載の半導体装置。

25 37. 前記複数の絶縁膜が第1の絶縁膜、第2の絶縁膜、第3の絶縁膜で形成され、前記上層の絶縁膜が前記第3の絶縁膜で形成されて成ることを特徴とする請求の範囲第30項記載の半導体装置。

38. 前記第1及び第3の絶縁膜がシリコン酸化膜で形成され、前記第2の絶縁膜がシリコン窒化膜で形成されて成ることを特徴とする請求の範囲第37項記載の半導体装置。

39. 前記第1の絶縁膜となるシリコン酸化膜の膜厚が20nm以下、前記第2の絶縁膜となるシリコン窒化膜の膜厚が30nm以下、前記第3の絶縁膜となるシリコン酸化膜の膜厚が100nm以下に設定されて成ることを特徴とする請求の範囲第38項記載の半導体装置。
40. 前記複数の絶縁膜が第1の絶縁膜、第2の絶縁膜で形成され、前記上層の絶縁膜が前記第2の絶縁膜で形成されて成ることを特徴とする請求の範囲第30項記載の半導体装置。
41. 前記第1の絶縁膜がシリコン窒化膜で形成され、前記第2の絶縁膜がシリコン酸化膜で形成されて成ることを特徴とする請求の範囲第40項記載の半導体装置。
42. 前記第1の絶縁膜となるシリコン窒化膜の膜厚が100nm以下、前記第2の絶縁膜となるシリコン酸化膜の膜厚が100nm以下に設定されて成ることを特徴とする請求の範囲第41項記載の半導体装置。
43. 前記第1の領域にロジック回路を構成する前記第1の電界効果トランジスタが形成され、前記第2の領域に信号電荷蓄積手段が形成され成ることを特徴とする請求の範囲第29項記載の半導体装置。
44. 前記第1の領域にロジック回路を構成する前記第1の電界効果トランジスタが形成され、前記第2の領域に信号電荷蓄積手段が形成され成ることを特徴とする請求の範囲第30項記載の半導体装置。
45. 前記第1の領域にロジック回路を構成する第1の電界効果トランジスタが形成され、前記第2の領域に前記第2の電界効果トランジスタとセンサ部からなる画素を有した撮像領域が形成され、CMOS型の固体撮像素子として用いることを特徴とする請求の範囲第29項記載の半導体装置。

46. 前記撮像領域のセンサ部上に、第1の絶縁膜のシリコン酸化膜と第2の絶縁膜のシリコン窒化膜と上層絶縁膜のシリコン窒化膜とが積層され、前記第1の絶縁膜のシリコン酸化膜の膜厚が20nm以下、前記第2の絶縁膜のシリコン窒化膜と前記上層絶縁膜のシリコン窒化膜の合計の膜厚が150nm~20nmに設定されて成ることを特徴とする請求の範囲第45項記載の半導体装置。

47. 前記第1の領域にロジック回路を構成する第1の電界効果トランジスタが形成され、前記第2の領域に第2の電界効果トランジスタと容量素子からなるメモリ素子を有したDRAMセルが形成され、DRAM混載ロジック半導体集積回路として用いることを特徴とする請求の範囲第29項記載の半導体装置。

48. 前記第1の領域にロジック回路を構成する第1の電界効果トランジスタが形成され、前記第2の領域に前記第2の電界効果トランジスタとセンサ部からなる画素を有した撮像領域が形成され、CMOS型の固体撮像素子として用いることを特徴とする請求の範囲第30項記載の半導体装置。

49. 前記第1の領域にロジック回路を構成する第1の電界効果トランジスタが形成され、前記第2の領域に第2の電界効果トランジスタと容量素子からなるメモリ素子を有したDRAMセルが形成され、DRAM混載ロジック半導体集積回路として用いることを特徴とする請求の範囲第30項記載の半導体装置。

50. 基板のシリサイド層を形成すべき第1の領域とシリサイド層を形成せざる第2の領域とにゲート絶縁膜を介してゲート電極材料膜を形成する工程と、前記第2の領域上の前記ゲート電極材料膜のみを選択的にパターニングしてゲート電極を形成する工程と、前記ゲート電極をマスクにして前記第2の領域に不純物を導入して第1の不純物導入領域を形成する工程と、前記第1の領域

及び前記第 2 の領域の全面に第 1 の絶縁膜及び第 2 の絶縁膜を積層する工程と、前記第 2 の領域上をマスクし、前記第 1 の領域の前記ゲート電極材料膜上の前記第 1 及び第 2 の絶縁膜を除去して該ゲート電極材料膜をパターンニングしてゲート電極を形成し、該

5 ゲート電極をマスクにして前記第 1 の領域に不純物を導入し、第 2 の不純物導入領域を形成する工程と、前記第 1 の領域上及び前記第 2 の領域上の全面に第 3 の絶縁膜を形成した後、該第 3 の絶縁膜をエッチバックし、前記第 1 の領域ではゲート電極の側壁に第 3 の絶縁膜による単層膜のサイドウォールを形成し、前記第 2

10 の領域では前記ゲート電極の側壁に前記第 1 及び第 2 の絶縁膜を介して前記第 3 の絶縁膜によるサイドウォールを形成する工程と、前記第 1 の領域及び前記第 2 の領域に前記ゲート電極及び前記サイドウォールをマスクに不純物を導入して第 3 の不純物導入領域を形成する工程と、前記第 1 の領域の第 3 の不純物導入領域または該第 3 不純物導入領域とゲート電極にシリサイド層を形成する

15 工程とを有することを特徴とする半導体装置の製造方法。

5 1. 基板のシリサイド層を形成すべき第 1 の領域とシリサイド層を形成せざる第 2 の領域とにゲート絶縁膜を介してゲート電極材料膜を形成する工程と、前記第 2 の領域上の前記ゲート電極材料膜のみを選択的にパターンニングしてゲート電極を形成する工程

20 と、前記第 2 の領域に前記ゲート電極をマスクに不純物を導入して第 1 の不純物導入領域を形成する工程と、前記第 1 の領域及び前記第 2 の領域の全面に第 1 の絶縁膜及び第 2 の絶縁膜を積層する工程と、前記第 2 の領域に前記ゲート電極及び該ゲート電極側

25 壁の前記第 1、第 2 の絶縁膜をマスクに不純物を導入して第 2 の不純物導入領域を形成する工程と、前記第 2 の領域上をマスクし、前記第 1 の領域の前記ゲート電極材料膜上の前記第 1 及び第 2 の絶縁膜を除去して該ゲート電極材料膜をパターンニングしてゲート

電極を形成し、該ゲート電極をマスクにして前記第1の領域に不純物を導入し、第3の不純物導入領域を形成する工程と、前記第1の領域及び前記第2の領域の全面に第3の絶縁膜を形成した後、前記第2の領域をマスクして前記第3の絶縁膜をエッチバックし、

5 前記第1の領域の前記ゲート電極の側壁に前記第3の絶縁膜による単層膜のサイドウォールを形成し、前記第1の領域に前記ゲート電極及び前記サイドウォールをマスクに不純物を導入して第4の不純物導入領域を形成する工程と、前記第1の領域の前記第4の不純物導入領域、または該第4の不純物導入領域と前記ゲート

10 電極にシリサイド層を形成する工程とを有することを特徴とする半導体装置の製造方法。

52. 基板のシリサイド層を形成すべき第1の領域とシリサイド層を形成せざる第2の領域とにゲート絶縁膜を介してゲート電極材料膜を形成する工程と、前記第2の領域上の前記ゲート電極材料膜のみを選択的にパターンニングしてゲート電極を形成する工程と、前記ゲート電極をマスクにして前記第2の領域に不純物を導入して第1の不純物導入領域を形成する工程と、前記第1の領域及び前記第2の領域の全面に第1の絶縁膜を形成する工程と、前記第2の領域をマスクし、前記第1の領域の前記ゲート電極材料

15 膜上の前記第1の絶縁膜を除去し、該ゲート電極材料膜をパターンニングしてゲート電極を形成し、該ゲート電極をマスクにして前記第1の領域に不純物を導入して第2の不純物導入領域を形成する工程と、前記第1の領域上及び前記第2の領域上の全面に第2の絶縁膜を形成した後、該第2の絶縁膜をエッチバックし、前記

20 第1の領域ではゲート電極の側壁に第2の絶縁膜による単層膜のサイドウォールを形成し、前記第2の領域では前記ゲート電極の側壁に前記第1の絶縁膜を介して前記第2の絶縁膜によるサイドウォールを形成する工程と、前記第1の領域及び前記第2の領域

25

に前記ゲート電極及び前記サイドウォールをマスクに不純物を導入して第3の不純物導入領域を形成する工程と、前記第1の領域の第3の不純物導入領域または該第3不純物導入領域とゲート電極にシリサイド層を形成する工程とを有することを特徴とする半導体装置の製造方法。

5 53. 基板のシリサイド層を形成すべき第1の領域とシリサイド層を形成せざる第2の領域とにゲート絶縁膜を介してゲート電極材料膜を形成する工程と、前記第2の領域上の前記ゲート電極材料膜のみを選択的にパターニングしてゲート電極を形成する工程と、前記第2の領域に前記ゲート電極をマスクに不純物を導入して第1の不純物導入領域を形成する工程と、前記第1の領域及び前記第2の領域の全面に第1の絶縁膜を形成する工程と、前記第2の領域に前記ゲート電極及び該ゲート電極側壁の前記第1の絶縁膜をマスクに不純物を導入して第2の不純物導入領域を形成する工程と、前記第2の領域をマスクし、前記第1の領域の前記ゲート電極材料膜上の前記第1の絶縁膜を除去し、該ゲート電極材料膜をパターニングしてゲート電極を形成し、該ゲート電極をマスクにして前記第1の領域に不純物を導入して第3の不純物導入領域を形成する工程と、前記第1の領域及び前記第2の領域の全面に第2の絶縁膜を形成した後、前記第2の領域をマスクして前記第2の絶縁膜をエッチバックし、前記第1の領域のゲート電極の側壁に前記第2の絶縁膜による単層膜のサイドウォールを形成し、前記第1の領域に前記ゲート電極及び前記サイドウォールをマスクに不純物を導入して第4の不純物導入領域を形成する工程と、前記第1の領域の前記第4の不純物導入領域、または該第4不純物導入領域とゲート電極にシリサイド層を形成する工程とを有することを特徴とする半導体装置の製造方法。

54. 前記第2の絶縁膜を前記第3の絶縁膜と異なるエッチング

特性を有する絶縁膜で形成することを特徴とする請求の範囲第50項記載の半導体装置の製造方法。

5 55. 前記第1の絶縁膜をシリコン酸化膜で形成し、前記第2の絶縁膜をシリコン窒化膜で形成し、前記第3の絶縁膜をシリコン酸化膜で形成することを特徴とする請求の範囲第54項記載の半導体装置の製造方法。

5 56. 前記第2の絶縁膜を前記第3の絶縁膜と異なるエッチング特性を有する絶縁膜で形成することを特徴とする請求の範囲第51項記載の半導体装置の製造方法。

10 57. 前記第1の絶縁膜をシリコン酸化膜で形成し、前記第2の絶縁膜をシリコン窒化膜で形成し、前記第3の絶縁膜をシリコン酸化膜で形成することを特徴とする請求の範囲第56項記載の半導体装置の製造方法。

15 58. 前記第1の絶縁膜を前記第2の絶縁膜と異なるエッチング特性を有する絶縁膜で形成することを特徴とする請求の範囲第52項記載の半導体装置の製造方法。

5 59. 前記第1の絶縁膜をシリコン窒化膜で形成し、前記第2の絶縁膜をシリコン酸化膜で形成することを特徴とする請求の範囲第58項記載の半導体装置の製造方法。

20 60. 前記第1の絶縁膜を前記第2の絶縁膜と異なるエッチング特性を有する絶縁膜で形成することを特徴とする請求の範囲第53項記載の半導体装置の製造方法。

25 61. 前記第1の絶縁膜をシリコン窒化膜で形成し、前記第2の絶縁膜をシリコン酸化膜で形成することを特徴とする請求の範囲第60項記載の半導体装置の製造方法。

62. 前記第1の領域にロジック回路を構成する前記ゲート電極及び前記第1、第2の不純物導入領域からなる電界効果トランジスタを形成し、前記第2の領域に前記ゲート電極及び前記第1、

第2の不純物導入領域を有した電界効果トランジスタとセンサ部とからなる撮像領域を形成して、CMOS型の固体撮像素子を製造することを特徴とする請求の範囲第50項記載の半導体装置の製造方法。

5 63. 前記第1の領域にロジック回路を構成する前記ゲート電極及び前記第1、第2の不純物導入領域からなる電界効果トランジスタを形成し、前記第2の領域に前記ゲート電極及び前記第1、第2の不純物導入領域を有する電界効果トランジスタと容量からなるメモリ素子を形成して、DRAM混載ロジック半導体集積回路を製造することを特徴とする請求の範囲第50項記載の半導体装置の製造方法。

10 64. 前記第1の領域にロジック回路を構成する前記ゲート電極及び前記第1、第2の不純物導入領域からなる電界効果トランジスタを形成し、前記第2の領域に前記ゲート電極及び前記第1、
15 第2の不純物導入領域を有した電界効果トランジスタとセンサ部とからなる撮像領域を形成して、CMOS型の固体撮像素子を製造することを特徴とする請求の範囲第51項記載の半導体装置の製造方法。

20 65. 前記第1の領域にロジック回路を構成する前記ゲート電極及び前記第1、第2の不純物導入領域からなる電界効果トランジスタを形成し、前記第2の領域に前記ゲート電極及び前記第1、第2の不純物導入領域を有する電界効果トランジスタと容量からなるメモリ素子を形成して、DRAM混載ロジック半導体集積回路を製造することを特徴とする請求の範囲第51項記載の半導体
25 装置の製造方法。

66. 前記第1の領域にロジック回路を構成する前記ゲート電極及び前記第1、第2の不純物導入領域からなる電界効果トランジスタを形成し、前記第2の領域に前記ゲート電極及び前記第1、

第 2 の不純物導入領域を有した電界効果トランジスタとセンサ部とからなる撮像領域を形成して、CMOS型の固体撮像素子を製造することを特徴とする請求の範囲第 5 2 項記載の半導体装置の製造方法。

5 67. 前記第 1 の領域にロジック回路を構成する前記ゲート電極及び前記第 1、第 2 の不純物導入領域からなる電界効果トランジスタを形成し、前記第 2 の領域に前記ゲート電極及び前記第 1、第 2 の不純物導入領域を有する電界効果トランジスタと容量からなるメモリ素子を形成して、DRAM混載ロジック半導体集積回路を製造することを特徴とする請求の範囲第 5 2 項記載の半導体装置の製造方法。

10 68. 前記第 1 の領域にロジック回路を構成する前記ゲート電極及び前記第 1、第 2 の不純物導入領域からなる電界効果トランジスタを形成し、前記第 2 の領域に前記ゲート電極及び前記第 1、
15 第 2 の不純物導入領域を有した電界効果トランジスタとセンサ部とからなる撮像領域を形成して、CMOS型の固体撮像素子を製造することを特徴とする請求の範囲第 5 3 項記載の半導体装置の製造方法。

20 69. 前記第 1 の領域にロジック回路を構成する前記ゲート電極及び前記第 1、第 2 の不純物導入領域からなる電界効果トランジスタを形成し、前記第 2 の領域に前記ゲート電極及び前記第 1、第 2 の不純物導入領域を有する電界効果トランジスタと容量からなるメモリ素子を形成して、DRAM混載ロジック半導体集積回路を製造することを特徴とする請求の範囲第 5 3 項記載の半導体
25 装置の製造方法。

70. 基板にシリサイド層が形成された第 1 の領域とシリサイド層が形成されない第 2 の領域を有し、前記第 2 の領域が、該第 2 の領域に形成された第 2 の電界効果トランジスタを含めて複数の

- 絶縁膜のうちの下層の絶縁膜で被覆され、前記第2の電界効果トランジスタのゲート電極の側壁に対応して前記複数の絶縁膜の上層の絶縁膜からなる単層膜のサイドウォールが形成され、前記第1の領域に形成された第1の電界効果トランジスタのゲート電極
- 5 の側壁に窒化シリコンを含まない前記単層膜からなるサイドウォールが形成され、前記第1の電界効果トランジスタのソース／ドレイン領域、またはソース／ドレイン領域とゲート電極に前記シリサイド層が形成されてなる半導体装置を搭載して成ることを特徴とする電子機器。
- 10 71. 前記第1の領域にロジック回路を構成する第1の電界効果トランジスタが形成され、前記第2の領域に信号電荷蓄積手段が形成されて成ることを特徴とする請求の範囲第70項記載の電子機器。
- 15 72. 前記第1の領域にロック回路を構成する第1の電界効果トランジスタが形成され、前記第2の領域に前記第2の電界効果トランジスタとセンサ部からなる画素を有した撮像領域が形成され、CMOS型の固体撮像素子として用いる半導体装置を搭載して成ることを特徴とする請求の範囲第70項記載の電子機器。
- 20 73. 前記第1の領域にロジック回路を構成する第1の電界効果トランジスタが形成され、前記第2の領域に第2の電界効果トランジスタと容量素子からなるメモリ素子を有したDRAMセルが形成され、DRAM混載ロジック半導体集積回路として用いる半導体装置を搭載して成ることを特徴とする請求の範囲第70項記載の電子機器。
- 25 74. 携帯型の通信機器であることを特徴とする請求の範囲第70項記載の電子機器。
75. 基板にシリサイド層が形成された第1の領域とシリサイド層が形成されない第2の領域を有し、前記第2の領域が、該第2

の領域に形成された第2の電界効果トランジスタを含めて複数の絶縁膜で被覆され、前記第1の領域に形成された第1の電界効果トランジスタのゲート電極の側壁に前記複数の絶縁膜のうち上層の絶縁膜からなる窒化シリコンを含まない単層膜のサイドウォールが形成され、前記第1の電界効果トランジスタのソース/ドレイン領域、またはソース/ドレイン領域とゲート電極に前記シリサイド層が形成されてなる半導体装置を搭載して成ることを特徴とする電子機器。

5

10

76. 前記第1の領域にロジック回路を構成する第1の電界効果トランジスタが形成され、前記第2の領域に信号電荷蓄積手段が形成されて成ることを特徴とする請求の範囲第75項記載の電子機器。

15

77. 前記第1の領域にロック回路を構成する第1の電界効果トランジスタが形成され、前記第2の領域に前記第2の電界効果トランジスタとセンサ部からなる画素を有した撮像領域が形成され、CMOS型の固体撮像素子として用いる半導体装置を搭載して成ることを特徴とする請求の範囲第75項記載の電子機器。

20

78. 前記第1の領域にロジック回路を構成する第1の電界効果トランジスタが形成され、前記第2の領域に第2の電界効果トランジスタと容量素子からなるメモリ素子を有したDRAMセルが形成され、DRAM混載ロジック半導体集積回路として用いる半導体装置を搭載して成ることを特徴とする請求の範囲第75項記載の電子機器。

25

79. 携帯型の通信機器であることを特徴とする請求の範囲第67項記載の電子機器。

FIG. 1

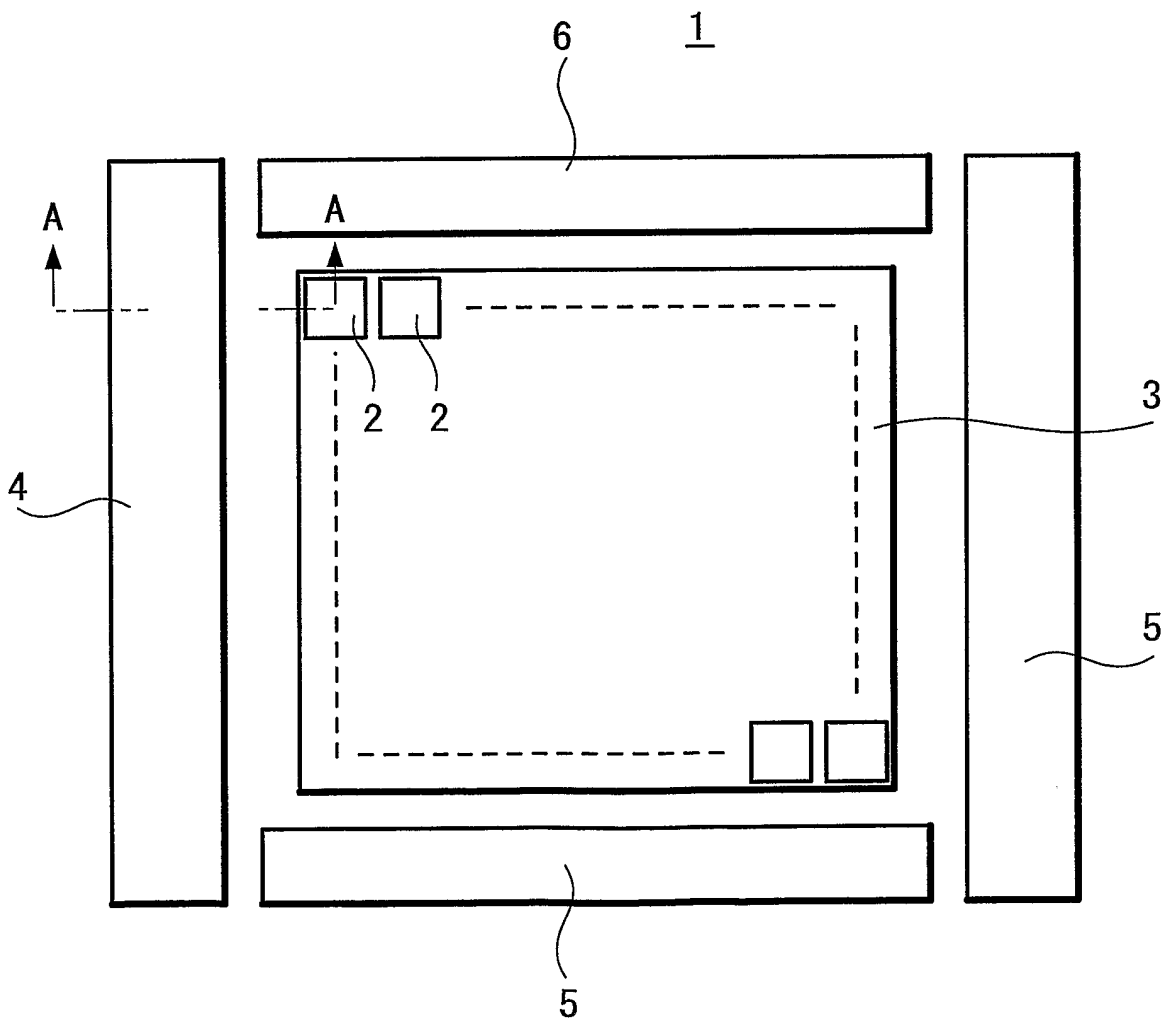


FIG. 2

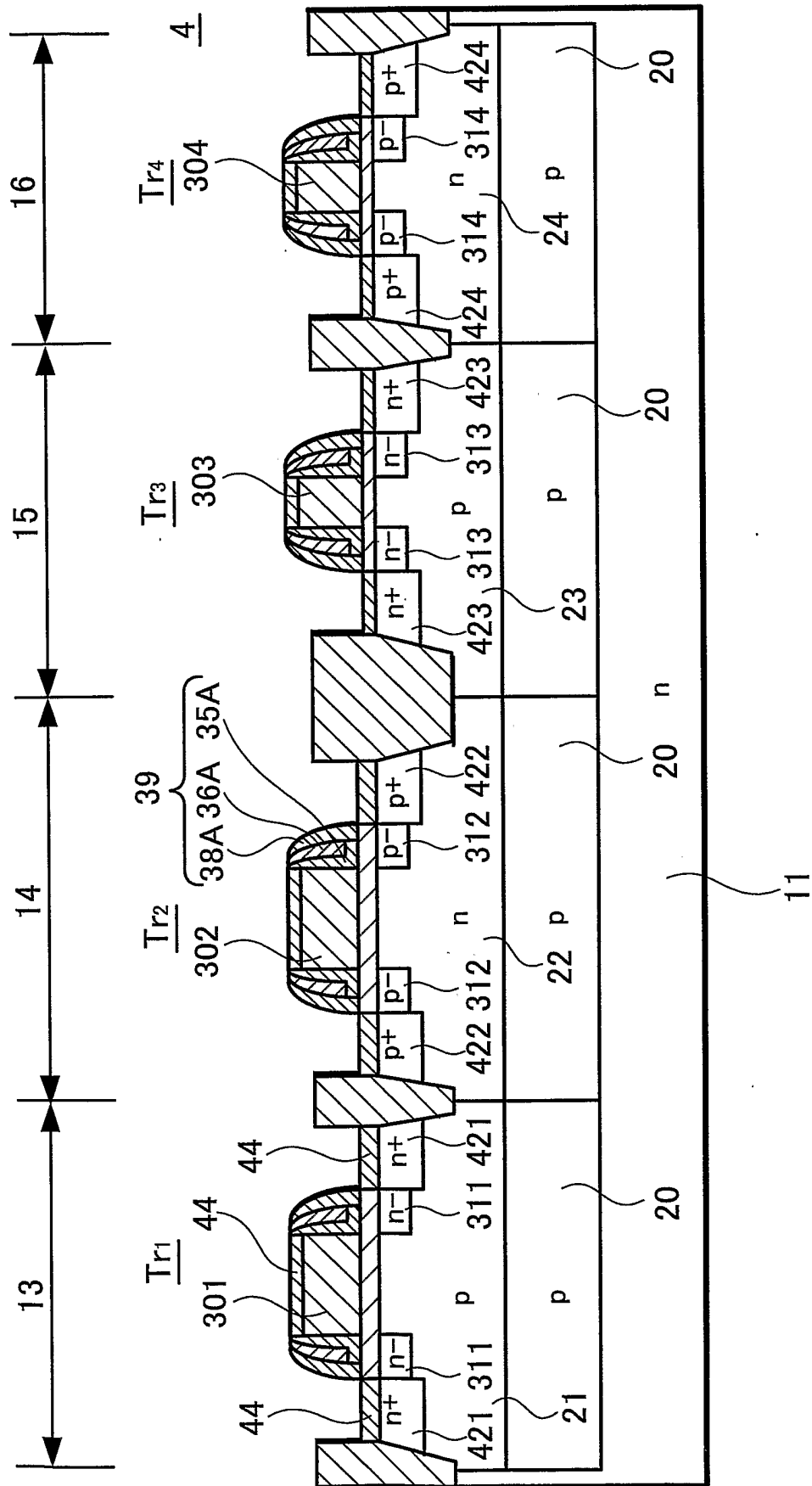


FIG. 4

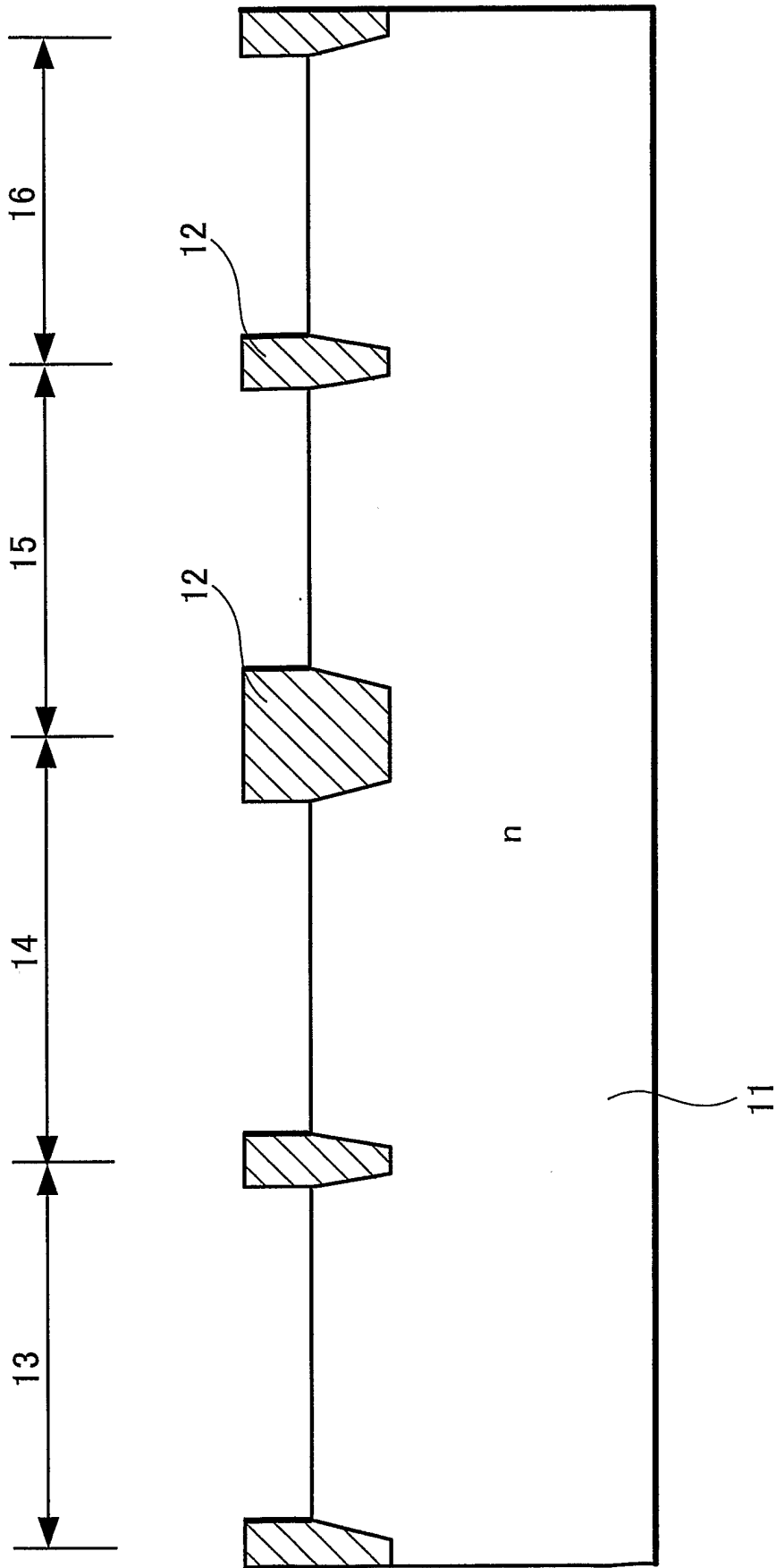


FIG. 5

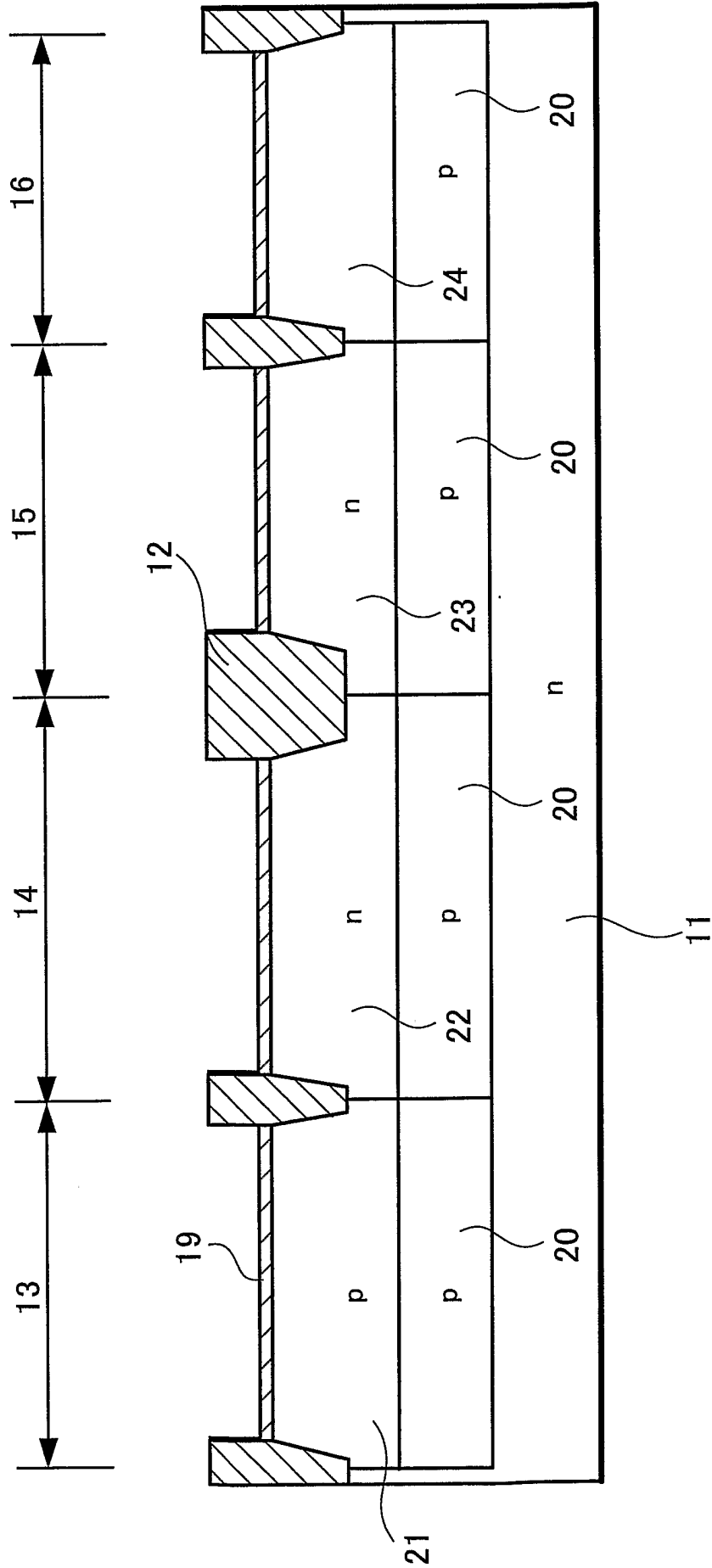


FIG. 6

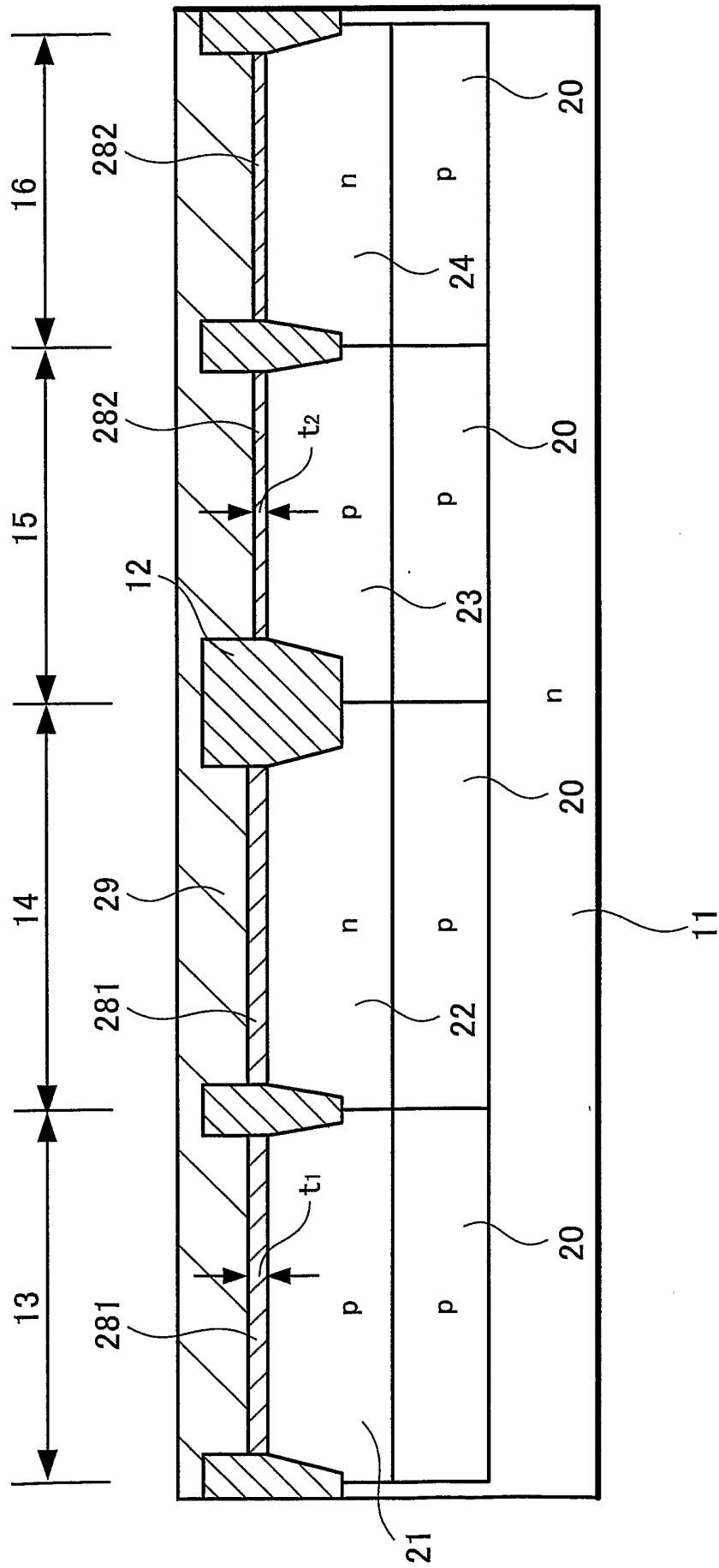


FIG. 8

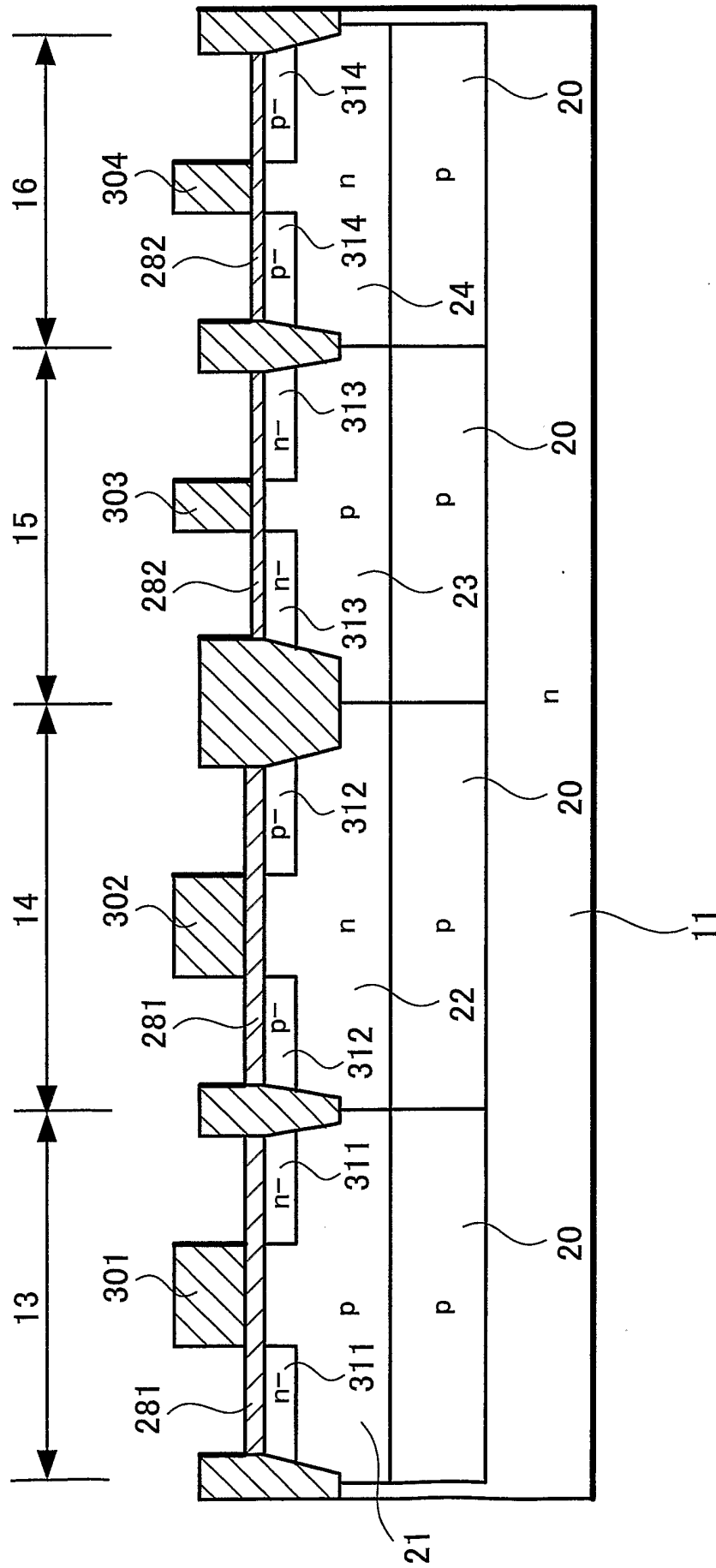


FIG. 9

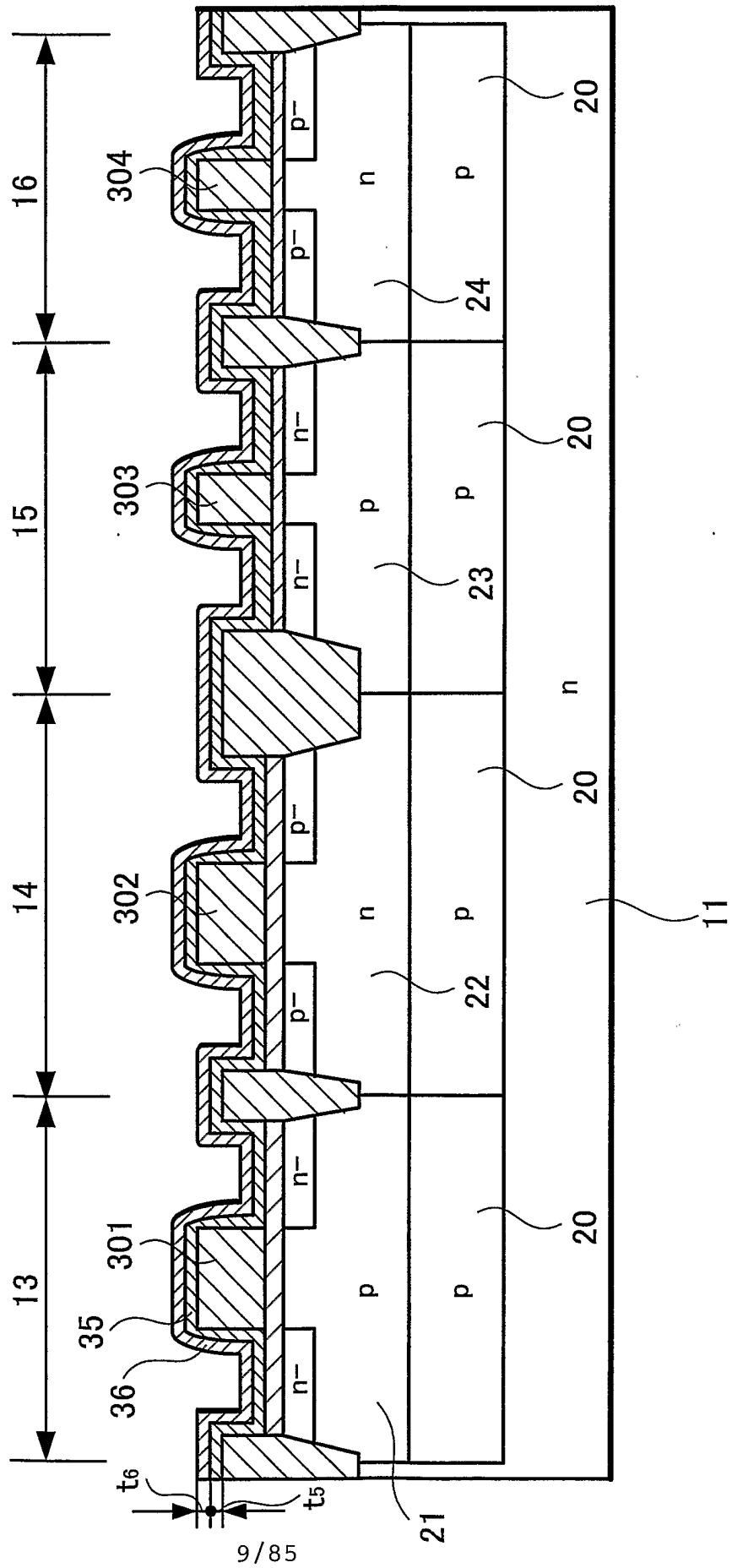


FIG. 10

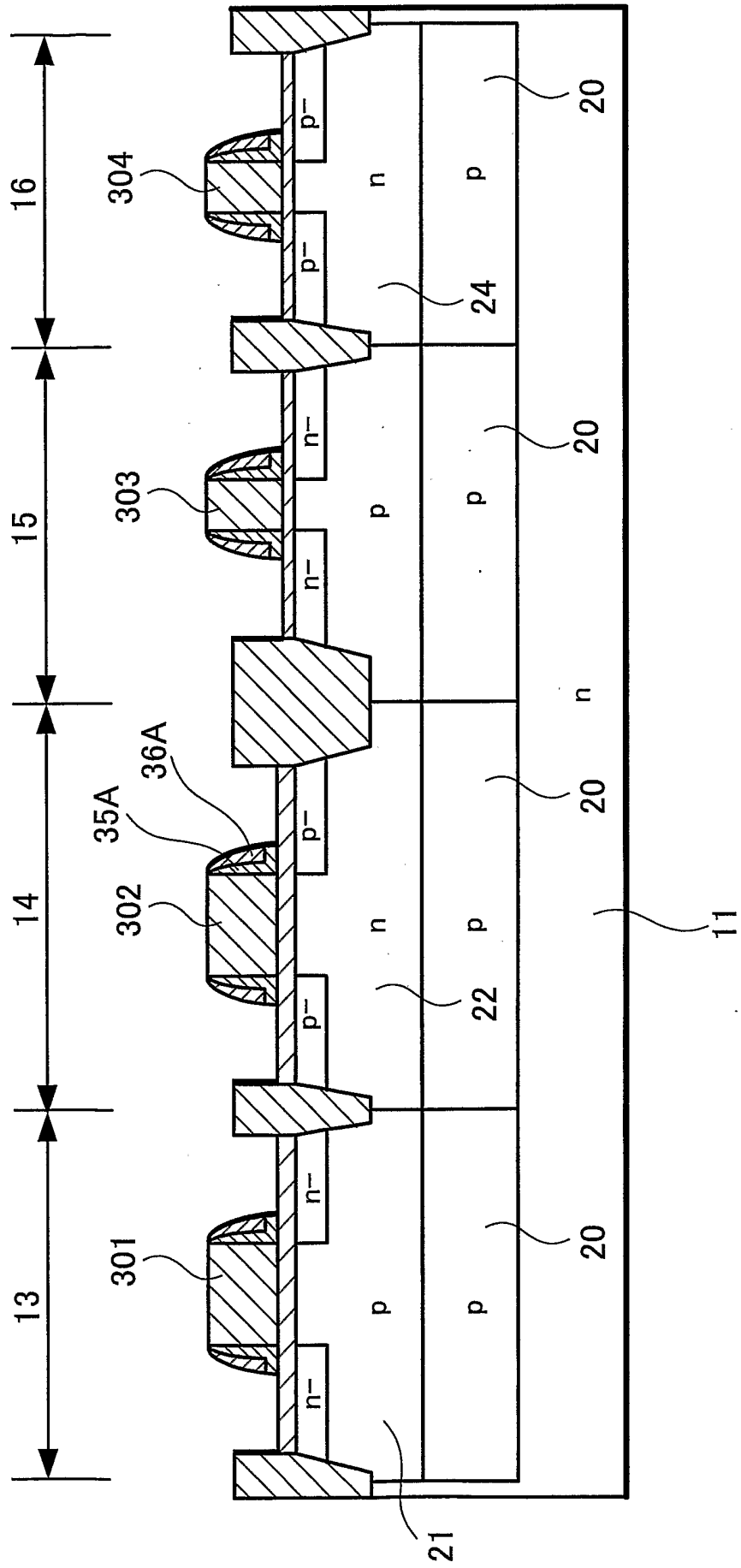


FIG. 11

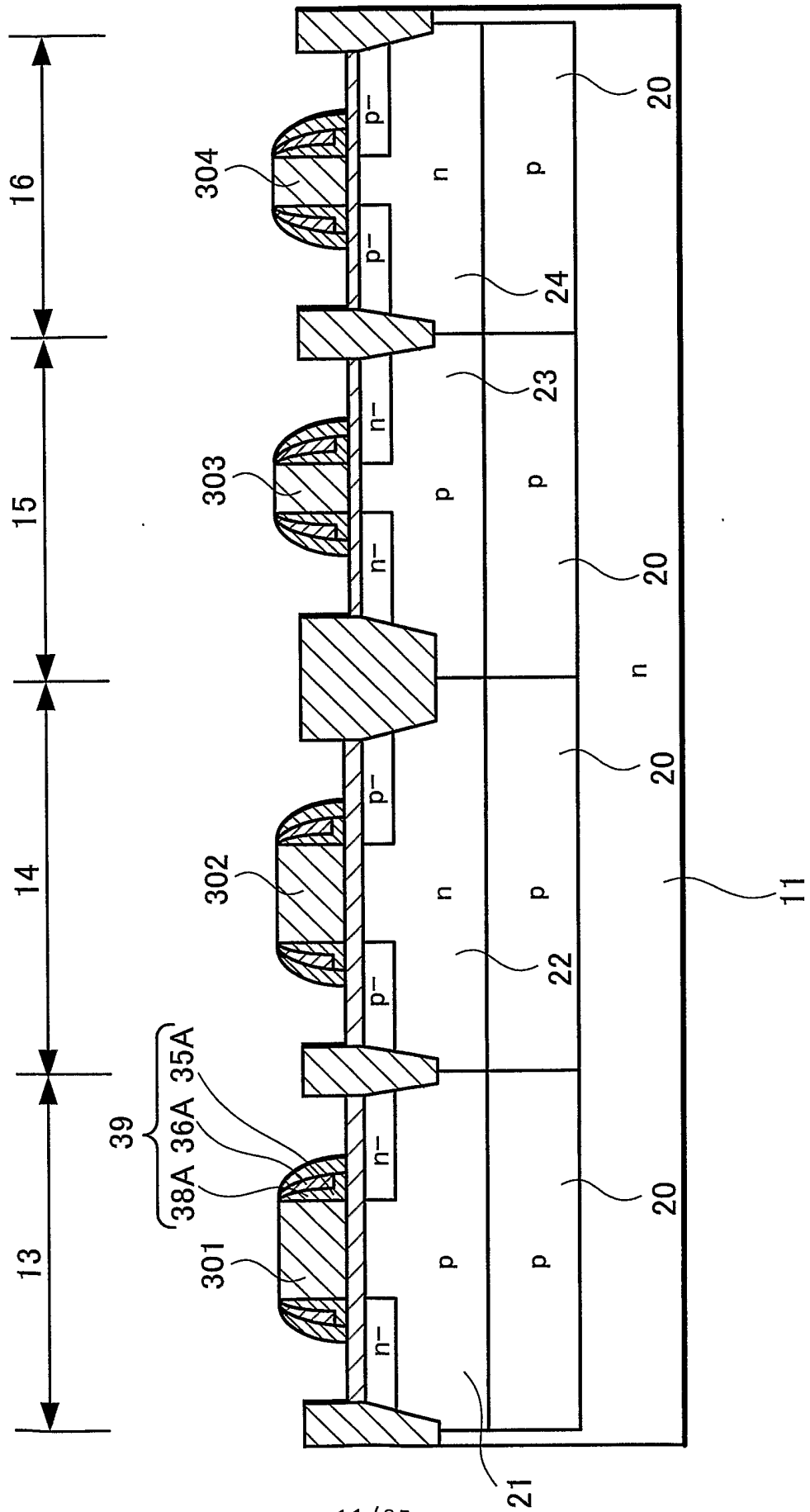


FIG. 12

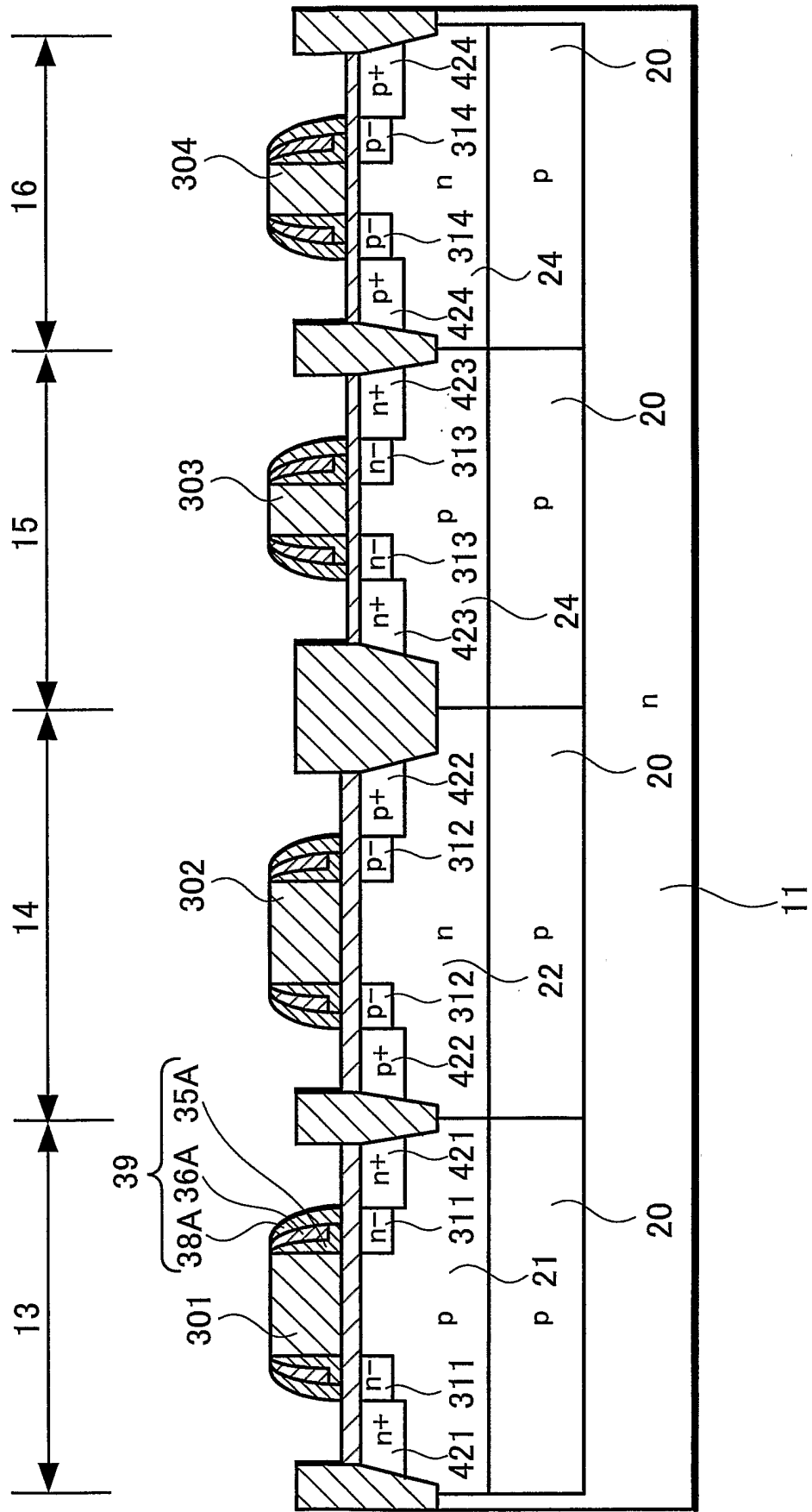


FIG. 13

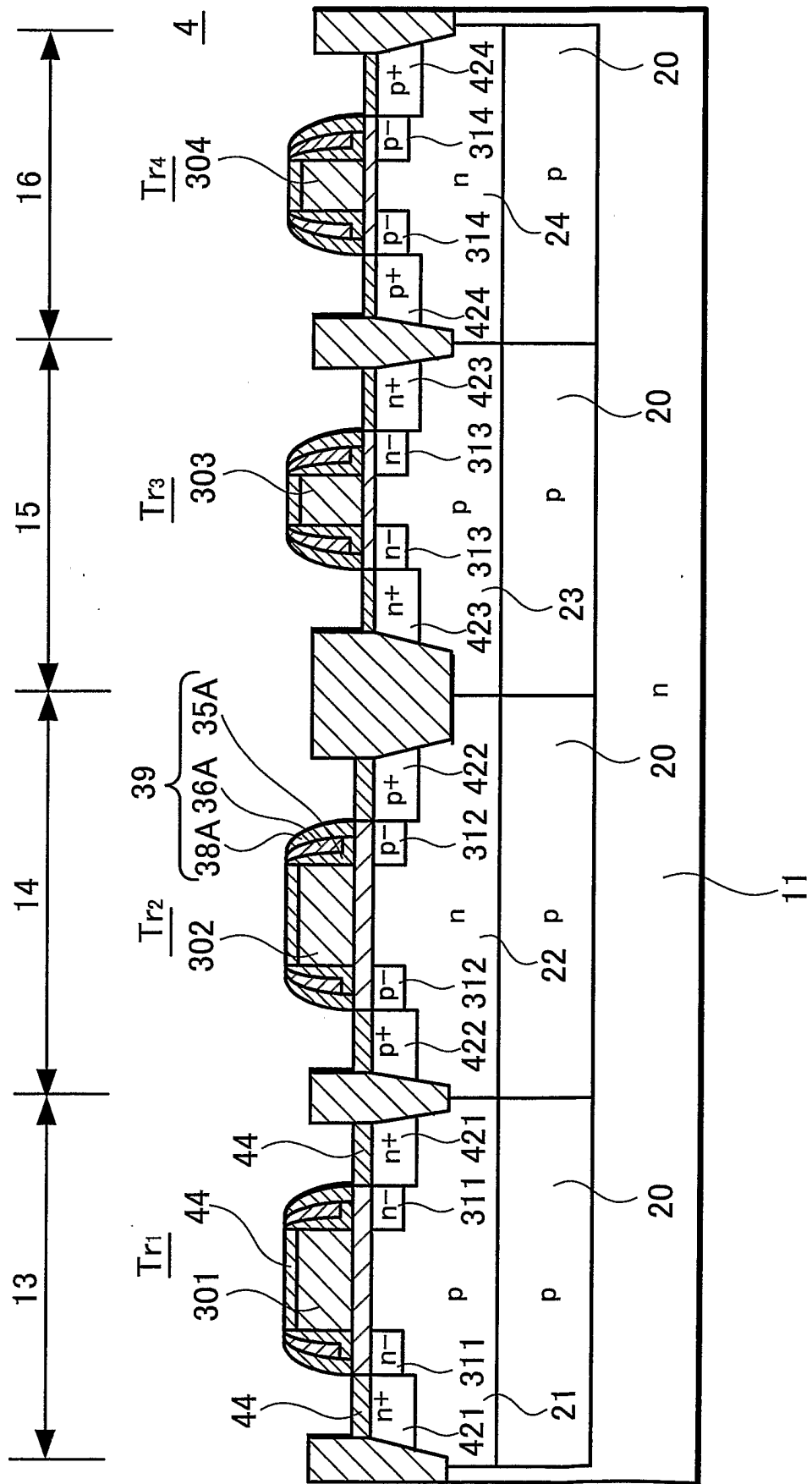


FIG. 14

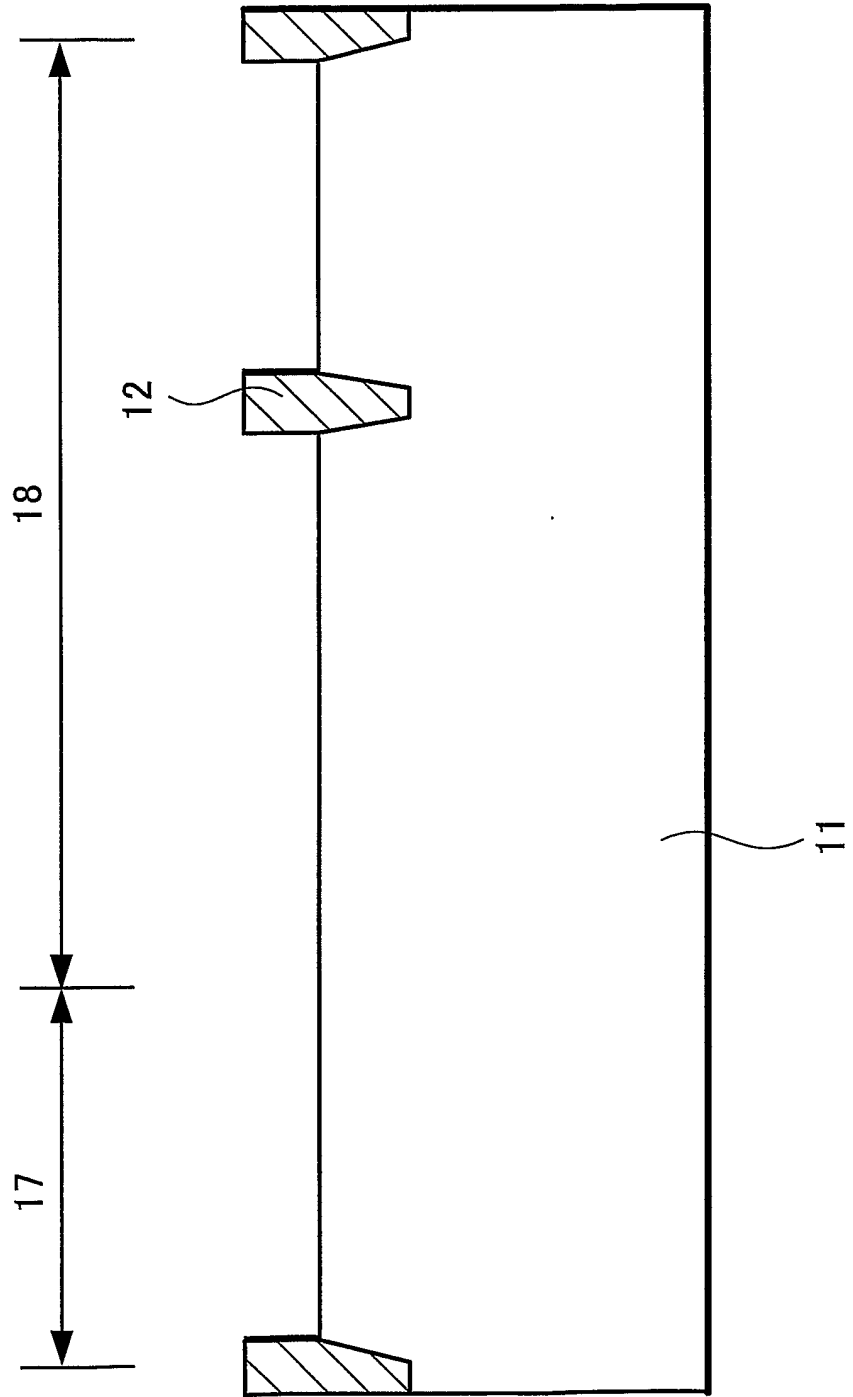


FIG. 15

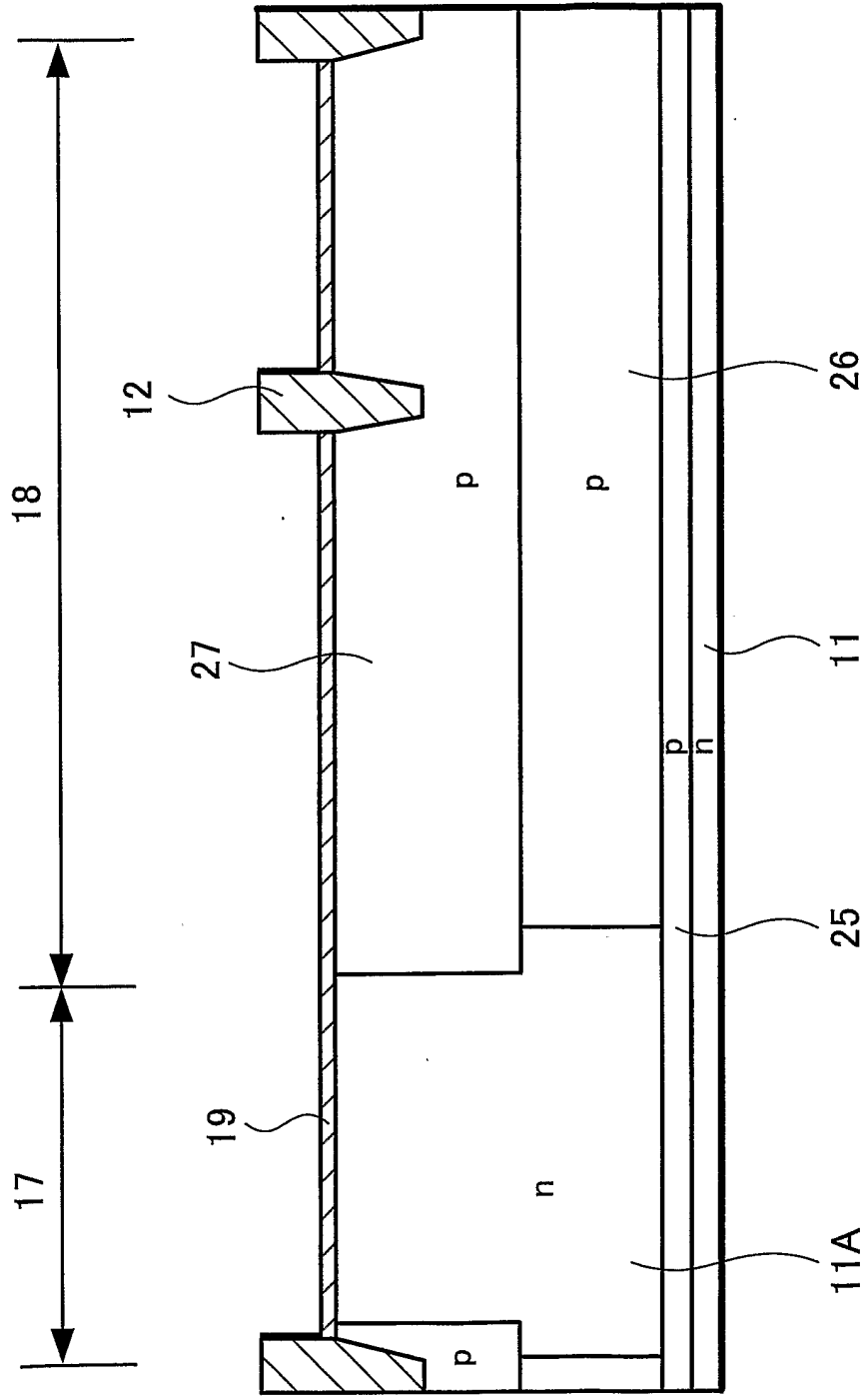


FIG. 16

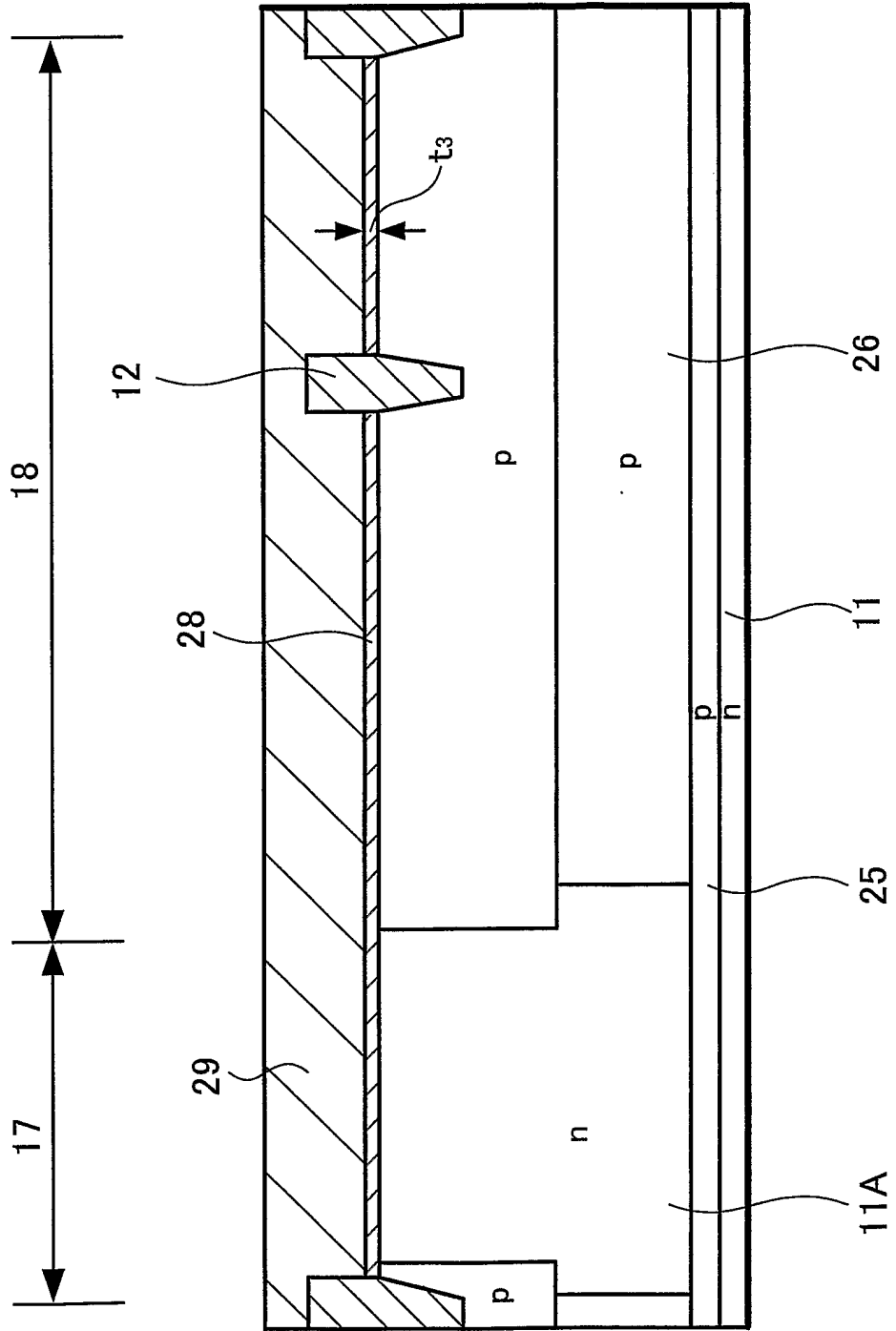


FIG. 17

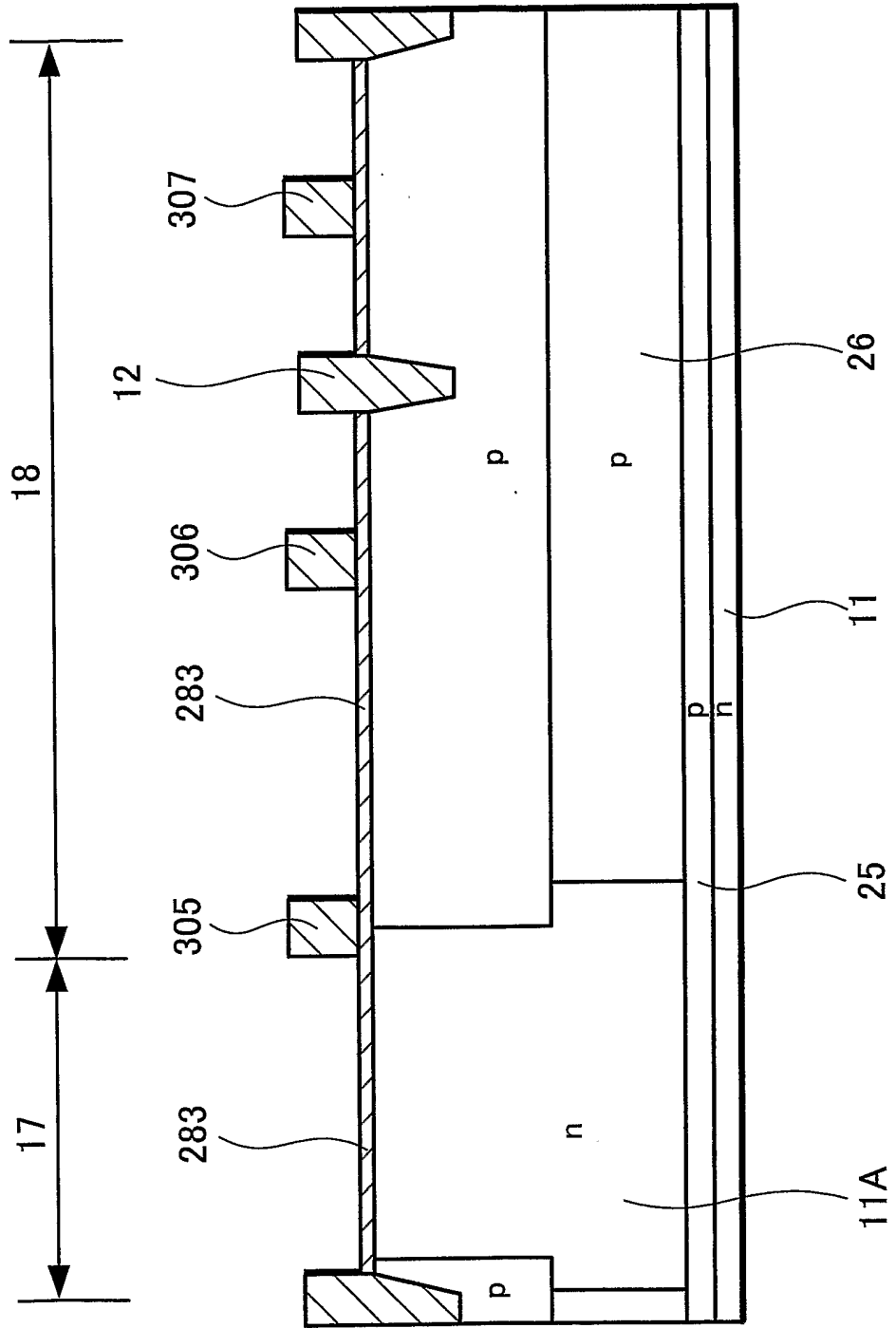


FIG. 19

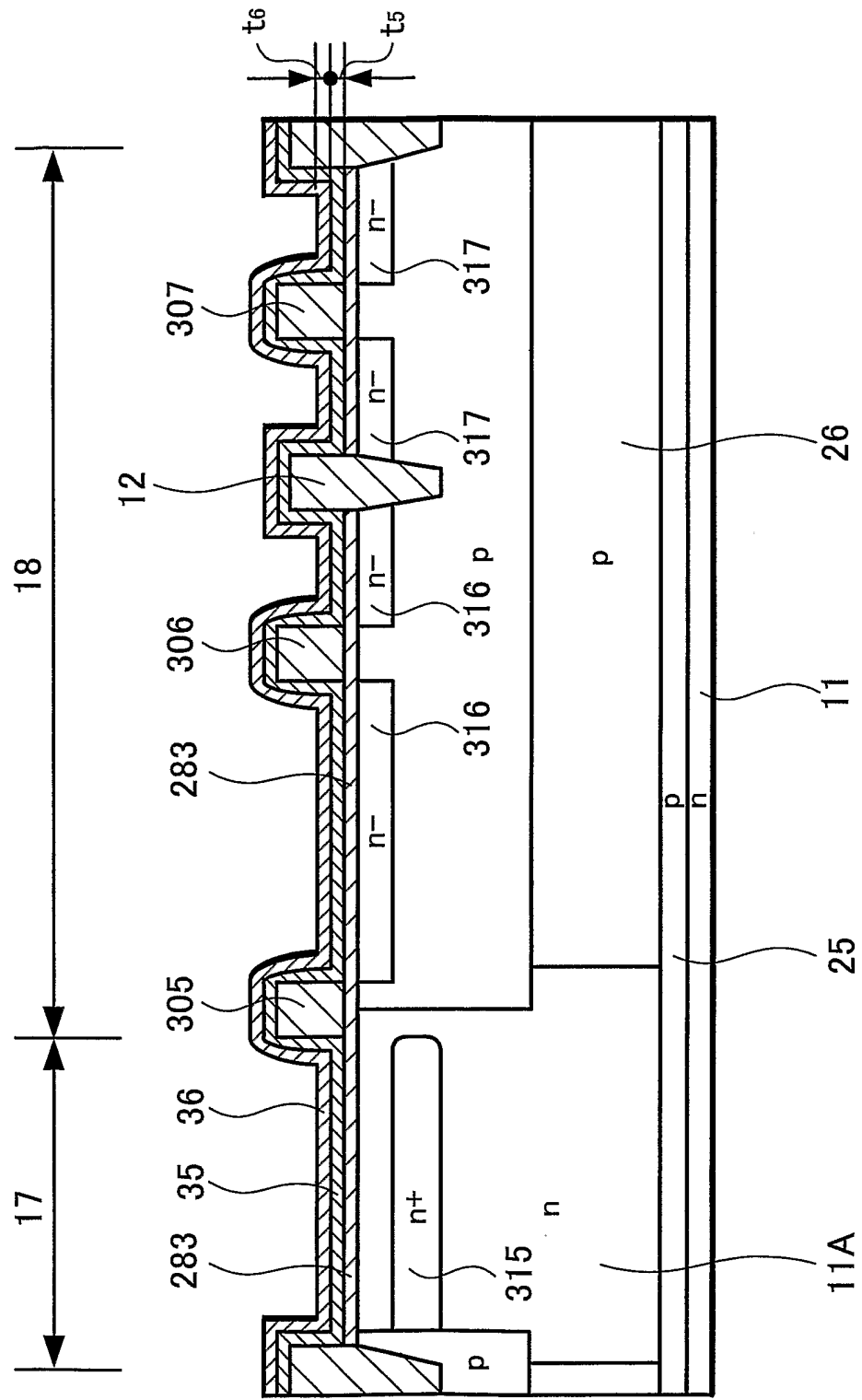


FIG. 24

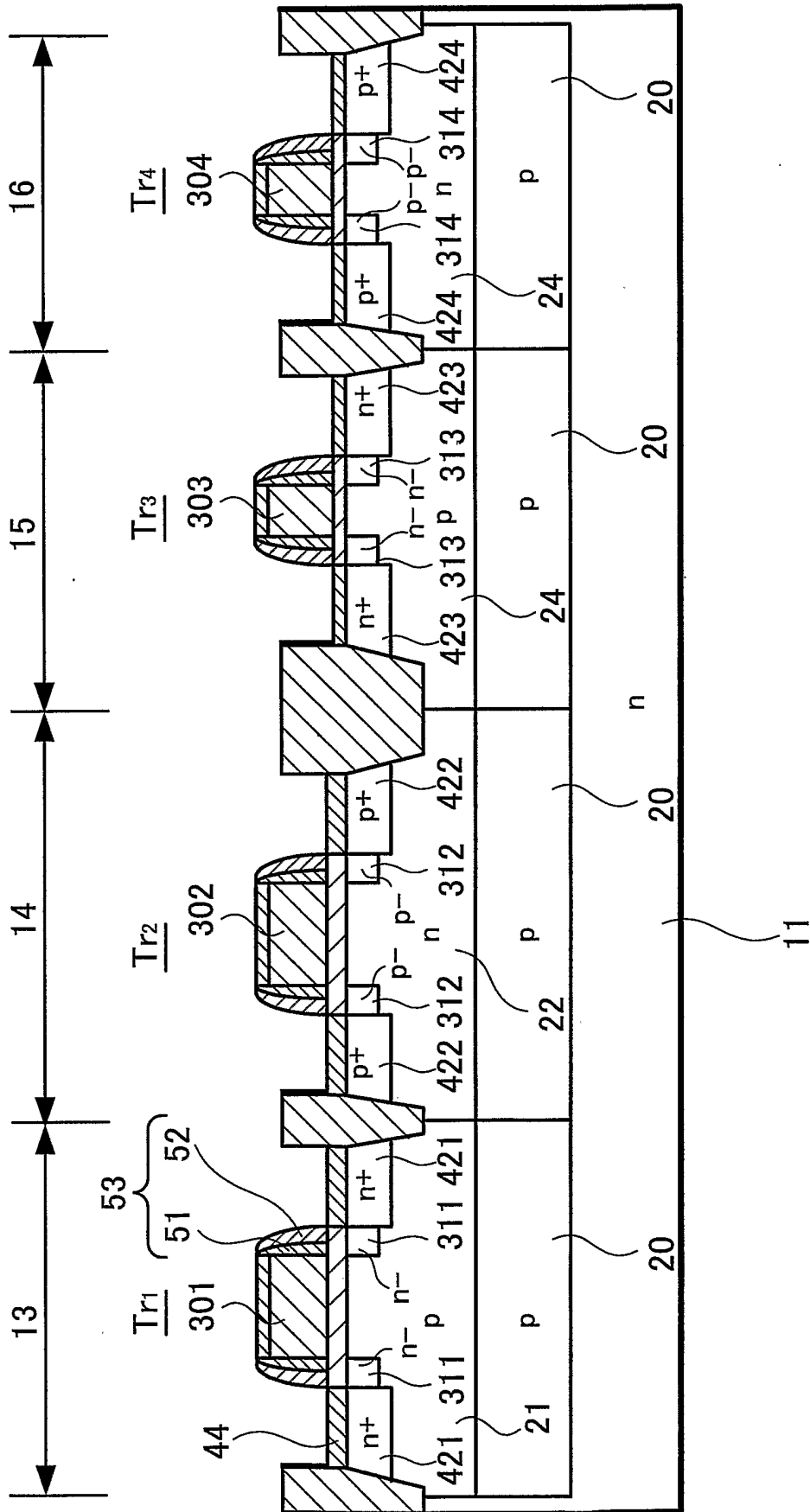


FIG. 25

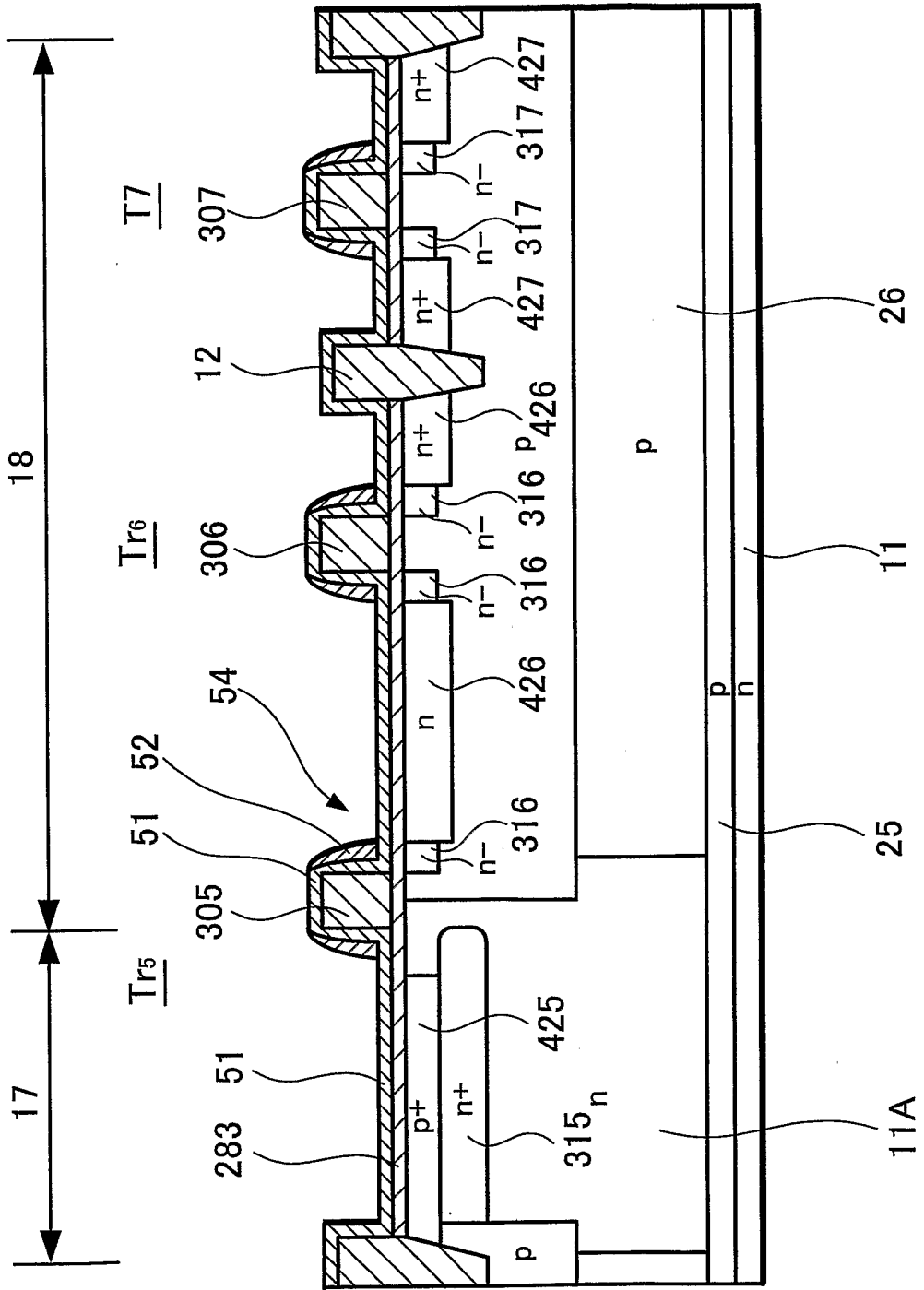


FIG. 26

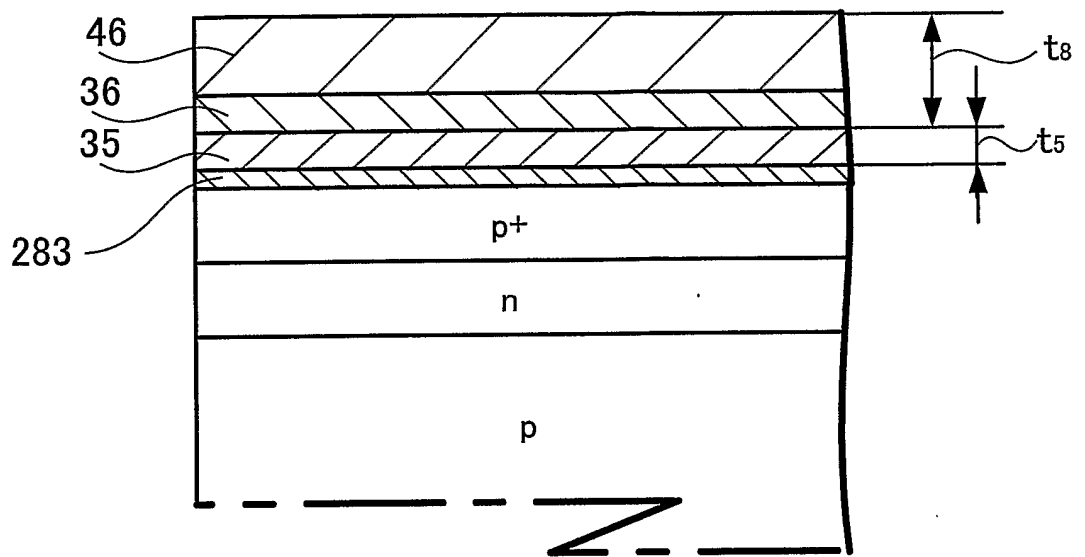


FIG. 27

4

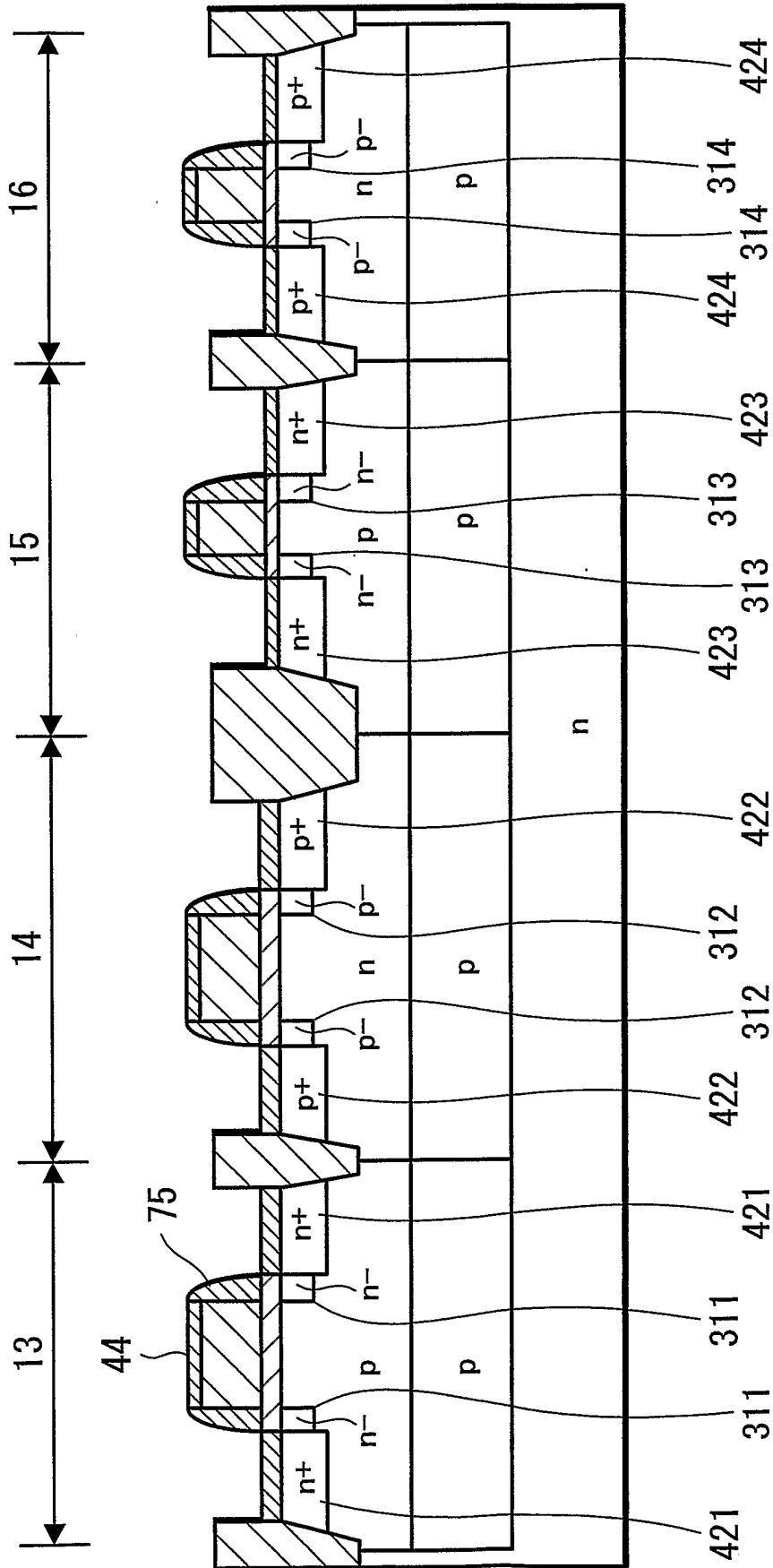


FIG. 28

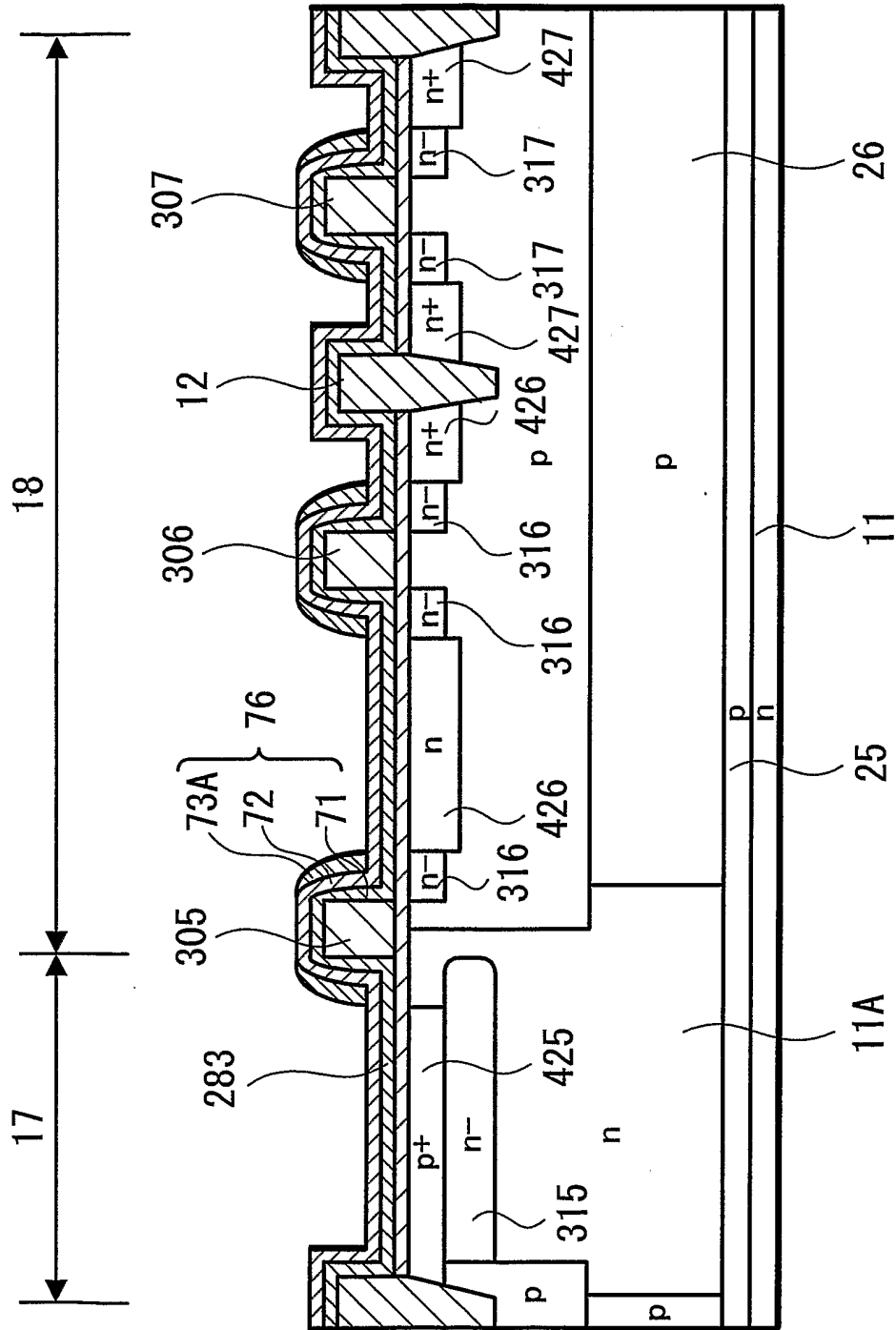


FIG. 29

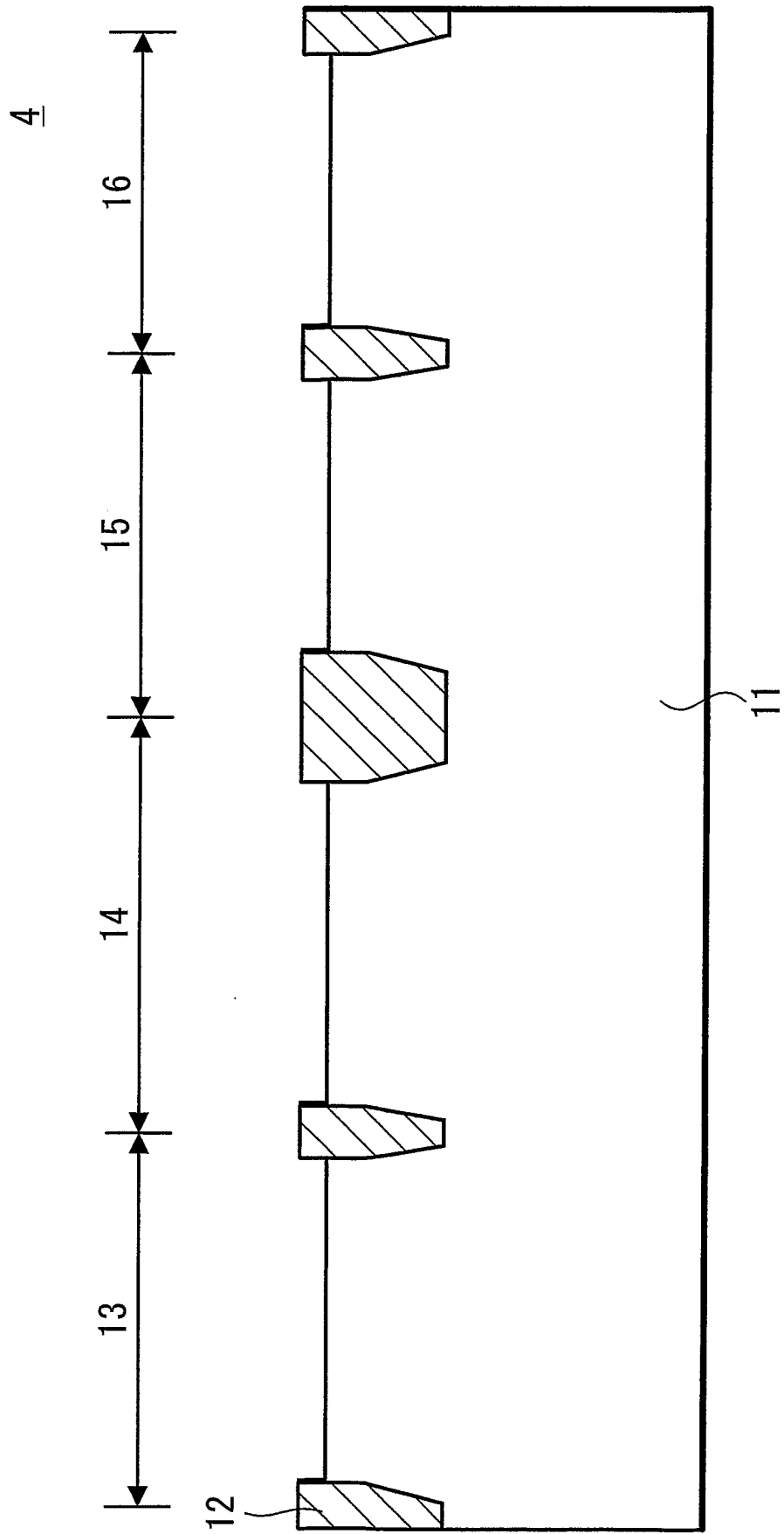


FIG. 30

4

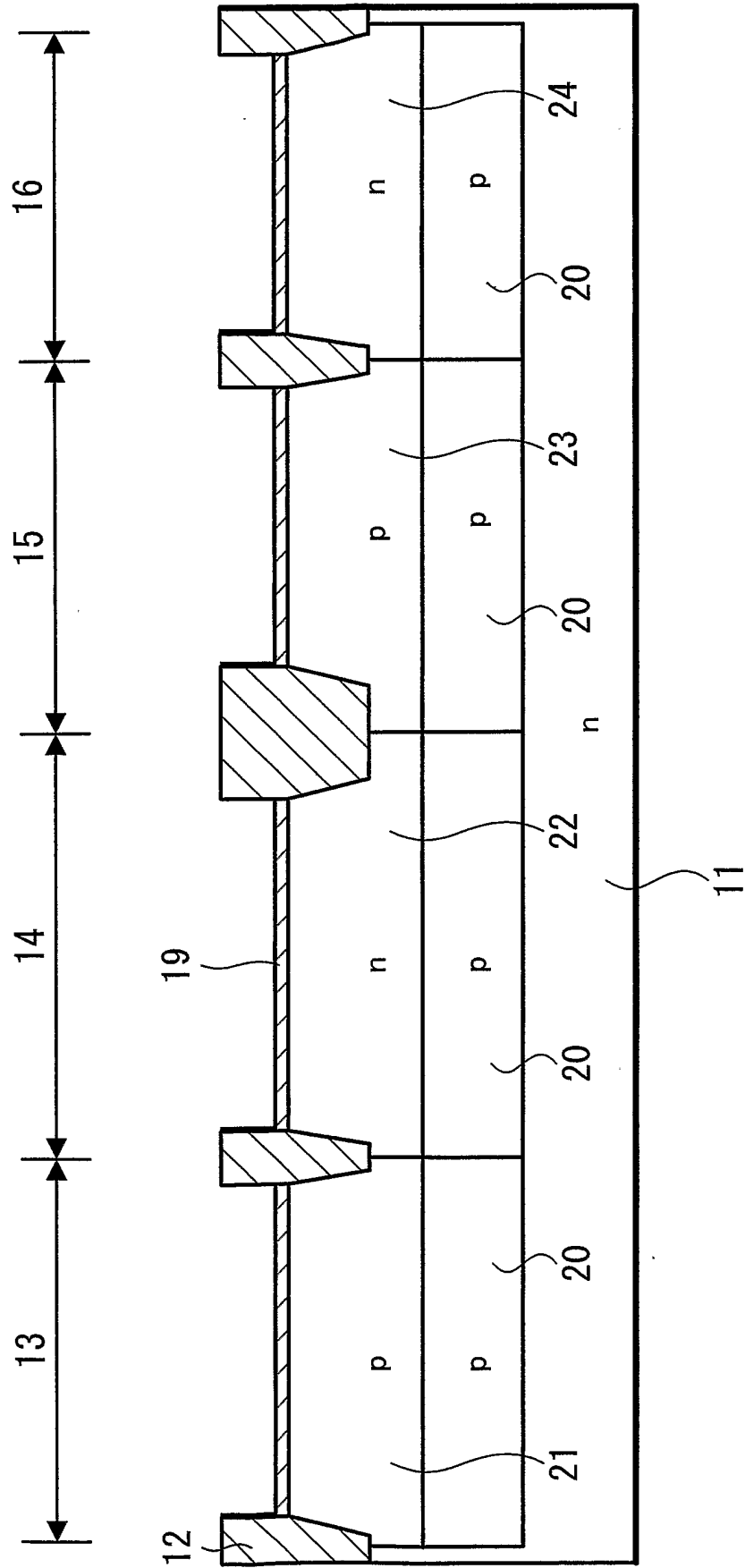


FIG. 31

4

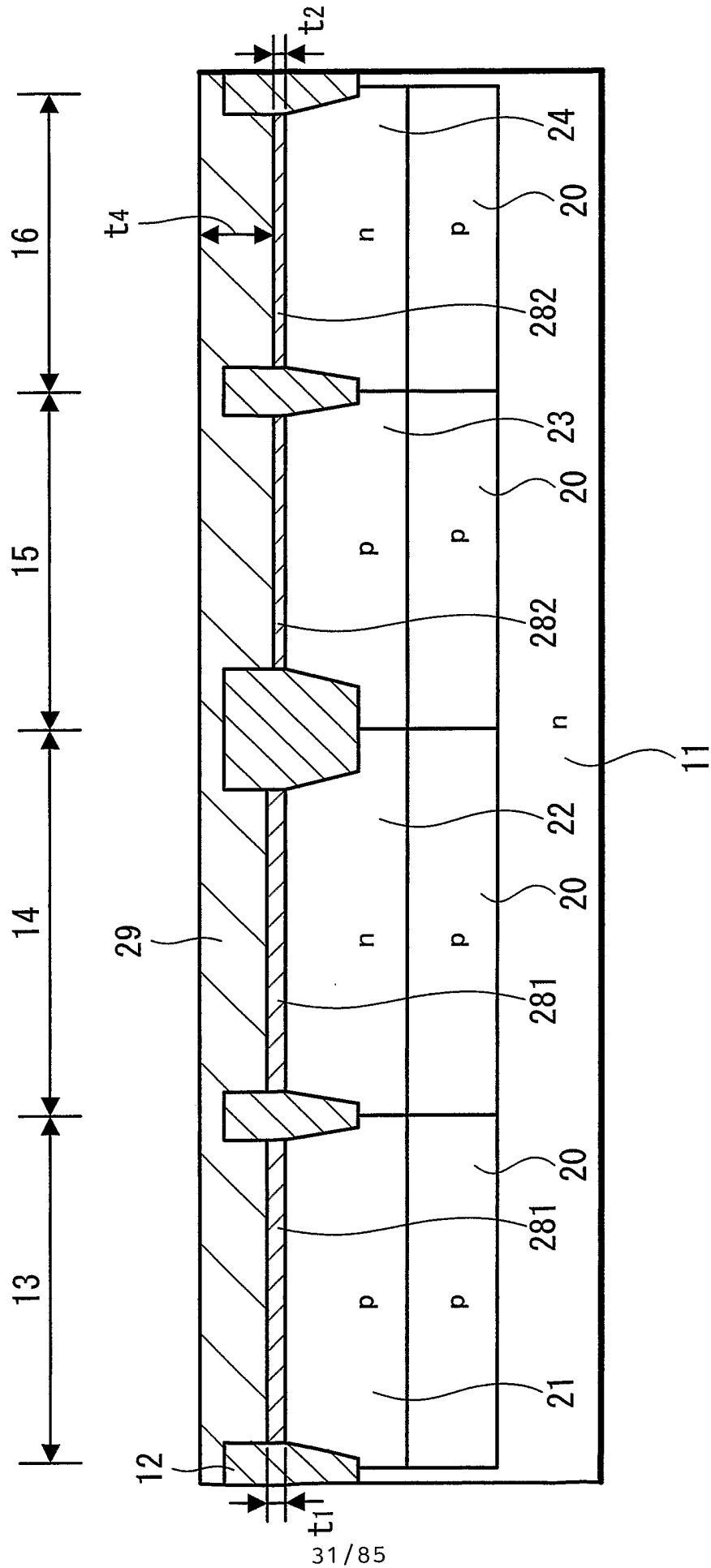


FIG. 32

4

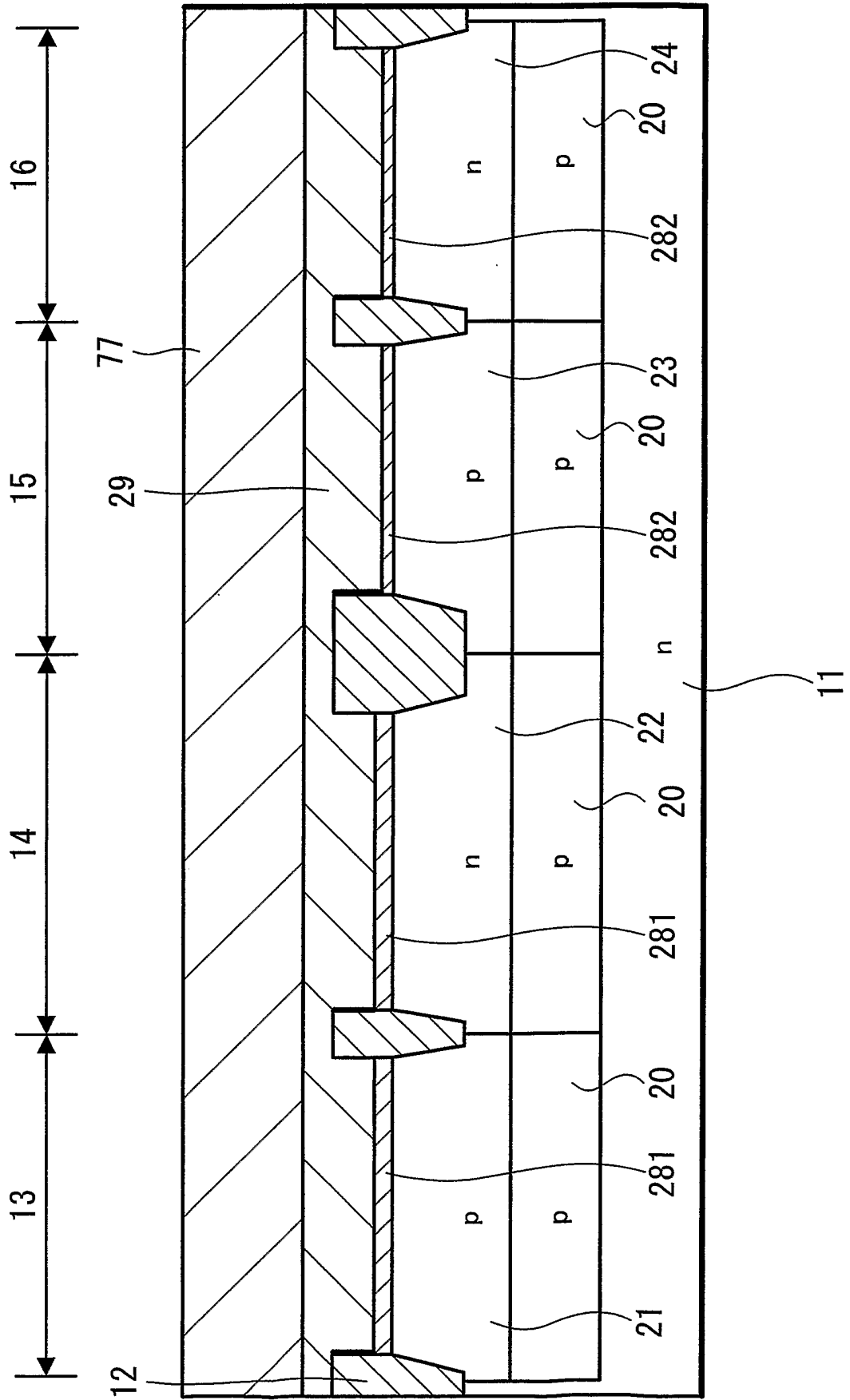


FIG. 33

4

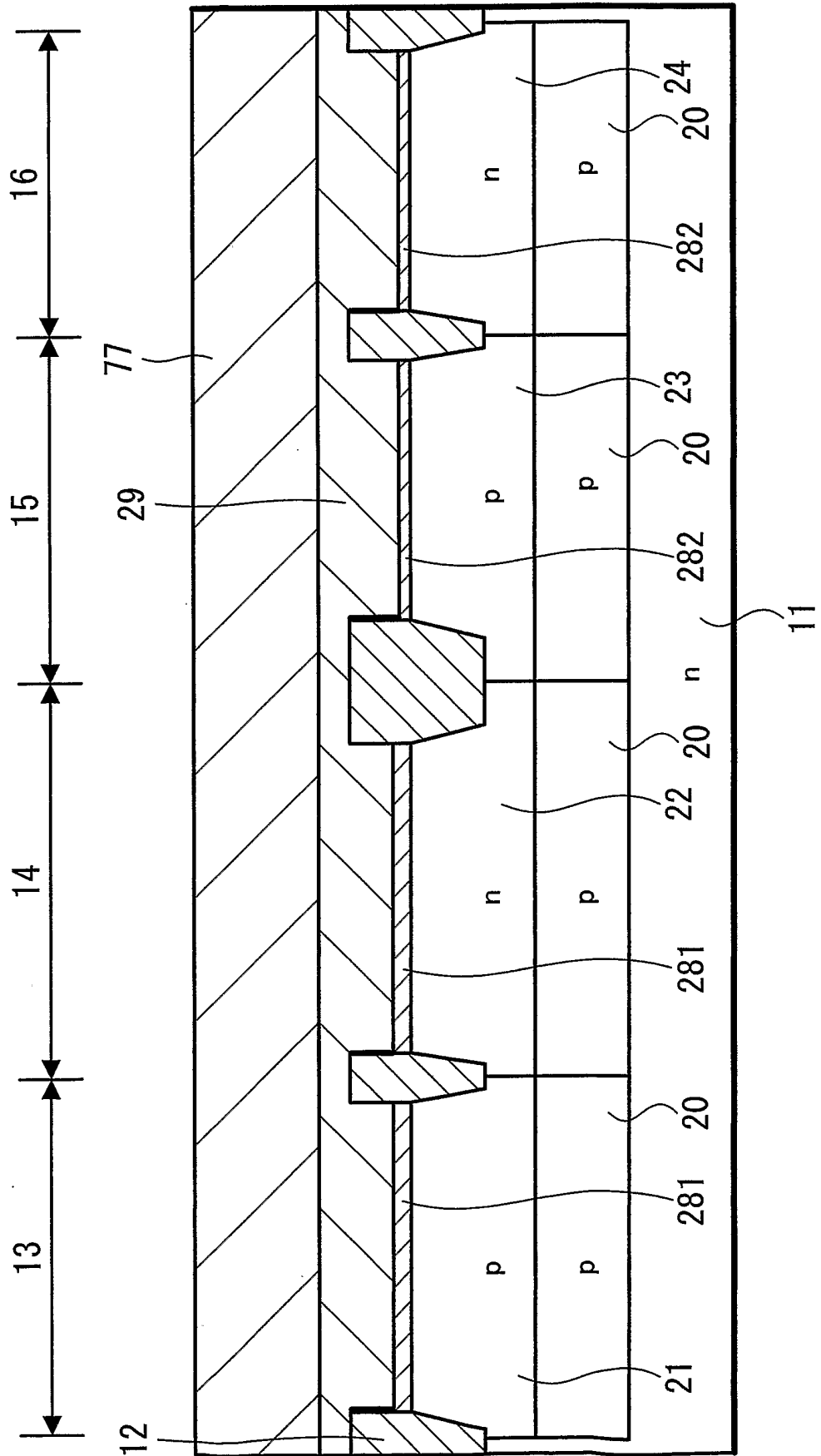


FIG. 35

4

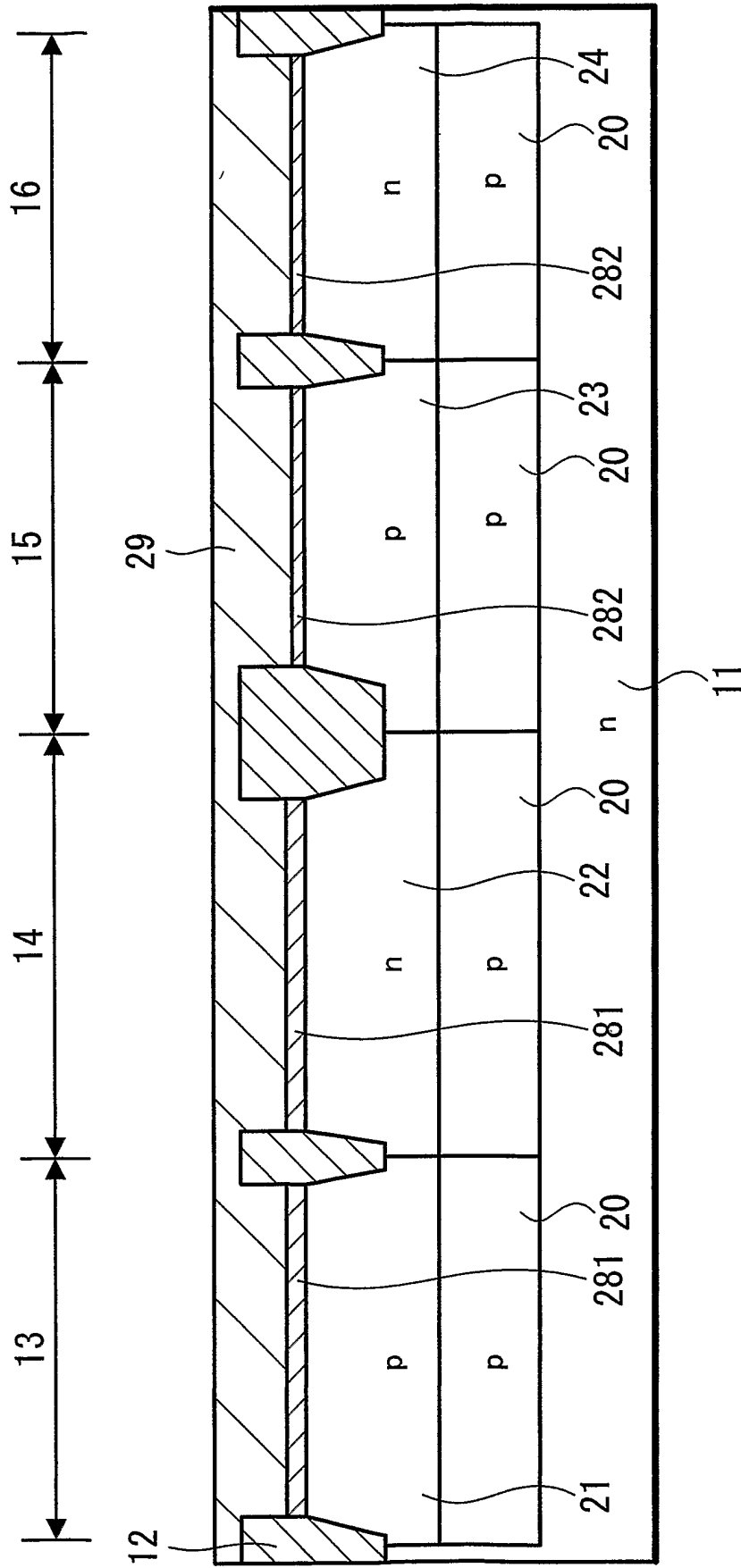


FIG. 36

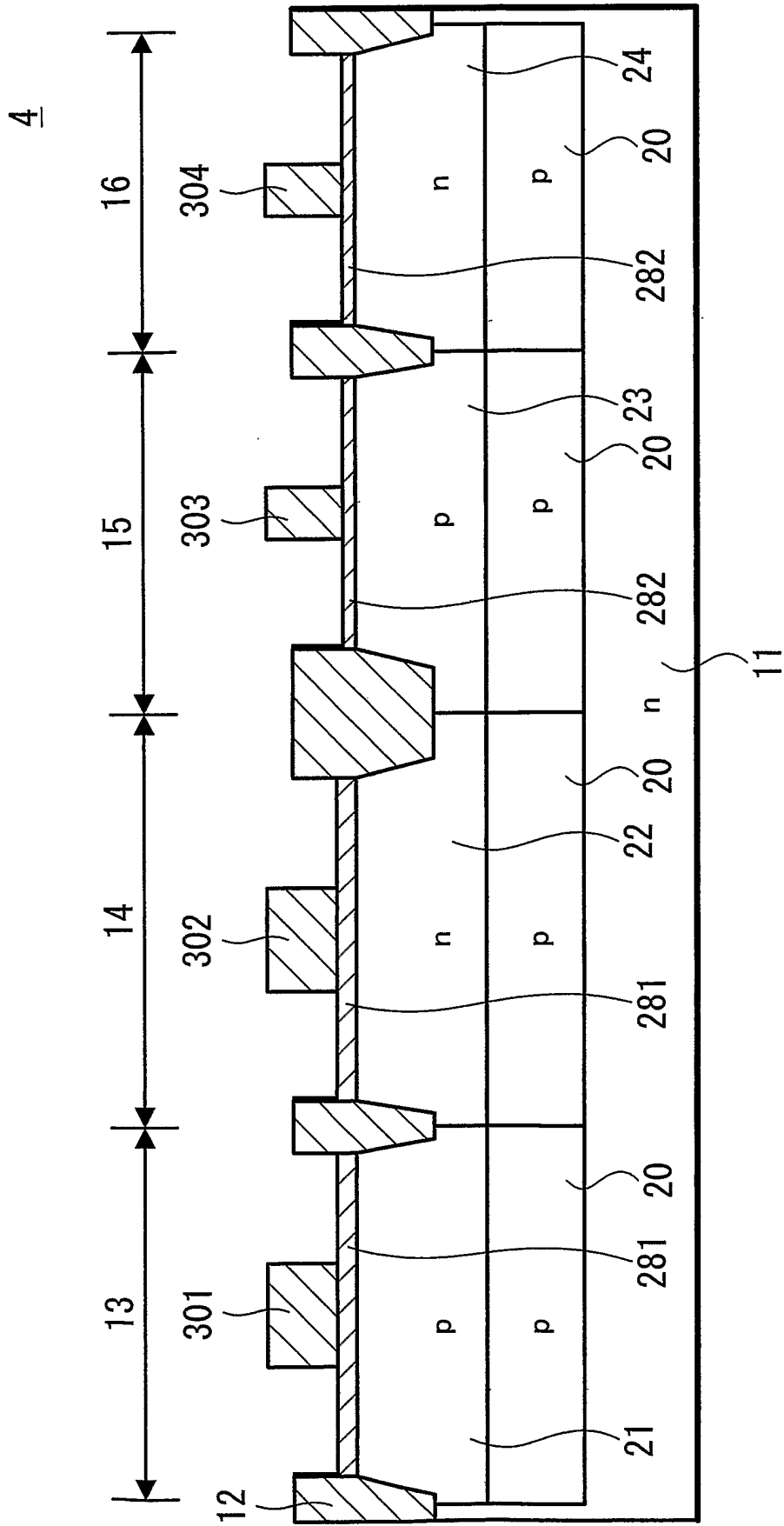


FIG. 37

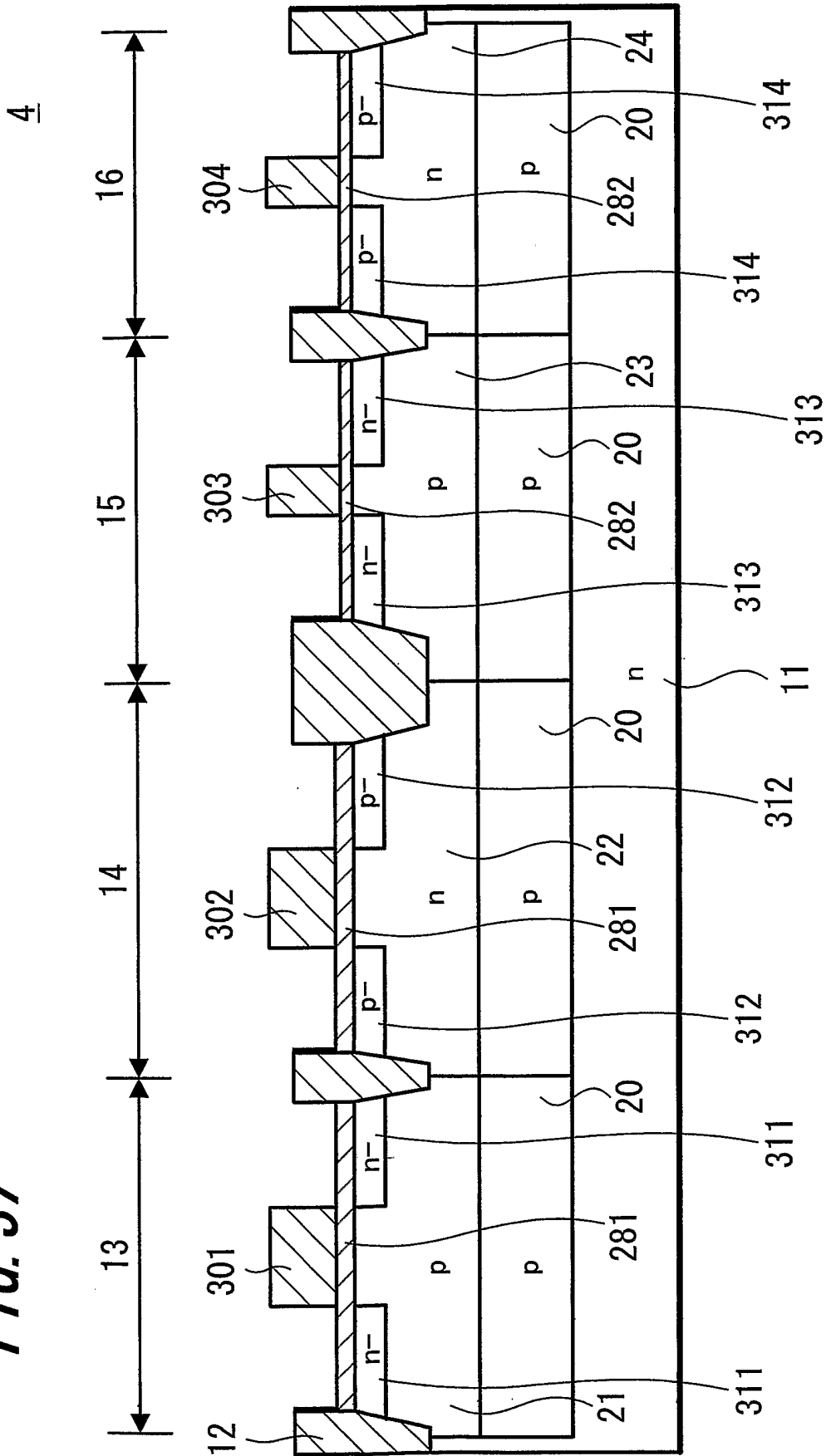


FIG. 38

4

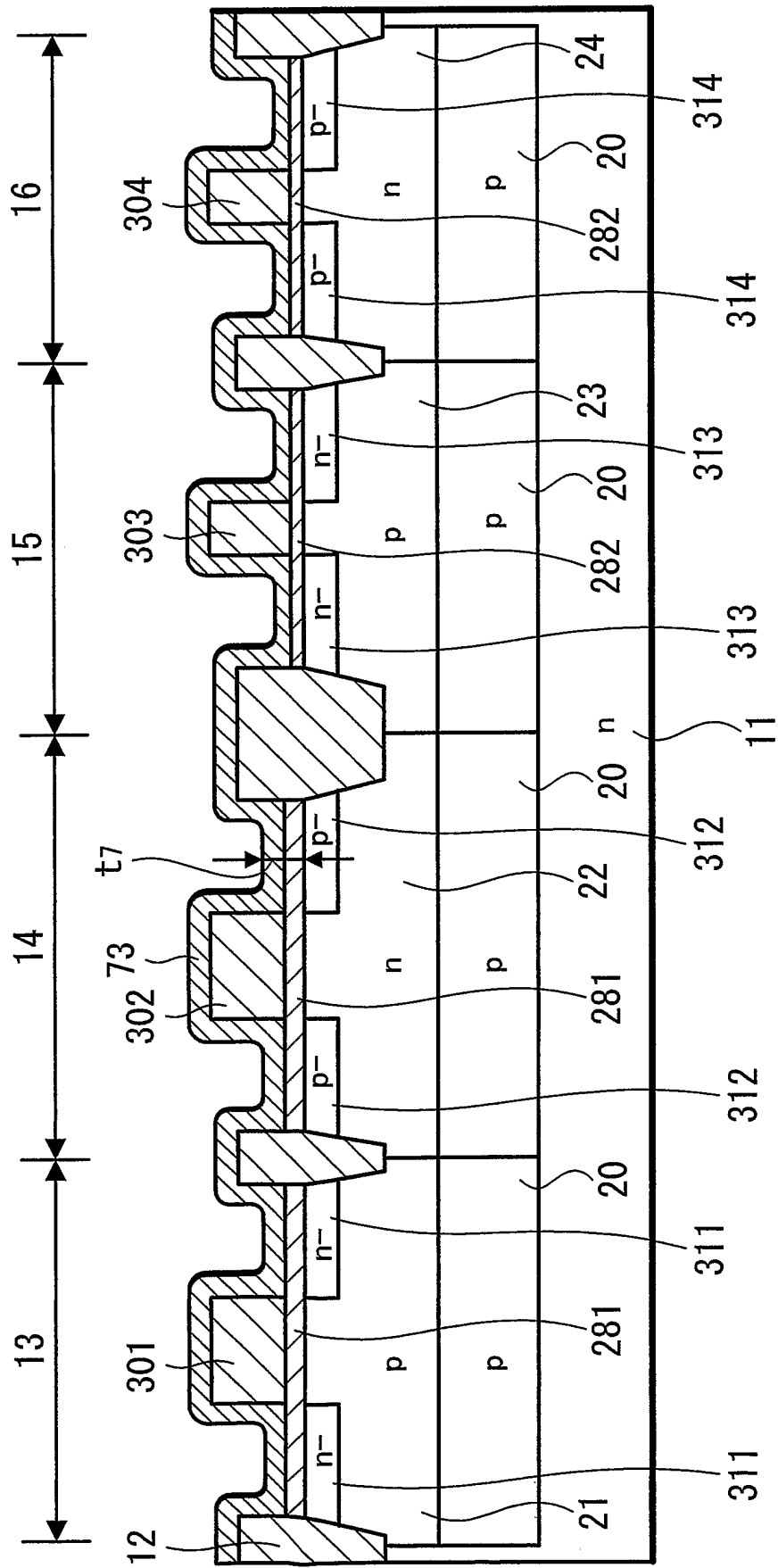


FIG. 39

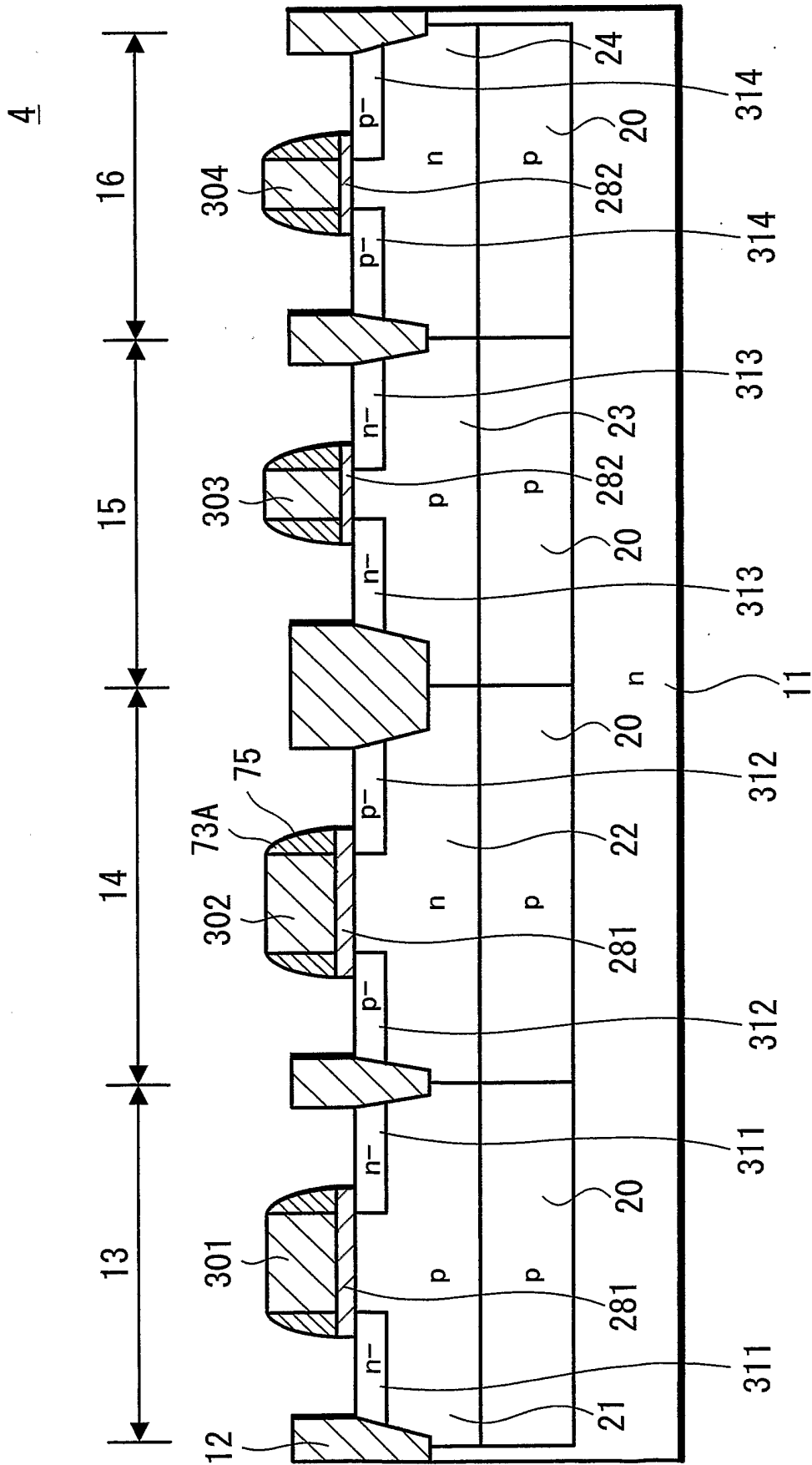


FIG. 40

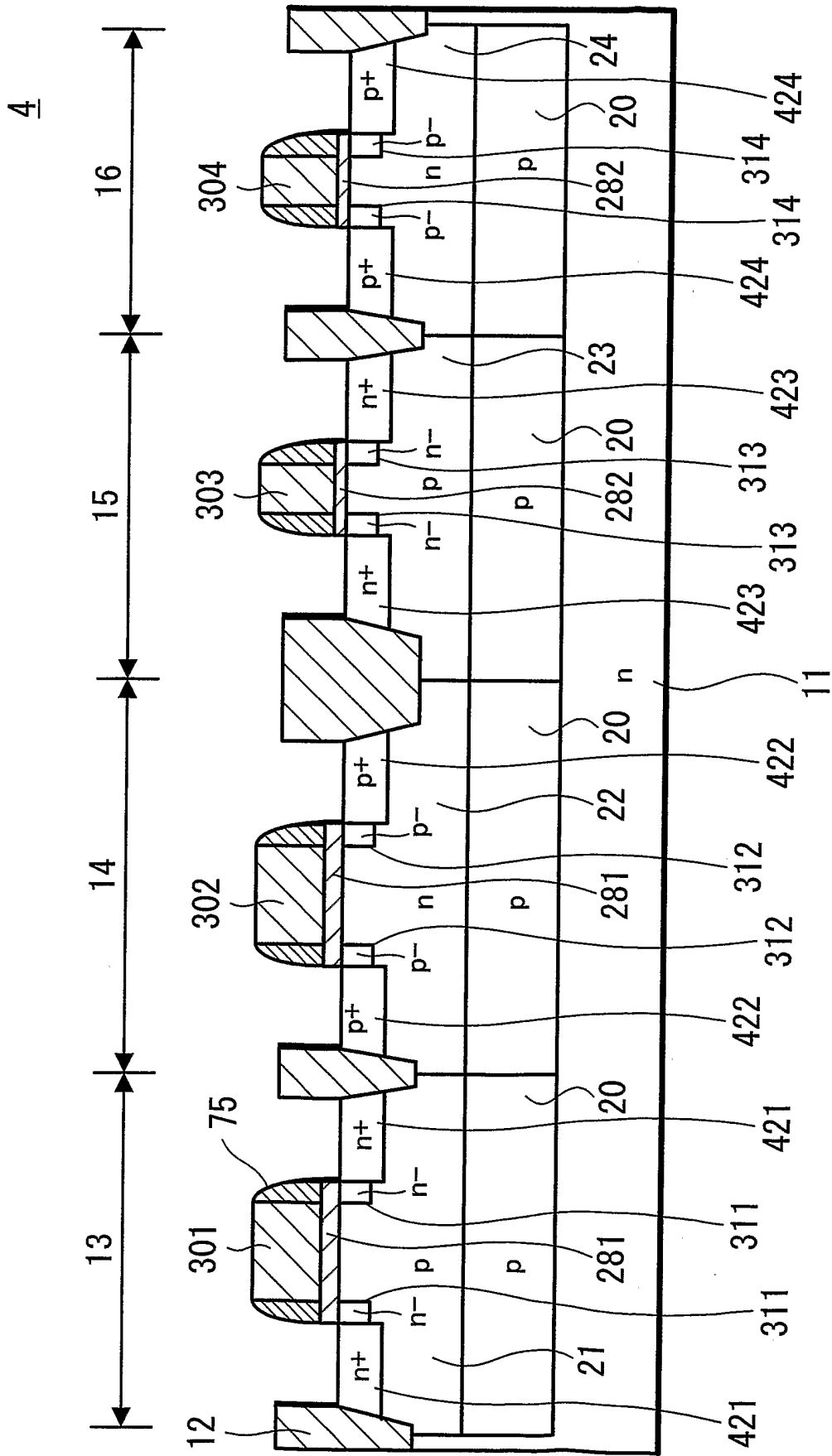


FIG. 41

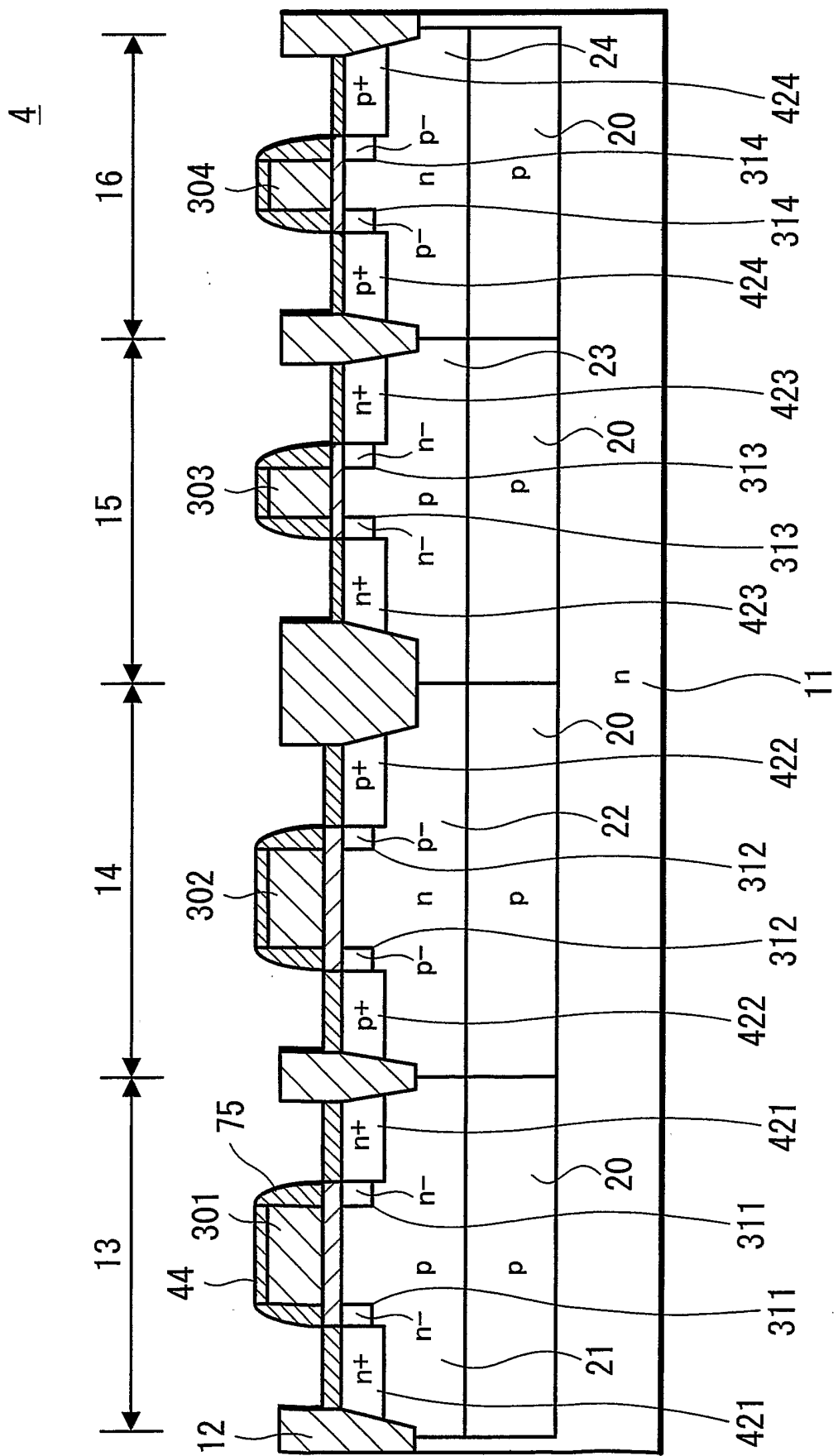


FIG. 42

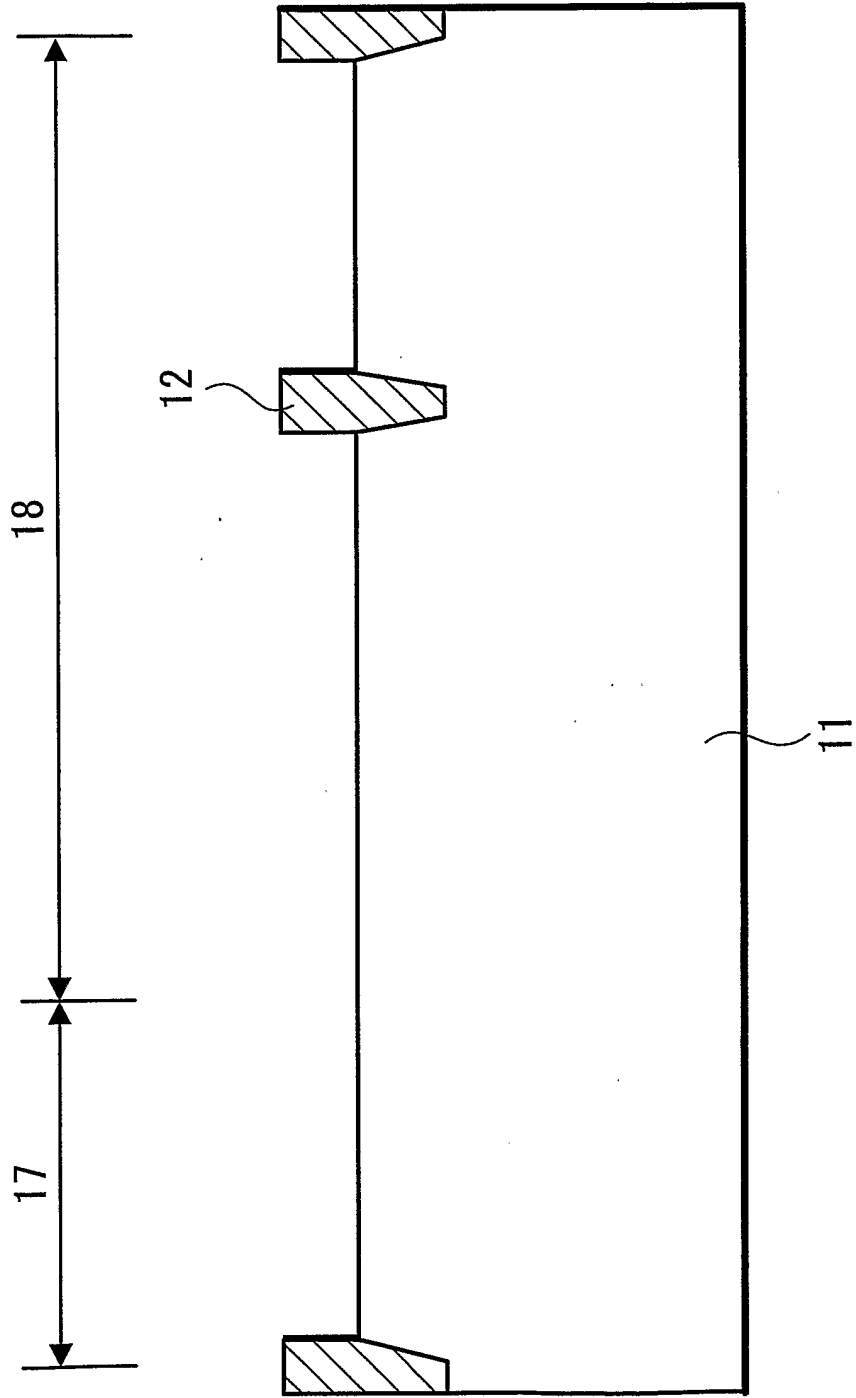


FIG. 43

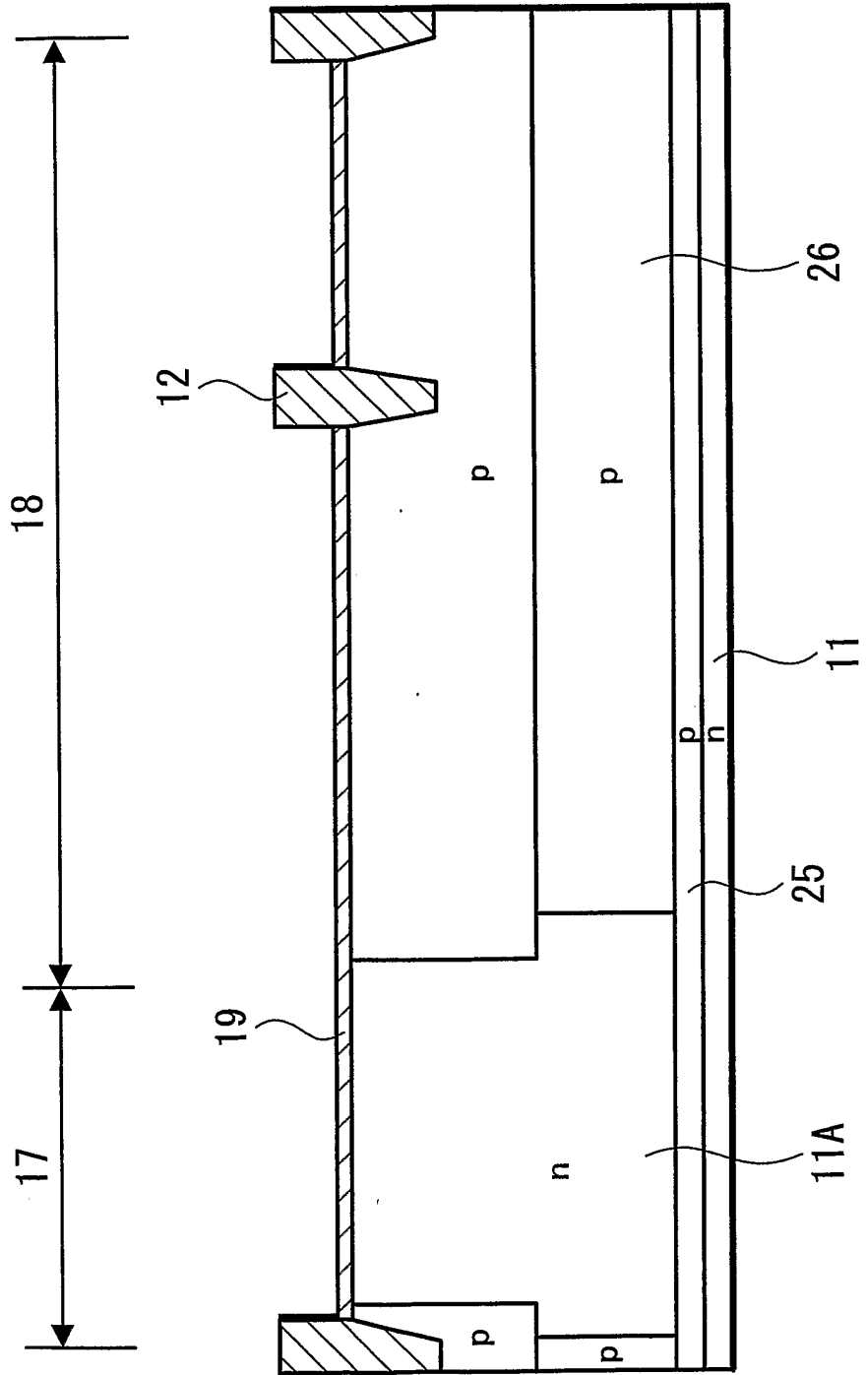


FIG. 44

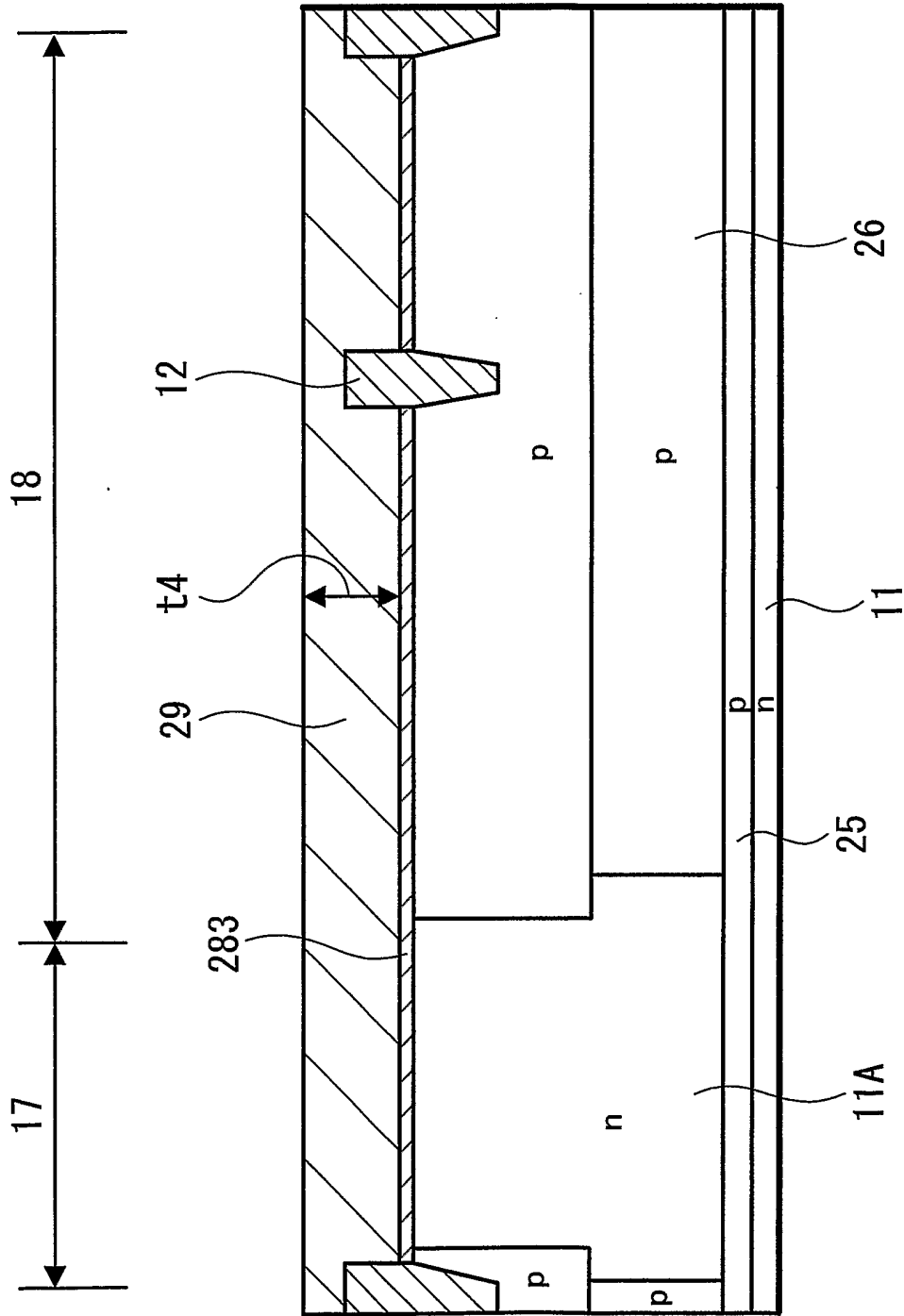


FIG. 45

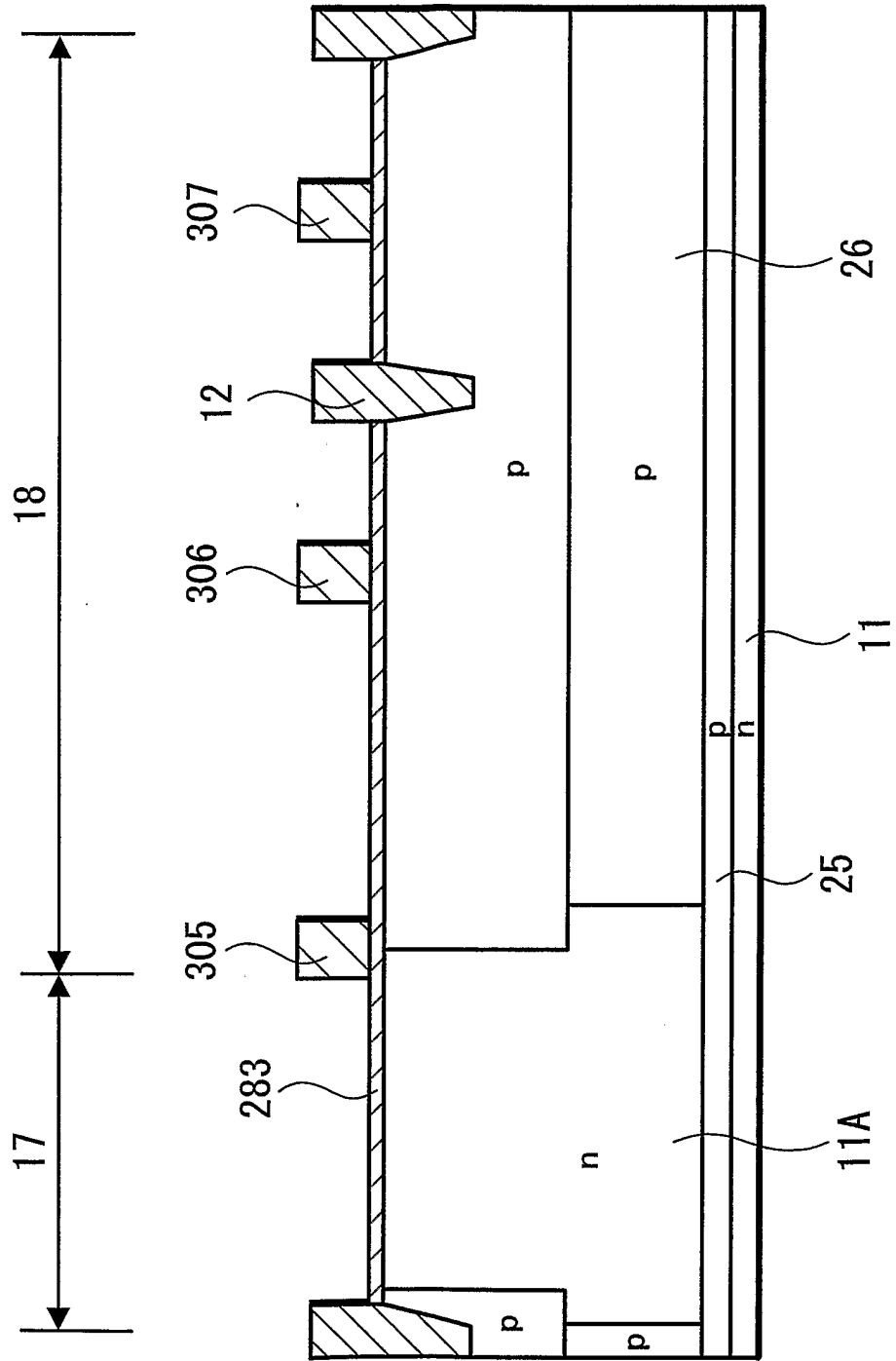


FIG. 46

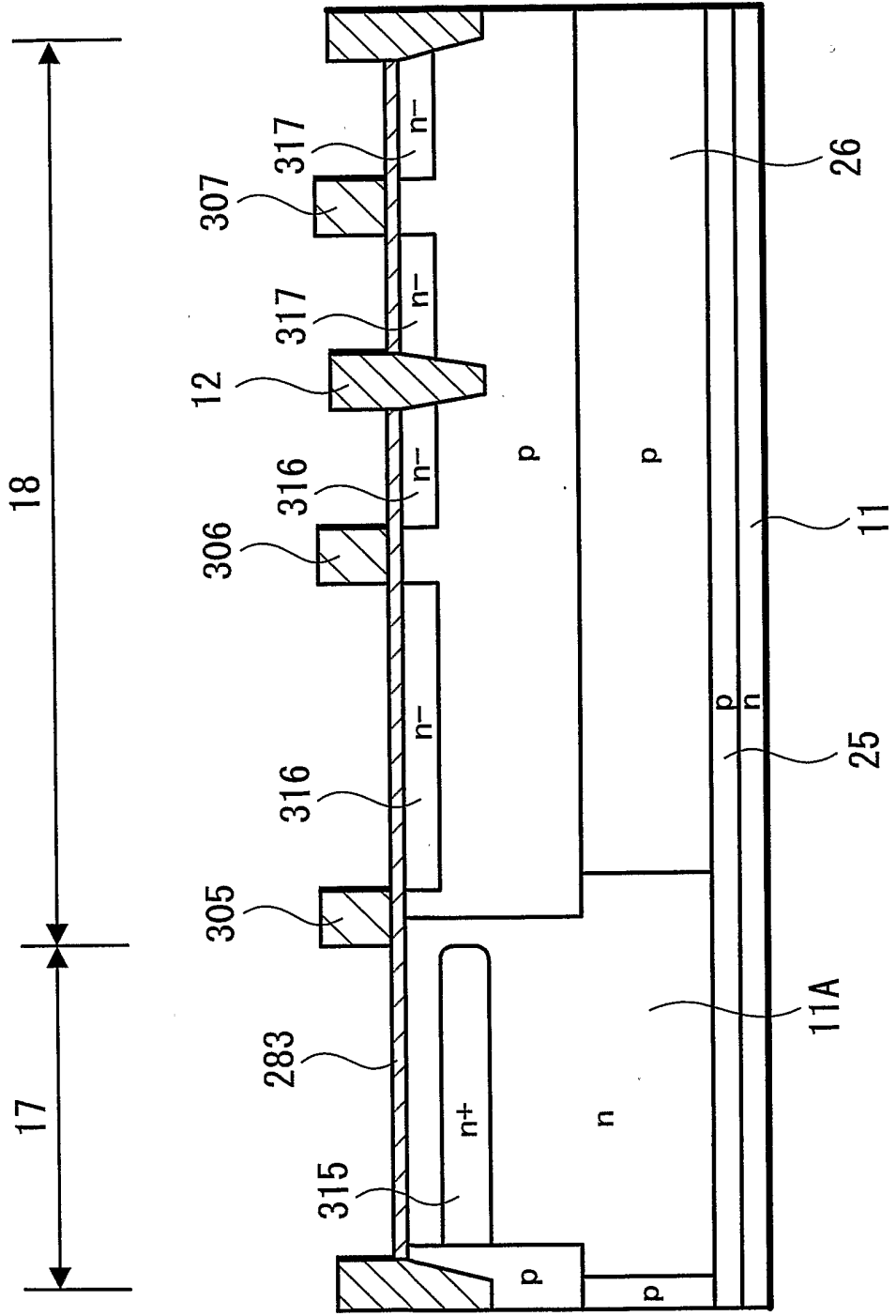


FIG. 47

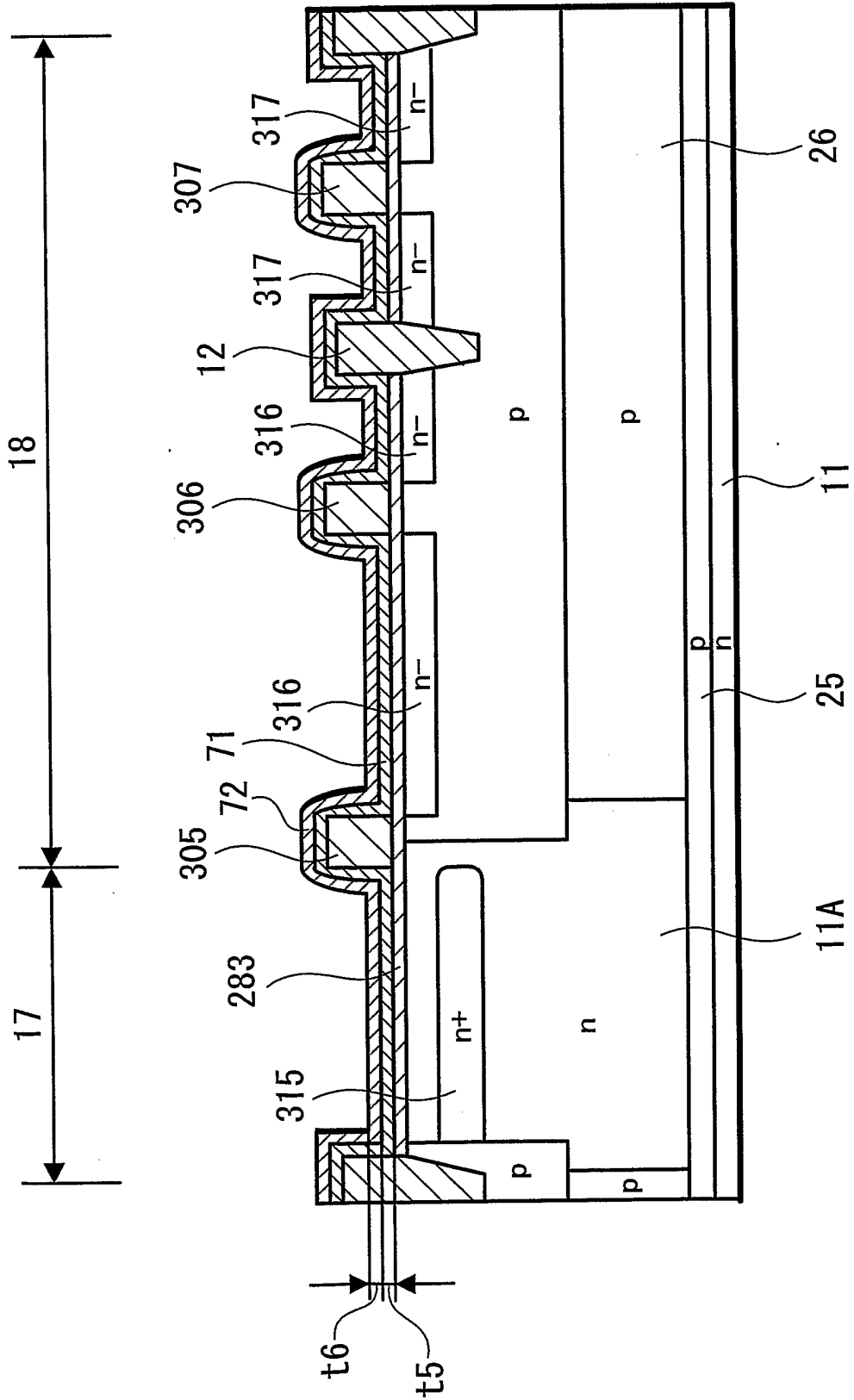


FIG. 48

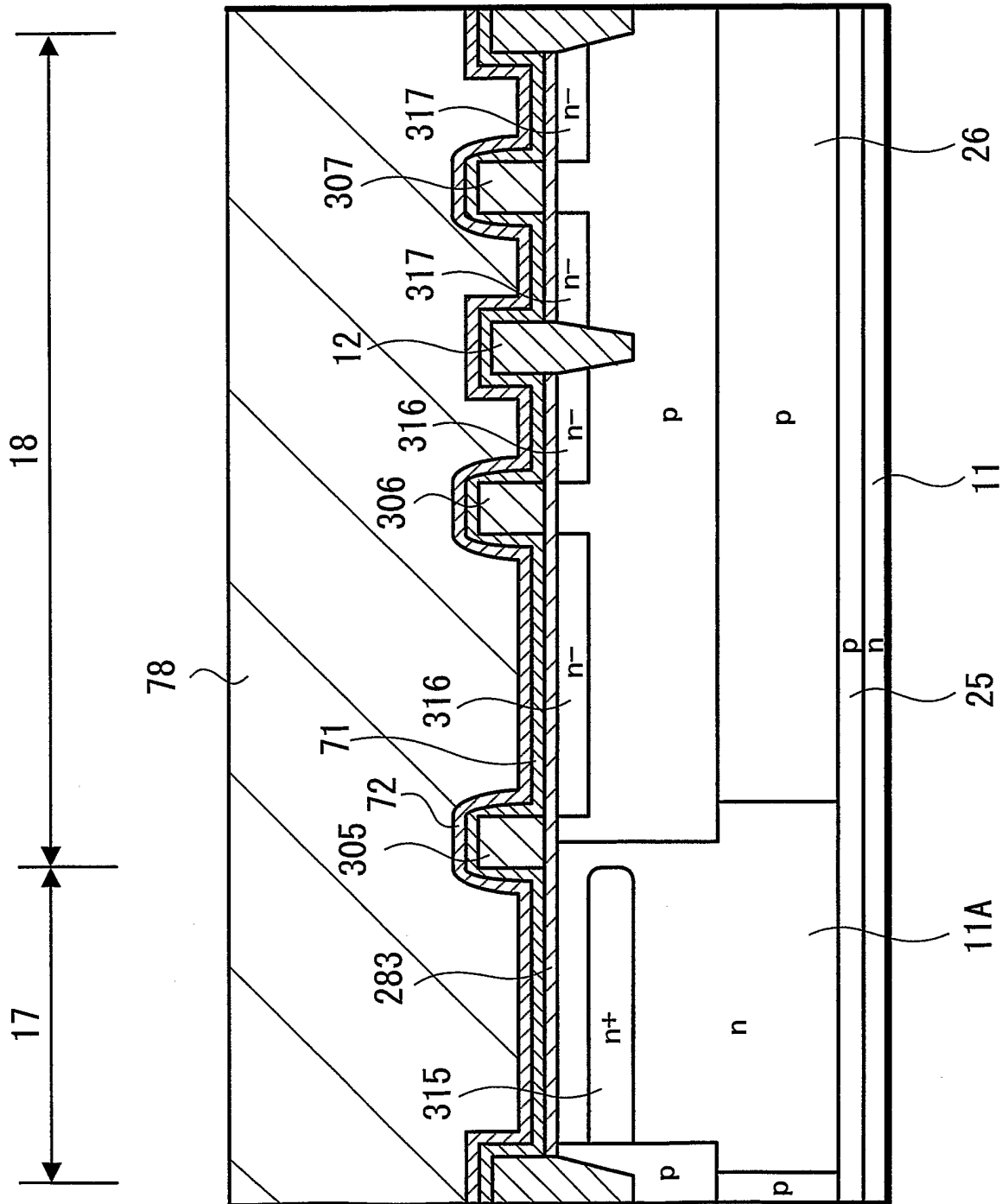


FIG. 49

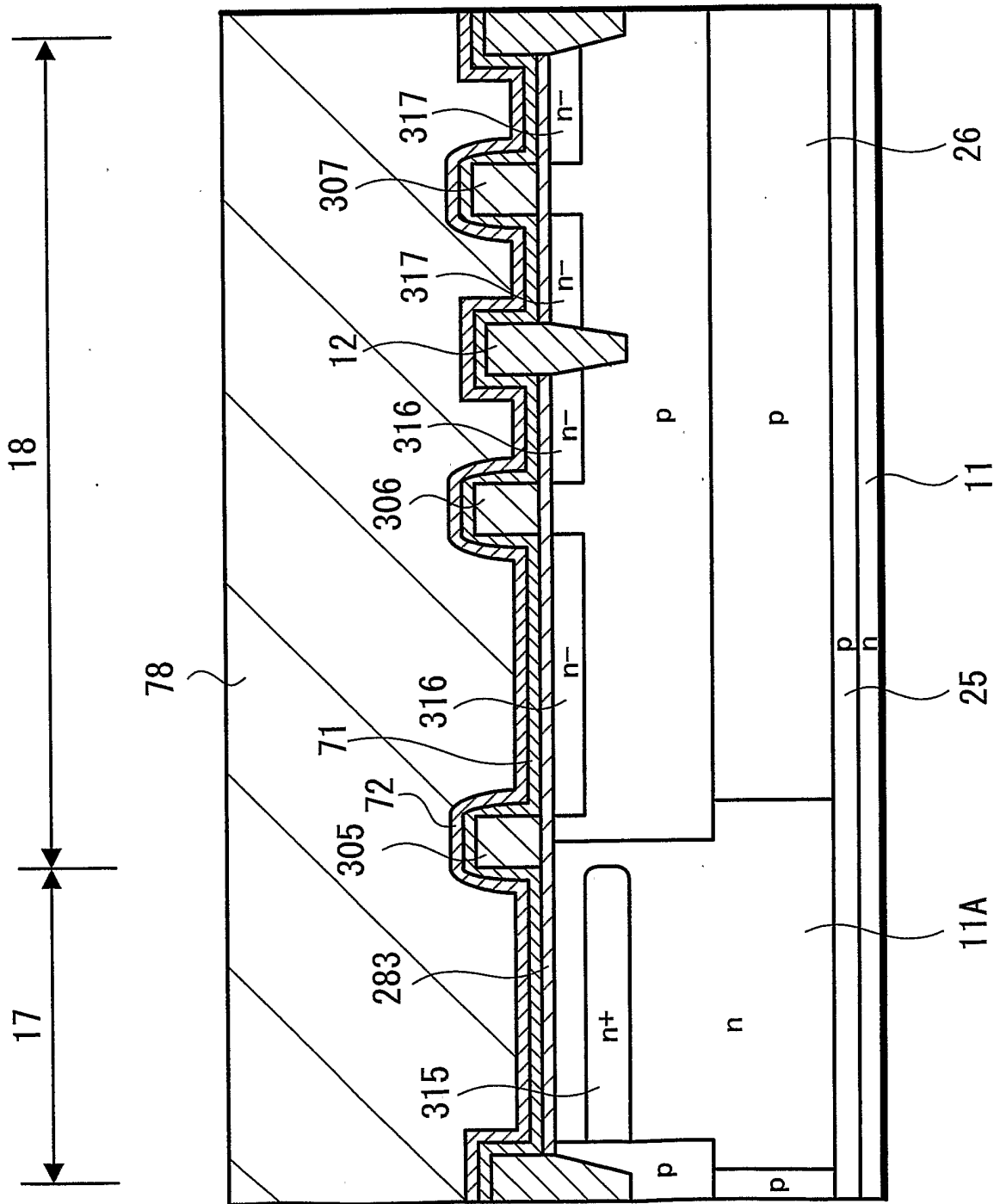


FIG. 50

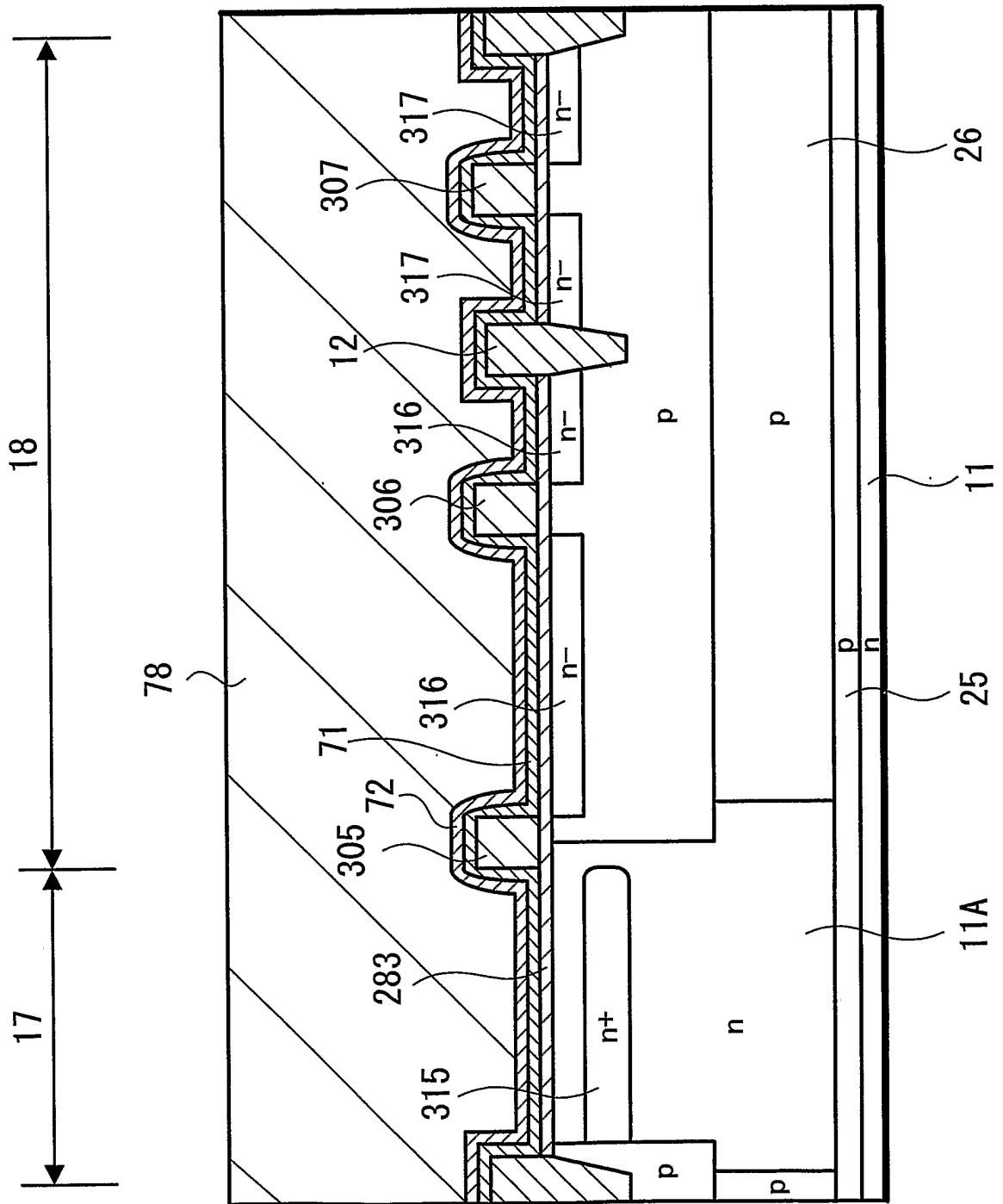


FIG. 52

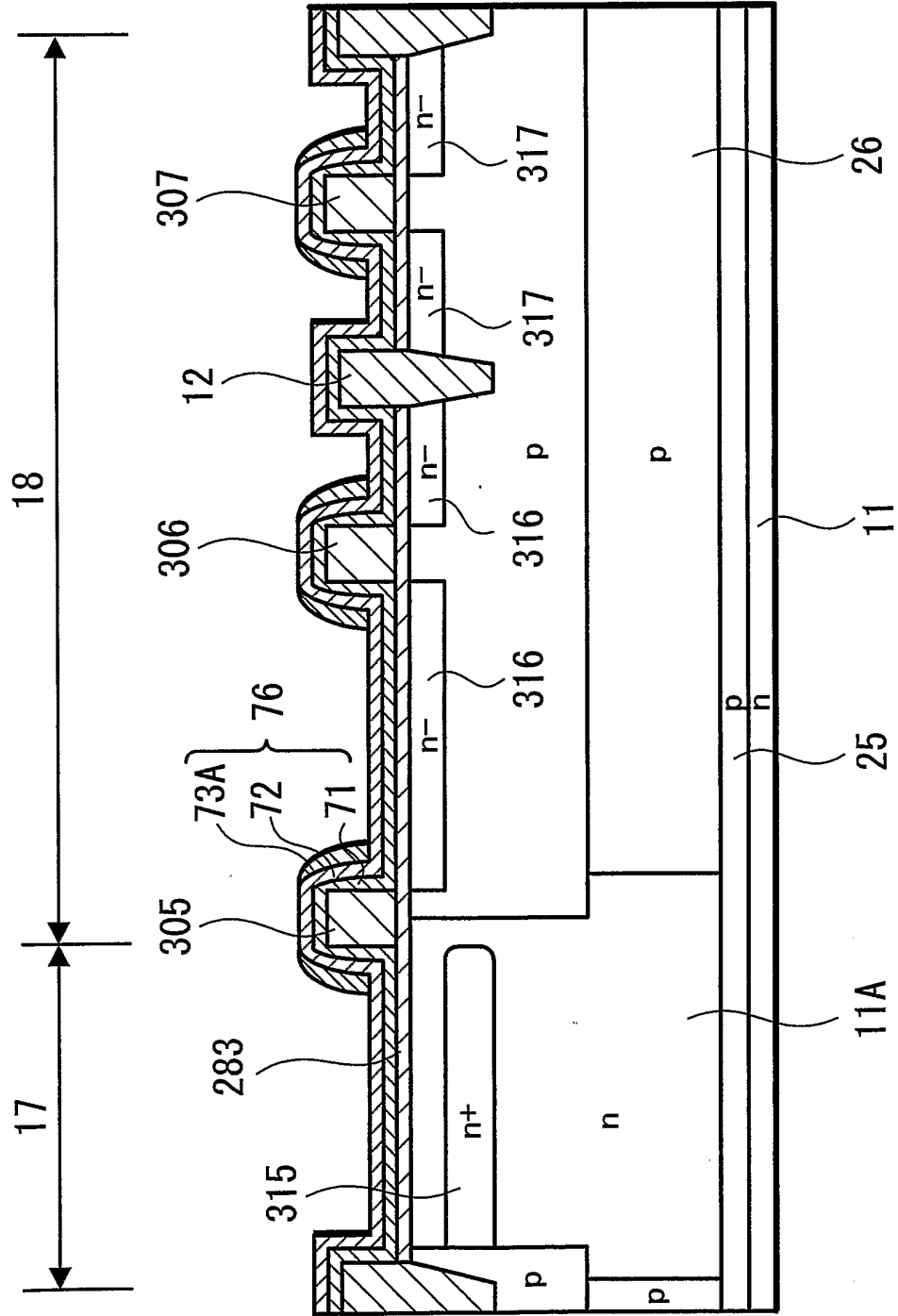


FIG. 54

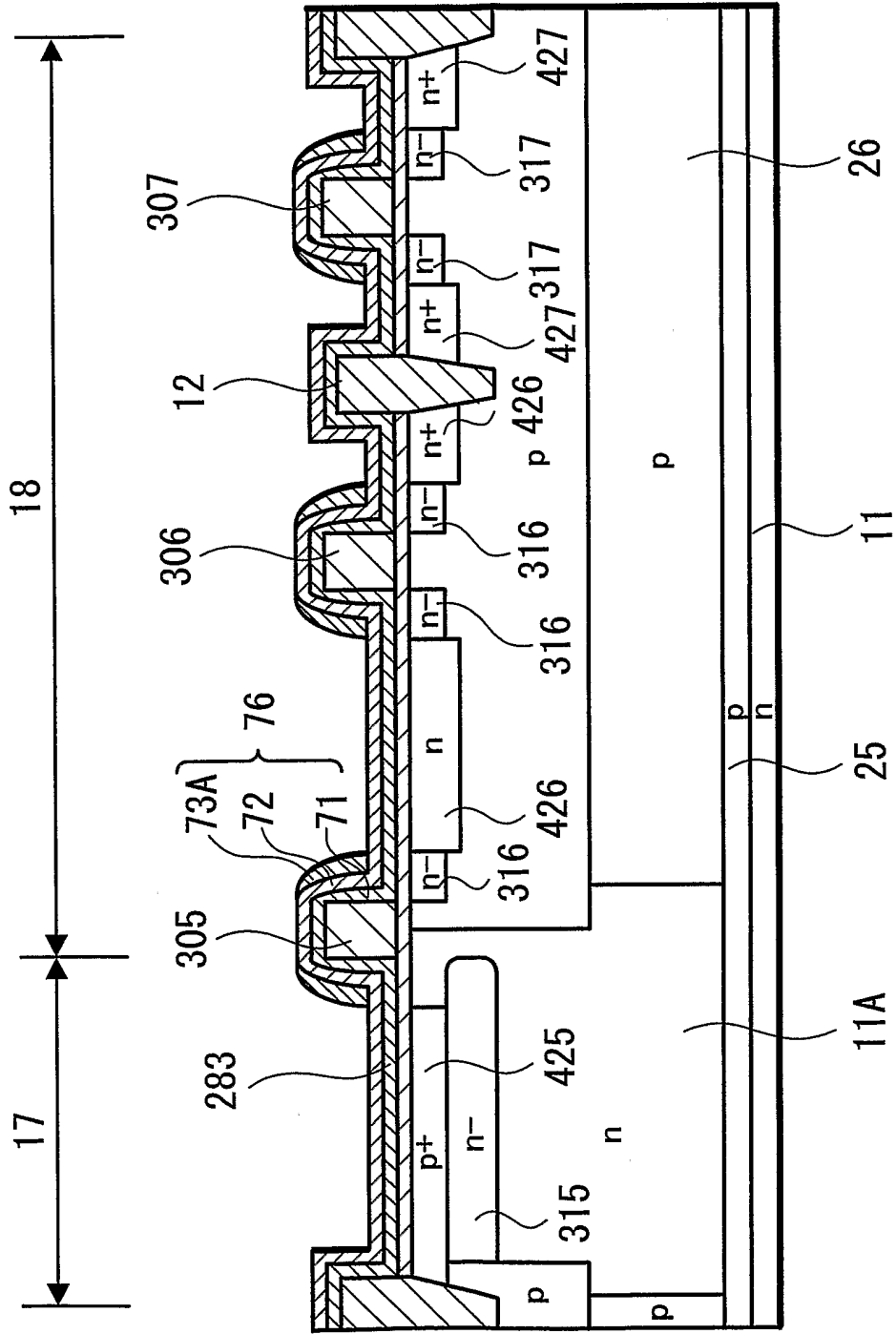


FIG. 55

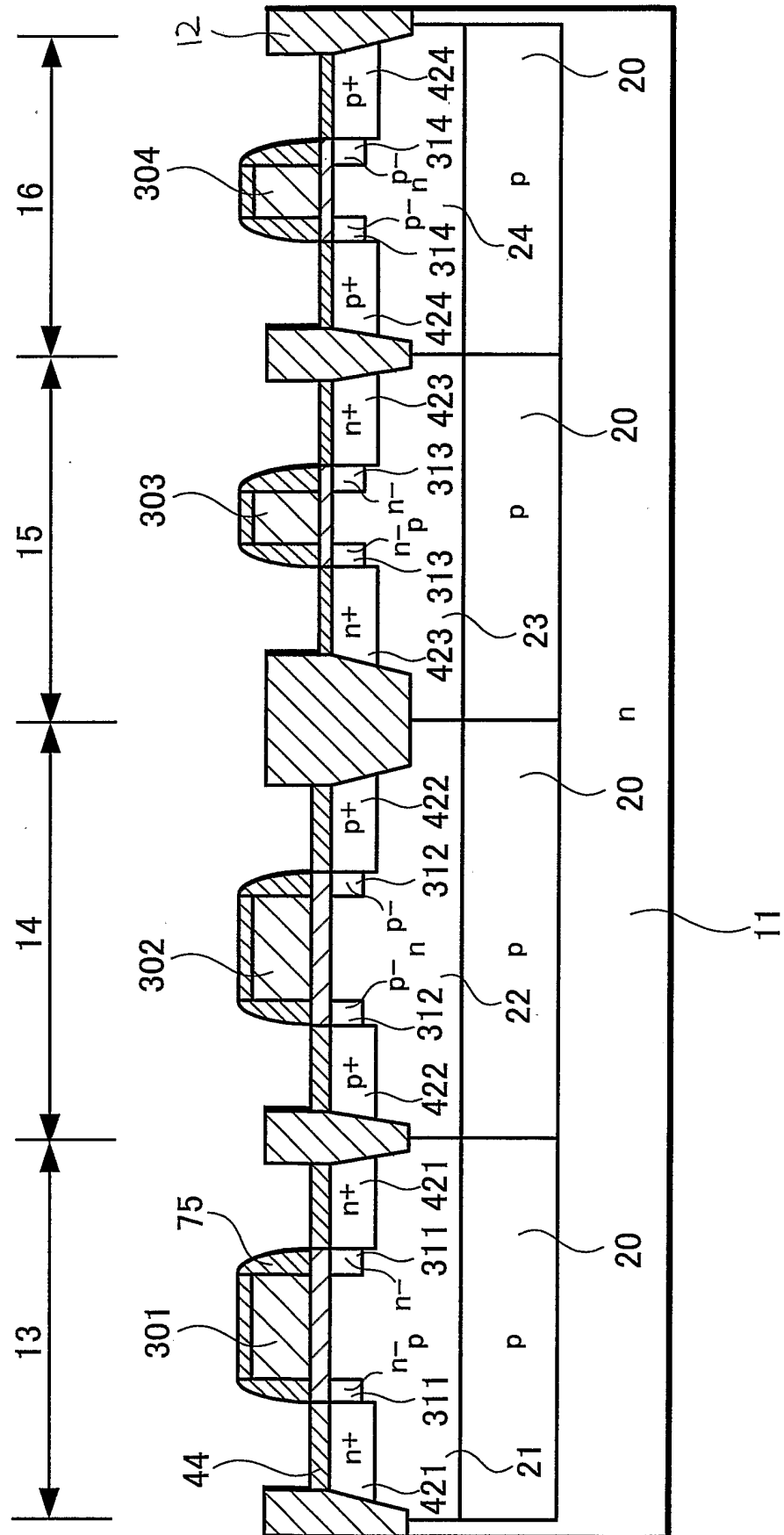


FIG. 56

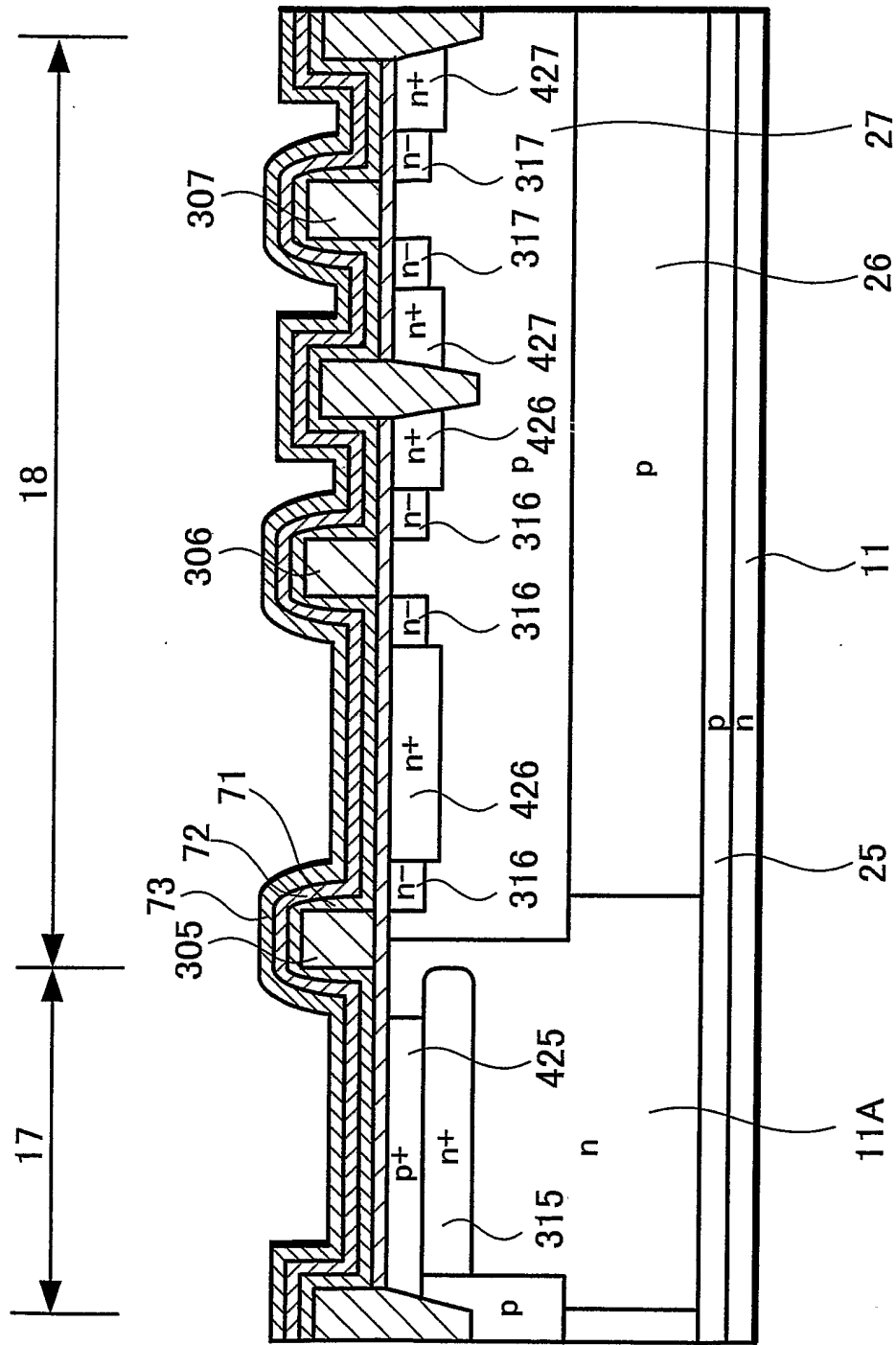


FIG. 57

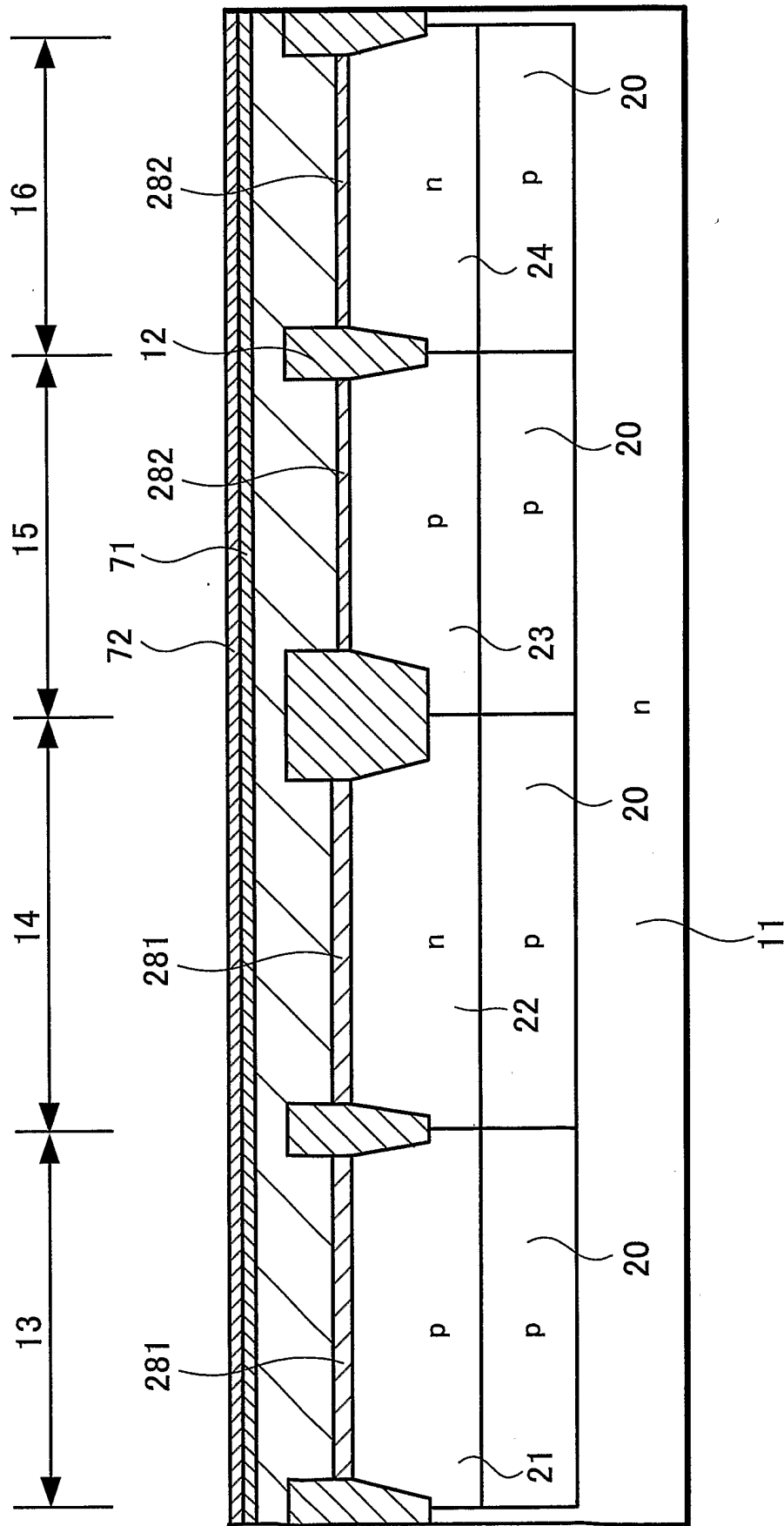


FIG. 58

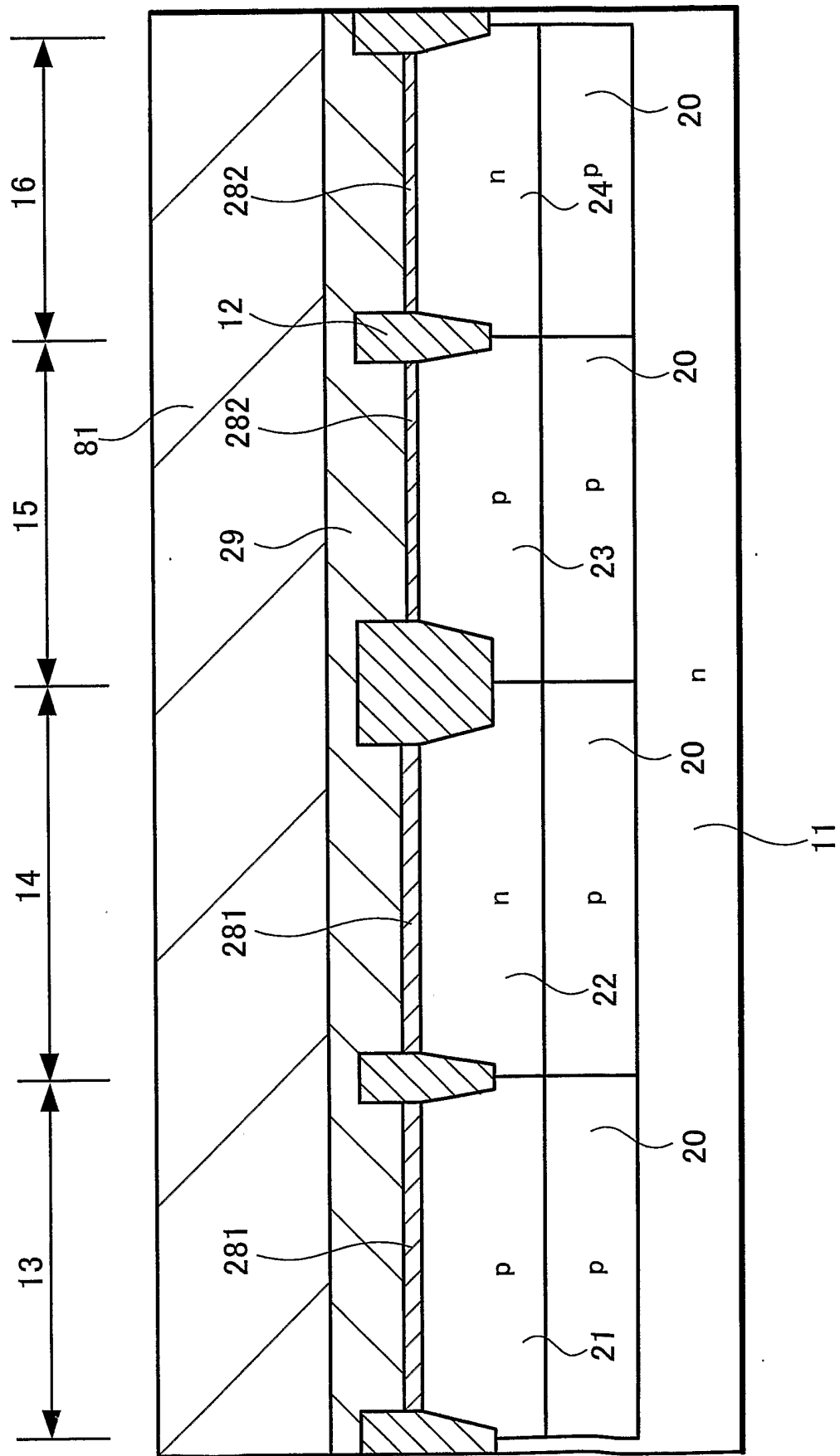


FIG. 59

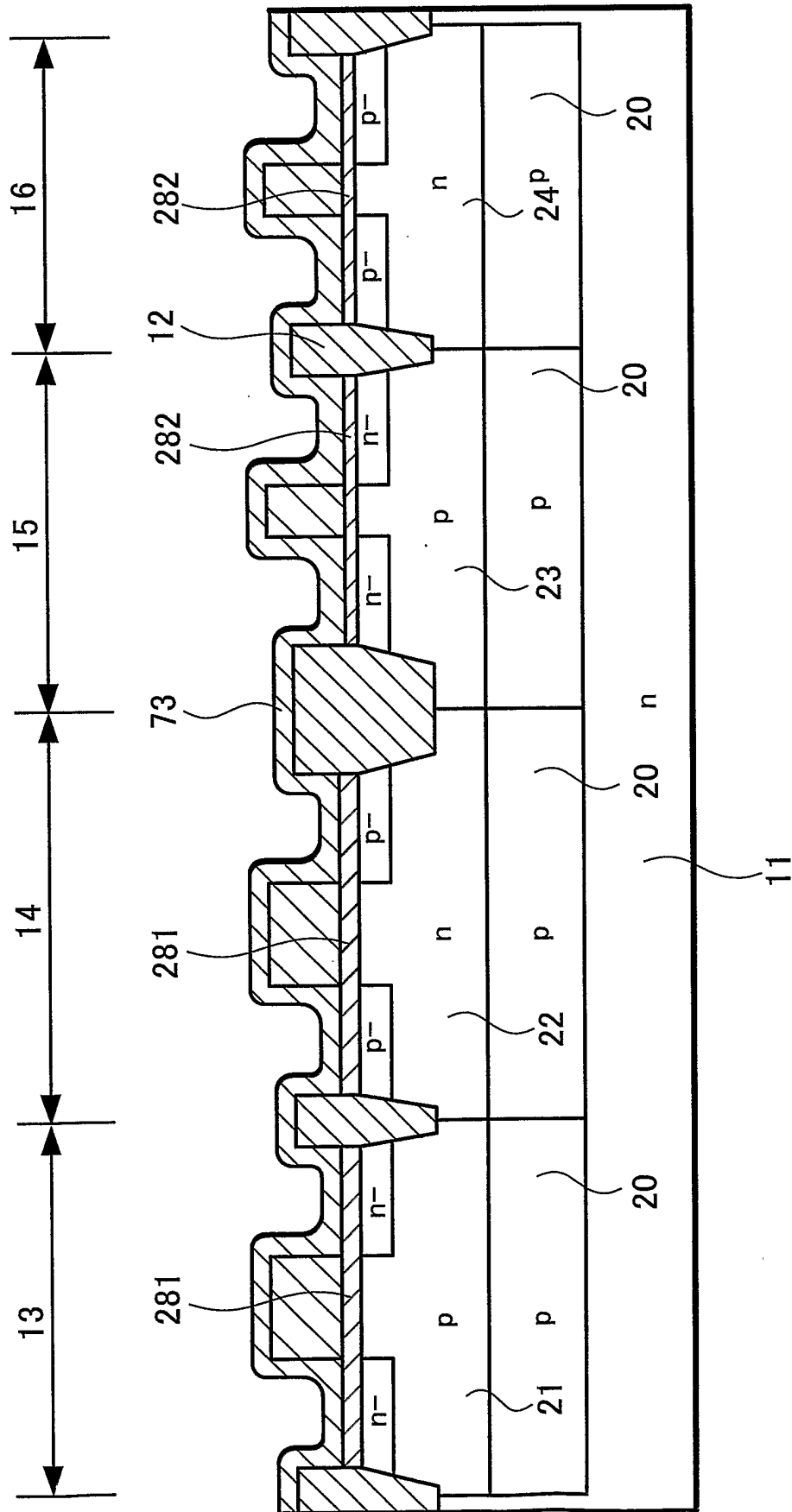


FIG. 60

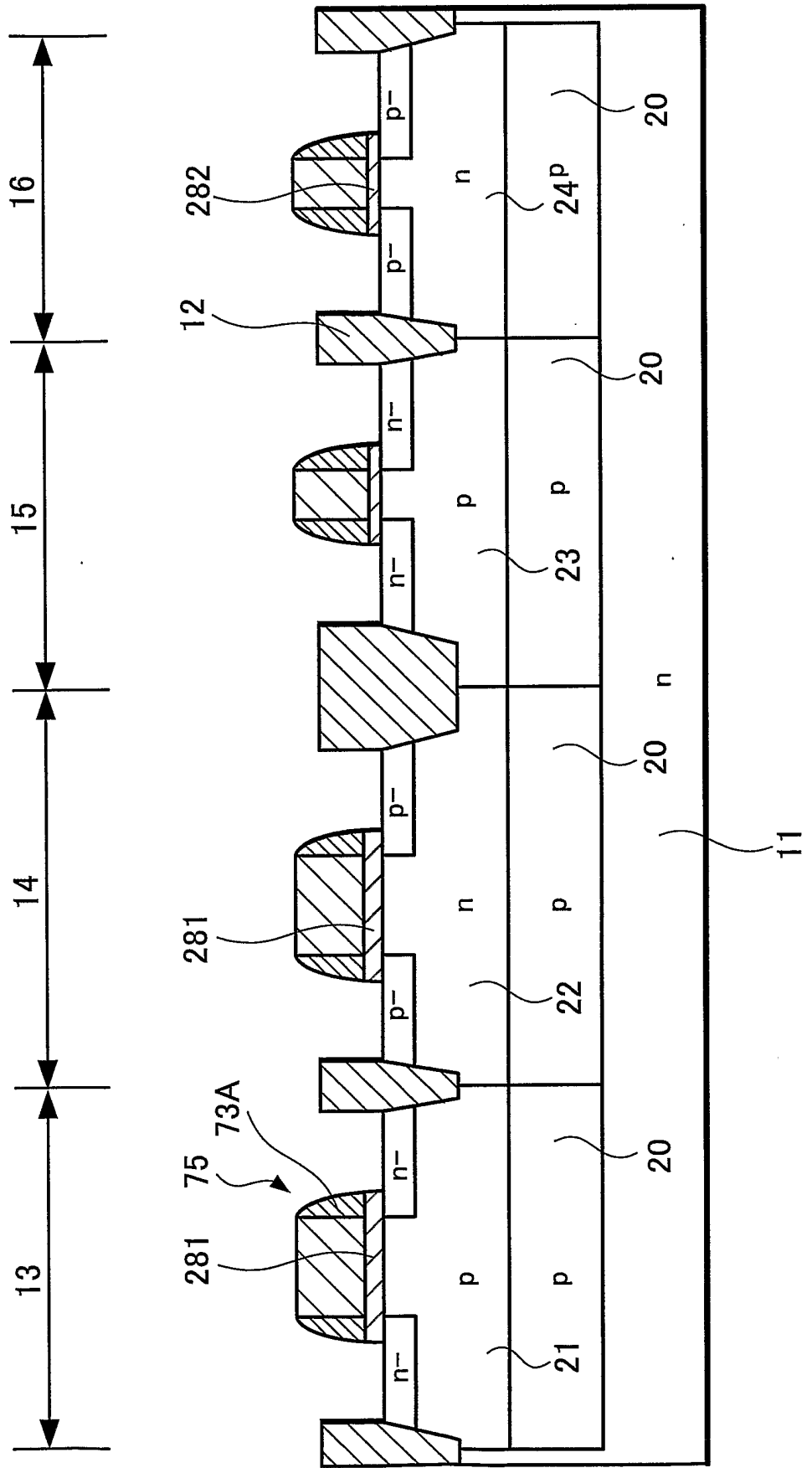


FIG. 61

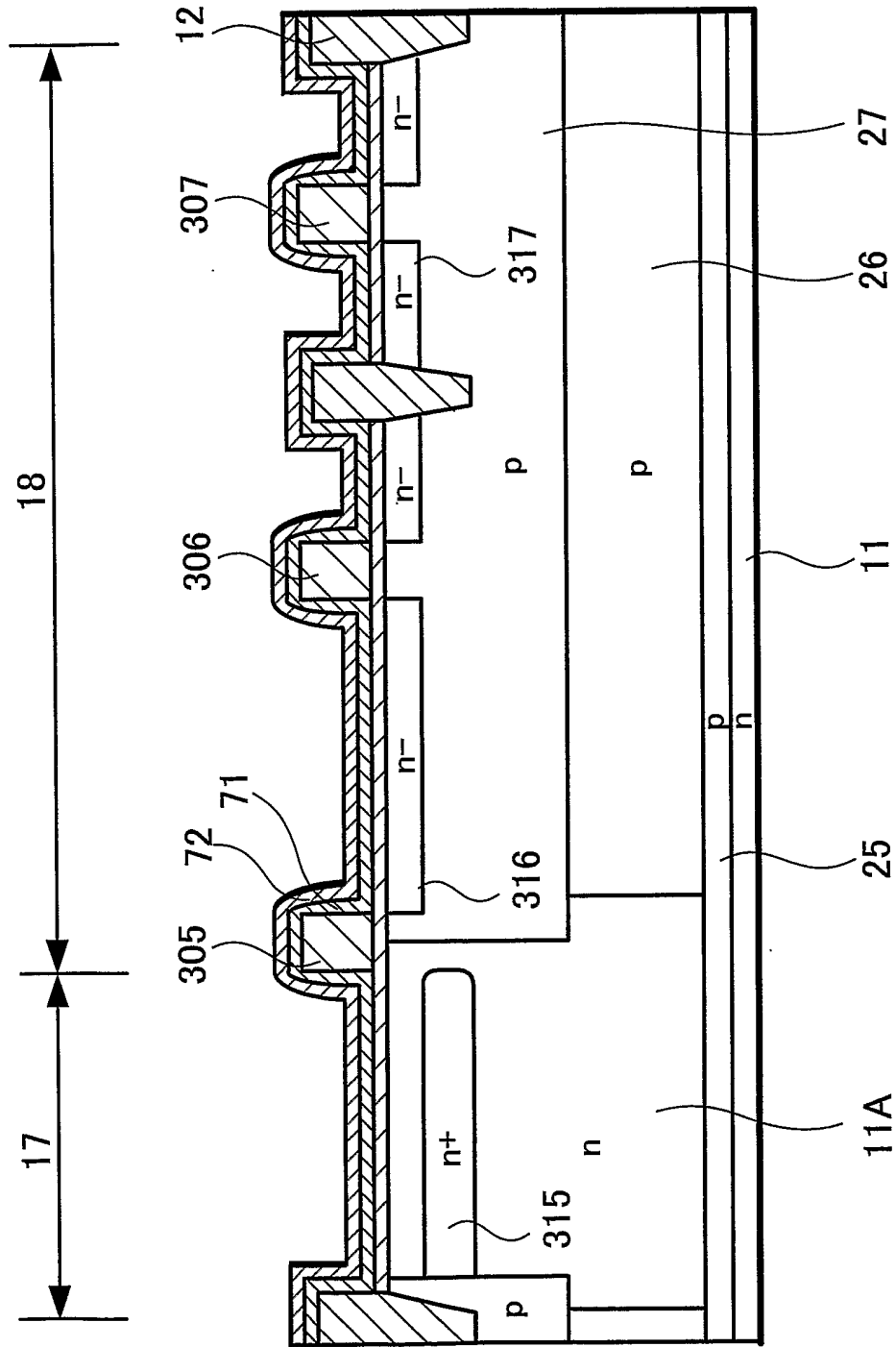


FIG. 62

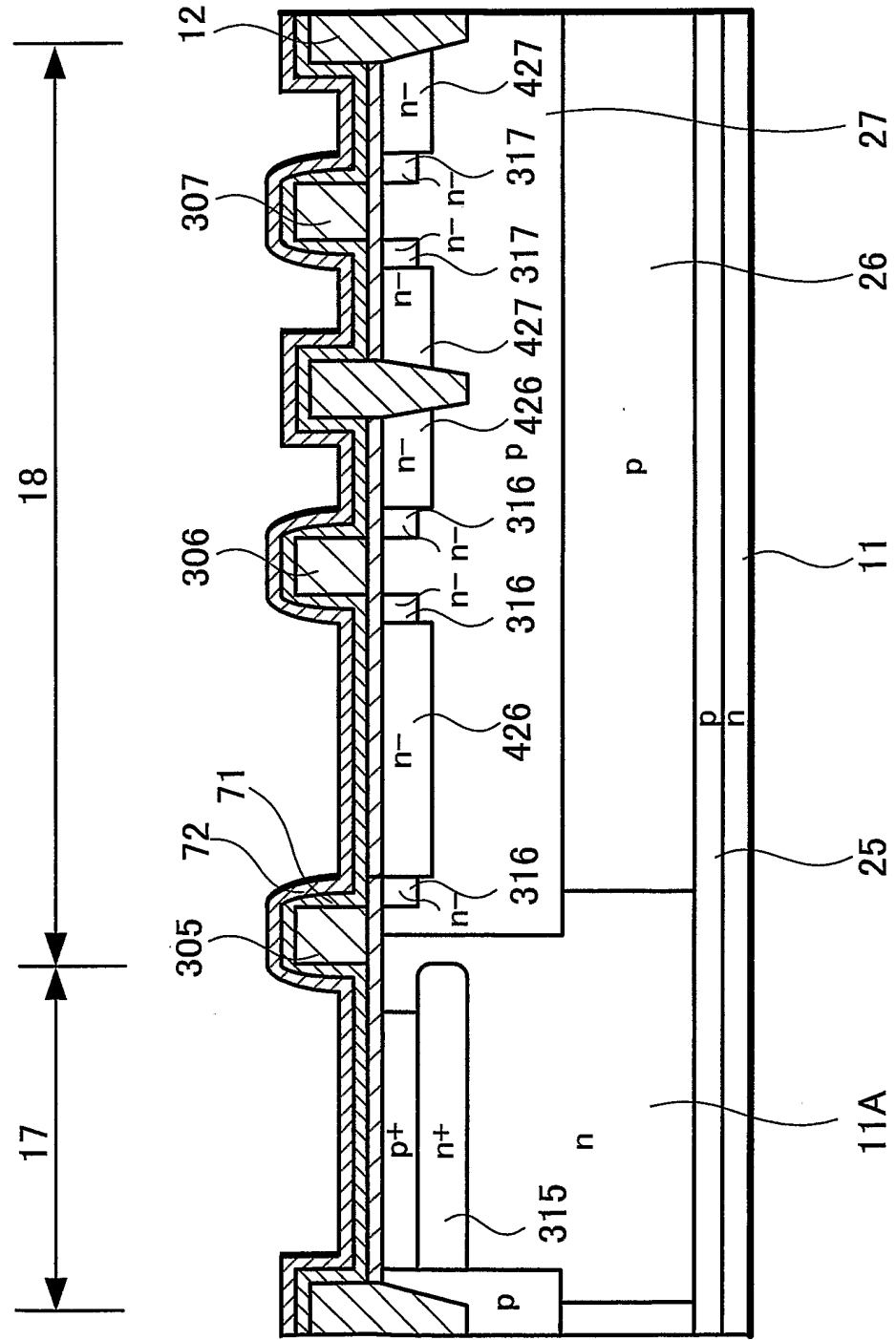


FIG. 63

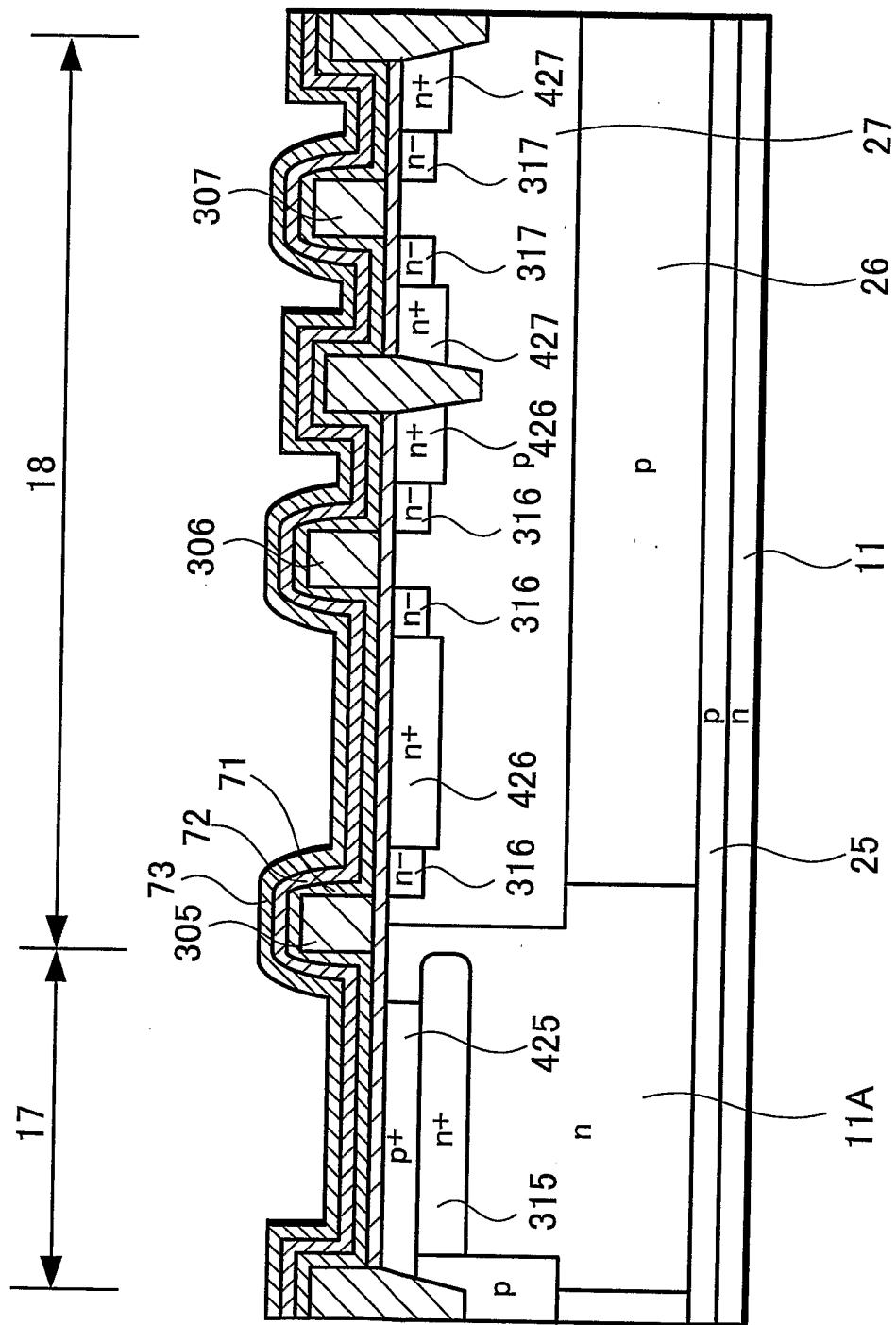


FIG. 64

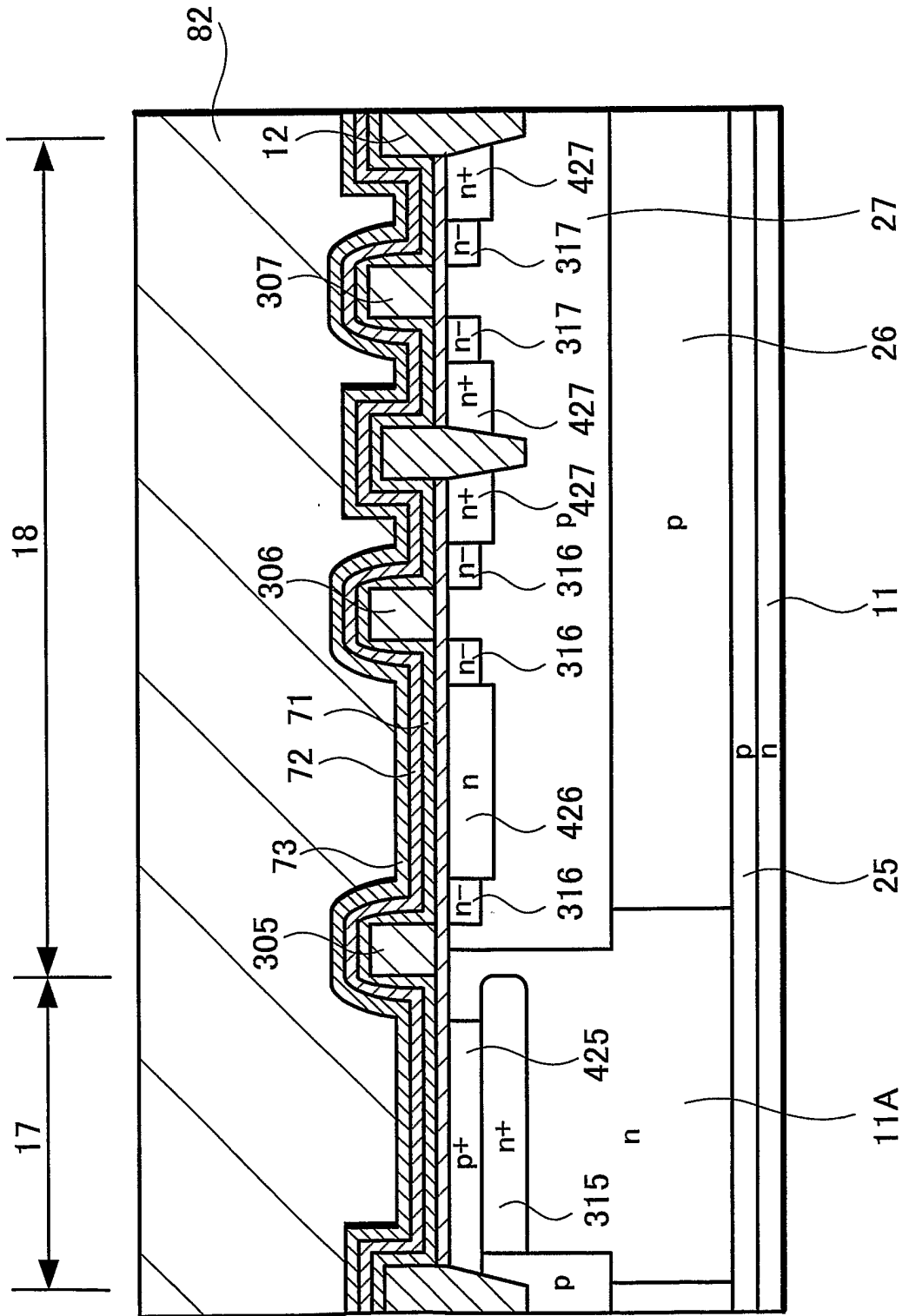


FIG. 65

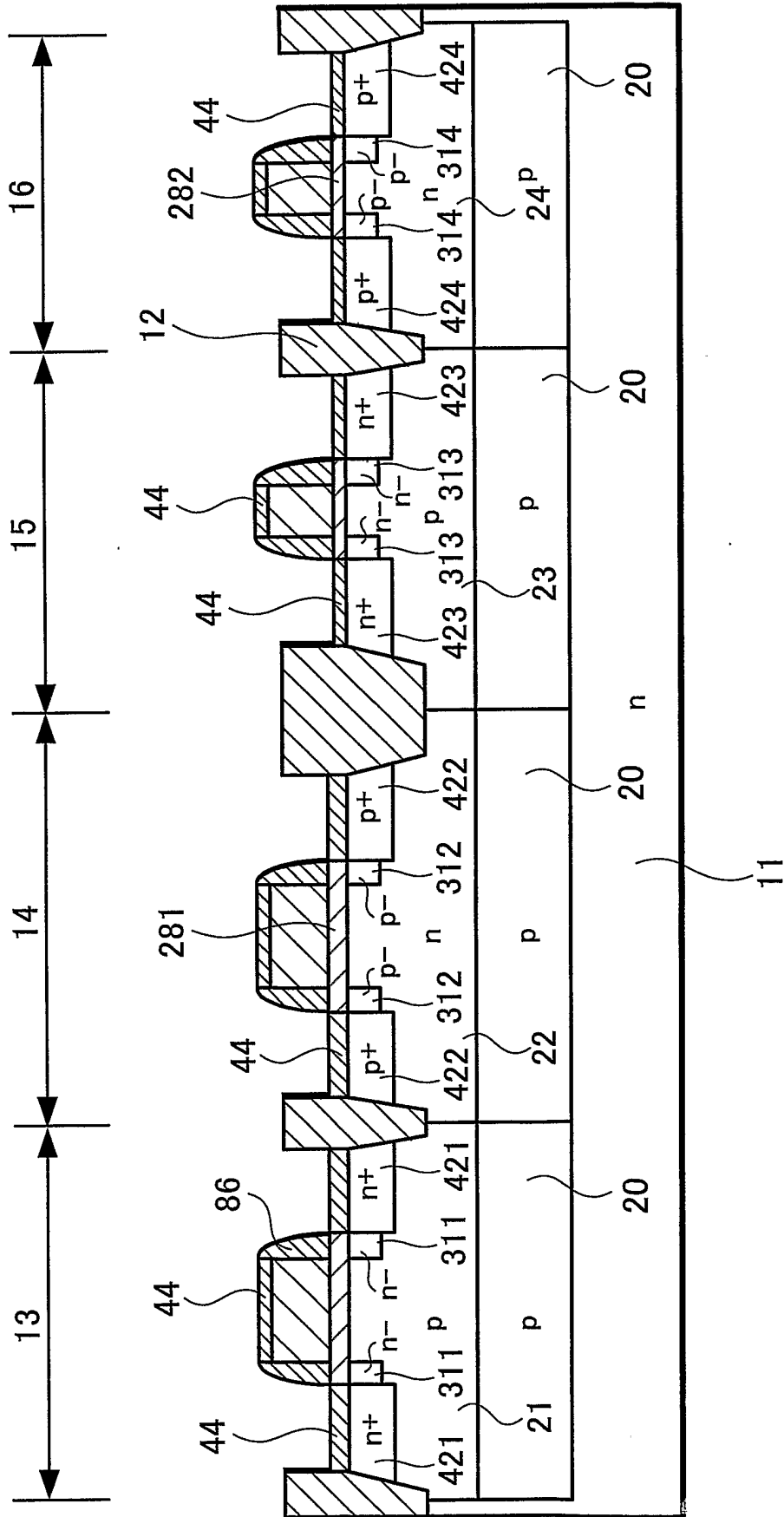


FIG. 66

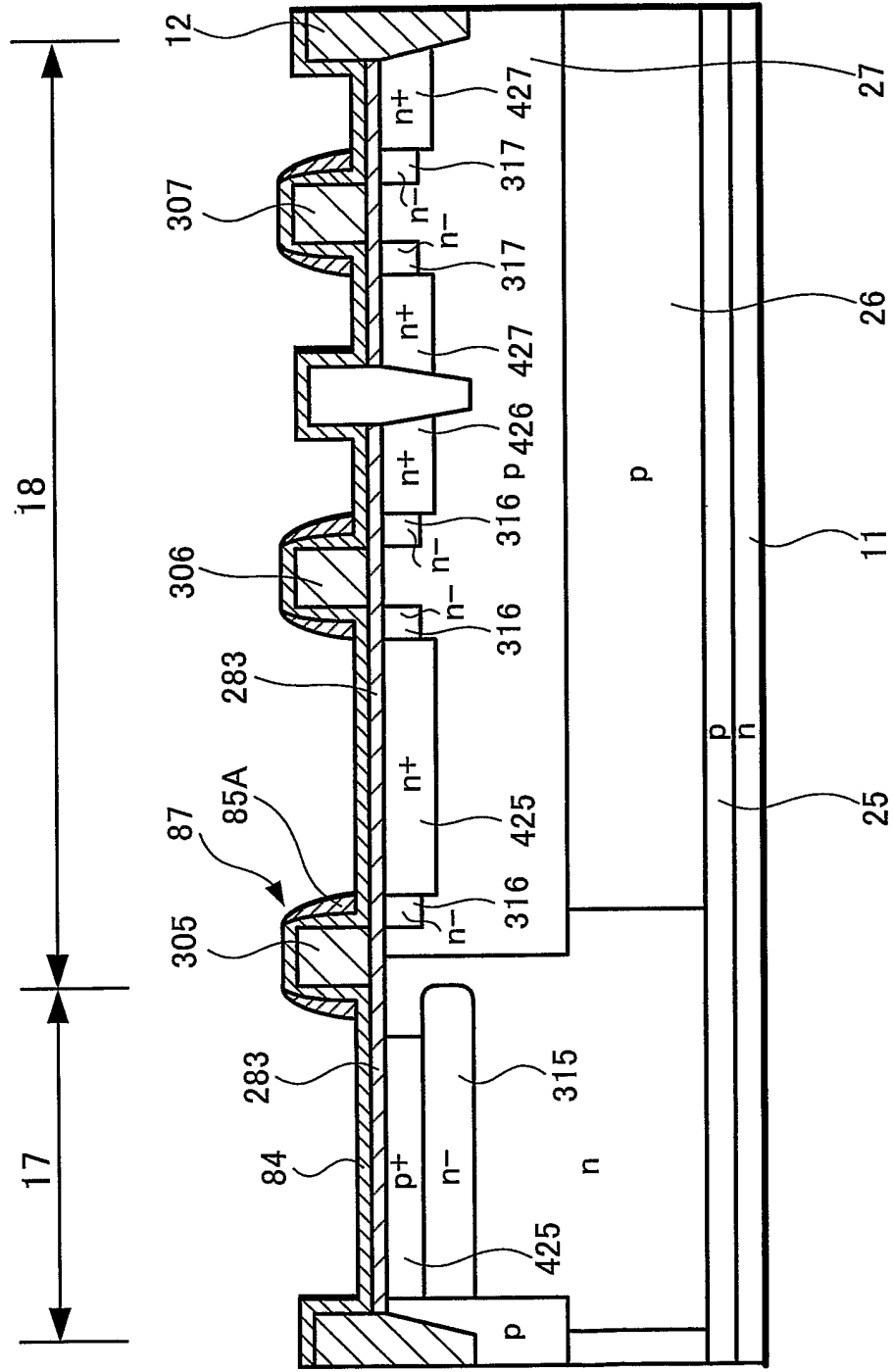


FIG. 67

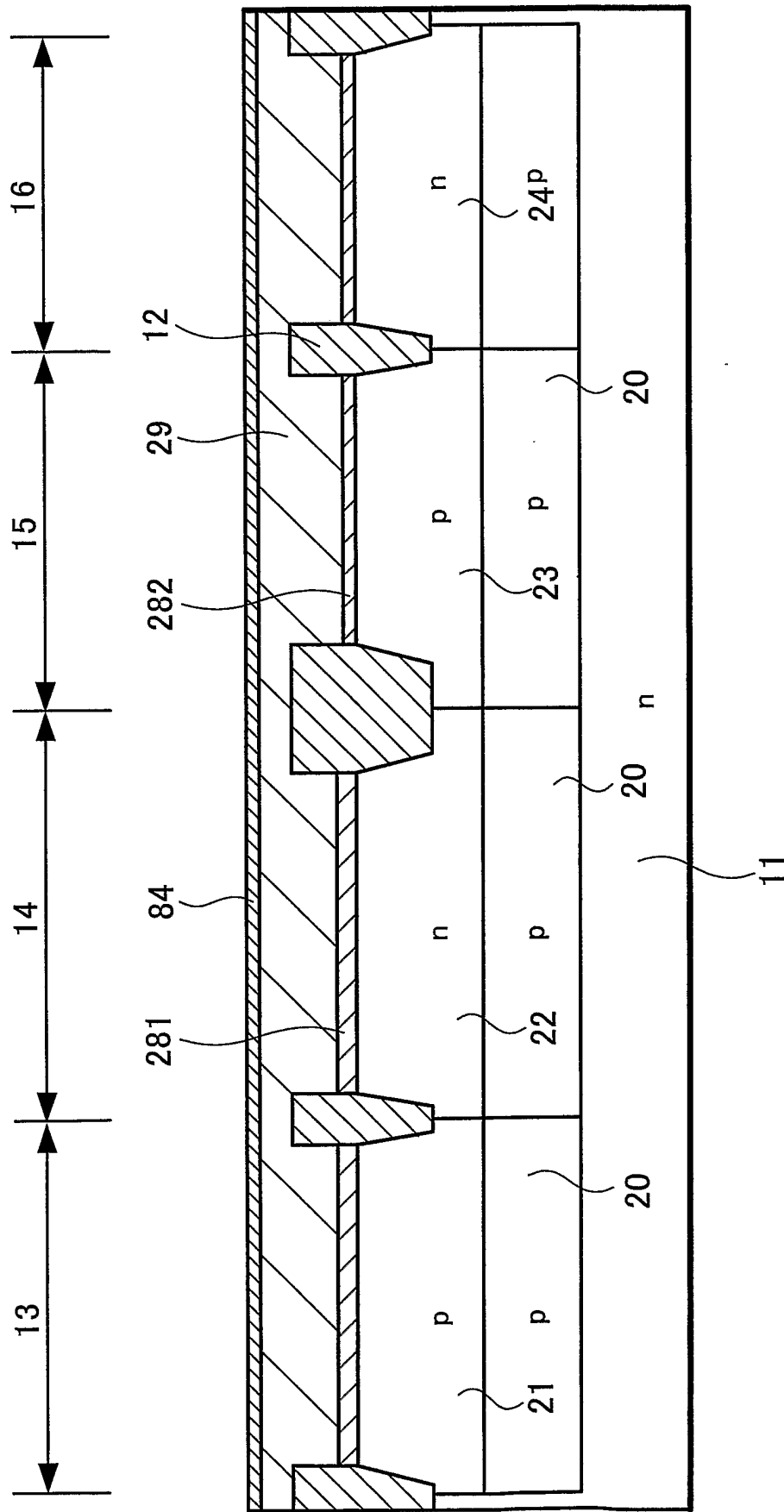


FIG. 68

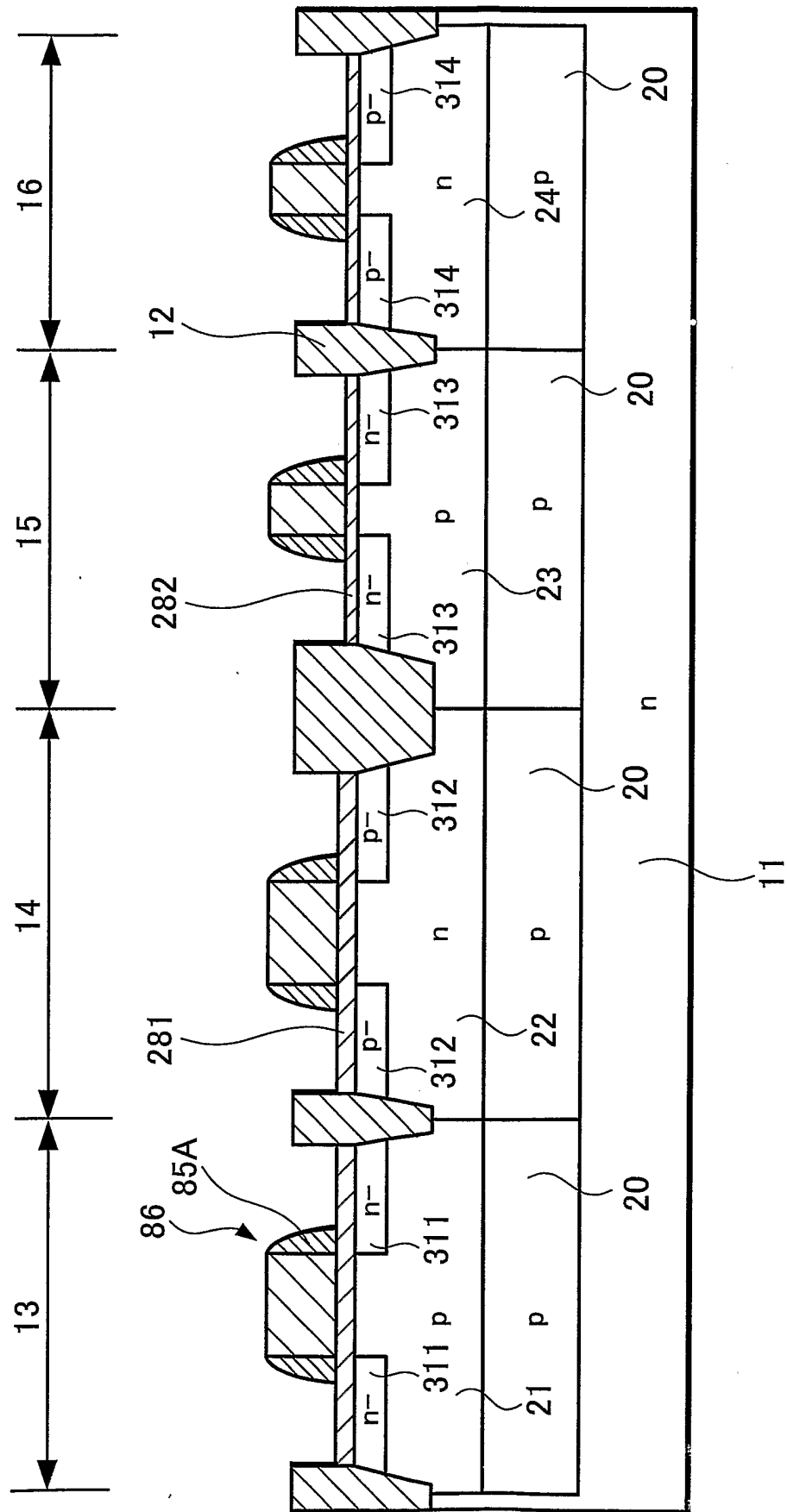


FIG. 69

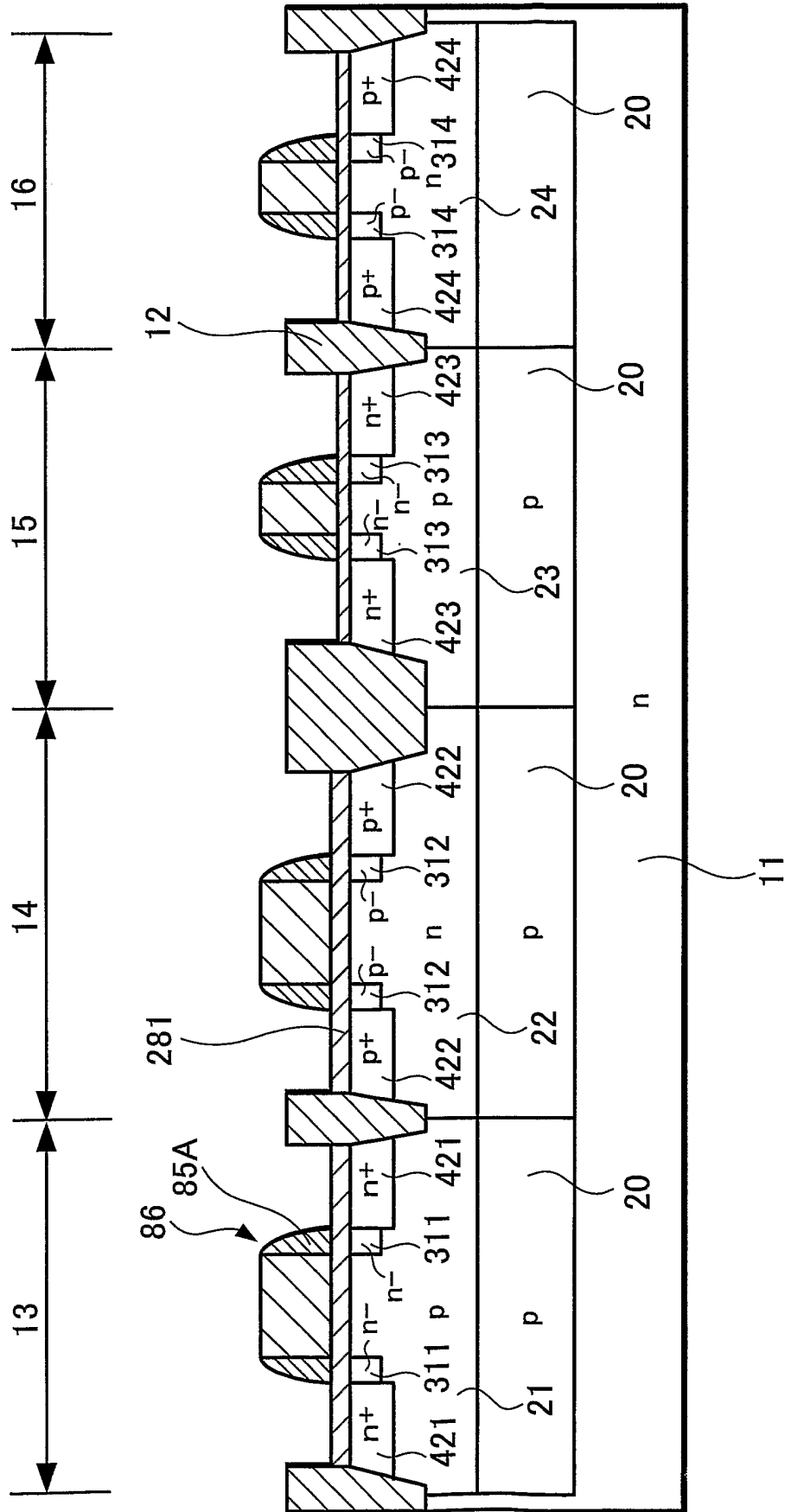


FIG. 70

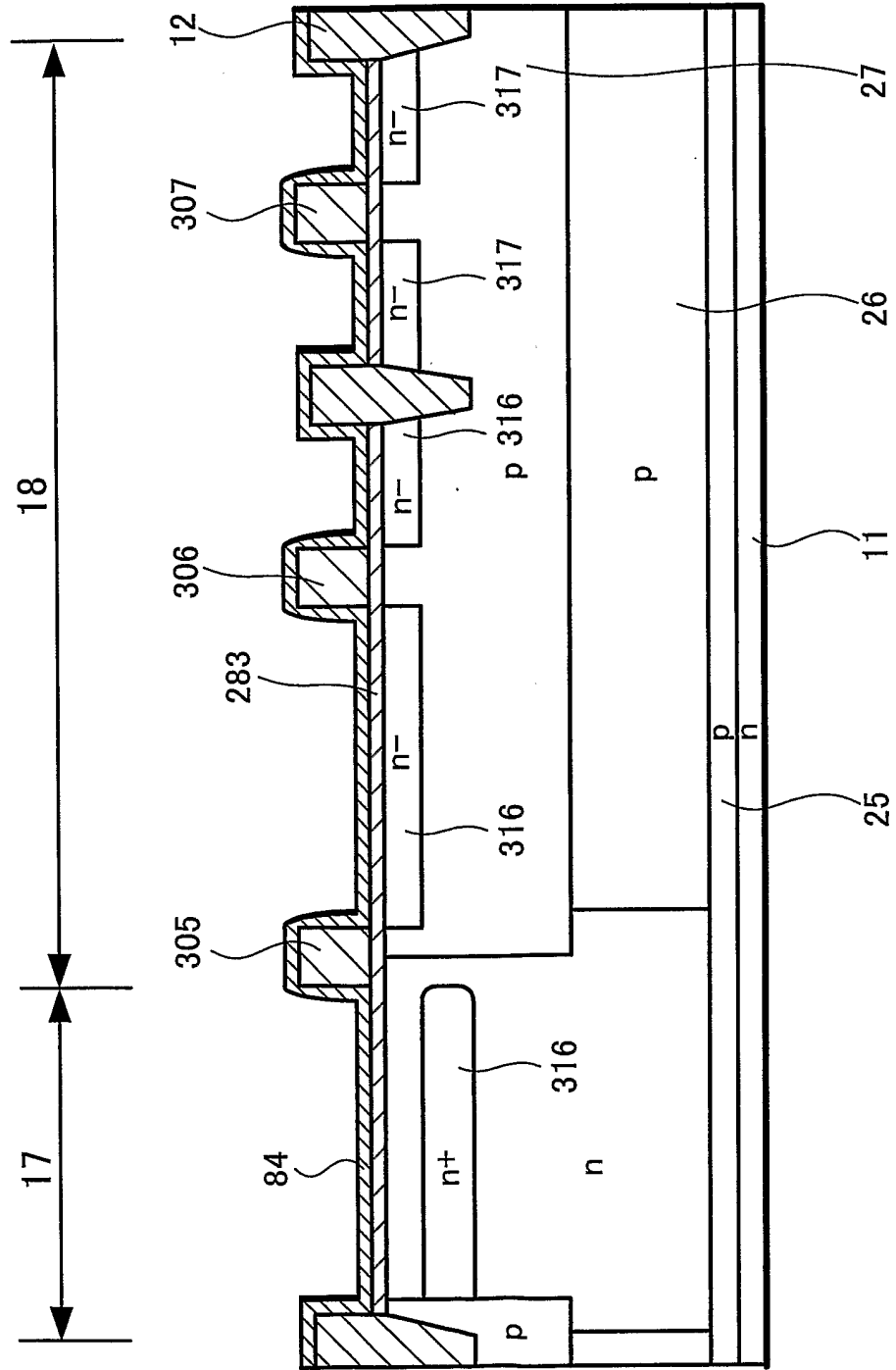


FIG. 71

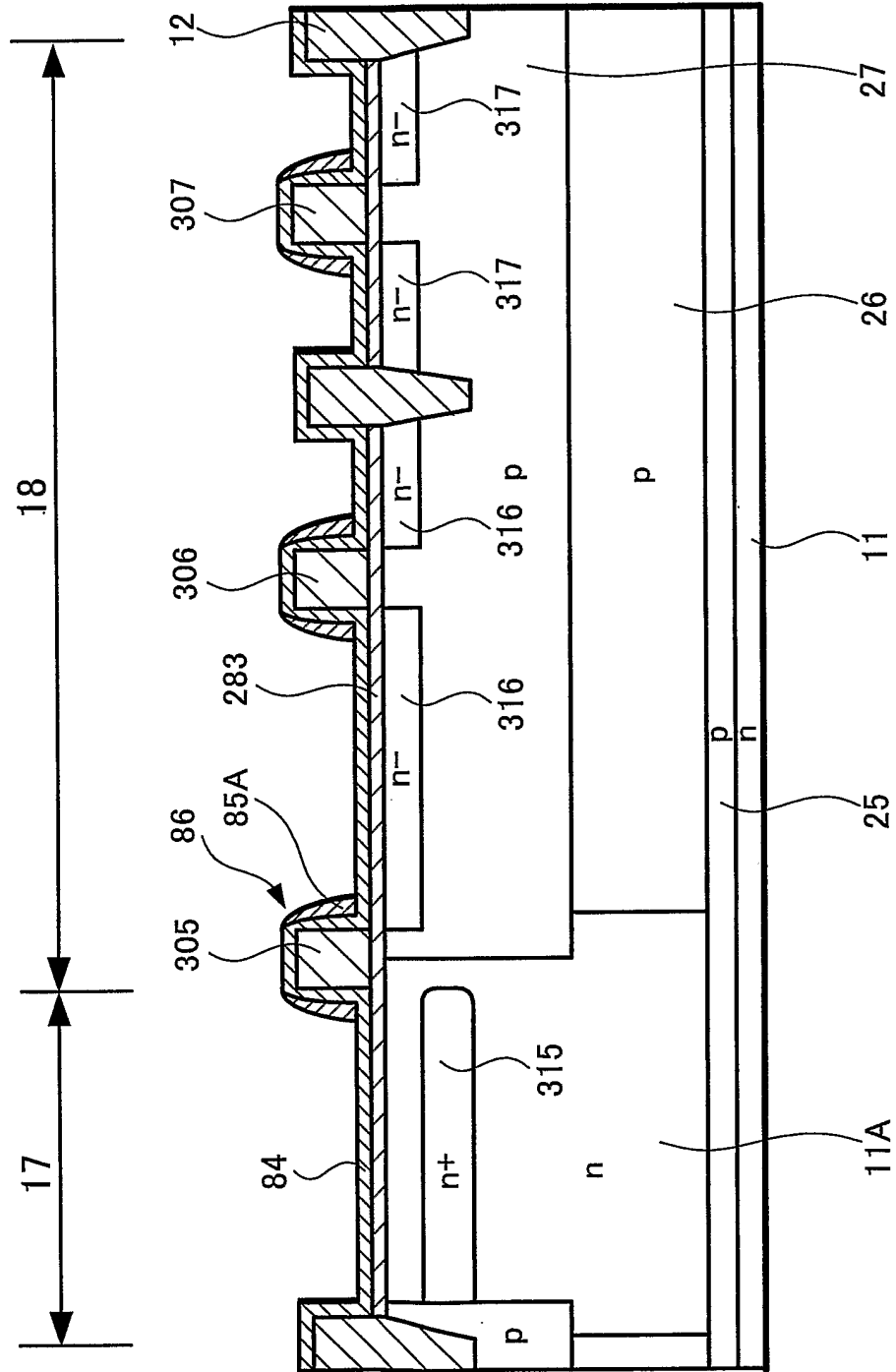


FIG. 72

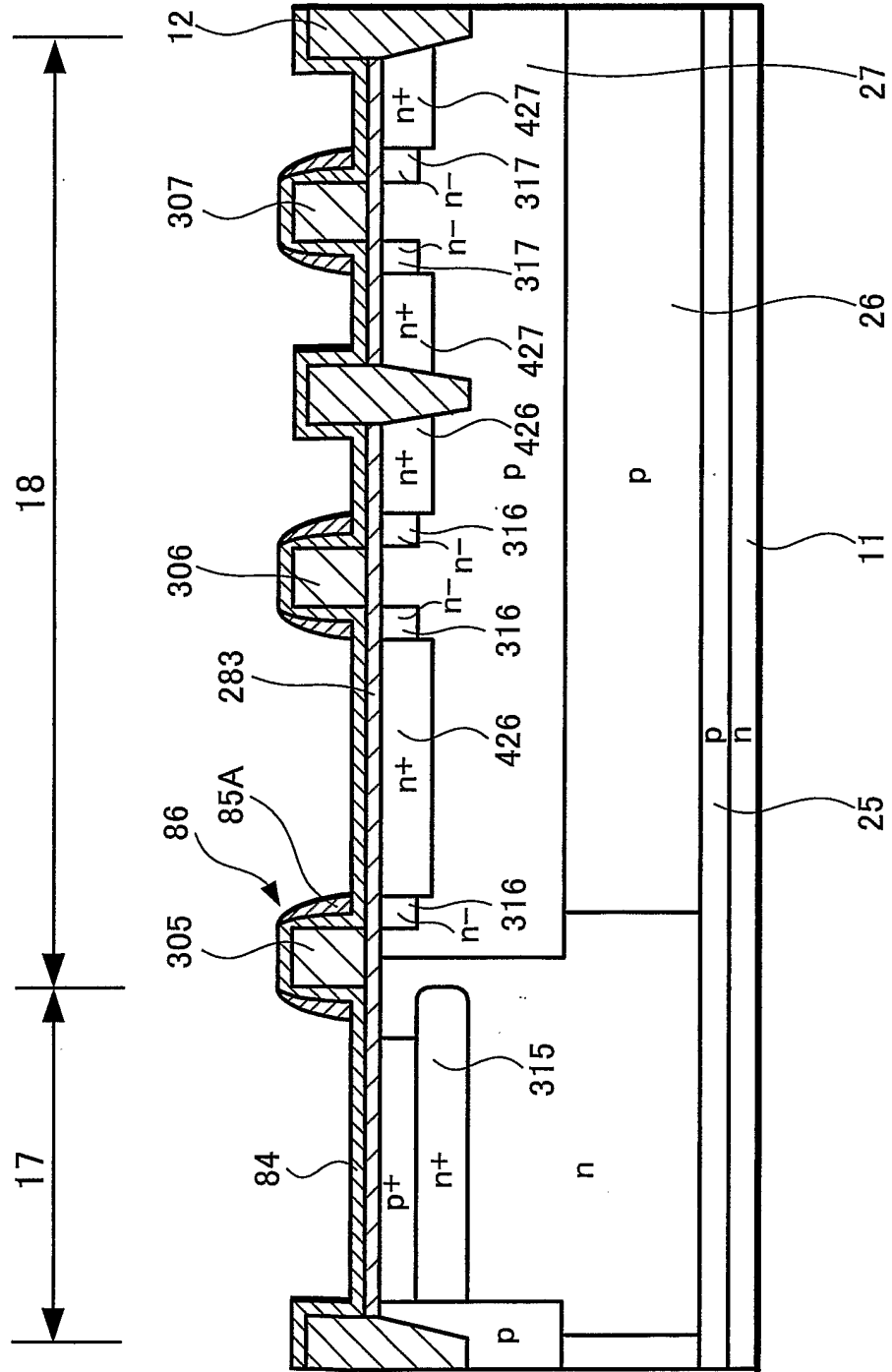


FIG. 73

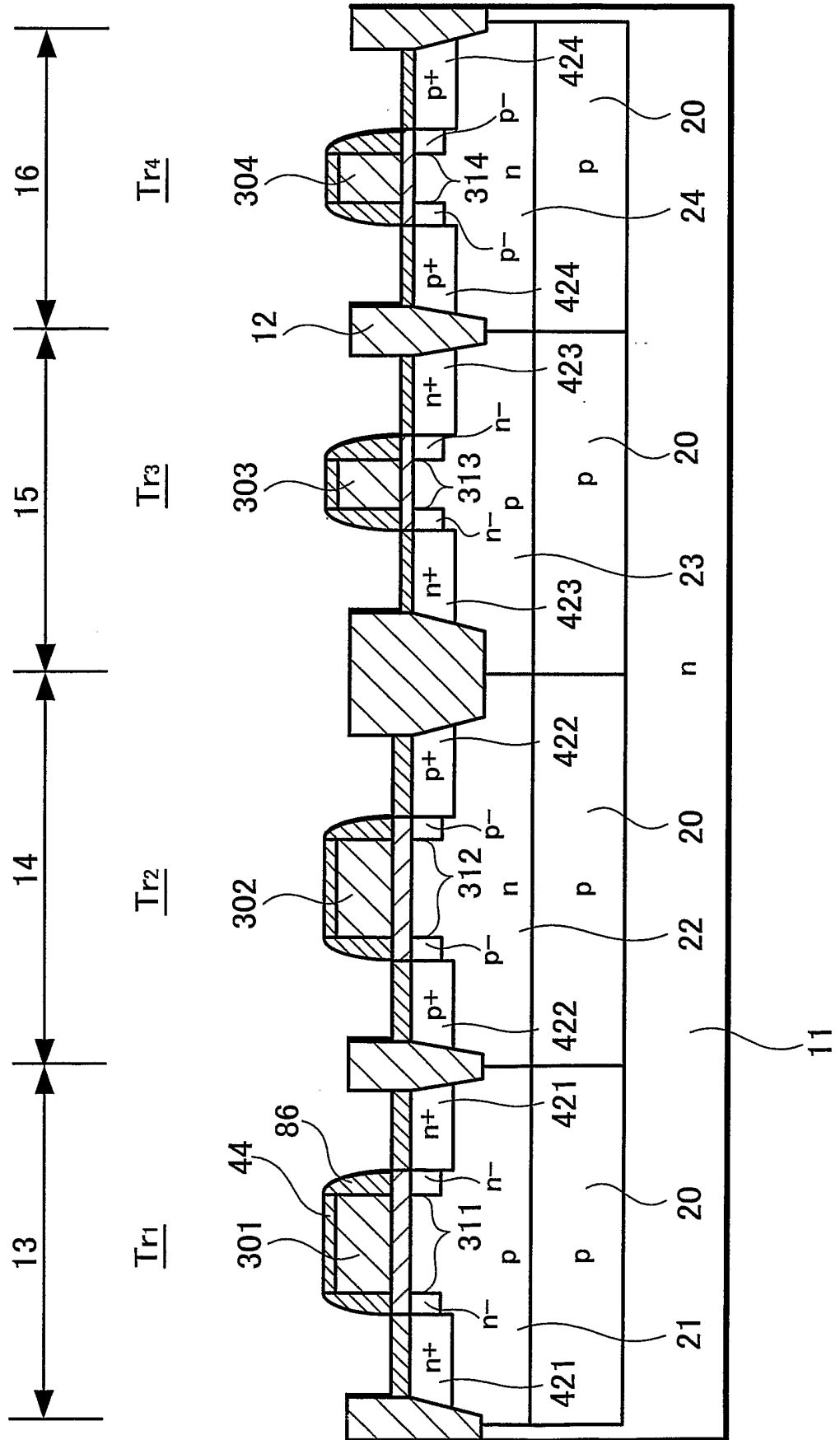


FIG. 74

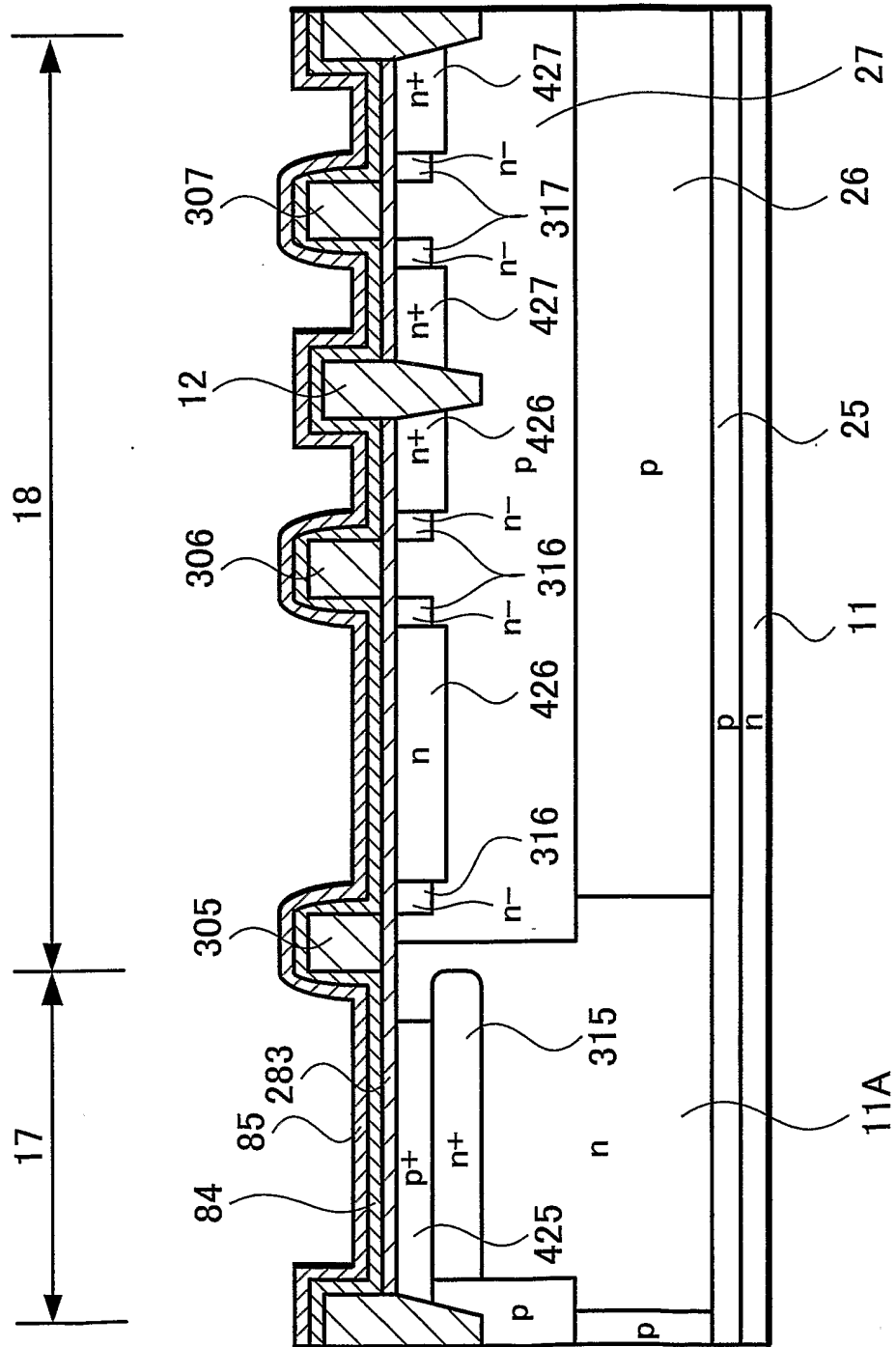


FIG. 75

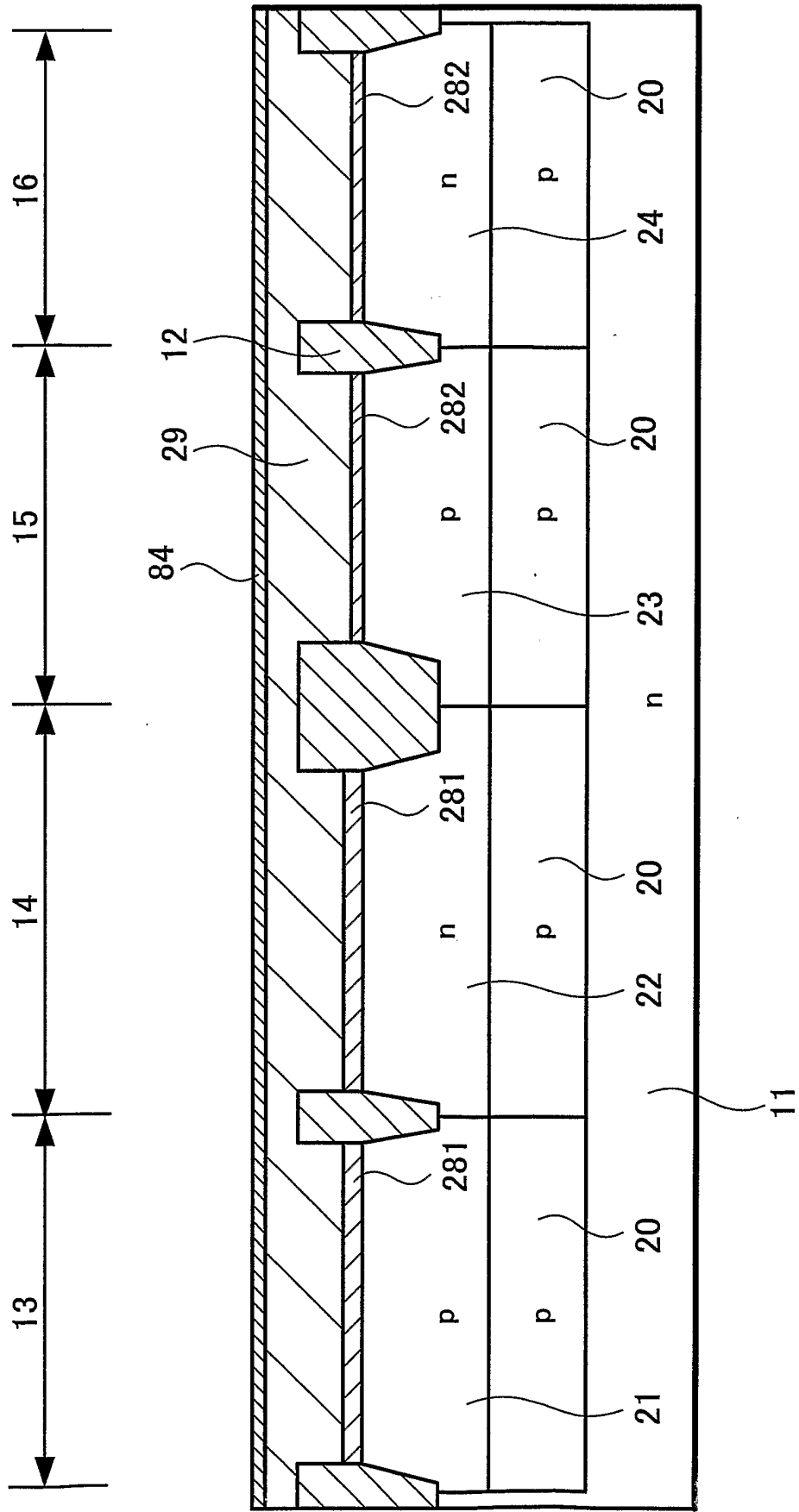


FIG. 76

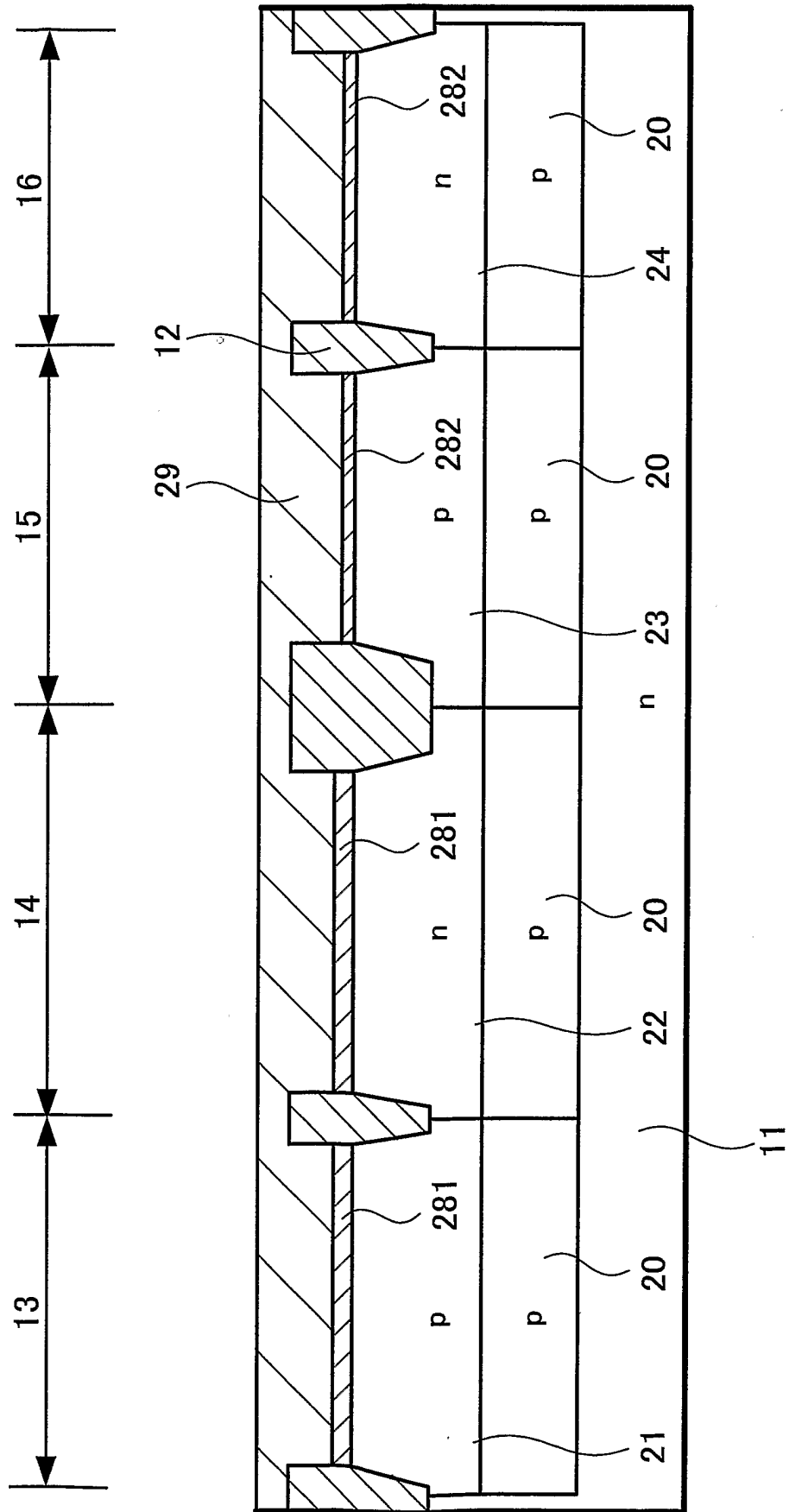


FIG. 77

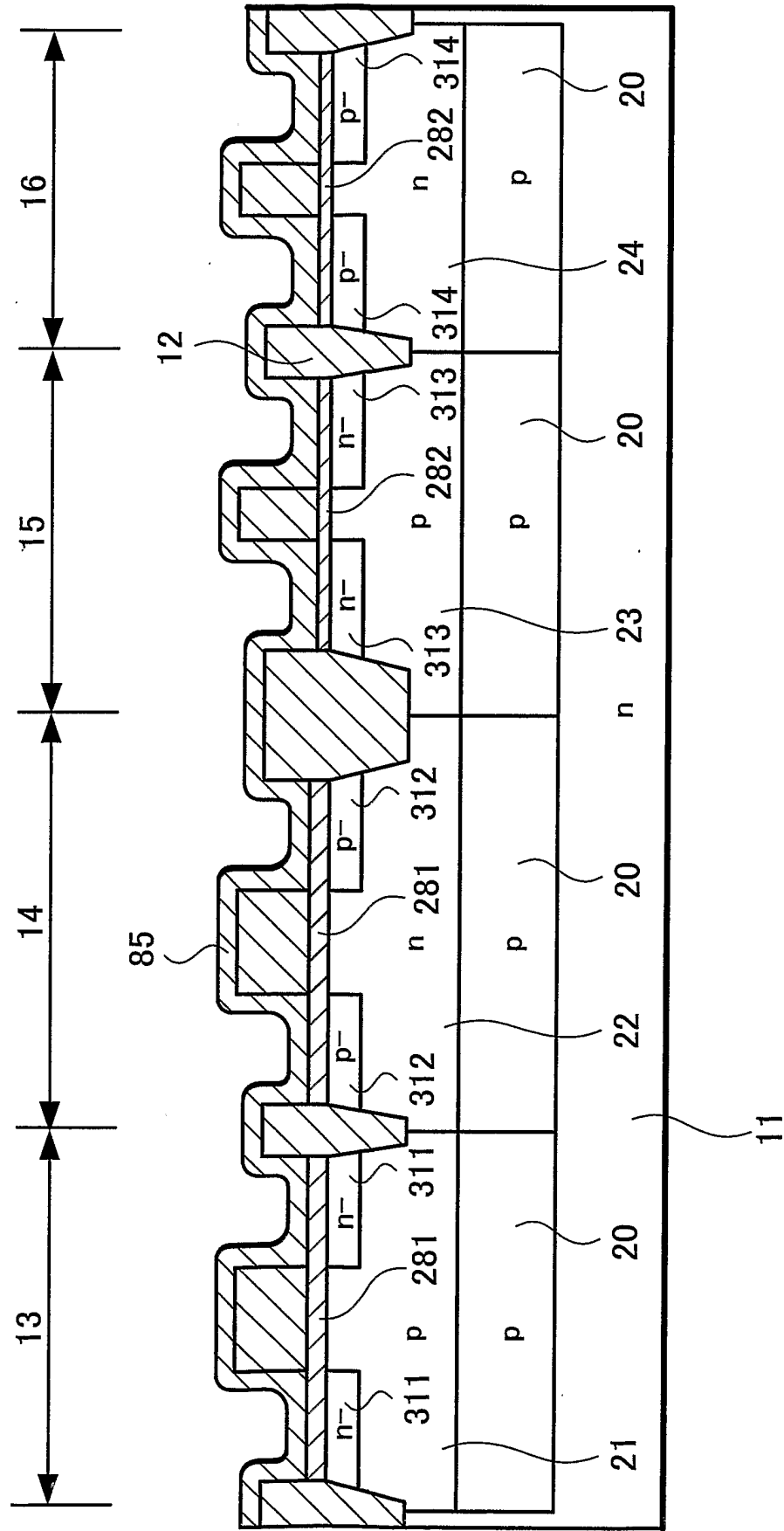


FIG. 78

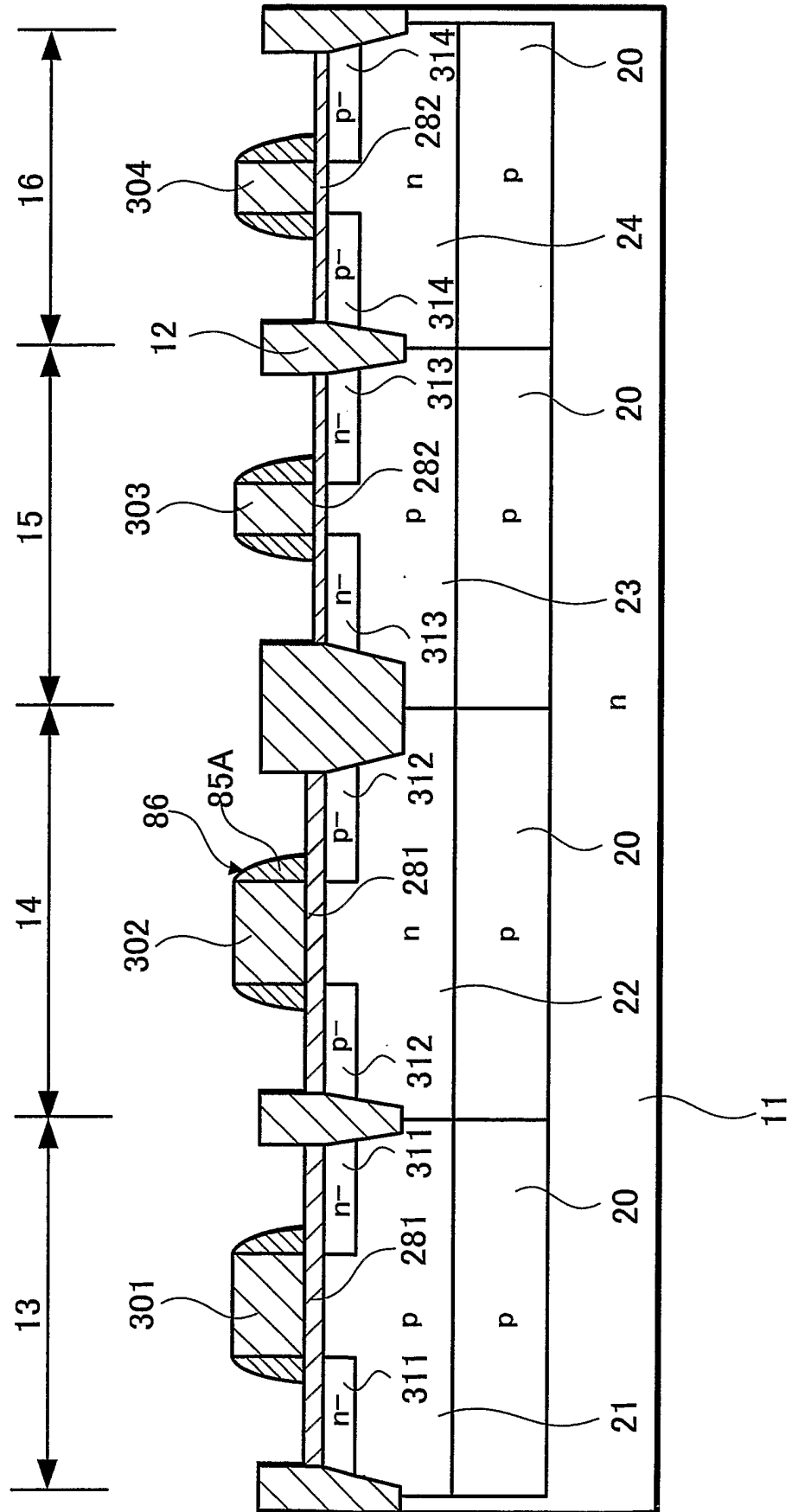


FIG. 81

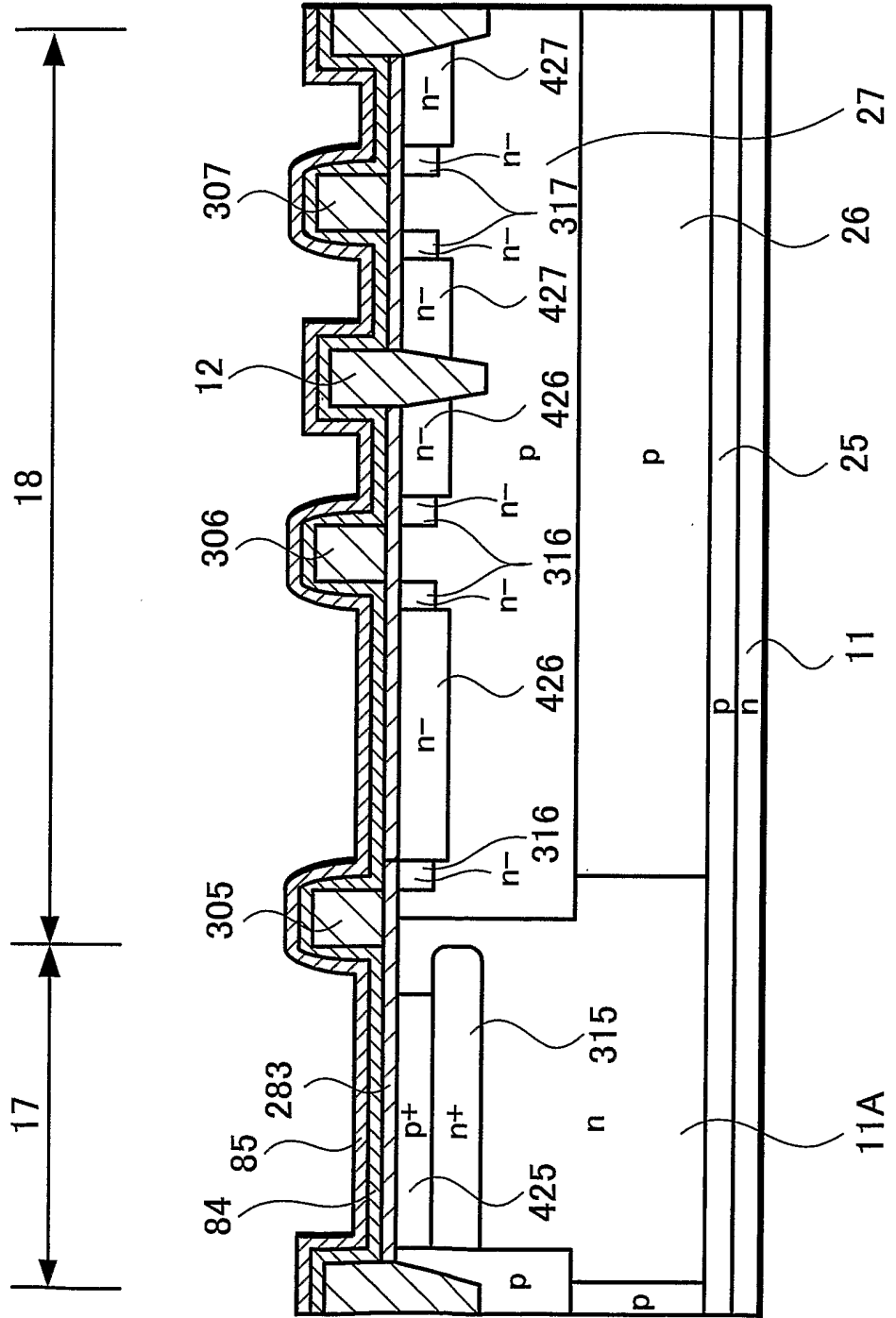


FIG. 82

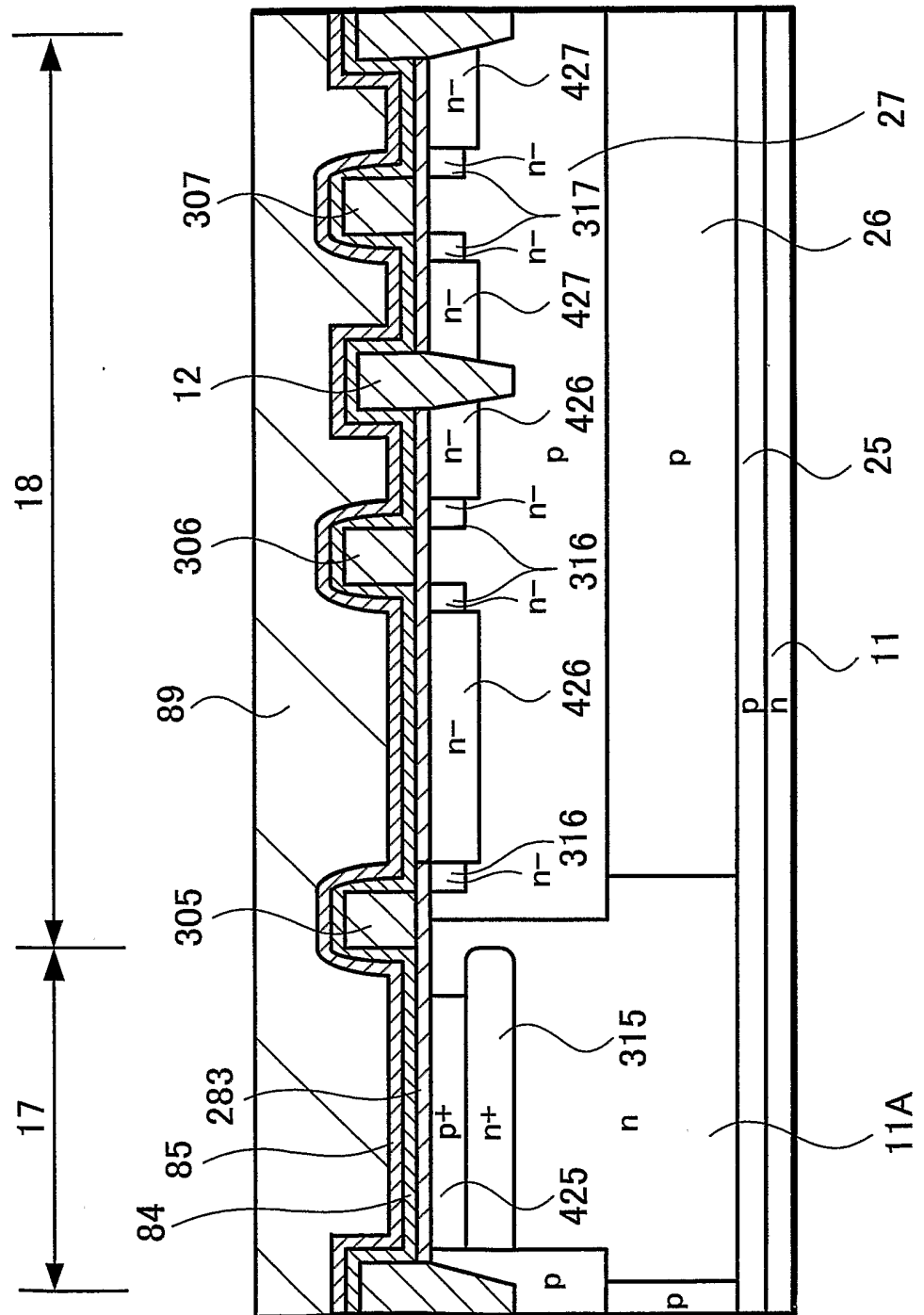
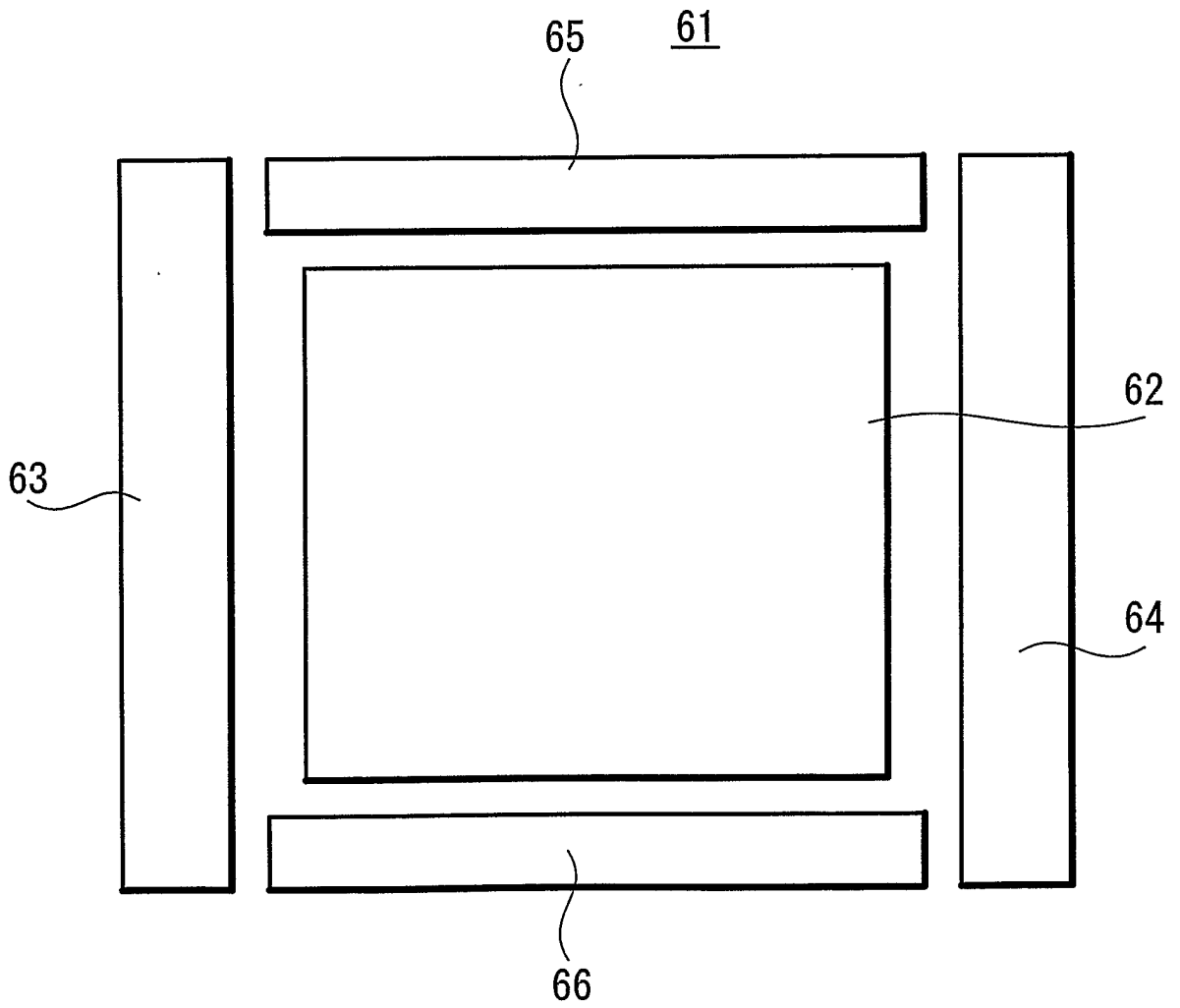


FIG. 83



符号の説明

- 1 . . . CMOS型の固体撮像素子
- 2 . . . 画素
- 3 . . . 撮像領域
- 4、5 . . . CMOSロジック回路部
- 6、7 . . . アナログ回路部
- 11 . . . 半導体基板
- 12 . . . 素子分離領域
- 13～16 . . . MOSトランジスタ形成領域
- 17 . . . センサ部形成領域
- 18 . . . MOSトランジスタ形成領域
- 19 . . . 絶縁膜
- 20、21～24 . . . 半導体ウェル領域
- 25～27 . . . 半導体ウェル領域
- 28〔281～283〕 . . . ゲート絶縁膜
- 29 . . . ゲート電極材料膜
- 30〔301～307〕 . . . ゲート電極
- 31〔311～317〕 . . . 不純物導入領域
- 35 . . . 第1の絶縁膜
- 35A . . . サイドウォール部
- 36 . . . 第2の絶縁膜
- 36A . . . サイドウォール部
- 37 . . . フォトレジストマスク
- 38 . . . 第2の絶縁膜
- 39、40 . . . サイドウォール
- 42〔421～427〕 . . . 不純物導入領域
- 44 . . . 高融点金属シリサイド層

- 4 5 . . . センサ部
- 4 6 . . . 絶縁膜
- T r 1 ~ T r 7 . . . M O S トランジスタ
- t 1 ~ t 7 . . . 膜厚
- 5 1 . . . 第 1 の絶縁膜
- 5 2 . . . 第 2 の絶縁膜
- 5 3 、 5 4 . . . サイドウォール
- 7 1 . . . 第 1 の絶縁膜
- 7 2 . . . 第 2 の絶縁膜
- 7 3 . . . 第 3 の絶縁膜
- 7 3 A . . . サイドウォール部
- 7 5 、 7 6 . . . サイドウォール
- 7 7 、 7 8 、 7 9 、 8 1 、 8 8 、 8 9 . . . フォトレジストマスク
- ク
- 8 4 . . . 第 1 の絶縁膜
- 8 5 . . . 第 2 の絶縁膜
- 8 6 、 8 7 . . . サイドウォール
- 6 1 . . . D R A M 混載ロジック L S I
- 6 2 . . . D R A M セル
- 6 3 、 6 4 . . . C M O S ロジック回路部
- 6 5 、 6 6 . . . アナログ回路部

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP03/06020

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H01L27/088

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ H01L27/088-092, H01L27/105-115, H01L21/8234-8247,
H01L21/28-288, H01L21/768, H01L29/45, H01L27/146-148

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Jitsuyo Shinan Toroku Koho	1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2000-40819 A (Denso Corp.), 08 February, 2000 (08.02.00), Full text; Figs. 1 to 7 (Family: none)	1-79
A	JP 2001-196549 A (Mitsubishi Electric Corp.), 19 July, 2001 (19.07.01), Full text; Figs. 1 to 30 & US 6486516 B1 & KR 2001-70037 A & TW 455997 A	1-79
A	US 6218235 B1 (MITSUBISHI DENKI KABUSHIKI KAISHA), 17 April, 2001 (17.04.01), Full text; Fig. 1A-81B & JP 2001-77209 A & KR 2001-29901 A & TW 451420 A	1-79

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 30 June, 2003 (30.06.03)	Date of mailing of the international search report 15 July, 2003 (15.07.03)
---	--

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/06020

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP 1139428 A2 (KABUSHIKI KAISHA TOSHIBA), 02 March, 2001 (02.03.01), Full text; Fig. 1-30C & JP 2001-345439 A & US 2001/0025970 A1 & KR 2001-93670 A & CN 1327269 A & TW 479269 A	1-79
A	EP 1075028 A2 (CANON KABUSHIKI KAISHA), 04 August, 2000 (04.08.00), Full text; Figs. 1 to 15 & JP 2001-111022 A	1-79
A	JP 10-256390 A (Yamaha Corp.), 25 September, 1998 (25.09.98), Full text; Fig. 1(A)-11, (Family: none)	1-79
A	JP 2001-35934 A (Sony Corp.), 09 February, 2001 (09.02.01), Full text; Fig. 1(a)-5(b) (Family: none)	1-79
A	JP 8-298290 A (Oki Electric Industry Co., Ltd.), 12 November, 1996 (12.11.96), Full text; Fig. 1-7(C) (Family: none)	1-79

A. 発明の属する分野の分類 (国際特許分類 (IPC))		
Int Cl ⁷ H01L27/088		
B. 調査を行った分野		
調査を行った最小限資料 (国際特許分類 (IPC))		
Int Cl ⁷ H01L27/088-092, H01L27/105-115, H01L21/8234-8247 H01L21/28-288, H01L21/768, H01L29/45, H01L27/146-148		
最小限資料以外の資料で調査を行った分野に含まれるもの		
日本国実用新案公報 1922-1996年, 日本国公開実用新案公報 1971-2003年 日本国登録実用新案公報 1994-2003年, 日本国実用新案登録公報 1996-2003年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2000-40819 A (株式会社デンソー), 2000.02.08, 全文及び図1-7, ファミリーなし	1-79
A	JP 2001-196549 A (三菱電機株式会社), 2001.07.19, 全文及び図1-30 & US 6486516 B1 & KR 2001-70037 A & TW 455997 A	1-79
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日	30.06.03	国際調査報告の発送日
		15.07.03
国際調査機関の名称及びあて先	特許庁審査官 (権限のある職員)	4L 9447
日本国特許庁 (ISA/JP)	安田 雅彦	
郵便番号100-8915		
東京都千代田区霞が関三丁目4番3号	電話番号 03-3581-1101	内線 3498

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	US 6 2 1 8 2 3 5 B 1 (MITSUBISHI DENKI KABUSHIKI KAISHA), 2001. 04. 17, 全文及びFIG. 1A-81B & JP 2001-77209 A & KR 2001-29901 A & TW 451420 A	1-79
A	EP 1 1 3 9 4 2 8 A 2 (KABISHIKI KAISHA TOSHIBA), 2001. 03. 02, 全文及びFIG. 1-30C & JP 2001-345439 A & US 2001/0025970 A1 & KR 2001-93670 A & CN 1327269 A & TW 479269 A	1-79
A	EP 1 0 7 5 0 2 8 A 2 (CANON KABUSHIKI KAISHA), 2000. 08. 04, 全文及びFIG. 1-15 & JP 2001-111022 A	1-79
A	JP 10-256390 A (ヤマハ株式会社), 1998. 09. 25, 全文及び図1(A)-11, ファミリーなし	1-79
A	JP 2001-35934 A (ソニー株式会社), 2001. 02. 09, 全文及び図1(a)-5(b), ファミリーなし	1-79
A	JP 8-298290 A (沖電気工業株式会社), 1996. 11. 12, 全文及び図1-7(C), ファミリーなし	1-79