



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I596743 B

(45)公告日：中華民國 106 (2017) 年 08 月 21 日

(21)申請案號：104135837

(22)申請日：中華民國 99 (2010) 年 10 月 25 日

(51)Int. Cl. : H01L27/115 (2017.01)

(30)優先權：2009/10/30 日本

2009-251275

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP) ; 小山潤 KOYAMA, JUN (JP) ; 加藤清
KATO, KIYOSHI (JP)

(74)代理人：林志剛

(56)參考文獻：

TW 200923884A

JP 62-274773A

審查人員：于若天

申請專利範圍項數：8 項 圖式數：25 共 113 頁

(54)名稱

半導體裝置

SEMICONDUCTOR DEVICE

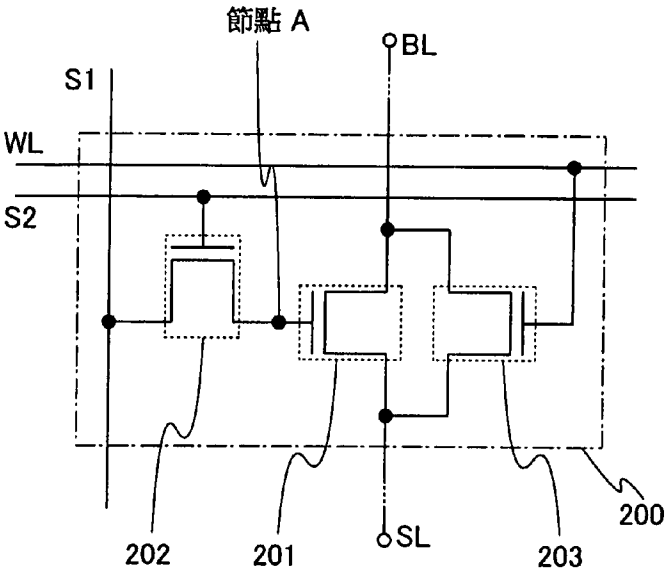
(57)摘要

本發明的目的之一就是提供一種具有新的結構的半導體裝置。一種半導體裝置，其中串聯連接有多個記憶元件，多個記憶元件各自包括具有第一至第三閘極電極、第一至第三源極電極以及第一至第三汲極電極的第一至第三電晶體，第二電晶體包含氧化物半導體層，第一閘極電極與第二源極電極和第二汲極電極中的其中一者電連接，第一佈線、第一源極電極以及第三源極電極電連接，第二佈線、第一汲極電極以及第三汲極電極電連接，第三佈線與第二源極電極和第二汲極電極中的另一者電連接，第四佈線和第二閘極電極電連接，並且第五佈線和第三閘極電極電連接。

It is an object to provide a semiconductor having a novel structure. In the semiconductor device, a plurality of memory elements are connected in series and each of the plurality of memory elements includes first to third transistors thus forming a memory circuit. A source or a drain of a first transistor which includes an oxide semiconductor layer is in electrical contact with a gate of one of a second and a third transistor. The extremely low off current of a first transistor containing the oxide semiconductor layer allows storing, for long periods of time, electrical charges in the gate electrode of one of the second and the third transistor, whereby a substantially permanent memory effect can be obtained. The second and the third transistors which do not contain an oxide semiconductor layer allow high-speed operations when using the memory circuit.

指定代表圖：

圖10



- 符號簡單說明：
- 200 . . . 儲存單元
 - 201 . . . 電晶體
 - 202 . . . 電晶體
 - 203 . . . 電晶體
 - A . . . 節點
 - S1 . . . 第三佈線
 - S2 . . . 第四佈線
 - WL . . . 第五佈線
 - BL . . . 第二佈線
 - SL . . . 第一佈線

發明摘要

※申請案號：104135837 (由 99136318 分案)

※申請日：099 年 10 月 25 日

※IPC 分類：H01L 27/115 (2017.01)

【發明名稱】(中文/英文)

半導體裝置

Semiconductor device

● 【中文】

本發明的目的之一就是提供一種具有新的結構的半導體裝置。一種半導體裝置，其中串聯連接有多個記憶元件，多個記憶元件各自包括具有第一至第三閘極電極、第一至第三源極電極以及第一至第三汲極電極的第一至第三電晶體，第二電晶體包含氧化物半導體層，第一閘極電極與第二源極電極和第二汲極電極中的其中一者電連接，第一佈線、第一源極電極以及第三源極電極電連接，第二佈線、第一汲極電極以及第三汲極電極電連接，第三佈線與第二源極電極和第二汲極電極中的另一者電連接，第四佈線和第二閘極電極電連接，並且第五佈線和第三閘極電極電連接。

【 英文 】

It is an object to provide a semiconductor having a novel structure. In the semiconductor device, a plurality of memory elements are connected in series and each of the plurality of memory elements includes first to third transistors thus forming a memory circuit. A source or a drain of a first transistor which includes an oxide semiconductor layer is in electrical contact with a gate of one of a second and a third transistor. The extremely low off current of a first transistor containing the oxide semiconductor layer allows storing, for long periods of time, electrical charges in the gate electrode of one of the second and the third transistor, whereby a substantially permanent memory effect can be obtained. The second and the third transistors which do not contain an oxide semiconductor layer allow high-speed operations when using the memory circuit.

【代表圖】

【本案指定代表圖】：第(10)圖。

【本代表圖之符號簡單說明】：

200：儲存單元

201：電晶體

202：電晶體

203：電晶體

A：節點

S1：第三佈線

S2：第四佈線

WL：第五佈線

BL：第二佈線

SL：第一佈線

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本申請書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體裝置

Semiconductor device

【技術領域】

所揭露的發明係關於一種利用半導體元件的半導體裝置及其製造方法。

【先前技術】

利用半導體元件的儲存裝置可以粗分為如果沒有電力供給儲存內容就消失的易失性儲存裝置和即使沒有電力供給也保持儲存內容的非易失性儲存裝置。

作為易失性儲存裝置的典型例子，有 DRAM (Dynamic Random Access Memory：動態隨機存取記憶體)。DRAM 選擇構成記憶元件的電晶體並將電荷儲存在電容器中而儲存資訊。

根據上述原理，因為在從 DRAM 讀出資訊時電容器的電荷消失，所以每次讀出資料，就需要再次進行寫入工作。另外，因為在構成記憶元件的電晶體中存在漏電流，而即使未選擇電晶體也流出或流入電荷，所以資料的保持期間較短。為此，需要按預定的週期再次進行寫入工作（更新工作），而難以充分降低耗電量。另外，因為如果

沒有電力供給儲存內容就消失，所以需要具有利用磁性材料或光學材料的另一儲存裝置以實現較長期間的儲存保持。

作為易失性儲存裝置的另一例子，有 SRAM（Static Random Access Memory：靜態隨機存取儲存器）。SRAM 使用正反器等電路保持儲存內容，而不需要進行更新工作，在這一點上 SRAM 優越於 DRAM。但是，因為使用正反器等電路，所以存在儲存容量的單價變高的問題。另外，在如果沒有電力供給儲存內容就消失這一點上，SRAM 和 DRAM 相同。

作為非易失性儲存裝置的典型例子，有快閃記憶體。快閃記憶體在電晶體的閘極電極和通道形成區域之間具有浮動閘極，並使該浮動閘極保持電荷而進行儲存，因此，快閃儲存器具有其資料保持期間極長（半永久）、不需要進行易失性儲存裝置所需要的更新工作的優點（例如，參照專利文獻 1）。

但是，由在進行寫入時產生的隧道電流而引起構成記憶元件的閘極絕緣層的退化，因此發生因預定次數的寫入而不能發揮記憶元件的功能的問題。為了緩和上述問題的影響，例如，使用使各記憶元件的寫入次數均勻的方法，但是，為了使用該方法，需要具有複雜的週邊電路。另外，即使使用上述方法，也不能解決使用壽命的根本問題。就是說，快閃記憶體不合適於資訊的重寫頻度高的用途。

另外，為了向浮動閘極引入電荷或者去除該電荷，需要高電壓。再者，還有電荷的引入或去除需要較長時間而難以實現寫入和擦除的高速化的問題。

專利文獻 1 日本專利申請揭露 昭 57-105889 號公報

【發明內容】

鑒於上述問題，所揭露的發明的一個實施例的目的之一就是提供一種即使沒有電力供給也能夠保持儲存內容並且對寫入次數也沒有限制的新的結構的半導體裝置。

本發明的一個實施例是根據使用氧化物半導體而形成的電晶體和使用除此以外的材料而形成的電晶體的疊層結構的半導體裝置。例如，可以採用如下結構。

本發明的一個實施例是一種半導體裝置，包括：第一佈線（源極線）；第二佈線（位線）；第三佈線（第一信號線）；第四佈線（第二信號線）；以及第五佈線（字線），其中在第一佈線和第二佈線之間串聯連接有多個記憶元件，多個記憶元件之一，包括：具有第一閘極電極、第一源極電極以及第一汲極電極的第一電晶體；具有第二閘極電極、第二源極電極以及第二汲極電極的第二電晶體；以及具有第三閘極電極、第三源極電極以及第三汲極電極的第三電晶體，其中第一電晶體設置在包含半導體材料的基板上，第二電晶體包含氧化物半導體層，第一閘極電極與第二源極電極和第二汲極電極中的一者電連接，第一佈線（源極線）、第一源極電極以及第三源極電極電連

接，第二佈線（位線）、第一汲極電極以及第三汲極電極電連接，第三佈線（第一信號線）與第二源極電極和第二汲極電極中的另一者電連接，第四佈線（第二信號線）和第二閘極電極電連接，並且第五佈線（字線）和第三閘極電極電連接。

另外，本發明的另一個實施例是一種半導體裝置，包括：第一佈線；第二佈線；第三佈線；第四佈線；以及第五佈線，其中在第一佈線和第二佈線之間串聯連接有多個記憶元件，多個記憶元件之一，包括：具有第一閘極電極、第一源極電極以及第一汲極電極的第一電晶體；具有第二閘極電極、第二源極電極以及第二汲極電極的第二電晶體；以及電容元件，其中第一電晶體設置在包含半導體材料的基板上，第二電晶體包含氧化物半導體層，第一閘極電極、第二源極電極和第二汲極電極中的一者以及電容元件的一個電極電連接，第一佈線和第一源極電極電連接，第二佈線和第一汲極電極電連接，第三佈線與第二源極電極和第二汲極電極中的另一者電連接，第四佈線和第二閘極電極電連接，並且第五佈線和電容元件的另一個電極電連接。

在上述結構中，較佳的是，半導體裝置包括第六佈線；第七佈線；其閘極電極電連接於第六佈線的第四電晶體；以及其閘極電極電連接於第七佈線的第五電晶體，其中第二佈線隔著第四電晶體電連接於第一汲極電極及第三汲極電極，並且第一佈線隔著第五電晶體電連接於第一源

極電極及第三源極電極。

另外，在上述結構中，第一電晶體包括：設置在包含半導體材料的基板中的通道形成區域；以夾著通道形成區域的方式設置的雜質區域；通道形成區域上的第一閘極絕緣層；第一閘極絕緣層上的第一閘極電極；以及電連接於雜質區域的第一源極電極及第一汲極電極。

另外，在上述結構中，第二電晶體包括：包含半導體材料的基板上的第二閘極電極；第二閘極電極上的第二閘極絕緣層；第二閘極絕緣層上的氧化物半導體層；以及電連接於氧化物半導體層的第二源極電極及第二汲極電極。

另外，在上述結構中，第三電晶體包括：設置在包含半導體材料的基板中的通道形成區域；以夾著通道形成區域的方式設置的雜質區域；通道形成區域上的第三閘極絕緣層；第三閘極絕緣層上的第三閘極電極；以及電連接於雜質區域的第三源極電極及第三汲極電極。

另外，在上述結構中，較佳使用單晶半導體基板或 SOI 基板作為包含半導體材料的基板。尤其是，半導體材料較佳為矽。

另外，在上述結構中，氧化物半導體層較佳包含 In-Ga-Zn-O 類的氧化物半導體材料。尤其是，氧化物半導體層較佳包含 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 的結晶而成。再者，氧化物半導體層的氫濃度較佳為 $5 \times 10^{19} \text{ atoms/cm}^3$ 或更少。另外，第二電晶體的截止電流較佳為 $1 \times 10^{-13} \text{ A}$ 或更少。

另外，在上述結構中，第二電晶體可以設置在重疊於

第一電晶體的區域中。

另外，在本發明說明等中，“上”或“下”不侷限於構成要素的位置關係為“正上”或“正下”。例如，“閘極絕緣層上的第一閘極電極”包括在閘極絕緣層和閘極電極之間包含另一構成要素的情況。另外，“上”或“下”只是為了便於說明而使用的，在沒有特別的說明時，“上”或“下”還包括其上下倒轉的情況。

另外，在本發明說明等中，“電極”或“佈線”不在功能上限定其構成要素。例如，有時將“電極”用作“佈線”的一部分，反之亦然。再者，“電極”或“佈線”還包括多個“電極”或“佈線”形成為一體的情況等。

另外，在使用極性不同的電晶體的情況或電路工作的電流方向變化的情況等下，“源極”和“汲極”的功能有時互相調換。因此，在本發明說明中，“源極”和“汲極”可以互相調換。

另外，在本發明說明等中，“電連接”包括隔著“具有某種電作用的元件”連接的情況。這裏，“具有某種電作用的元件”只要可以進行連接物件間的電信號的授受，就對其沒有特別的限制。

例如，“具有某種電作用的元件”不僅包括電極和佈線，而且還包括電晶體等的切換元件、電阻元件、電感器、電容器、其他具有各種功能的元件等。

一般來說，“SOI 基板”是指在絕緣表面上設置有矽半導體層的基板，但是在本發明說明等中，還包括在絕緣表

面上設置有包含矽以外的材料而成的半導體層的基板。換言之，“SOI 基板”所具有半導體層不侷限於矽半導體層。另外，“SOI 基板”中的基板不侷限於矽片等的半導體基板，而還可以為玻璃基板、石英基板、藍寶石基板、金屬基板等的非半導體基板。就是說，“SOI 基板”還包括其上具有包含半導體材料而成的層的具有絕緣表面的導體基板或絕緣體基板。再者，在本發明說明等中，“半導體基板”不但是指僅包含半導體材料而成的基板，而且是指包含半導體材料的所有的基板。就是說，在本發明說明等中，“半導體基板”包括“SOI 基板”。

作為本發明的一個實施例，提供一種在其下部具有使用氧化物半導體以外的材料的電晶體並在其上部具有使用氧化物半導體的電晶體的半導體裝置。

因為使用氧化物半導體的電晶體的截止電流極小，所以藉由使用該電晶體而可以在極長期間內保持儲存內容。就是說，因為不需要進行更新工作，或者，可以將更新工作的頻度降低到極低，所以可以充分降低耗電量。另外，即使沒有電力供給，也可以在較長期間內保持儲存內容。

另外，資訊的寫入不需要高電壓，而且也沒有元件退化的問題。再者，根據電晶體的導通狀態或截止狀態而進行資訊寫入，而可以容易實現高速工作。另外，還有不需要快閃記憶體等所需要的用來擦除資訊的工作的優點。

另外，與使用氧化物半導體的電晶體相比，使用氧化物半導體以外的材料的電晶體可以進行更高速度的工作，

因此，藉由該使用氧化物半導體以外的材料的電晶體而可以進行高速的儲存內容的讀出。

如上所述，藉由將使用氧化物半導體以外的材料的電晶體和使用氧化物半導體的電晶體形成為一體，可以實現具有新穎的特徵的半導體裝置。

【圖式簡單說明】

圖 1 是用來說明半導體裝置的電路圖；

圖 2A 和 2B 是用來說明半導體裝置的剖面圖及平面圖；

圖 3A 至 3H 是用來說明半導體裝置的製程的剖面圖；

圖 4A 至 4G 是用來說明半導體裝置的製程的剖面圖；

圖 5A 至 5D 是用來說明半導體裝置的製程的剖面圖；

圖 6 是用來說明半導體裝置的剖面圖；

圖 7A 和 7B 是用來說明半導體裝置的剖面圖；

圖 8A 和 8B 是用來說明半導體裝置的剖面圖；

圖 9A 和 9B 是用來說明半導體裝置的剖面圖；

圖 10 是用來說明半導體裝置的電路圖；

圖 11 是用來說明半導體裝置的方框電路圖；

圖 12 是用來說明半導體裝置的寫入工作的時序圖；

圖 13 是用來說明半導體裝置的電路圖；

圖 14 是用來說明半導體裝置的方框電路圖；

圖 15 是用來說明半導體裝置的電路圖；

圖 16 是用來說明半導體裝置的方框電路圖；

圖 17 是第五佈線 WL 和節點 A 的電位的圖；

圖 18 是用來說明半導體裝置的電路圖；

圖 19 是用來說明半導體裝置的電路圖；

圖 20 是用來說明半導體裝置的電路圖；

圖 21A 至 21F 是用來說明使用半導體裝置的電子設備的圖；

圖 22 是使用氧化物半導體的反交錯型電晶體的縱剖面圖；

圖 23A 和 23B 是沿圖 22 的 A-A'剖面的能帶圖（示意圖）；

圖 24A 是示出將正的電位（ $+V_G$ ）施加到閘極（GE1）的狀態，而圖 24B 是示出將負的電位（ $-V_G$ ）施加到閘極（GE1）的狀態的圖；

圖 25 是示出真空能階、金屬的功函數（ ϕ_M ）和氧化物半導體的電子親和勢（ χ ）的關係的圖。

【實施方式】

下面，關於本發明的實施例的一個例子參照附圖給予說明。但是，本發明並不侷限於下面的描述。所屬領域的普通技術人員可以很容易地理解一個事實就是其實施例和詳細內容可以被變換為各種各樣的形式，而不脫離本發明

的宗旨及其範圍。因此，本發明不應該解釋為侷限於以下所示的實施例的記載內容。

注意，為了便於說明，附圖等所示出的各結構的位置、大小和範圍等有時不表示實際上的位置、大小和範圍等。因此，本發明不侷限於附圖等所示出的位置、大小和範圍等。

另外，本發明說明等中使用的“第一”、“第二”、“第三”等序數詞是為了避免結構要素的混同，而不是為了在數目方面上限定。

實施例 1

在本實施例中，參照圖 1 至圖 9A 和 9B 說明根據所揭露的發明的一個實施例的半導體裝置的結構及其製造方法。

<半導體裝置的電路結構>

圖 1 示出半導體裝置的電路結構的一個例子。該半導體裝置由使用氧化物半導體以外的材料的電晶體 160 和使用氧化物半導體的電晶體 162 構成。

這裏，電晶體 160 的閘極電極與電晶體 162 的源極電極和汲極電極中的一者電連接。另外，第一佈線 SL (1st Line：也稱為源極線) 和電晶體 160 的源極電極電連接，第二佈線 BL (2nd Line：也稱為位線) 和電晶體 160 的汲極電極電連接。並且，第三佈線 S1 (3rd Line：也稱為第

一信號線)與電晶體 162 的源極電極和汲極電極中的另一者電連接，第四佈線 S2 (4th Line：也稱為第二信號線)和電晶體 162 的閘極電極電連接。

與使用氧化物半導體的電晶體相比，使用氧化物半導體以外的材料的電晶體 160 可以進行更高速度的工作，因此藉由使用該使用氧化物半導體以外的材料的電晶體 160 而可以進行高速的儲存內容的讀出。另外，使用氧化物半導體的電晶體 162 具有截止電流極小的特徵。因此，藉由使電晶體 162 處於截止狀態，可以在極長時間內保持電晶體 160 的閘極電極的電位。

藉由發揮可以保持閘極電極的電位的特徵，如下所述那樣可以進行資訊寫入、保持和讀出。

首先，說明資訊的寫入及保持。首先，藉由將第四佈線 S2 的電位設定為使電晶體 162 處於導通狀態的電位，使電晶體 162 處於導通狀態。由此，將第三佈線 S1 的電位施加到電晶體 160 的閘極電極（寫入）。然後，藉由將第四佈線 S2 的電位設定為使電晶體 162 處於截止狀態的電位，使電晶體 162 處於截止狀態，而保持電晶體 160 的閘極電極的電位（保持）。

因為電晶體 162 的截止電流極小，所以在長時間內保持電晶體 160 的閘極電極的電位。例如，在電晶體 160 的閘極電極的電位為使電晶體 160 處於導通狀態的電位的情況下，在長時間內保持電晶體 160 的導通狀態。另外，在電晶體 160 的閘極電極的電位為使電晶體 160 處於截止狀

態的電位的情況下，在長時間內保持電晶體 160 的截止狀態。

下面，說明資訊的讀出。如上所述，當在保持電晶體 160 的導通狀態或截止狀態的狀態下將預定的電位（低電位）施加到第一佈線 SL 時，第二佈線 BL 的電位根據電晶體 160 的導通狀態或截止狀態而不同。例如，在電晶體 160 處於導通狀態的情況下，第二佈線 BL 的電位根據第一佈線 SL 的電位而降低。與此相反，在電晶體 160 處於截止狀態的情況下，第二佈線 BL 的電位不變化。

如上所述，藉由在保持資訊的狀態下對第二佈線 BL 的電位和預定的電位進行比較，可以讀出資訊。

下面，說明資訊的重寫。與上述資訊的寫入及保持同樣，進行資訊的重寫。就是說，藉由將第四佈線 S2 的電位設定為使電晶體 162 處於導通狀態的電位，使電晶體 162 處於導通狀態。由此，將第三佈線 S1 的電位（根據新的資訊的電位）施加到電晶體 160 的閘極電極。然後，藉由將第四佈線 S2 的電位設定為使電晶體 162 處於截止狀態的電位，使電晶體 162 處於截止狀態，而處於保持新的資訊的狀態。

如上所述，根據所揭露的發明的半導體裝置可以藉由再次進行資訊的寫入而直接重寫資訊。由此，不需要快閃記憶體等所需要的擦除工作，而可以抑制起因於擦除工作的工作速度的降低。就是說，可以實現半導體裝置的高速工作。

另外，上述說明關於使用以電子為多數載子的 n 型電晶體（n 通道型電晶體）的情況，但是，當然可以使用以電洞為多數載子的 p 型電晶體代替 n 型電晶體。

<半導體裝置的平面結構及截面結構>

圖 2A 和圖 2B 是上述半導體裝置的結構的一個例子。圖 2A 和圖 2B 分別示出半導體裝置的截面和半導體裝置的平面。這裏，圖 2A 相當於沿圖 2B 的線 A1-A2 及線 B1-B2 的剖面。圖 2A 和圖 2B 所示的半導體裝置在其下部具有使用氧化物半導體以外的材料的電晶體 160 並在其上部具有使用氧化物半導體的電晶體 162。這裏，在電晶體 160 及電晶體 162 都是 n 型電晶體的情況下進行說明，但是也可以採用 p 型電晶體。尤其是，電晶體 160 容易成為 p 型電晶體。

電晶體 160 具有設置在包含半導體材料的基板 100 中的通道形成區域 116、以夾著通道形成區域 116 的方式設置的雜質區域 114 及高濃度雜質區域 120（也將這些區域總稱為雜質區域）、設置在通道形成區域 116 上的閘極絕緣層 108、設置在閘極絕緣層 108 上的閘極電極 110、電連接於設置在通道形成區域 116 的兩側中的一側的雜質區域 114 的源極電極或汲極電極 130a 以及電連接於設置在通道形成區域 116 的兩側中的另一側的雜質區域 114 的源極電極或汲極電極 130b。

這裏，在閘極電極 110 的側面設置有側壁絕緣層

118。另外，在基板 100 的平面圖中不重疊於側壁絕緣層 118 的區域中具有高濃度雜質區域 120，並且在高濃度雜質區域 120 上存在著金屬化合物區域 124。另外，在基板 100 上圍繞電晶體 160 地設置有元件分離絕緣層 106，並且覆蓋電晶體 160 地設置有層間絕緣層 126 及層間絕緣層 128。源極電極或汲極電極 130a 藉由形成在層間絕緣層 126 及層間絕緣層 128 中的開口電連接於設置在通道形成區域 116 的兩側中的一側的金屬化合物區域 124，而源極電極或汲極電極 130b 藉由形成在層間絕緣層 126 及層間絕緣層 128 中的開口電連接於設置在通道形成區域 116 的兩側中的另一側的金屬化合物區域 124。就是說，源極電極或汲極電極 130a 隔著設置在通道形成區域 116 的兩側中的一側的金屬化合物區域 124 電連接於設置在通道形成區域 116 的兩側中的一側的高濃度雜質區域 120 及設置在通道形成區域 116 的兩側中的一側的雜質區域 114，而源極電極或汲極電極 130b 隔著設置在通道形成區域 116 的兩側中的另一側的金屬化合物區域 124 電連接於設置在通道形成區域 116 的兩側中的另一側的高濃度雜質區域 120 及設置在通道形成區域 116 的兩側中的另一側的雜質區域 114。另外，閘極電極 110 電連接於與源極電極或汲極電極 130a 和源極電極或汲極電極 130b 同樣設置的電極 130c。

使用氧化物半導體的電晶體 162 具有設置在層間絕緣層 128 上的閘極電極 136d、設置在閘極電極 136d 上的閘

極絕緣層 138、設置在閘極絕緣層 138 上的氧化物半導體層 140、設置在氧化物半導體層 140 上且電連接於氧化物半導體層 140 的源極電極或汲極電極 142a 以及源極電極或汲極電極 142b。

這裏，閘極電極 136d 設置為埋入形成在層間絕緣層 128 上的絕緣層 132。另外，與閘極電極 136d 同樣，分別形成接觸於電晶體 160 的源極電極或汲極電極 130a 的電極 136a、接觸於電晶體 160 的源極電極或汲極電極 130b 的電極 136b 以及接觸於電極 130c 的電極 136c。

另外，在電晶體 162 上接觸於氧化物半導體層 140 的一部分地設置有保護絕緣層 144，並在保護絕緣層 144 上設置有層間絕緣層 146。這裏，在保護絕緣層 144 和層間絕緣層 146 中形成有到達源極電極或汲極電極 142a 和源極電極或汲極電極 142b 的開口，並且電極 150d 及電極 150e 形成為藉由該開口接觸於源極電極或汲極電極 142a 和源極電極或汲極電極 142b。另外，與電極 150d 及電極 150e 同樣，電極 150a、電極 150b 以及電極 150c 形成為藉由設置在閘極絕緣層 138、保護絕緣層 144 和層間絕緣層 146 中的開口接觸於電極 136a、電極 136b 以及電極 136c。

這裏，氧化物半導體層 140 較佳為雜質如氫等充分得到去除而被高純度化的氧化物半導體層。明確地說，氧化物半導體層 140 的氫濃度為 $5 \times 10^{19} \text{ atoms/cm}^3$ 或更少，較佳為 $5 \times 10^{18} \text{ atoms/cm}^3$ 或更少，更佳為 $5 \times 10^{17} \text{ atoms/cm}^3$ 以

下。另外，氫濃度充分得到降低而被高純度化的氧化物半導體層 140 具有比通常的矽片（稍微添加有磷或硼等雜質元素的矽片）中的載子濃度（約 $1 \times 10^{14} / \text{cm}^3$ ）小得多的載子濃度。如上所述，藉由使用氫濃度充分得到降低而被高純度化的 i 型化或實際上 i 型化的氧化物半導體，可以獲得截止電流特性極為優良的電晶體 162。例如，在汲極電壓 V_d 為 +1V 或 +10V 且閘極電壓 V_g 為 -5V 至 -20V 的情況下，截止電流為 $1 \times 10^{-13} \text{A}$ 或更少。如上所述，藉由使用氫濃度充分得到降低而被高純度化的氧化物半導體層 140 而降低電晶體 162 的截止電流，可以實現新的結構的半導體裝置。另外，使用二次離子質譜（SIMS）測量上述氧化物半導體層 140 中的氫濃度。

另外，在層間絕緣層 146 上設置有絕緣層 152，並將電極 154a、電極 154b、電極 154c 以及電極 154d 設置為埋入該絕緣層 152。這裏，電極 154a 接觸於電極 150a，電極 154b 接觸於電極 150b，電極 154c 接觸於電極 150c 及電極 150d，並且電極 154d 接觸於電極 150e。

就是說，在圖 2A 和 2B 所示的半導體裝置中，電晶體 160 的閘極電極 110 隔著電極 130c、電極 136c、電極 150c、電極 154c 以及電極 150d 電連接於電晶體 162 的源極電極或汲極電極 142a。

<半導體裝置的製造方法>

以下，說明上述半導體裝置的製造方法的一個例子。

以下，首先，參照圖 3A 至 3H 說明下部的電晶體 160 的製造方法，然後，參照圖 4A 至 4G 和圖 5A 至 5D 說明上部的電晶體 162 的製造方法。

<下部的電晶體的製造方法>

首先，準備包含半導體材料的基板 100（參照圖 3A）。作為包含半導體材料的基板 100，可以使用矽或碳化矽等的單晶半導體基板、多晶半導體基板、矽鍺等的化合物半導體基板、SOI 基板等。這裏，作為包含半導體材料的基板 100，示出使用單晶矽基板時的一個例子。

在基板 100 上形成用作用來形成元件分離絕緣層的掩罩的保護層 102（參照圖 3A）。作為保護層 102，例如可以使用氧化矽、氮化矽、氮氧化矽等的材料的絕緣層。另外，在該步驟的前後，也可以將賦予 n 型導電性的雜質元素和賦予 p 型導電性的雜質元素添加到基板 100，以控制電晶體的臨界值電壓。在半導體為矽時，作為賦予 n 型導電性的雜質，例如可以使用磷、砷等。另外，作為賦予 p 型導電性的雜質，例如可以使用硼、鋁、鎵等。

接著，使用上述保護層 102 作為掩罩進行蝕刻，去除不由保護層 102 覆蓋的區域（露出的區域）的基板 100 的一部分。由此，形成得到分離的半導體區域 104（參照圖 3B）。該蝕刻較佳使用乾蝕刻，但是也可以使用濕蝕刻。可以根據被蝕刻材料適當地選擇蝕刻氣體和蝕刻液。

接著，藉由覆蓋半導體區域 104 地形成絕緣層，並且

選擇性地去除重疊於半導體區域 104 的區域的絕緣層，形成元件分離絕緣層 106（參照圖 3B）。該絕緣層使用氧化矽、氮化矽、氮氧化矽等而形成。作為絕緣層的去方法，有 CMP 等拋光處理或蝕刻處理等，可以使用任一種方法。另外，在形成半導體區域 104 之後，或者，在形成元件分離絕緣層 106 之後，去除上述保護層 102。

接著，在半導體區域 104 上形成絕緣層，並在該絕緣層上形成包含導電材料的層。

絕緣層是之後成為閘極絕緣層的層，該絕緣層較佳採用藉由 CVD 法或濺射法等來得到的包含氧化矽、氮氧化矽、氮化矽、氧化鉛、氧化鋁、氧化鉭等的膜的單層結構或多層結構即可。另外，也可以藉由高密度電漿處理或熱氧化處理使半導體區域 104 的表面氧化或氮化，形成上述絕緣層。例如，可以使用 He、Ar、Kr、Xe 等稀有氣體和氧、氧化氮、氮、氫、氫等的混合氣體來進行高密度電漿處理。另外，對絕緣層的厚度沒有特別的限制，例如其厚度可以設定為 1nm 到 100nm。

包含導電材料的層可以使用鋁、銅、鈦、鉭、鎢等的金屬材料而形成。另外，也可以藉由使用包含導電材料的多晶矽等的半導體材料形成包含導電材料的層。對形成方法也沒有特別的限制，可以使用蒸鍍法、CVD 法、濺射法、旋塗法等各種沉積方法。此外，在本實施例中，說明使用金屬材料形成包含導電材料的層時的一個例子。

然後，藉由選擇性地蝕刻絕緣層和包含導電材料的

層，形成閘極絕緣層 108 和閘極電極 110。（參照圖 3C）。

接著，形成覆蓋閘極電極 110 的絕緣層 112（參照圖 3C）。然後，藉由將磷（P）或砷（As）等添加到半導體區域 104，在基板 100 中形成接面深度淺的雜質區域 114（參照圖 3C）。這裏，雖然添加磷或砷以形成 n 型電晶體，但是也可以在形成 p 型電晶體時添加硼（B）或鋁（Al）等的雜質元素。另外，藉由形成雜質區域 114，在半導體區域 104 的閘極絕緣層 108 的下部形成通道形成區域 116（參照圖 3C）。在此，雖然可以適當地設定所添加的雜質的濃度，但是較佳根據半導體元件的高微細化而提高其濃度。這裏，雖然採用在形成絕緣層 112 之後形成雜質區域 114 的步驟，但是也可以採用在形成雜質區域 114 之後形成絕緣層 112 的步驟。

接著，形成側壁絕緣層 118（參照圖 3D）。在覆蓋絕緣層 112 地形成絕緣層之後，藉由對該絕緣層進行各向異性高的蝕刻處理，以自對準的方式形成側壁絕緣層 118。另外，此時，較佳藉由對絕緣層 112 的一部分進行蝕刻，暴露閘極電極 110 的上面和雜質區域 114 的上面。

接著，覆蓋閘極電極 110、雜質區域 114 和側壁絕緣層 118 等地形成絕緣層。然後，藉由將磷（P）或砷（As）等添加到該絕緣層接觸雜質區域 114 的區域，形成高濃度雜質區域 120（參照圖 3E）。然後，藉由去除上述絕緣層，覆蓋閘極電極 110、側壁絕緣層 118 和高濃度雜

質區域 120 等地形成金屬層 122（參照圖 3E）。該金屬層 122 可以使用真空蒸鍍法、濺射法或旋塗法等各種沉積方法形成。較佳使用與構成半導體區域 104 的半導體材料起反應而成為低電阻的金屬化合物的金屬材料形成金屬層 122。作為上述金屬材料，例如有鈦、鉭、鎢、鎳、鈷、鉑等。

接著，進行熱處理，使上述金屬層 122 與半導體材料起反應。由此，形成接觸高濃度雜質區域 120 的金屬化合物區域 124（參照圖 3F）。另外，在使用多晶矽等作為閘極電極 110 的情況下，還在閘極電極 110 與金屬層 122 接觸的部分中形成金屬化合物區域。

作為上述熱處理，例如可以使用照射閃光燈的熱處理。當然，也可以使用其他熱處理方法，但是較佳使用可以在極短的時間內進行熱處理的方法，以提高根據金屬化合物形成的化學反應的控制性。另外，上述金屬化合物區域由金屬材料與半導體材料之間的反應而形成，該金屬化合物區域的導電性充分得到提高。藉由形成該金屬化合物區，可以充分降低電阻，並可以提高元件特性。另外，在形成金屬化合物區域 124 之後，去除金屬層 122。

接著，覆蓋藉由上述步驟形成的各結構地形成層間絕緣層 126 和層間絕緣層 128（參照圖 3G）。層間絕緣層 126 和層間絕緣層 128 可以使用包含氧化矽、氮氧化矽、氮化矽、氧化鉛、氧化鋁、氧化鉭等無機絕緣材料的材料形成。此外，也可以使用聚醯亞胺、丙烯酸樹脂等有機絕

緣材料形成層間絕緣層 126 和層間絕緣層 128。這裏，雖然示出層間絕緣層 126 和層間絕緣層 128 的兩層結構，但是層間絕緣層的結構不侷限於此。在形成層間絕緣層 128 之後，較佳藉由對其表面進行 CMP 或蝕刻處理等而使其平坦化。

然後，藉由在上述層間絕緣層中形成到達金屬化合物區域 124 的開口，在該開口中形成源極電極或汲極電極 130a 和源極電極或汲極電極 130b（參照圖 3H）。例如，可以在包括開口的區域中使用 PVD 法或 CVD 法等形成導電層，然後使用蝕刻處理或 CMP 等的方法去除上述導電層的一部分，以形成源極電極或汲極電極 130a 和源極電極或汲極電極 130b。

另外，在藉由去除上述導電層的一部分形成源極電極或汲極電極 130a 和源極電極或汲極電極 130b 時，較佳將其表面加工為平坦。例如，當在包含開口的區域中形成薄的鈦膜或氮化鈦膜，然後將鎢膜形成為嵌入開口中時，藉由進行之後的 CMP，可以在去除多餘的鎢膜、鈦膜或氮化鈦膜等的同時提高其表面的平坦性。像這樣，藉由對包含源極電極或汲極電極 130a 和源極電極或汲極電極 130b 的表面進行平坦化，可以在之後的步驟中形成優良的電極、佈線、絕緣層或半導體層等。

這裏，雖然附圖僅示出接觸金屬化合物區域 124 的源極電極或汲極電極 130a 和源極電極或汲極電極 130b，但是也可以在該步驟中形成接觸閘極電極 110 的電極（例

如，圖 2A 和 2B 中的電極 130c) 等。對可以用作源極電極或汲極電極 130a 和源極電極或汲極電極 130b 的材料沒有特別的限制，而可以使用各種導電材料。例如，可以使用鉬、鈦、鉻、鉭、鎢、鋁、銅、鈳或銦等導電材料。

藉由上述步驟，形成使用包含半導體材料的基板 100 的電晶體 160。另外，在進行上述步驟之後，還可以形成電極、佈線或絕緣層等。藉由使用由層間絕緣層和導電層的疊層結構構成的多層佈線結構作為佈線的結構，可以提供高集成化的半導體裝置。

<上部的電晶體的製造方法>

接著，參照圖 4A 至 4G 及圖 5A 至 5D 說明在層間絕緣層 128 上製造電晶體 162 的步驟。另外，圖 4A 至 4G 及圖 5A 至 5D 示出層間絕緣層 128 上的各種電極或電晶體 162 等的製程，而省略存在於電晶體 162 的下部的電晶體 160 等。

首先，在層間絕緣層 128、源極電極或汲極電極 130a、源極電極或汲極電極 130b 以及電極 130c 上形成絕緣層 132（參照圖 4A）。絕緣層 132 可以使用 PVD 法或 CVD 法等而形成。另外，可以使用包含氧化矽、氮氧化矽、氮化矽、氧化鈣、氧化鋁、氧化鉭等無機絕緣材料的材料形成絕緣層 132。

接著，在絕緣層 132 中形成到達源極電極或汲極電極 130a、源極電極或汲極電極 130b 以及電極 130c 的開口。

此時，還在之後形成閘極電極 136d 的區域中形成開口。然後，將導電層 134 形成為嵌入上述開口中（參照圖 4B）。上述開口可以使用掩罩藉由蝕刻等的方法而形成。上述掩罩藉由使用光掩罩的曝光等的方法而形成。作為蝕刻，使用濕蝕刻和乾蝕刻中的任何一種，但是從微細加工的觀點來看，較佳使用乾蝕刻。導電層 134 可以使用 PVD 法或 CVD 法等的沉積法而形成。作為可以用來形成導電層 134 的材料，可以舉出鉬、鈦、鉻、鉭、鎢、鋁、銅、鈳或鈳等導電材料、該材料的合金或化合物（例如，氮化物）等。

更明確地說，可以使用如下方法：例如，在包括開口的區域中使用 PVD 法形成薄的鈦膜，並且使用 CVD 法形成薄的氮化鈦膜，然後將鎢膜形成為嵌入開口中。這裏，藉由 PVD 法形成的鈦膜具有使其與下部電極（這裏，源極電極或汲極電極 130a、源極電極或汲極電極 130b 以及電極 130c 等）的介面的氧化膜還原而降低其與下部電極的接觸電阻的功能。另外，之後形成的氮化鈦膜具有抑制導電材料的擴散的阻擋功能。另外，也可以在形成由鈦或氮化鈦等構成的障壁膜之後，使用鍍法形成銅膜。

在形成導電層 134 之後，藉由使用蝕刻處理或 CMP 等的方法去除導電層 134 的一部分，暴露絕緣層 132，以形成電極 136a、電極 136b、電極 136c 以及閘極電極 136d（參照圖 4C）。另外，在去除上述導電層 134 的一部分以形成電極 136a、電極 136b、電極 136c 以及閘極電極

136d 時，較佳將其表面加工為平坦。如此，藉由將絕緣層 132、電極 136a、電極 136b、電極 136c 以及閘極電極 136d 的表面加工為平坦，可以在之後的步驟中形成優良的電極、佈線、絕緣層以及半導體層等。

接著，覆蓋絕緣層 132、電極 136a、電極 136b、電極 136c 以及閘極電極 136d 地形成閘極絕緣層 138（參照圖 4D）。閘極絕緣層 138 可以藉由 CVD 法或濺射法等形成。另外，閘極絕緣層 138 較佳包含氧化矽、氮化矽、氧氮化矽、氮氧化矽、氧化鋁、氧化鉛或氧化鉭等。另外，閘極絕緣層 138 可以為單層結構或者疊層結構。例如，藉由作為原料氣體使用矽烷（ SiH_4 ）、氧和氮的電漿 CVD 法，形成包含氧氮化矽的閘極絕緣層 138。對閘極絕緣層 138 的厚度沒有特別的制限，例如其厚度可以設定為 10nm 到 500nm。在使用疊層結構時，例如，較佳使用由厚度為 50nm 到 200nm 的第一閘極絕緣層和第一閘極絕緣層上的厚度為 5nm 到 300nm 的第二閘極絕緣層構成的疊層。

另外，因為藉由去除雜質而 i 型化或者在實際上被 i 型化的氧化物半導體（高純度化的氧化物半導體）對介面能階或介面電荷極為敏感，所以在作為氧化物半導體層使用該氧化物半導體的情況下，其與閘極絕緣層的介面是重要的。就是說，接觸高純度化的氧化物半導體層的閘極絕緣層 138 被要求高品質化。

另外，因為可以藉由使用 μ 波（2.45GHz）的高密度電

漿 CVD 法而形成緻密且絕緣耐壓高的高品質的閘極絕緣層 138，所以該方法是較佳的。這是因為如下緣故：高純度化的氧化物半導體層與高品質閘極絕緣層黏合，使得介面態密度得到降低而可以得到優良的介面特性。

當然，只要是能夠作為閘極絕緣層形成優質的絕緣層的方法，就在使用高純度化的氧化物半導體層的情況下也可以使用濺射法或電漿 CVD 法等的其他方法。另外，也可以使用藉由形成後的熱處理而使膜品質或與氧化物半導體層之間的介面特性得到改善的絕緣層。總之，只要形成作為閘極絕緣層 138 的膜品質優良且可以降低與氧化物半導體層的介面態密度而形成優良的介面的閘極絕緣層，即可。

再者，在 85°C ， $2 \times 10^6 \text{V/cm}$ 且時間為 12 小時的閘極偏壓－熱應力試驗（稱為 BT 試驗）中，如果在氧化物半導體中添加有雜質，雜質和氧化物半導體的主要成分之間的鍵被強電場（B：偏壓）和高溫（T：溫度）切斷，產生的懸空鍵導致臨界值電壓（ V_{th} ）的偏移。

與此相反，藉由儘量去除氧化物半導體的雜質，尤其是氫或水等，如上所述那樣與閘極絕緣層之間具有優良的介面特性，而可以得到對 BT 試驗也穩定的電晶體。

接著，在閘極絕緣層 138 上形成氧化物半導體層，藉由使用掩罩的蝕刻等方法而加工該氧化物半導體層，以形成島狀的氧化物半導體層 140（參照圖 4E）。

作為氧化物半導體，較佳採用 In-Ga-Zn-O 類、In-Sn-

Zn-O 類、In-Al-Zn-O 類、Sn-Ga-Zn-O 類、Al-Ga-Zn-O 類、Sn-Al-Zn-O 類、In-Zn-O 類、Sn-Zn-O 類、Al-Zn-O 類、In-O 類、Sn-O 類、Zn-O 類的氧化物半導體層，尤其是使用非晶氧化物半導體層。在本實施例中，作為氧化物半導體層，使用 In-Ga-Zn-O 類氧化物半導體沉積用靶材藉由濺射法形成非晶氧化物半導體層。另外，因為可以藉由將矽添加到氧化物半導體層中抑制其結晶化，所以，例如，也可以使用包含 2wt.%到 10wt.%的 SiO_2 的靶材形成氧化物半導體層。

作為用來使用濺射法製造氧化物半導體層的靶材，例如，可以使用以氧化鋅為主要成分的氧化物半導體沉積用靶材。另外，也可以使用包含 In、Ga 和 Zn 的氧化物半導體沉積用靶材（組成比為 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1:1:1$ [摩爾數比]）等。另外，作為包含 In、Ga 和 Zn 的氧化物半導體沉積用靶材，也可以使用其組成比為 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1:1:2$ [摩爾數比]或 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1:1:4$ [摩爾數比]的靶材等。氧化物半導體沉積用靶材的填充率為 90%到 100%，較佳為 95%或更多（例如，99.9%）。藉由使用填充率高的氧化物半導體沉積用靶材，形成緻密的氧化物半導體層。

氧化物半導體層的形成氣圍較佳為稀有氣體（典型為氬）氣圍、氧氣圍或稀有氣體（典型為氬）和氧的混合氣圍。明確地說，例如，較佳使用氬、水、羥基或氫化物等的雜質的濃度降低到約幾 ppm（較佳為約幾 ppb）的高純

度氣體。

在形成氧化物半導體層時，在保持為減壓狀態的處理室內固定基板，並且將基板溫度設定為 100°C 到 600°C ，較佳為 200°C 到 400°C 。藉由在加熱基板的同時形成氧化物半導體層，可以降低氧化物半導體層所包含的雜質的濃度。另外，可以減輕由濺射導致的損傷。然後，在去除處理室內的殘留水分的同時引入氫和水得到去除的濺射氣體，並且將金屬氧化物用作靶材以形成氧化物半導體層。較佳使用吸附型真空泵，以去除處理室內的殘留水分。例如，可以使用低溫泵、離子泵或鈦昇華泵。另外，作為排氣單元，也可以使用提供有冷阱的渦輪泵。在使用低溫泵進行了排氣的沉積室中，例如，對氫原子、水（ H_2O ）等包含氫原子的化合物（更佳，還有包含碳原子的化合物）等進行了排氣，因此可以降低在該沉積室中形成的氧化物半導體層所包含的雜質的濃度。

作為形成條件，例如，可以採用如下條件：基板和靶材之間的距離為 100mm ，壓力為 0.6Pa ，直流（DC）電力為 0.5kW ，並且氣圍為氧（氧流量比率為 100%）氣圍。注意，當使用脈衝直流（DC）電源時，可以減少在沉積時發生的粉狀物質（也稱為微粒或塵埃），並且膜厚度分佈也變得均勻，所以是較佳的。將氧化物半導體層的厚度設定為 2nm 到 200nm 、較佳為 5nm 到 30nm 。另外，因為氧化物半導體層的適當的厚度根據使用的氧化物半導體材料而不同，所以可以根據使用的材料適當地選擇其厚度。

另外，較佳在藉由濺射法形成氧化物半導體層之前進行引入氬氣體來產生電漿的反濺射，以去除附著在閘極絕緣層 138 的表面的塵埃。這裏，通常的濺射是指將離子碰撞到濺射靶材，而反濺射是指將離子碰撞到處理表面以改變其表面的性質。作為將離子碰撞到處理表面的方法，有在氬氣圍中將高頻電壓施加到處理表面一側而在基板附近產生電漿的方法等。另外，也可以使用氬氣圍、氬氣圍或氧氣圍等代替氬氣圍。

作為上述氧化物半導體層的蝕刻可以使用乾蝕刻和濕蝕刻中的任何一種。當然，也可以組合乾蝕刻和濕蝕刻而使用。根據材料適當地設定蝕刻條件（蝕刻氣體、蝕刻液、蝕刻時間、溫度等），以將其蝕刻成所希望的形狀。

作為乾蝕刻所使用的蝕刻氣體，例如有含有氯的氣體（氯類氣體，例如氯 (Cl_2)、氯化硼 (BCl_3)、氯化矽 (SiCl_4)、四氯化碳 (CCl_4) 等）等。另外，還可以使用含有氟的氣體（氟類氣體，例如四氟化碳 (CF_4)、六氟化硫 (SF_6)、三氟化氮 (NF_3)、三氟甲烷 (CHF_3) 等）、溴化氫 (HBr)、氧 (O_2) 或對上述氣體添加了氦 (He) 或氬 (Ar) 等的稀有氣體的氣體等。

作為乾蝕刻法，可以使用平行平板型 RIE（反應性離子蝕刻）法或 ICP（感應耦合電漿）蝕刻法。適當地設定蝕刻條件（施加到線圈形電極的電力量、施加到基板一側的電極的電力量、基板一側的電極溫度等），以將其蝕刻成所希望的形狀。

作為用於濕蝕刻的蝕刻劑，可以使用磷酸、醋酸以及硝酸混合的溶液等。另外，還可以使用 ITO07N（由 Kanto Chemical Co., Inc 製造）等。

接著，較佳對氧化物半導體層進行第一熱處理。藉由進行該第一熱處理，可以進行氧化物半導體層的脫水化或脫氫化。將第一熱處理的溫度設定為 300℃ 到 750℃，較佳為 400℃ 以上且低於基板的應變點。例如，將基板引入到使用電阻發熱體等的電爐中，在氮氣圍中且在 450℃ 的溫度下對氧化物半導體層 140 進行熱處理 1 小時。在該期間，不使氧化物半導體層 140 接觸大氣，以避免水或氫的再混入。

另外，熱處理裝置不侷限於電爐，也可以為利用來自被進行了加熱的氣體等介質的熱傳達或熱輻射對被處理物進行加熱的裝置。例如，可以使用 GRTA（氣體快速熱退火）裝置或 LRTA（燈快速熱退火）裝置等 RTA（快速熱退火）裝置。LRTA 裝置是利用從燈如鹵素燈、金鹵燈、氬弧燈、碳弧燈、高壓鈉燈或高壓汞燈等發出的光（電磁波）的輻射加熱被處理物的裝置。GRTA 裝置是利用高溫氣體進行熱處理的裝置。作為氣體，使用氬等稀有氣體或氮等即使藉由加熱處理也不與被處理物起反應的惰性氣體。

另外，作為第一熱處理，也可以進行如下 GRTA 處理，即將基板引入到被加熱到 650℃ 至 700℃ 的高溫的惰性氣體中，進行加熱幾分鐘，然後從該惰性氣體中抽出基

板。藉由使用 GRTA 處理，可以在短時間內進行高溫熱處理。另外，因為 GRTA 處理是在短時間內進行的熱處理，所以即使在超過基板的應變點的溫度條件下也可以使用 GRTA 處理。

另外，較佳在以氮或稀有氣體（氮、氖或氬等）為主要成分且不包含水或氫等的氣圍中進行第一熱處理。例如，較佳將引入加熱處理裝置中的氮或氮、氖、氬等的稀有氣體的純度設定為 6N（99.9999%）或更多，較佳設定為 7N（99.99999%）或更多（即，雜質濃度為 1ppm 或更少，較佳為 0.1ppm 或更少）。

根據第一加熱處理的條件或氧化物半導體層的材料，有時氧化物半導體層晶化而成為微晶或多晶。例如，有時成為結晶化率為 90%或更多或 80%或更多的微晶氧化物半導體層。另外，根據第一熱處理的條件或氧化物半導體層的材料，有時成為不包含結晶成分的非晶氧化物半導體層。

另外，有時成為非晶氧化物半導體（例如，在氧化物半導體層的表面）和微晶（粒徑為 1nm 到 20nm（典型為 2nm 到 4nm））混合在一起的氧化物半導體層。

另外，藉由在非晶中排列微晶，也可以改變氧化物半導體層的電特性。例如，在使用 In-Ga-Zn-O 類氧化物半導體沉積用靶材形成氧化物半導體層時，藉由形成具有電各向異性的 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 的晶粒對準的微晶部，可以改變氧化物半導體層的電特性。

更明確地說，例如，藉由將 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 的晶粒對準為其 c 軸垂直於氧化物半導體層的表面，可以提高平行於氧化物半導體層表面的方向上的導電性，並提高垂直於氧化物半導體層表面的方向上的絕緣性。另外，上述微晶部具有抑制水或氫等雜質侵入到氧化物半導體層中的功能。

另外，具有上述微晶部的氧化物半導體層可以藉由 GRTA 處理對氧化物半導體層進行表面加熱而形成。另外，更佳地，藉由使用 Zn 含量小於 In 或 Ga 含量的濺射靶材，可以形成氧化物半導體層。

也可以對被加工為島狀的氧化物半導體層 140 之前的氧化物半導體層進行對氧化物半導體層 140 的第一熱處理。在此情況下，在進行第一熱處理之後從加熱裝置抽出基板，並進行光刻步驟。

另外，上述第一熱處理具有對氧化物半導體層 140 進行脫水化或脫氫化的效果，所以也可以被稱為脫水化處理或脫氫化處理等。可以在形成氧化物半導體層之後，在將源極電極或汲極電極層疊在氧化物半導體層 140 上之後，或者，在將保護絕緣層形成在源極電極或汲極電極上之後等進行上述脫水化處理或脫氫化處理。另外，可以進行該脫水化處理或脫氫化處理一次或多次。

接著，接觸氧化物半導體層 140 地形成源極電極或汲極電極 142a 和源極電極或汲極電極 142b（參照圖 4F）。藉由在覆蓋氧化物半導體層 140 地形成導電層之後對該導電層選擇性地進行蝕刻，可以形成源極電極或汲極電極

142a 和源極電極或汲極電極 142b。

導電層可以使用以濺射法為典型的 PVD 法或電漿 CVD 法等的 CVD 法而形成。另外，作為導電層的材料，可以使用選自鋁、鉻、銅、鈹、鈦、鉬和鎢的元素或以上述元素為成分的合金等。也可以使用選自錳、鎂、鋅、鈹和鈦的任何一種或多種材料。另外，也可以使用組合鋁與選自鈦、鈹、鎢、鉬、鉻、釵和鈳的一種元素或多種元素而成的材料。導電層既可為單層結構，又可為兩層以上的疊層結構。例如，可以舉出包含矽的鋁膜的單層結構、在鋁膜上層疊有鈦膜的兩層結構以及層疊有鈦膜、鋁膜和鈦膜的三層結構等。

這裏，在進行曝光以形成用於蝕刻的掩罩時，較佳使用紫外線、KrF 雷射或 ArF 雷射。

根據源極電極或汲極電極 142a 的下端部和源極電極或汲極電極 142b 的下端部的間隔，決定電晶體的通道長度（L）。另外，當在通道長度（L）短於 25nm 的條件下進行曝光時，使用波長極短，即幾 nm 至幾十 nm 的超紫外線（Extreme Ultraviolet）進行用來形成掩罩的曝光。利用超紫外線的曝光的解析度高，並且聚焦深度也大。因此，也可以將之後形成的電晶體的通道長度（L）設定為 10nm 到 1000nm，而可以實現電路的工作速度的高速化。再者，因為截止電流值極小，所以可以抑制耗電量的增大。

另外，在對導電層進行蝕刻時，適當地調節其材料和

蝕刻條件，以避免氧化物半導體層 140 得到去除。另外，根據材料和蝕刻條件，有時在該步驟中氧化物半導體層 140 的一部分被進行蝕刻而成為具有槽部（凹部）的氧化物半導體層。

另外，也可以在氧化物半導體層 140 和源極電極或汲極電極 142a 之間或者在氧化物半導體層 140 和源極電極或汲極電極 142b 之間形成氧化物導電層。可以連續形成（連續沉積）氧化物導電層和用來形成源極電極或汲極電極 142a 和源極電極或汲極電極 142b 的金屬層。氧化物導電層可以用作源極區或汲極區。藉由設置該氧化物導電層，可以實現源極區或汲極區的低電阻化，而可以實現電晶體的高速工作。

另外，也可以使用透光為具有多種強度的曝光掩罩，即多色調掩罩形成抗蝕劑掩罩，並使用該抗蝕劑掩罩進行蝕刻步驟，以減少上述掩罩的使用個數和步驟數。使用多色調掩罩形成的抗蝕劑掩罩成為具有多個厚度的形狀（階梯狀），並進行灰化來可以進一步改變形狀，所以可以用於加工為不同的圖案的多個蝕刻步驟。就是說，利用一個多色調掩罩，可以形成對應於至少兩種以上的不同圖案的抗蝕劑掩罩。因此，可以削減曝光掩罩數，並且可以削減所對應的光刻步驟數，所以可以簡化步驟。

另外，在上述步驟之後，較佳進行使用 N_2O 、 N_2 或 Ar 等的氣體的電漿處理。藉由進行該電漿處理，去除附著於露出的氧化物半導體層表面的水等。另外，也可以使

用氧和氫的混合氣體進行電漿處理。

接著，不接觸大氣地形成接觸氧化物半導體層 140 的一部分的保護絕緣層 144（參照圖 4G）。

保護絕緣層 144 可以藉由適當地使用濺射法等的不使水或氫等的雜質混入到保護絕緣層 144 的方法而形成。另外，其厚度為 1nm 或更多。作為可以用於保護絕緣層 144 的材料，有氧化矽、氮化矽、氧氮化矽或氮氧化矽等。此外，其結構可以為單層結構或者疊層結構。較佳將形成保護絕緣層 144 時的基板溫度設定為室溫到 300℃，較佳採用稀有氣體（典型為氬）氣圍、氧氣圍或稀有氣體（典型為氬）和氧的混合氣圍。

在保護絕緣層 144 包含氫的情況下，由於氫侵入到氧化物半導體層或者由氫從氧化物半導體層中抽出氧等，有時會導致氧化物半導體層的背通道一側的低電阻化而形成寄生通道。因此，重要的是在保護絕緣層 144 的形成方法中不使用氫，以儘量使保護絕緣層 144 不包含氫。

另外，較佳在去除處理室內的殘留水分的同時形成保護絕緣層 144。這是為了不使氧化物半導體層 140 和保護絕緣層 144 包含氫、羥基或水。

較佳使用吸附型真空泵，以去除處理室內的殘留水分。例如，較佳使用低溫泵、離子泵或鈦昇華泵。另外，作為排氣單元，也可以使用提供有冷阱的渦輪泵。在使用低溫泵進行了排氣的沉積室中，例如，氫原子、水（ H_2O ）等包含氫原子的化合物等得到去除，因此可以降

低在該沉積室中形成的保護絕緣層 144 所包含的雜質的濃度。

作為形成保護絕緣層 144 時的濺射氣體，較佳使用氫、水、羥基或氫化物等雜質的濃度降低到約幾 ppm（較佳為約幾 ppb）的高純度氣體。

接著，較佳在惰性氣體氣圍中或在氧氣體氣圍中進行第二熱處理（較佳為 200℃ 到 400℃，例如 250℃ 到 350℃）。例如，在氮氣圍下並在 250℃ 的溫度下進行一個小時的第二熱處理。藉由進行第二熱處理，可以降低電晶體的電特性的不均勻。

另外，也可以在大氣中並在 100℃ 到 200℃ 的溫度下進行熱處理 1 小時到 30 小時。該熱處理既可在保持一定的加熱溫度的狀態下進行加熱，又可反復多次進行從室溫到 100℃ 到 200℃ 的加熱溫度的升溫和從加熱溫度到室溫的降溫。另外，也可以在形成保護絕緣層之前在減壓狀態下進行該熱處理。藉由在減壓狀態下進行熱處理，可以縮短加熱時間。另外，既可進行該熱處理代替上述第二熱處理，又可在進行第二熱處理前後等進行該熱處理。

首先，在保護絕緣層 144 上形成層間絕緣層 146（參照圖 5A）。層間絕緣層 146 可以使用 PVD 法或 CVD 法等而形成。另外，可以使用包含氧化矽、氮氧化矽、氮化矽、氧化鉛、氧化鋁、氧化鋇等無機絕緣材料的材料形成層間絕緣層 146。在形成層間絕緣層 146 之後，較佳藉由對其表面進行 CMP 或蝕刻處理等而使其平坦化。

接著，在層間絕緣層 146、保護絕緣層 144 以及閘極絕緣層 138 中形成到達電極 136a、電極 136b、電極 136c、源極電極或汲極電極 142a 以及源極電極或汲極電極 142b 的開口，並將導電層 148 形成為嵌入該開口中（參照圖 5B）。上述開口可以使用掩罩藉由蝕刻等的方法而形成。上述掩罩藉由使用光掩罩的曝光等的方法而形成。作為蝕刻，使用濕蝕刻和乾蝕刻中的任何一種，但是從微細加工的觀點來看，較佳使用乾蝕刻。導電層 148 可以使用 PVD 法或 CVD 法等沉積法而形成。作為可以用來形成導電層 148 的材料，可以舉出鋁、鈦、鉻、鈮、鎢、鋁、銅、鈹和鈳等導電材料、該材料的合金或化合物（例如，氮化物）等。

明確地說，可以使用如下方法：例如，在包括開口的區域中使用 PVD 法形成薄的鈦膜，並且使用 CVD 法形成薄的氮化鈦膜，然後將鎢膜形成為嵌入開口中。這裏，藉由 PVD 法形成的鈦膜具有使其與下部電極（這裏，電極 136a、電極 136b、電極 136c、源極電極或汲極電極 142a 以及源極電極或汲極電極 142b）的界面的氧化膜還原而降低其與下部電極的接觸電阻的功能。另外，之後形成的氮化鈦膜具有抑制導電材料的擴散的阻擋功能。另外，也可以在形成由鈦或氮化鈦等構成的障壁膜之後，使用鍍法形成銅膜。

在形成導電層 148 之後，藉由使用蝕刻處理或 CMP 等的方法去除導電層 148 的一部分，暴露層間絕緣層

146，以形成電極 150a、電極 150b、電極 150c、電極 150d 以及電極 150e（參照圖 5C）。另外，在去除上述導電層 148 的一部分以形成電極 150a、電極 150b、電極 150c、電極 150d 以及電極 150e 時，較佳將其表面加工為平坦。如此，藉由將層間絕緣層 146、電極 150a、電極 150b、電極 150c、電極 150d 以及電極 150e 的表面加工為平坦，可以在之後的步驟中形成優良的電極、佈線、絕緣層以及半導體層等。

再者，形成絕緣層 152，在絕緣層 152 中形成到達電極 150a、電極 150b、電極 150c、電極 150d 以及電極 150e 的開口，並且將導電層形成為嵌入該開口，然後，使用蝕刻或 CMP 等的方法去除導電層的一部分來暴露絕緣層 152，以形成電極 154a、電極 154b、電極 154c 以及電極 154d（參照圖 5D）。該步驟與形成電極 150a 等的情況相同，而省略其詳細說明。

在使用上述方法製造電晶體 162 的情況下，氧化物半導體層 140 的氫濃度為 $5 \times 10^{19} \text{ atoms/cm}^3$ 或更少，另外，電晶體 162 的截止電流為 $1 \times 10^{-13} \text{ A}$ 或更少。像這樣，藉由使用氫濃度得到充分降低且高純度化的氧化物半導體層 140，可以得到優良特性的電晶體 162。另外，可以製造在下部具有使用氧化物半導體以外的材料的電晶體 160 並在上部具有使用氧化物半導體的電晶體 162 且具有優良特性的半導體裝置。

另外，作為氧化物半導體的比較對象的半導體材料，

有碳化矽（例如，4H-SiC）。氧化物半導體與 4H-SiC 具有幾個共同點。載子密度是其中的一個例子。常溫下的氧化物半導體的本征載子密度被估計為約 $10^{-7}/\text{cm}^3$ ，這與 4H-SiC 的 $6.7 \times 10^{-11}/\text{cm}^3$ 同樣，顯示極為低的數值。藉由對其與矽的本征載子密度（約 $1.4 \times 10^{10}/\text{cm}^3$ ）進行比較，可以清楚地理解其本征載子密度極為低。

另外，因為氧化物半導體的能帶隙為 3.0 至 3.5 eV，4H-SiC 的能帶隙為 3.26 eV，所以從寬頻隙半導體的這一點來看，氧化物半導體和碳化矽也具有共同點。

另一方面，在氧化物半導體和碳化矽之間存在著極大的差異。這就是步驟溫度。因為碳化矽通常需要 1500°C 至 2000°C 的熱處理，所以難以實現其與使用其他半導體材料的半導體元件的疊層結構。這是因為在上述高溫下半導體基板或半導體元件等被損壞的緣故。另一方面，藉由在 300°C 至 500°C（玻璃轉變溫度以下，最高為約 700°C）的溫度下進行熱處理，可以製造氧化物半導體，而可以在使用其他半導體材料形成積體電路之後形成由氧化物半導體構成的半導體元件。

另外，與碳化矽不同，氧化物半導體具有可以使用玻璃基板等低耐熱性基板的優點。再者，從不需要在高溫下進行熱處理這一點來看，與碳化矽相比，氧化物半導體具有可以降低能量消耗的優點。

另外，雖然對氧化物半導體的物性已在進行各種各樣的研究，但是這些研究不包括充分降低能隙中的定域能階

本身的技術思想。在所揭露的發明的一個實施例中，藉由從氧化物半導體中去除成為定域能階的原因的水或氫，製造被高純度化的氧化物半導體。這是基於充分降低能隙中的定域能階本身的技術思想。由此，可以製造極為優良的工業產品。

再者，藉由將氧供給給由氧缺乏而產生的金屬的懸空鍵以減少由氧缺陷而起的定域能階，可以得到更高純度化（i 型）的氧化物半導體。例如，藉由接觸通道形成區域地形成氧過剩的氧化膜並從該氧化膜供給氧，可以減少由氧缺陷而起的定域能階。

氧化物半導體中的施主被認為起因於由氫過剩導致的傳導帶下 0.1eV 至 0.2eV 的較淺能級和由氧不足導致的較深能階等。儘量去除氫並且充分供給氧以消除上述缺陷的技術思想是對的。

另外，一般來說，氧化物半導體為 n 型，但是在所揭露的發明的一個實施例中，藉由去除雜質，尤其是水或氫，實現 i 型化。在這一點上，不是如矽等那樣添加雜質而實現 i 型化，因此可以說其包括從來沒有的技術思想。

<使用氧化物半導體的電晶體的導電機理>

這裏，參照圖 22 至圖 25 說明使用氧化物半導體的電晶體的導電機理。注意，以下說明只是一個考察而已，發明的有效性不會根據該說明而被否定。

圖 22 是使用氧化物半導體的反交錯型電晶體（薄膜

電晶體)的縱剖面圖。在閘極電極(GE1)上隔著閘極絕緣層(GI)設置有氧化物半導體層(OS)，並在其上設置有源極電極(S)和汲極電極(D)。

圖 23A 和 23B 示出沿圖 22 的 A-A' 的能帶結構的示意圖。圖 23B 示出如下情況：在將正電壓($V_D > 0$)施加到汲極的情況下，虛線表示不將電壓施加到閘極的情況($V_G = 0$)，而實線表示將正的電壓($V_G > 0$)施加到閘極的情況。在不將電壓施加到閘極的情況下，因為勢壘高，所以載子(電子)不從電極植入到氧化物半導體一側，而呈現沒有電流的截止狀態。另一方面，在將正的電壓施加到閘極的情況下，勢壘得到降低，而呈現產生電流的導通狀態。

圖 24A 和 24B 示出沿圖 22 的 B-B' 的剖面的能帶圖(示意圖)。圖 24A 示出將正的電位 $+V_G$ ($V_G > 0$)施加到閘極(GE1)的狀態，並示出在源極和汲極之間流過載子(電子)的導通狀態。另外，圖 24B 示出將負的電位 $-V_G$ ($V_G > 0$)施加到閘極(GE1)的狀態，並示出截止狀態(不流過少數載子的狀態)。

圖 25 示出真空能階、金屬的功函數(ϕ_M)和氧化物半導體的電子親和勢(χ)的關係。

金屬退化，其費米能階位於傳導帶內。另一方面，現有的氧化物半導體為 n 型，其費米能階(E_f)離位於帶隙中央的本征費米能階(E_i)遠，而位於接近傳導帶的一側。另外，氧化物半導體中的氫的一部分成為施主，這被

認為是 n 型化的原因之一。

與此相反，根據所揭露的發明的一個實施例的氧化物半導體是：藉由從氧化物半導體去除成為 n 型化的原因的氫，並進行高純度化以儘量使其不包含氧化物半導體的主要成分以外的元素（雜質元素），而成為本征（i 型）氧化物半導體或接近本征的氧化物半導體。就是說，其特徵在於：藉由儘量去除氫或水等的雜質，得到高純度化的本征（i 型）氧化物半導體或接近本征的氧化物半導體，而不是添加雜質元素而實現 i 型化。由此，可以將費米能階（ E_f ）設定為與本征費米能階（ E_i ）大致相同。

氧化物半導體的帶隙（ E_g ）被認為是 3.15eV ，電子親和勢（ χ ）被認為是 4.3eV 。構成源極電極或汲極電極的鈦（Ti）的功函數與氧化物半導體的電子親和勢（ χ ）大致相同。在此情況下，在金屬-氧化物半導體介面未形成對電子的肖特基勢壘。

就是說，在金屬的功函數（ ϕ_M ）和氧化物半導體的電子親和勢（ χ ）相同的情況下，在兩者接觸時顯示如圖 23A 所示的能帶圖（示意圖）。

在圖 23B 中，黑色圓點（●）表示電子。在將正的電位施加到汲極時，電子超過勢壘（ h ）而植入到氧化物半導體，然後向汲極流動。勢壘（ h ）的高度隨閘極電壓和汲極電壓而變化，但是在施加正的汲極電壓時，勢壘（ h ）的高度低於未施加電壓時的圖 23A 的勢壘的高度，即帶隙（ E_g ）的 $1/2$ 。

此時，如圖 24A 所示，電子在閘極絕緣層和高純度化的氧化物半導體的介面附近（氧化物半導體的能量穩定的最低部）遷移。

另外，如圖 24B 所示，在將負的電位施加到閘極電極（GE1）時，因為實際上沒有少數載子的電洞，所以電流成為極為接近 0 的數值。

如上所述，藉由進行氧化物半導體的高純度化以儘量使其不包含氧化物半導體的主要成分以外的元素（雜質元素），得到本征（i 型）或實際上本征的氧化物半導體，由此其與閘極絕緣層的介面特性明顯化。因此，作為閘極絕緣層，要求可以與氧化物半導體形成優良介面的閘極絕緣層。明確地說，例如，較佳使用藉由使用利用 VHF 頻帶至 μ 波頻帶的電源頻率而產生的高密度電漿的 CVD 法製造的絕緣層或藉由濺射法而製造的絕緣層等。

藉由在對氧化物半導體進行高純度化的同時改善氧化物半導體和閘極絕緣層的介面，例如，在電晶體的通道寬度 W 為 $1 \times 10^4 \mu\text{m}$ 且通道長度為 $3 \mu\text{m}$ 的情況下可以在常溫下實現 10^{-13}A 或更少的截止電流和 0.1V/dec. 的亞臨界值擺幅值（S 值）（閘極絕緣層的厚度： 100nm ）。

像這樣，藉由進行氧化物半導體的高純度化以儘量使其不包含氧化物半導體的主要成分以外的元素（雜質元素），可以實現電晶體的優良工作。

<變形例>

圖 6 至圖 9A 和 9B 示出半導體裝置的結構的變形例子。另外，以下，作為變形例，說明其結構與上述不同的電晶體 162。就是說，電晶體 160 的結構與上述同樣。

圖 6 示出具有如下電晶體 162 的半導體裝置的例子，該電晶體 162 具有氧化物半導體層 140 下的閘極電極 136d，並且源極電極或汲極電極 142a 和源極電極或汲極電極 142b 在氧化物半導體層 140 的下一側表面接觸氧化物半導體層 140。另外，平面的結構可以根據剖面而適當地改變，因此，這裏只示出剖面。

圖 6 所示的結構和圖 2A 和 2B 所示的結構的最大的不同之處在於：有源極電極或汲極電極 142a 和源極電極或汲極電極 142b 與氧化物半導體層 140 的連接位置。就是說，在圖 2A 和 2B 所示的結構中，源極電極或汲極電極 142a 和源極電極或汲極電極 142b 在氧化物半導體層 140 的上一側表面接觸氧化物半導體層 140，在圖 6 所示的結構中，源極電極或汲極電極 142a 和源極電極或汲極電極 142b 在氧化物半導體層 140 的下一側表面接觸氧化物半導體層 140。起因於上述接觸的不同，其他電極和絕緣層等的配置與圖 2A 和 2B 不同。各結構元件的詳細與圖 2A 和 2B 同樣。

明確地說，圖 6 所示的半導體裝置包括：設置在層間絕緣層 128 上的閘極電極 136d；設置在閘極電極 136d 上的閘極絕緣層 138；設置在閘極絕緣層 138 上的源極電極或汲極電極 142a 和源極電極或汲極電極 142b；以及接觸

源極電極或汲極電極 142a 和源極電極或汲極電極 142b 的上一側表面的氧化物半導體層 140。

這裏，閘極電極 136d 設置為埋入形成在層間絕緣層 128 上的絕緣層 132。另外，與閘極電極 136d 同樣，分別形成接觸於源極電極或汲極電極 130a 的電極 136a、接觸於源極電極或汲極電極 130b 的電極 136b 以及接觸於電極 130c 的電極 136c。

另外，在電晶體 162 上接觸於氧化物半導體層 140 的一部分地設置有保護絕緣層 144，並在保護絕緣層 144 上設置有層間絕緣層 146。這裏，在保護絕緣層 144 和層間絕緣層 146 中形成有到達源極電極或汲極電極 142a 和源極電極或汲極電極 142b 的開口，並且電極 150d 及電極 150e 形成為藉由該開口接觸於源極電極或汲極電極 142a 和源極電極或汲極電極 142b。另外，與電極 150d 及電極 150e 同樣，電極 150a、電極 150b 以及電極 150c 形成為藉由設置在閘極絕緣層 138、保護絕緣層 144 和層間絕緣層 146 中的開口接觸於電極 136a、電極 136b 以及電極 136c。

另外，在層間絕緣層 146 上設置有絕緣層 152，並將電極 154a、電極 154b、電極 154c 以及電極 154d 設置為埋入該絕緣層 152。這裏，電極 154a 接觸於電極 150a，電極 154b 接觸於電極 150b，電極 154c 接觸於電極 150c 及電極 150d，並且電極 154d 接觸於電極 150e。

圖 7A 和 7B 示出在氧化物半導體層 140 上具有閘極

電極 136d 的例子。這裏，圖 7A 示出源極電極或汲極電極 142a 和源極電極或汲極電極 142b 在氧化物半導體層 140 的下一側表面接觸氧化物半導體層 140 的例子，而圖 7B 示出源極電極或汲極電極 142a 和源極電極或汲極電極 142b 在氧化物半導體層 140 的上一側表面接觸氧化物半導體層 140 的例子。

圖 2A 和 2B 及圖 6 所示的結構和圖 7A 和 7B 所示的結構的最大不同之處在於：在氧化物半導體層 140 上具有閘極電極 136d。另外，圖 7A 所示的結構和圖 7B 所示的結構的最大不同之處在於：源極電極或汲極電極 142a 和源極電極或汲極電極 142b 在氧化物半導體層 140 的下一側表面接觸氧化物半導體層 140 還是在氧化物半導體層 140 的上一側表面接觸氧化物半導體層 140。起因於這些的不同，其他電極和絕緣層等的配置與圖 2A 和 2B 等不同。各結構元件的詳細與圖 2A 和 2B 等同樣。

明確地說，圖 7A 所示的半導體裝置包括：設置在層間絕緣層 128 上的源極電極或汲極電極 142a 和源極電極或汲極電極 142b；接觸源極電極或汲極電極 142a 和源極電極或汲極電極 142b 的上一側表面的氧化物半導體層 140；設置在氧化物半導體層 140 上的閘極絕緣層 138；以及閘極絕緣層 138 上的重疊於氧化物半導體層 140 的閘極電極 136d。

另外，圖 7B 所示的半導體裝置包括：設置在層間絕緣層 128 上的氧化物半導體層 140；設置為接觸氧化物半

導體層 140 的上一側表面的源極電極或汲極電極 142a 和源極電極或汲極電極 142b；設置在氧化物半導體層 140、源極電極或汲極電極 142a 和源極電極或汲極電極 142b 上的閘極絕緣層 138；以及閘極絕緣層 138 上的重疊於氧化物半導體層 140 的閘極電極 136d。

另外，與圖 2A 和 2B 所示的結構等相比，在圖 7A 和 7B 所示的結構中有時可以省略結構元件（例如，電極 150a 和電極 154a 等）。在此情況下，可以得到製程的簡化的間接效果。當然，在圖 2A 和 2B 等所示的結構中也可以省略不一定需要的結構元件。

圖 8A 和 8B 示出在元件的尺寸比較大的情況下在氧化物半導體層 140 下具有閘極電極 136d 的例子。在此情況下，因為對表面的平坦性或覆蓋度的要求不太高，所以不需要將佈線或電極等形成為埋入絕緣層中。例如，藉由在形成導電層之後進行構圖，可以形成閘極電極 136d 等。另外，雖然這裏未圖示，但是也可以同樣製造電晶體 160。

另外，圖 8A 所示的結構和圖 8B 所示的結構的最大不同之處在於：源極電極或汲極電極 142a 和源極電極或汲極電極 142b 在氧化物半導體層 140 的下一側表面接觸氧化物半導體層 140 還是在氧化物半導體層 140 的上一側表面接觸氧化物半導體層 140。起因於這些的不同，其他電極和絕緣層等的配置與圖 2A 和 2B 等不同。各結構元件的詳細與圖 2A 和 2B 等同樣。

明確地說，圖 8A 所示的半導體裝置包括：設置在層間絕緣層 128 上的閘極電極 136d；設置在閘極電極 136d 上的閘極絕緣層 138；設置在閘極絕緣層 138 上的源極電極或汲極電極 142a 和源極電極或汲極電極 142b；以及接觸源極電極或汲極電極 142a 和源極電極或汲極電極 142b 的上一側表面的氧化物半導體層 140。

另外，圖 8B 所示的半導體裝置包括：設置在層間絕緣層 128 上的閘極電極 136d；設置在閘極電極 136d 上的閘極絕緣層 138；設置在閘極絕緣層 138 上的重疊於閘極電極 136d 的區域中的氧化物半導體層 140；以及設置為接觸氧化物半導體層 140 的上一側表面的源極電極或汲極電極 142a 和源極電極或汲極電極 142b。

另外，與圖 2A 和 2B 所示的結構等相比，在圖 8A 和 8B 所示的結構中有時可以省略結構元件。在此情況下，也可以得到製程的簡化的效果。

圖 9A 和 9B 示出在元件的尺寸比較大的情況下在氧化物半導體層 140 上具有閘極電極 136d 的例子。在此情況下，因為對表面的平坦性或覆蓋度的要求不太高，所以不需要將佈線或電極等形成為埋入絕緣層中。例如，藉由在形成導電層之後進行構圖，可以形成閘極電極 136d 等。另外，雖然這裏未圖示，但是也可以同樣製造電晶體 160。

圖 9A 所示的結構和圖 9B 所示的結構的最大不同之處在於：源極電極或汲極電極 142a 和源極電極或汲極電

極 142b 在氧化物半導體層 140 的下一側表面接觸氧化物半導體層 140 還是在氧化物半導體層 140 的上一側表面接觸氧化物半導體層 140。起因於這些的不同，其他電極和絕緣層等的配置與圖 2A 和 2B 等不同。各結構元件的詳細與圖 2A 和 2B 等同樣。

明確地說，圖 9A 所示的半導體裝置包括：設置在層間絕緣層 128 上的源極電極或汲極電極 142a 和源極電極或汲極電極 142b；接觸源極電極或汲極電極 142a 和源極電極或汲極電極 142b 的上一側表面的氧化物半導體層 140；設置在源極電極或汲極電極 142a、源極電極或汲極電極 142b 以及氧化物半導體層 140 上的閘極絕緣層 138；以及設置在閘極絕緣層 138 上的重疊於氧化物半導體層 140 的區域中的閘極電極 136d。

另外，圖 9B 所示的半導體裝置包括：設置在層間絕緣層 128 上的氧化物半導體層 140；設置為接觸氧化物半導體層 140 的上一側表面的源極電極或汲極電極 142a 和源極電極或汲極電極 142b；設置在源極電極或汲極電極 142a、源極電極或汲極電極 142b 以及氧化物半導體層 140 上的閘極絕緣層 138；以及設置在閘極絕緣層 138 上的重疊於氧化物半導體層 140 的區域中的閘極電極 136d。

另外，與圖 2A 和 2B 所示的結構等相比，在圖 9A 和 9B 所示的結構中有時可以省略結構元件。在此情況下，也可以得到製程的簡化的效果。

如上所述，根據所揭露的發明的一個實施例，實現具有新的結構的半導體裝置。在本實施例中，雖然說明了層疊形成電晶體 160 和電晶體 162 的例子，但是半導體裝置的結構不侷限於此。另外，在本實施例中，雖然說明了電晶體 160 和電晶體 162 的通道長度方向相互垂直的例子，但是電晶體 160 和電晶體 162 的位置關係不侷限於此。再者，也可以將電晶體 160 和電晶體 162 設置為彼此重疊。

另外，在本實施例中，為了便於理解而說明了最小儲存單位（1 位元）的半導體裝置，但是半導體裝置的結構不侷限於此。也可以藉由適當地連接多個半導體裝置而構成更高級的半導體裝置。例如，可以使用多個上述半導體裝置構成 NAND 型或 NOR 型的半導體裝置。佈線的結構也不侷限於圖 1，而可以適當地改變佈線的結構。

根據本實施例的半導體裝置因電晶體 162 的低截止電流特性而可以在極長時間內保持資訊。就是說，不需要進行 DRAM 等所需要的更新工作，而可以抑制耗電量。另外，可以將其實際上用作非易失性儲存裝置。

另外，因為根據電晶體 162 的開關工作而進行資訊寫入等，所以不需要高電壓，也沒有元件退化的問題。再者，根據電晶體的導通或截止而進行資訊寫入或擦除，而也可以容易實現高速工作。另外，藉由控制輸入到電晶體的電位，可以直接重寫資訊。由此，不需要快閃記憶體等所需要的擦除工作，而可以抑制起因於擦除工作的工作速度的降低。

另外，與使用氧化物半導體的電晶體相比，使用氧化物半導體以外的材料的電晶體可以進行更高速度的工作，因此，藉由該使用氧化物半導體以外的材料的電晶體而可以進行高速的儲存內容的讀出。

本實施例所示的結構或方法等可以與其他實施例所示的結構或方法等適當地組合而使用。

實施例 2

在本實施例中，說明根據本發明的一個實施例的半導體裝置的電路結構及工作方法。

圖 10 示出半導體裝置所具有的記憶元件（以下也成為儲存單元）的電路圖的一個例子。圖 10 所示的儲存單元 200 包括第三佈線 S1（第一信號線）、第四佈線 S2（第二信號線）、第五佈線 WL（字線）、電晶體 201、電晶體 202 以及電晶體 203。電晶體 201 及電晶體 203 使用氧化物半導體以外的材料而形成，電晶體 202 使用氧化物半導體而形成。這裏，電晶體 201 及電晶體 203 較佳具有與實施例 1 所示的電晶體 160 同樣的結構。另外，電晶體 202 較佳具有與實施例 1 所示的電晶體 162 同樣的結構。另外，儲存單元 200 電連接於第一佈線 SL（源極線）及第二佈線 BL（位線），較佳隔著電晶體（包括構成其他儲存單元的電晶體）電連接於第一佈線 SL 及第二佈線 BL。

這裏，電晶體 201 的閘極電極與電晶體 202 的源極電

極和汲極電極中的一者電連接。另外，第一佈線 SL、電晶體 201 的源極電極以及電晶體 203 的源極電極電連接，並且第二佈線 BL、電晶體 201 的汲極電極以及電晶體 203 的汲極電極電連接。並且，第三佈線 S1 與電晶體 202 的源極電極和汲極電極中的另一者電連接，第四佈線 S2 和電晶體 202 的閘極電極電連接，並且第五佈線 WL 和電晶體 203 的閘極電極電連接。另外，第一佈線 SL、電晶體 201 的源極電極以及電晶體 203 的源極電極也可以隔著電晶體（構成其他儲存單元的電晶體）連接。另外，第二佈線 BL、電晶體 201 的汲極電極以及電晶體 203 的汲極電極也可以隔著電晶體（構成其他儲存單元的電晶體）連接。

圖 11 示出具有 $m \times n$ 位元的儲存容量的根據本發明的一個實施例的半導體裝置的方框電路圖。這裏，作為一個例子，示出串聯連接有儲存單元 200 的 NAND 型半導體裝置。

根據本發明的一個實施例的半導體裝置包括： m 個第五佈線 WL(1)至 WL(m)及第四佈線 S2(1)至 S2(m)； n 個第一佈線 SL(1)至 SL(n)、第二佈線 BL(1)至 BL(n)以及第三佈線 S1(1)至 S1(n)；兩個第六佈線 SEL(1)及 SEL(2)；將多個儲存單元 200(1、1)至 200(m 、 n)配置為縱 m 個（列） $\times$ 橫 n 個（行）（ m 、 n 為自然數）的矩陣形狀的儲存單元陣列 210；沿第六佈線 SEL(1)配置在第二佈線 BL(1)至 BL(n)與儲存單元 200(1、1)至 200(1、 n)之間的電

晶體 215(1、1)至 215(1、n)；沿第六佈線 SEL(2)配置在第一佈線 SL(1)至 SL(n)與儲存單元 200(m、1)至 200(m、n)之間的電晶體 215(2、1)至 215(2、n)；以及週邊電路如第二佈線及第三佈線的驅動電路 211、第四佈線及第五佈線的驅動電路 213 以及讀出電路 212。作為其他週邊電路，也可以設置有更新電路等。

各儲存單元 200 (典型為儲存單元 200(i、j)。這裏，i 為 1 到 m 的整數，j 為 1 到 n 的整數) 分別連接於第三佈線 S1(j)、第四佈線 S2(i)以及第五佈線 WL(i)。另外，儲存單元 200(i₁、j) (i₁ 為 2 至 m 的整數) 所具有的電晶體 201 及電晶體 203 的汲極電極連接於儲存單元 200(i₁-1、j)所具有的電晶體 201 及電晶體 203 的源極電極，並且儲存單元 200(i₂、j) (i₂ 為 1 至 m-1 的整數) 所具有的電晶體 201 及電晶體 203 的源極電極連接於儲存單元 200(i₂+1、j)所具有的電晶體 201 及電晶體 203 的汲極電極。儲存單元 200(1、j)所具有的電晶體 201 及電晶體 203 的汲極電極連接於電晶體 215(1、j)的源極電極，並且儲存單元 200(m、j)所具有的電晶體 201 及電晶體 203 的源極電極連接於電晶體 215(2、j)的汲極電極。電晶體 215(1、j)的汲極電極連接於第二佈線 BL(j)，而電晶體 215(2、j)的源極電極連接於第一佈線 SL(j)。另外，電晶體 215(1、j)的閘極電極連接於第六佈線 SEL(1)，而電晶體 215(2、j)的閘極電極連接於第六佈線 SEL(2)。

另外，第二佈線 BL(1)至 BL(n)及第三佈線 S1(1)至

S1(n)連接於第二佈線及第三佈線的驅動電路 211，而第五佈線 WL(1)至 WL(m)、第四佈線 S2(1)至 S2(m)以及第六佈線 SEL(1)及 SEL(2)連接於第四佈線及第五佈線的驅動電路 213。另外，第二佈線 BL(1)至 BL(n)也連接於讀出電路 212。將電位 V_s 施加到第一佈線 SL(1)至 SL(n)。另外，第一佈線 SL(1)至 SL(n)不需要一定分開而設置，也可以互相電連接。

以下，說明圖 11 所示的半導體裝置的工作。在本結構中，按每個列進行寫入及讀出。

在對第 i 列的儲存單元 200($i, 1$)至 200(i, n)進行寫入時，將第四佈線 S2(i)設定為 2V，而使所選擇的儲存單元的電晶體 202 處於導通狀態。另一方面，將第 i 列以外的第四佈線 S2 設定為 0V，而使所未選擇的儲存單元的電晶體 202 處於截止狀態。在寫入資料“1”的行中將第三佈線 S1(1)至 S1(n)設定為 2V，而在寫入資料“0”的行中將第三佈線 S1(1)至 S1(n)設定為 0V。另外，在資料寫入完時，在第三佈線 S1(1)至 S1(n)的電位變化之前將第四佈線 S2(i)設定為 0V，而使所選擇的儲存單元的電晶體 202 處於截止狀態。關於其他佈線，例如，將第二佈線 BL(1)至 BL(n)設定為 0V，將第五佈線 WL(1)至 WL(m)設定為 0V，將第六佈線 SEL(1)及 SEL(2)設定為 0V，並且將第一佈線 SL(1)至 SL(n)的電位 V_s 設定為 0V。圖 12 示出如上所述的寫入工作的時序圖的一個例子。

結果，與進行了資料“1”的寫入的儲存單元的電晶體

201 的閘極電極連接的節點（以下稱為節點 A）的電位成為大約 2V，而進行了資料“0”的寫入的儲存單元的節點 A 的電位成為大約 0V。另外，未選擇的儲存單元的節點 A 的電位不變。這裏，因為電晶體 202 的截止電流極小或實際上為 0，所以在長時間內保持電晶體 201 的閘極電極（節點 A）的電位。

在進行第 i 列的儲存單元 200(i、1)至 200(i、n)的讀出時，將第六佈線 SEL(1)及 SEL(2)設定為 2V，並使電晶體 215(1、1)至 215(2、n)處於導通狀態。將第一佈線 SL(1)至 SL(n)的電位 V_s 設定為 0V。使連接於第二佈線 BL(1)至 BL(n)的讀出電路 212 處於工作狀態。將第四佈線 S2(1)至 S2(m)設定為 0V，而使所有儲存單元的電晶體 202 處於截止狀態。將第三佈線 S1(1)至 S1(n)設定為 0V。

然後，將第五佈線 WL(i)設定為 0V，並將第 i 列以外的第五佈線 WL 設定為 2V。此時，第 i 列的儲存單元的電晶體 203 處於截止狀態。第 i 列以外的儲存單元的電晶體 203 處於導通狀態。結果，根據第 i 列的儲存單元的電晶體 201 處於導通狀態還是截止狀態而決定儲存單元行的電阻狀態。在第 i 列的儲存單元中的具有資料“0”的儲存單元中，因為節點 A 大約為 0V，所以電晶體 201 處於截止狀態，儲存單元行的電阻處於高狀態（以下，也稱為儲存單元行處於高電阻狀態）。另一方面，在第 i 列的儲存單元中的具有資料“1”的儲存單元中，因為節點 A 大約為

2V，所以電晶體 201 處於導通狀態，儲存單元行的電阻處於低狀態（以下，也稱為儲存單元行處於低電阻狀態）。結果，讀出電路可以根據儲存單元的電阻狀態的不同而讀出資料“0”或“1”。

另外，在進行寫入時，在半導體裝置沒有基板電位的情況下如在將薄膜電晶體形成在 SOI 基板上的情況等下，較佳將第五佈線 $WL(i+1)$ 至 $WL(m)$ 設定為 2V，並將第六佈線 $SEL(2)$ 設定為 2V。由此，可以將第 i 列的儲存單元的電晶體 201 的源極電極和汲極電極中的至少一者設定為大約 0V。或者，也可以將第六佈線 $SEL(1)$ 設定為 2V，並將第五佈線 $WL(1)$ 至 $WL(i-1)$ 設定為 2V。另一方面，在半導體裝置具有基板電位的情況下如在將電晶體形成在單晶半導體基板上的情況等下，只要將基板電位設定為 0V，即可。

另外，雖然在寫入時將第二佈線 $BL(1)$ 至 $BL(n)$ 設定為 0V，但是在第六佈線 $SEL(1)$ 為 0V 的情況下，也可以使第二佈線 $BL(1)$ 至 $BL(n)$ 處於浮動狀態或充電到 0V 或更多的電位。雖然在讀出時將第三佈線 $S1(1)$ 至 $S1(n)$ 設定為 0V，但是也可以使第三佈線 $S1(1)$ 至 $S1(n)$ 處於浮動狀態或充電到 0V 或更多的電位。

另外，資料“1”和資料“0”是為了方便起見而定義的，也可以彼此交換。另外，上述工作電壓只是一個例子。只要以在資料為“0”時使電晶體 201 處於截止狀態且在資料為“1”時使電晶體 201 處於導通狀態的方式、在寫入時使

電晶體 202 處於導通狀態且在寫入時以外使電晶體 202 處於截止狀態的方式或者在讀出時所選擇的儲存單元的電晶體 203 處於截止狀態且所未選擇的儲存單元的電晶體 203 處於導通狀態的方式選擇工作電壓，即可。尤其是，也可以使用週邊邏輯電路的電源電位 VDD 代替 2V。另外，也可以使用接地電位 GND 代替 0V。

以下，說明根據本發明的一個實施例的半導體裝置的電路結構及工作的其他一個例子。

圖 13 示出半導體裝置所具有的儲存單元電路的一個例子。圖 13 所示的儲存單元 220 包括第三佈線 S1、第四佈線 S2、第五佈線 WL、電晶體 201、電晶體 202 以及電晶體 203。電晶體 201 及電晶體 203 使用氧化物半導體以外的材料而形成，電晶體 202 使用氧化物半導體而形成。這裏，電晶體 201 及電晶體 203 較佳具有與實施例 1 所示的電晶體 160 同樣的結構。另外，電晶體 202 較佳具有與實施例 1 所示的電晶體 162 同樣的結構。另外，儲存單元 220 電連接於第一佈線 SL 及第二佈線 BL，較佳隔著電晶體（包括構成其他儲存單元的電晶體）電連接於第一佈線 SL 及第二佈線 BL。

與圖 10 所示的儲存單元電路相比，在圖 13 所示的儲存單元電路中，第三佈線 S1 和第四佈線 S2 的方向不同。就是說，在圖 13 所示的儲存單元電路中，在第二佈線 BL 的方向（行方向）上配置第四佈線 S2，並且在第五佈線 WL 的方向（列方向）上配置第三佈線 S1。

圖 14 示出具有 $m \times n$ 位元的儲存容量的根據本發明的一個實施例的半導體裝置的方框電路圖。這裏，作為一個例子，示出串聯連接有儲存單元 220 的 NAND 型半導體裝置。

根據本發明的一個實施例的半導體裝置包括： m 個第五佈線 WL 及第三佈線 S1； n 個第一佈線 SL、第二佈線 BL 以及第四佈線 S2；兩個第六佈線 SEL；將多個儲存單元 220(1、1)至 220(m 、 n)配置為縱 m 個（列） $\times$ 橫 n 個（行）（ m 、 n 為自然數）的矩陣形狀的儲存單元陣列 230；沿第六佈線 SEL(1)配置在第二佈線 BL(1)至 BL(n)與儲存單元 220(1、1)至 220(1、 n)之間的電晶體 235(1、1)至 235(1、 n)；沿第六佈線 SEL(2)配置在第一佈線 SL(1)至 SL(n)與儲存單元 220(m 、1)至 220(m 、 n)之間的電晶體 235(2、1)至 235(2、 n)；以及週邊電路如第二佈線及第四佈線的驅動電路 231、第三佈線及第五佈線的驅動電路 233 以及讀出電路 232。作為其他週邊電路，也可以設置有更新電路等。

與圖 11 所示的半導體裝置相比，在圖 14 所示的半導體裝置中，第三佈線 S1 和第四佈線 S2 的方向不同。就是說，在圖 14 所示的半導體裝置中，在第二佈線 BL 的方向（行方向）上配置第四佈線 S2，並且在第五佈線 WL 的方向（列方向）上配置第三佈線 S1。

各儲存單元 220（典型為儲存單元 220(i 、 j)。這裏， i 為 1 到 m 的整數， j 為 1 到 n 的整數）分別連接於第三

佈線 $S1(i)$ 、第五佈線 $WL(i)$ 以及第四佈線 $S2(j)$ 。另外，儲存單元 $220(i_1, j)$ (i_1 為 2 至 m 的整數) 所具有的電晶體 201 及電晶體 203 的汲極電極連接於儲存單元 $220(i_1-1, j)$ 所具有的電晶體 201 及電晶體 203 的源極電極，並且儲存單元 $220(i_2, j)$ (i_2 為 1 至 $m-1$ 的整數) 所具有的電晶體 201 及電晶體 203 的源極電極連接於儲存單元 $220(i_2+1, j)$ 所具有的電晶體 201 及電晶體 203 的汲極電極。儲存單元 $220(1, j)$ 所具有的電晶體 201 及電晶體 203 的汲極電極連接於電晶體 235(1, j)的源極電極，並且儲存單元 $220(m, j)$ 所具有的電晶體 201 及電晶體 203 的源極電極連接於電晶體 235(2, j)的汲極電極。電晶體 235(1, j)的汲極電極連接於第二佈線 $BL(j)$ ，而電晶體 235(2, j)的源極電極連接於第一佈線 $SL(j)$ 。另外，電晶體 235(1, j)的閘極電極連接於第六佈線 $SEL(1)$ ，而電晶體 235(2, j)的閘極電極連接於第六佈線 $SEL(2)$ 。

另外，第二佈線 $BL(1)$ 至 $BL(n)$ 及第四佈線 $S2(1)$ 至 $S2(n)$ 連接於第二佈線及第四佈線的驅動電路 231，而第五佈線 $WL(1)$ 至 $WL(m)$ 、第三佈線 $S1(1)$ 至 $S1(m)$ 以及第六佈線 $SEL(1)$ 及 $SEL(2)$ 連接於第三佈線及第五佈線的驅動電路 233。另外，第二佈線 $BL(1)$ 至 $BL(n)$ 也連接於讀出電路 232。將電位 V_s 施加到第一佈線 $SL(1)$ 至 $SL(n)$ 。另外，第一佈線 $SL(1)$ 至 $SL(n)$ 不需要一定分開而設置，也可以互相電連接。

以下，說明圖 14 所示的半導體裝置的工作。在本結

構中，按每個行進行寫入，按每個列進行讀出。

在對第 j 行的儲存單元 $220(1, j)$ 至 $220(m, j)$ 進行寫入時，將第四佈線 $S2(j)$ 設定為 $2V$ ，而使所選擇的儲存單元的電晶體 202 處於導通狀態。另一方面，將第 j 行以外的第四佈線 $S2$ 設定為 $0V$ ，而使所未選擇的儲存單元的電晶體 202 處於截止狀態。在寫入資料“1”的列中將第三佈線 $S1(1)$ 至 $S1(m)$ 設定為 $2V$ ，而在寫入資料“0”的列中將第三佈線 $S1(1)$ 至 $S1(m)$ 設定為 $0V$ 。另外，在資料寫入完時，在第三佈線 $S1(1)$ 至 $S1(m)$ 的電位變化之前將第四佈線 $S2(j)$ 設定為 $0V$ ，而使所選擇的儲存單元的電晶體 202 處於截止狀態。關於其他佈線，例如，將第二佈線 $BL(1)$ 至 $BL(n)$ 設定為 $0V$ ，將第五佈線 $WL(1)$ 至 $WL(m)$ 設定為 $0V$ ，將第六佈線 $SEL(1)$ 及 $SEL(2)$ 設定為 $0V$ ，並且將第一佈線 $SL(1)$ 至 $SL(n)$ 的電位 V_s 設定為 $0V$ 。

結果，與進行了資料“1”的寫入的儲存單元的電晶體 201 的閘極電極連接的節點（以下稱為節點 A）的電位成為大約 $2V$ ，而進行了資料“0”的寫入的儲存單元的節點 A 的電位成為大約 $0V$ 。另外，未選擇的儲存單元的節點 A 的電位不變。這裏，因為電晶體 202 的截止電流極小或實際上為 0，所以在長時間內保持電晶體 201 的閘極電極（節點 A）的電位。

在進行第 i 列的儲存單元 $220(i, 1)$ 至 $220(i, n)$ 的讀出時，將第六佈線 $SEL(1)$ 及 $SEL(2)$ 設定為 $2V$ ，而使電晶體 $235(1, 1)$ 至 $235(2, n)$ 處於導通狀態。將第一佈線

SL(1)至 SL(n)的電位 V_s 設定為 0V。使連接於第二佈線 BL(1)至 BL(n)的讀出電路 232 處於工作狀態。將第四佈線 S2(1)至 S2(n)設定為 0V，而使所有儲存單元的電晶體 202 處於截止狀態。將第三佈線 S1(1)至 S1(m)設定為 0V。

然後，將第五佈線 WL(i)設定為 0V，並將第 i 列以外的第五佈線 WL 設定為 2V。此時，第 i 列的儲存單元的電晶體 203 處於截止狀態。第 i 列以外的儲存單元的電晶體 203 處於導通狀態。結果，根據第 i 列的儲存單元的電晶體 201 處於導通狀態還是截止狀態而決定儲存單元行的電阻狀態。在第 i 列的儲存單元中的具有資料“0”的儲存單元中，因為節點 A 大約為 0V，所以電晶體 201 處於截止狀態，儲存單元行處於高電阻狀態。另一方面，在第 i 列的儲存單元中的具有資料“1”的儲存單元中，因為節點 A 大約為 2V，所以電晶體 201 處於導通狀態，儲存單元行處於低電阻狀態。結果，讀出電路 232 可以根據儲存單元的電阻狀態的不同而讀出資料“0”或“1”。

另外，在進行寫入時，在半導體裝置沒有基板電位的情況下如在將薄膜電晶體形成在 SOI 基板上的情況等下，較佳將第五佈線 WL(1)至 WL(m)設定為 2V，並將第六佈線 SEL(1)或第六佈線 SEL(2)設定為 2V。由此，可以將第 i 列的儲存單元的電晶體 201 的源極電極和汲極電極中的至少一者設定為大約 0V。另一方面，在半導體裝置具有基板電位的情況下如在將電晶體形成在單晶半導體基板上的情況等下，只要將基板電位設定為 0V，即可。

另外，雖然在寫入時將第二佈線 BL(1)至 BL(n)設定為 0V，但是在第六佈線 SEL(1)為 0V 的情況下，也可以使第二佈線 BL(1)至 BL(n)處於浮動狀態或充電到 0V 或更多的電位。雖然在讀出時將第三佈線 S1(1)至 S1(n)設定為 0V，但是也可以使第三佈線 S1(1)至 S1(n)處於浮動狀態或充電到 0V 或更多的電位。

另外，資料“1”和資料“0”是為了方便起見而定義的，也可以彼此交換。另外，上述工作電壓只是一個例子。只要以在資料為“0”時使電晶體 201 處於截止狀態且在資料為“1”時使電晶體 201 處於導通狀態的方式、在寫入時使電晶體 202 處於導通狀態且在寫入時以外使電晶體 202 處於截止狀態的方式或者在讀出時所選擇的儲存單元的電晶體 203 處於截止狀態且所未選擇的儲存單元的電晶體 203 處於導通狀態的方式選擇工作電壓，即可。尤其是，也可以使用週邊邏輯電路的電源電位 VDD 代替 2V。另外，也可以使用接地電位 GND 代替 0V。

根據本實施例的半導體裝置因電晶體 202 的低截止電流特性而可以在極長時間內保持資訊。就是說，不需要進行 DRAM 等所需要的更新工作，而可以抑制耗電量。另外，可以將其實際上用作非易失性儲存裝置。

另外，因為根據電晶體 202 的開關工作而進行資訊寫入，所以不需要高電壓，也沒有元件退化的問題。再者，根據電晶體的導通或截止而進行資訊寫入或擦除，而也可以容易實現高速工作。另外，藉由控制輸入到電晶體的電

位，可以直接重寫資訊。由此，不需要快閃記憶體等所需要的擦除工作，而可以抑制起因於擦除工作的工作速度的降低。

另外，與使用氧化物半導體的電晶體相比，使用氧化物半導體以外的材料的電晶體可以進行更高速度的工作，因此，藉由該使用氧化物半導體以外的材料的電晶體而可以進行高速的儲存內容的讀出。

實施例 3

在本實施例中，說明與實施例 2 不同的半導體裝置的電路結構及工作的一個例子。

圖 15 示出半導體裝置所具有的儲存單元的電路圖的一個例子。圖 15 所示的儲存單元 240 包括第三佈線 S1、第四佈線 S2、第五佈線 WL、電晶體 201、電晶體 202 以及電容元件 204。電晶體 201 使用氧化物半導體以外的材料而形成，電晶體 202 使用氧化物半導體而形成。這裏，電晶體 201 較佳具有與實施例 1 所示的電晶體 160 同樣的結構。另外，電晶體 202 較佳具有與實施例 1 所示的電晶體 162 同樣的結構。另外，儲存單元 240 電連接於第一佈線 SL 及第二佈線 BL，較佳隔著電晶體（包括構成其他儲存單元的電晶體）電連接於第一佈線 SL 及第二佈線 BL。

這裏，電晶體 201 的閘極電極、電晶體 202 的源極電極和汲極電極中的一者以及電容元件 204 的電極中的一者電連接。另外，第一佈線 SL 和電晶體 201 的源極電極電

連接，並且電晶體 201 的汲極電極與第二佈線 BL 電連接。並且，電晶體 202 的源極電極和汲極電極中的另一者與第三佈線 S1 電連接，第四佈線 S2 和電晶體 202 的閘極電極電連接，並且第五佈線 WL 和電容元件 204 的電極中的另一者電連接。另外，第一佈線 SL 和電晶體 201 的源極電極也可以隔著電晶體（包括構成其他儲存單元的電晶體）連接。另外，第二佈線 BL 和電晶體 201 的汲極電極也可以隔著電晶體（包括構成其他儲存單元的電晶體）連接。

圖 16 示出具有 $m \times n$ 位元的儲存容量的根據本發明的一個實施例的半導體裝置的方框電路圖。這裏，作為一個例子，示出串聯連接有儲存單元 240 的 NAND 型半導體裝置。

根據本發明的一個實施例的半導體裝置包括： m 個第五佈線 WL 及第四佈線 S2； n 個第一佈線 SL、第二佈線 BL 以及第三佈線 S1；兩個第六佈線 SEL(1)及 SEL(2)；將多個儲存單元 240(1、1)至 240(m 、 n)配置為縱 m 個（列） $\times$ 橫 n 個（行）（ m 、 n 為自然數）的矩陣形狀的儲存單元陣列 250；沿第六佈線 SEL(1)配置在第二佈線 BL(1)至 BL(n)與儲存單元 240(1、1)至 240(1、 n)之間的電晶體 255(1、1)至 255(1、 n)；沿第六佈線 SEL(2)配置在第一佈線 SL(1)至 SL(n)與儲存單元 240(m 、1)至 240(m 、 n)之間的電晶體 255(2、1)至 255(2、 n)；以及週邊電路如第二佈線及第三佈線的驅動電路 251、第四佈線及第五佈線

的驅動電路 253 以及讀出電路 252。作為其他週邊電路，也可以設置有更新電路等。

各儲存單元 240（典型為儲存單元 240(i、j)。這裏，i 為 1 到 m 的整數，j 為 1 到 n 的整數）分別連接於第三佈線 S1(j)、第四佈線 S2(i)以及第五佈線 WL(i)。另外，儲存單元 240(i₁、j)（i₁ 為 2 至 m 的整數）所具有的電晶體 201 的汲極電極連接於儲存單元 240(i₁-1、j)所具有的電晶體 201 的源極電極，並且儲存單元 240(i₂、j)（i₂ 為 1 至 m-1 的整數）所具有的電晶體 201 的源極電極連接於儲存單元 240(i₂+1、j)所具有的電晶體 201 的汲極電極。儲存單元 240(1、j)所具有的電晶體 201 的汲極電極連接於電晶體 255(1、j)的源極電極，並且儲存單元 240(m、j)所具有的電晶體 201 的源極電極連接於電晶體 255(2、j)的汲極電極。電晶體 255(1、j)的汲極電極連接於第二佈線 BL(j)，而電晶體 255(2、j)的源極電極連接於第一佈線 SL(j)。

另外，第二佈線 BL(1)至 BL(n)及第三佈線 S1(1)至 S1(n)連接於第二佈線及第三佈線的驅動電路 251，而第五佈線 WL(1)至 WL(m)、第四佈線 S2(1)至 S2(m)以及第六佈線 SEL(1)及 SEL(2)連接於第四佈線及第五佈線的驅動電路 253。另外，第二佈線 BL(1)至 BL(n)也連接於讀出電路 252。將電位 V_s 施加到第一佈線 SL(1)至 SL(n)。另外，第一佈線 SL(1)至 SL(n)不需要一定分開而設置，也可以互相電連接。

以下，說明圖 16 所示的半導體裝置的工作。在本結構中，按每個列進行寫入及讀出。

在對第 i 列的儲存單元 $240(i, 1)$ 至 $240(i, n)$ 進行寫入時，將第四佈線 $S2(i)$ 設定為 $2V$ ，而使第 i 列的儲存單元的電晶體 202 處於導通狀態。另一方面，將第 i 列以外的第四佈線 $S2$ 設定為 $0V$ ，而使第 i 列以外的儲存單元的電晶體 202 處於截止狀態。在寫入資料“1”的行中將第三佈線 $S1(1)$ 至 $S1(n)$ 設定為 $2V$ ，而在寫入資料“0”的行中將第三佈線 $S1(1)$ 至 $S1(n)$ 設定為 $0V$ 。另外，在資料寫入完時，在第三佈線 $S1(1)$ 至 $S1(n)$ 的電位變化之前將第四佈線 $S2(i)$ 設定為 $0V$ ，而使所選擇的儲存單元的電晶體 202 處於截止狀態。關於其他佈線，例如，將第二佈線 $BL(1)$ 至 $BL(n)$ 設定為 $0V$ ，將第五佈線 $WL(1)$ 至 $WL(m)$ 設定為 $0V$ ，將第六佈線 $SEL(1)$ 及 $SEL(2)$ 設定為 $0V$ ，並且將第一佈線 $SL(1)$ 至 $SL(n)$ 的電位 V_s 設定為 $0V$ 。

結果，與進行了資料“1”的寫入的儲存單元的電晶體 201 的閘極電極連接的節點（以下稱為節點 A）的電位成為大約 $2V$ ，而進行了資料“0”的寫入的儲存單元的節點 A 的電位成為大約 $0V$ 。另外，未選擇的儲存單元的節點 A 的電位不變。這裏，因為電晶體 202 的截止電流極小或實際上為 0，所以在長時間內保持電晶體 201 的閘極電極（節點 A）的電位。

在進行第 i 列的儲存單元 $240(i, 1)$ 至 $240(i, n)$ 的讀出時，將第六佈線 $SEL(1)$ 及 $SEL(2)$ 設定為 $2V$ ，並使電晶

體 255(1、1)至 255(2、n)處於導通狀態。將第一佈線 SL(1)至 SL(n)的電位 V_s 設定為 0V。使連接於第二佈線 BL(1)至 BL(n)的讀出電路 252 處於工作狀態。將第四佈線 S2(1)至 S2(m)設定為 0V，而使所有儲存單元的電晶體 202 處於截止狀態。將第三佈線 S1(1)至 S1(n)設定為 0V。

然後，將第五佈線 WL(i)設定為 0V，並將第 i 列以外的第五佈線 WL 設定為 2V。這裏，說明將第五佈線 WL(i)設定為 0V，並將第 i 列以外的第五佈線 WL 設定為 2V 時的電晶體 201 的狀態。決定電晶體 201 的狀態的節點 A 的電位取決於第五佈線 WL-節點 A 間電容 C1 和電晶體 201 的閘極-源極及汲極間電容 C2。圖 17 示出第五佈線 WL 的電位和節點 A 的電位的關係。這裏，作為一個例子，在電晶體 201 截止的狀態下為 $C1/C2 \gg 1$ ，在電晶體 201 導通的狀態下為 $C1/C2 = 1$ 。另外，電晶體 201 的臨界值電壓為 0.5V。根據圖 17 可知，在第五佈線 WL 的電位為 0V 時，在具有資料“0”的儲存單元中，因為節點 A 大約為 0V，所以電晶體 201 處於截止狀態，而在具有資料“1”的儲存單元中，因為節點 A 大約為 2V，所以電晶體 201 處於導通狀態。另一方面，在第五佈線 WL 的電位為 2V 時，在具有資料“0”的儲存單元中，節點 A 大約為 1.25V，而在具有資料“1”的儲存單元中，節點 A 大約為 3V，從而不管資料是“0”還是“1”，電晶體 201 處於導通狀態。因此，在將第五佈線 WL(i)設定為 0V，並將第 i 列以

外的第五佈線 WL 設定為 2V 時，在第 i 列的儲存單元中，具有資料“0”的儲存單元行處於高電阻狀態，而具有資料“1”的儲存單元行處於低電阻狀態。讀出電路 252 可以根據儲存單元的電阻狀態的不同而讀出資料“0”或“1”。

另外，雖然在寫入時將第二佈線 BL(1)至 BL(n)設定為 0V，但是在第六佈線 SEL(1)為 0V 的情況下，也可以使第二佈線 BL(1)至 BL(n)處於浮動狀態或充電到 0V 或更多的電位。雖然在讀出時將第三佈線 S1(1)至 S1(n)設定為 0V，但是也可以使第三佈線 S1(1)至 S1(n)處於浮動狀態或充電到 0V 或更多的電位。

另外，資料“1”和資料“0”是為了方便起見而定義的，也可以彼此交換。另外，上述工作電壓只是一個例子。只要以在寫入時使電晶體 202 處於導通狀態且在寫入時以外使電晶體 202 處於截止狀態的方式或者在讀出時具有資料“0”的所選擇的儲存單元的電晶體 201 處於截止狀態，具有資料“1”的所選擇的儲存單元的電晶體 201 處於導通狀態，並且所未選擇的儲存單元的電晶體 201 處於導通狀態的方式選擇工作電壓，即可。尤其是，也可以使用週邊邏輯電路的電源電位 VDD 代替 2V。另外，也可以使用接地電位 GND 代替 0V。

以下，說明根據本發明的一個實施例的半導體裝置的電路結構及工作的其他一個例子。

圖 18 示出半導體裝置所具有的儲存單元電路的一個例子。圖 18 所示的儲存單元 260 包括第三佈線 S1、第四

佈線 S2、第五佈線 WL、電晶體 201、電晶體 202 以及電容元件 204。電晶體 201 使用氧化物半導體以外的材料而形成，電晶體 202 使用氧化物半導體而形成。這裏，電晶體 201 較佳具有與實施例 1 所示的電晶體 160 同樣的結構。另外，電晶體 202 較佳具有與實施例 1 所示的電晶體 162 同樣的結構。另外，儲存單元 260 電連接於第一佈線 SL 及第二佈線 BL，較佳隔著電晶體（包括構成其他儲存單元的電晶體）電連接於第一佈線 SL 及第二佈線 BL。

與圖 15 所示的儲存單元電路相比，在圖 18 所示的儲存單元電路中，第三佈線 S1 和第四佈線 S2 的方向不同。就是說，在圖 18 所示的儲存單元電路中，在第二佈線 BL 的方向（行方向）上配置第四佈線 S2，並且在第五佈線 WL 的方向（列方向）上配置第三佈線 S1。

另外，至於具有 $m \times n$ 位元的儲存容量的根據本發明的一個實施例的半導體裝置的方框電路圖，只要將圖 18 的儲存單元 260 應用於圖 14 所示的方框電路圖的儲存單元，即可。只要根據儲存單元 260 的工作而設定驅動電路的驅動電壓和時序，就可以與圖 14 所示的方框電路圖同樣按每個行進行寫入並按每個列進行讀出。

根據本實施例的半導體裝置因電晶體 202 的低截止電流特性而可以在極長時間內保持資訊。就是說，不需要進行 DRAM 等所需要的更新工作，而可以抑制耗電量。另外，可以將其實際上用作非易失性儲存裝置。

另外，因為根據電晶體 202 的開關工作而進行資訊寫

入，所以不需要高電壓，也沒有元件退化的問題。再者，根據電晶體的導通或截止而進行資訊寫入或擦除，而也可以容易實現高速工作。另外，藉由控制輸入到電晶體的電位，可以直接重寫資訊。由此，不需要快閃記憶體等所需要的擦除工作，而可以抑制起因於擦除工作的工作速度的降低。

另外，與使用氧化物半導體的電晶體相比，使用氧化物半導體以外的材料的電晶體可以進行更高速度的工作，因此，藉由該使用氧化物半導體以外的材料的電晶體而可以進行高速的儲存內容的讀出。

實施例 4

在本實施例中，說明與實施例 2 或實施例 3 不同的半導體裝置的電路結構及工作的一個例子。

圖 19 示出根據本發明的一個實施例的半導體裝置所具有的儲存單元電路圖的一個例子。

與圖 10 的儲存單元電路相比，圖 19 所示的儲存單元 280 具有在節點 A 和第一佈線 SL 之間具有電容元件 205 的結構。藉由具有上述電容元件 205，保持特性得到改善。

因為圖 19 所示的儲存單元電路的工作與圖 10 所示的儲存單元電路的工作同樣，所以省略詳細的說明。

實施例 5

以下，參照圖 20 說明根據本發明的一個實施例的半導體裝置所具有的讀出電路的一個例子。

圖 20 所示的讀出電路具有電晶體 206 和差動放大器。

在讀出資料時，將端子 A 連接於連接有被進行資料讀出的儲存單元的第二佈線 BL。將電位 V_{dd} 施加到電晶體 206 的源極電極和汲極電極中的任何一種。另外，將偏壓電壓 V_{bias} 施加到電晶體 206 的閘極電極，而流動預定的電流。

儲存單元根據所儲存的資料“1”/“0”而具有不同的電阻。明確地說，在所選擇的儲存單元的電晶體 201 處於導通狀態時，儲存單元處於低電阻狀態，而在所選擇的儲存單元的電晶體 201 處於截止狀態時，儲存單元處於高電阻狀態。

在儲存單元處於高電阻狀態時，端子 A 的電位高於參考電位 V_{ref} ，而從差動放大器的輸出輸出資料“1”。另一方面，在儲存單元處於低電阻狀態時，端子 A 的電位低於參考電位 V_{ref} ，而從差動放大器的輸出輸出資料“0”。

像這樣，讀出電路可以從儲存單元讀出資料。另外，本實施例的讀出電路只是一個例子，也可以使用其他已知的電路。例如，也可以具有預充電電路。也可以採用連接有參考用第二佈線 BL 代替參考電位 V_{ref} 的結構。也可以使用鎖存型讀出放大器代替差動放大器。

本實施例所示的結構和方法等可以與其他實施例所示

的結構和方法等適當地組合而使用。

實施例 6

在本實施例中，參照圖 21A 至 21F 說明安裝有根據上述實施例而得到的半導體裝置的電子設備的例子。根據上述實施例而得到的半導體裝置即使沒有電力供給也可以保持資訊。另外，不發生由寫入和擦除導致的退化。再者，其工作速度快。由此，可以使用該半導體裝置提供具有新的結構的電子設備。另外，根據上述實施例的半導體裝置被集成化而安裝到電路基板等上，並將其安裝在各電子設備的內部。

圖 21A 示出包括根據上述實施例的半導體裝置的筆記本型個人電腦，其包括主體 301、外殼 302、顯示部 303 和鍵盤 304 等。藉由將根據本發明的一個實施例的半導體裝置應用於筆記本型個人電腦，即使沒有電力供給也可以保持資訊。另外，不發生由寫入和擦除導致的退化。再者，其工作速度快。由此，較佳將根據本發明的一個實施例的半導體裝置應用於筆記本型個人電腦。

圖 21B 示出包括根據上述實施例的半導體裝置的可攜式資訊終端（PDA），在主體 311 中設置有顯示部 313、外部介面 315 和操作按鈕 314 等。另外，作為操作用附屬部件，有手寫筆 312。藉由將根據本發明的一個實施例的半導體裝置應用於 PDA，即使沒有電力供給也可以保持資訊。另外，不發生由寫入和擦除導致的退化。再者，其工

作速度快。由此，較佳將根據本發明的一個實施例的半導體裝置應用於 PDA。

作為包括根據上述實施例的半導體裝置的電子紙的一個例子，圖 21C 示出電子書閱讀器 320。電子書閱讀器 320 由兩個外殼，即外殼 321 及外殼 323 構成。外殼 321 及外殼 323 由軸部 337 形成為一體，且可以以該軸部 337 為軸進行開閉工作。藉由這種結構，電子書閱讀器 320 可以像紙質圖書一樣使用。藉由將根據本發明的一個實施例的半導體裝置應用於電子紙，即使沒有電力供給也可以保持資訊。另外，不發生由寫入和擦除導致的退化。再者，其工作速度快。由此，較佳將根據本發明的一個實施例的半導體裝置應用於電子紙。

外殼 321 安裝有顯示部 325，而外殼 323 安裝有顯示部 327。顯示部 325 和顯示部 327 可顯示連屏畫面或不同畫面。藉由採用顯示不同的圖像的結構，例如可以在右側的顯示部（圖 21C 中的顯示部 325）上顯示文章，而在左側的顯示部（圖 21C 中的顯示部 327）上顯示圖像。

此外，在圖 21C 中示出外殼 321 具備操作部等的例子。例如，外殼 321 具備電源 331、操作鍵 333 以及揚聲器 335 等。利用操作鍵 333 可以翻頁。注意，在與外殼的顯示部相同的平面上可以設置鍵盤、指示裝置等。另外，也可以採用在外殼的背面及側面具備外部連接用端子（耳機端子、USB 端子或可與 AC 適配器及 USB 電纜等的各種電纜連接的端子等）、記錄媒體插入部等的結構。再

者，電子書閱讀器 320 也可以具有電子詞典的功能。

此外，電子書閱讀器 320 也可以採用以無線的方式收發資訊的結構。還可以採用以無線的方式從電子書籍伺服器購買所希望的書籍資料等，然後下載的結構。

另外，電子紙可以用於顯示資訊的所有領域的電子設備。例如，除了可以將電子紙應用於電子書閱讀器以外，還可以將其應用於招貼、電車等交通工具的車廂廣告、信用卡等各種卡片中的顯示等。

圖 21D 示出包括根據上述實施例的半導體裝置的行動電話。該行動電話由外殼 340 及外殼 341 的兩個外殼構成。外殼 341 具備顯示面板 342、揚聲器 343、麥克風 344、定位裝置 346、照相用透鏡 347、外部連接端子 348 等。另外，外殼 340 具備進行對該行動電話的充電的太陽能電池單元 349 和外部儲存插槽 350 等。此外，天線被內置在外殼 341 中。藉由將根據本發明的一個實施例的半導體裝置應用於行動電話，即使沒有電力供給也可以保持資訊。另外，不發生由寫入和擦除導致的退化。再者，其工作速度快。由此，較佳將根據本發明的一個實施例的半導體裝置應用於行動電話。

顯示面板 342 具有觸摸屏功能，圖 21D 使用虛線示出被顯示出來的多個操作鍵 345。另外，該行動電話安裝有用來將太陽能電池單元 349 所輸出的電壓升壓到各電路所需要的電壓的升壓電路。另外，除了上述結構以外，還可以安裝有非接觸 IC 晶片、小型記錄裝置等。

顯示面板 342 根據使用模式適當地改變顯示的方向。另外，由於在與顯示面板 342 同一個表面上具有照相用透鏡 347，所以可以進行可視通話。揚聲器 343 及麥克風 344 不侷限於聲音通話，還可以用於可視通話、錄音、再生等的用途。再者，外殼 340 和外殼 341 滑動而可以處於如圖 21D 那樣的展開狀態和重疊狀態，可以進行適於攜帶的小型化。

外部連接端子 348 可以連接到各種纜線，比如 AC 適配器或 USB 纜線，由此行動電話可以被充電，或者可以進行資料通信。另外，將記錄媒體插入到外部儲存插槽 350 中來可以對應更大容量的資料儲存及移動。另外，行動電話除了上述功能以外還可以具有紅外線通訊功能、電視接收功能等。

圖 21E 示出包括根據上述實施例的半導體裝置的數位相機。該數位相機包括主體 361、顯示部 A367、取景器 363、操作開關 364、顯示部 B365 以及電池 366 等。藉由將根據本發明的一個實施例的半導體裝置應用於數位相機，即使沒有電力供給也可以保持資訊。另外，不發生由寫入和擦除導致的退化。再者，其工作速度快。由此，較佳將根據本發明的一個實施例的半導體裝置應用於數位相機。

圖 21F 示出包括根據上述實施例的半導體裝置的電視裝置。在電視裝置 370 的外殼 371 中安裝有顯示部 373。利用顯示部 373 可以顯示映射。此外，在此示出利用支架

375 支撐外殼 371 的結構。

可以藉由利用外殼 371 所具備的操作開關、另行提供的遙控操作機 380 進行電視裝置 370 的操作。可利用遙控操作機 380 所具備的操作鍵 379 控制頻道和音量，並可控制顯示部 373 上顯示的圖像。此外，也可以採用在遙控操作機 380 中設置顯示從該遙控操作機 380 輸出的資訊的顯示部 377 的結構。藉由將根據本發明的一個實施例的半導體裝置應用於電視裝置，即使沒有電力供給也可以保持資訊。另外，不發生由寫入和擦除導致的退化。再者，其工作速度快。由此，較佳將根據本發明的一個實施例的半導體裝置應用於電視裝置。

另外，電視裝置 370 較佳設置有接收器、數據機等。藉由接收器，可接收一般電視廣播。此外，當顯示裝置藉由有線或無線經由數據機連接到通信網路時，可執行單向（從發送器到接收器）或雙向（在發送器與接收器之間或者在接收器之間）的資訊通信。

本實施例所示的結構和方法等可以與其他實施例所示的結構和方法等適當地組合而使用。

本申請基於 2009 年 10 月 30 日在日本專利局受理的日本專利申請第 2009-251275 號而製作，所述申請內容包括在本發明說明中。

【符號說明】

100：基板

- 102：保護層
- 104：半導體區域
- 106：元件分離絕緣層
- 108：閘極絕緣層
- 110：閘極電極
- 112：絕緣層
- 114：雜質區域
- 116：通道形成區域
- 118：側壁絕緣層
- 120：高濃度雜質區域
- 122：金屬層
- 124：金屬化合物區域
- 126：層間絕緣層
- 128：層間絕緣層
- 130a：源極電極或汲極電極
- 130b：源極電極或汲極電極
- 130c：電極
- 132：絕緣層
- 134：導電層
- 136a：電極
- 136b：電極
- 136c：電極
- 136d：閘極電極
- 138：閘極絕緣層

140：氧化物半導體層

142a：源極電極或汲極電極

142b：源極電極或汲極電極

144：保護絕緣層

146：層間絕緣層

148：導電層

150a：電極

150b：電極

150c：電極

150d：電極

150e：電極

152：絕緣層

154a：電極

154b：電極

154c：電極

154d：電極

160：電晶體

162：電晶體

200：儲存單元

201：電晶體

202：電晶體

203：電晶體

204：電容元件

205：電容元件

206：電晶體

210：儲存單元陣列

211：第二佈線及第三佈線的驅動電路

212：讀出電路

213：第四佈線及第五佈線的驅動電路

215：電晶體

220：儲存單元

230：儲存單元陣列

231：第二佈線及第四佈線的驅動電路

232：讀出電路

233：第三佈線及第五佈線的驅動電路

235：電晶體

240：儲存單元

250：儲存單元陣列

251：第二佈線及第三佈線的驅動電路

252：讀出電路

253：第四佈線及第五佈線的驅動電路

255：電晶體

260：儲存單元

280：儲存單元

301：主體

302：外殼

303：顯示部

304：鍵盤

- 311：主體
- 312：手寫筆
- 313：顯示部
- 314：操作按鈕
- 315：外部介面
- 320：電子書閱讀器
- 321：外殼
- 323：外殼
- 325：顯示部
- 327：顯示部
- 331：電源
- 333：操作鍵
- 335：揚聲器
- 337：軸部
- 340：外殼
- 341：外殼
- 342：顯示面板
- 343：揚聲器
- 344：麥克風
- 345：操作鍵
- 346：定位裝置
- 347：照相用透鏡
- 348：外部連接端子
- 349：太陽能電池單元

350：外部儲存插槽

361：主體

363：取景器

364：操作開關

365：顯示部 B

366：電池

367：顯示部 A

370：電視裝置

371：外殼

373：顯示部

375：支架

377：顯示部

379：操作鍵

380：遙控操作機

申請專利範圍

1.一種半導體裝置，包括：

包含半導體材料的基板；

包含第一閘極電極、第一源極電極及第一汲極電極的第一電晶體；

包含第二閘極電極、第二源極電極及第二汲極電極的第二電晶體，該第二汲極電極及該第二源極電極的其中之一電連接至該第一閘極電極；以及

包含第三閘極電極、第三源極電極及第三汲極電極的第三電晶體，該第三源極電極及該第三汲極電極的其中之一直接連接至該第一源極電極及該第一汲極電極的其中之一，且該第三源極電極及該第三汲極電極的其中之一直接連接至該第一源極電極及該第一汲極電極的其中之一，

其中，該第一電晶體的通道形成區包含於該基板中，並且

其中，該第二電晶體包含氧化物半導體層，該第二電晶體的通道形成區包含於該氧化物半導體層中。

2.一種半導體裝置，包括：

基板；

包含第一閘極電極、第一源極電極及第一汲極電極的第一電晶體；

在該第一電晶體上的第一層間絕緣層；

在該第一層間絕緣層上的第二電晶體，該第二電晶體

包含第二閘極電極、第二源極電極及第二汲極電極，該第二汲極電極及該第二源極電極的其中之一電連接至該第一閘極電極；

在該第二電晶體上的第二層間絕緣層；

在該第二層間絕緣層上的電極；以及

包含第三閘極電極、第三源極電極及第三汲極電極的第三電晶體，該第三源極電極及該第三汲極電極的其中之一直接連接至該第一源極電極及該第一汲極電極的其中之一，且該第三源極電極及該第三汲極電極的其中之一直接連接至該第一源極電極及該第一汲極電極的其中之一，

其中，該第一閘極電極經由該電極電連接至該第二汲極電極及該第二源極電極的該其中之一。

3.一種半導體裝置，包括：

基板；

第一佈線；

第二佈線；

多個第三佈線；

多個第四佈線；

多個第五佈線；

第一層間絕緣層；

第二層間絕緣層；以及

串聯連接在該第一佈線和該第二佈線之間的多個記憶元件，每個記憶元件包括：

包含第一閘極電極、第一源極電極及第一汲極電極的第一電晶體；

在該第一電晶體上的該第一層間絕緣層；

在該第一層間絕緣層上的第二電晶體，該第二電晶體包含第二閘極電極、第二源極電極及第二汲極電極，該第二汲極電極及該第二源極電極的其中之一電連接至該第一閘極電極；

在該第二電晶體上的該第二層間絕緣層；

在該第二層間絕緣層上的電極；以及

包含第三閘極電極、第三源極電極及第三汲極電極的第三電晶體，該第三源極電極及該第三汲極電極的其中之一電連接至該第一源極電極及該第一汲極電極的其中之一，且該第三源極電極及該第三汲極電極的其中之一電連接至該第一源極電極及該第一汲極電極的其中之一，

其中該第一佈線、該第一源極電極及該第三源極電極彼此電連接，

其中該第一佈線經由不經過該記憶元件的第一最外者的該第一電晶體的通道形成區或經過該記憶元件的該第一最外者的該第三電晶體的通道形成區的電路徑，電連接至該記憶元件的該第一最外者的該第一源極電極及該第一汲極電極的其中之一，

其中該第二佈線經由不經過該記憶元件的第二最外者的該第一電晶體的通道形成區或經過該記憶元件的該第二最外者的該第三電晶體的通道形成區的電路徑，電連接至

該記憶元件的該第二最外者的該第一源極電極及該第一汲極電極的其中之一，

其中，該第三佈線電連接至對應的該第二源極電極或該第二汲極電極，

其中，該第四佈線電連接至該第二閘極電極，

其中，該第五佈線電連接至對應的該第三閘極電極，
並且

其中，該第一閘極電極經由對應的該電極電連接至對應的該第二源極電極或該第二汲極電極。

4.根據申請專利範圍第 2 項之半導體裝置，

其中，該第一電晶體的通道形成區包含於該基板中，
並且

其中，該第二電晶體包含氧化物半導體層，該第二電晶體的通道形成區包含於該氧化物半導體層中。

5.根據申請專利範圍第 3 項之半導體裝置，還包括：

第四電晶體；以及

第五電晶體，

其中該記憶元件經由該第四電晶體電連接至該第一佈線且經由該第五電晶體電連接至該第二佈線。

6.根據申請專利範圍第 1 或 4 項之半導體裝置，其中，該氧化物半導體層包含 In-Ga-Zn-O 類的氧化物半導體材料。

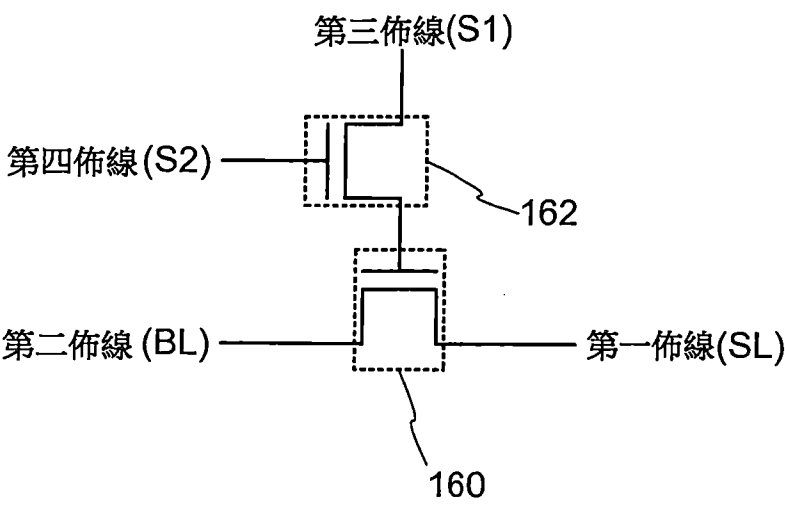
7.根據申請專利範圍第 1 或 4 項之半導體裝置，其中，該氧化物半導體層的氫濃度為 $5 \times 10^{19} \text{ atoms/cm}^3$ 或更

少。

8.根據申請專利範圍第 1 至 3 項中的任一項之半導體裝置，其中，該第二電晶體的截止狀態電流為 $1 \times 10^{-13} \text{ A}$ 或更少。

圖 式

圖 1



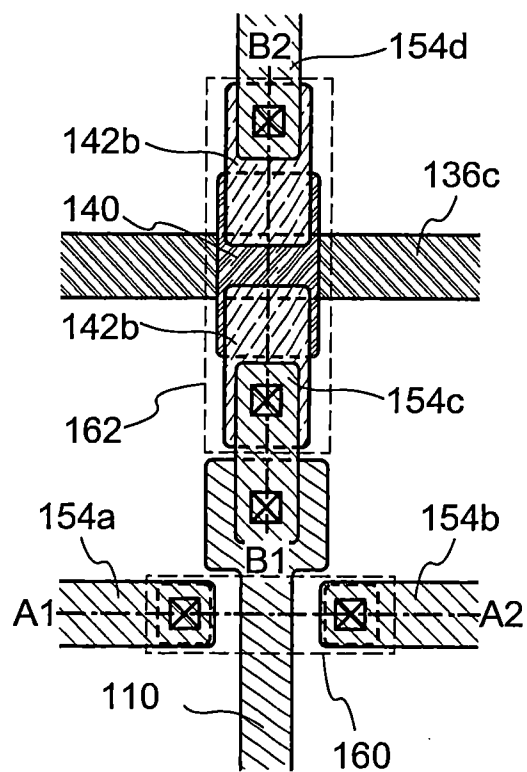


圖 3A

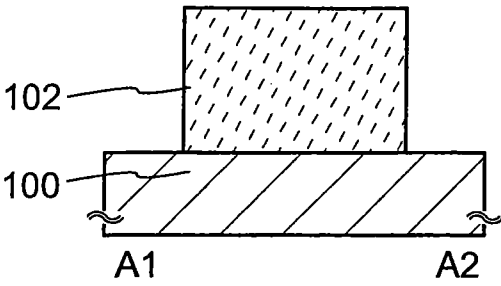


圖 3E

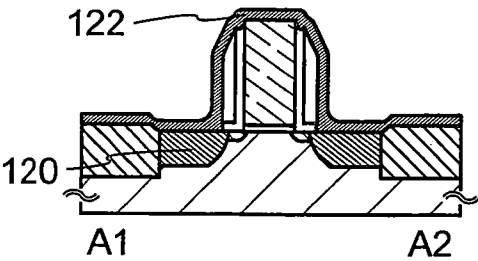


圖 3B

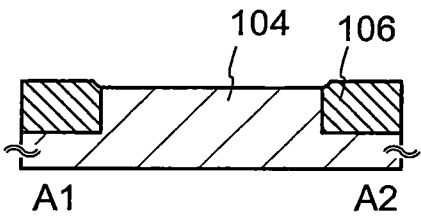


圖 3F

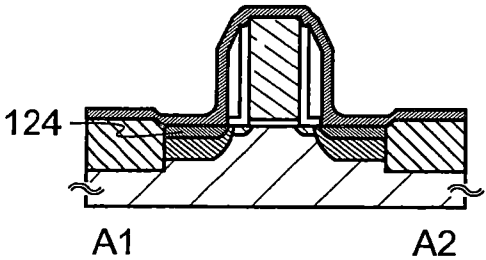


圖 3C

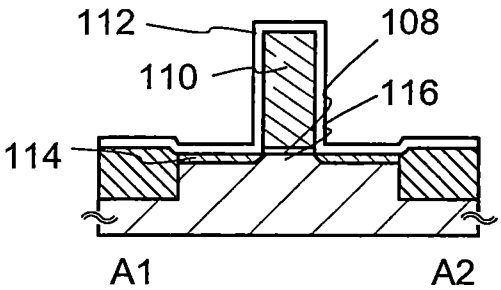


圖 3G

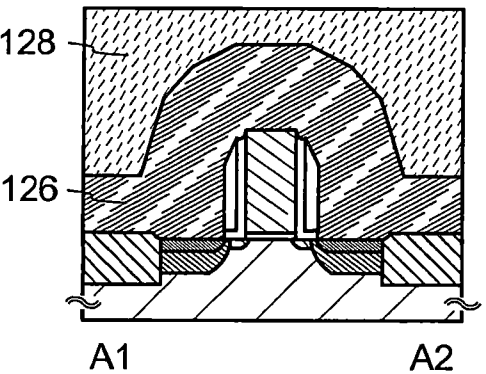


圖 3D

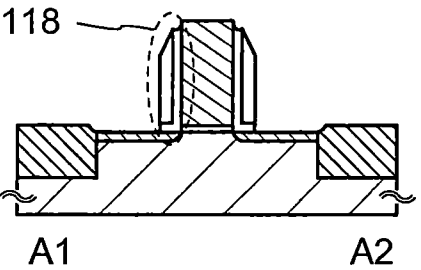


圖 3H

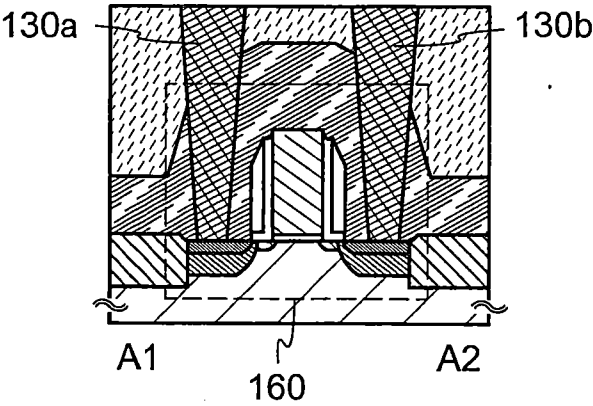


圖 4A

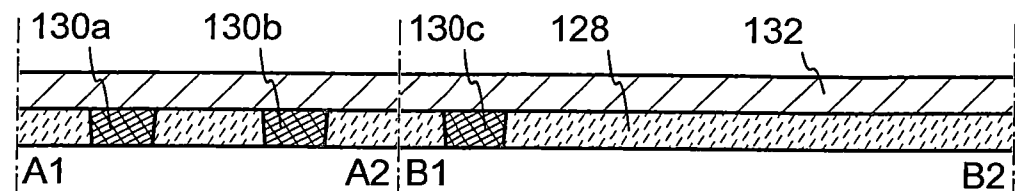


圖 4B

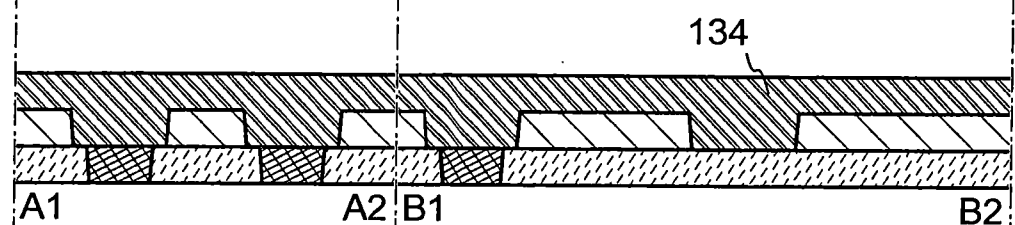


圖 4C

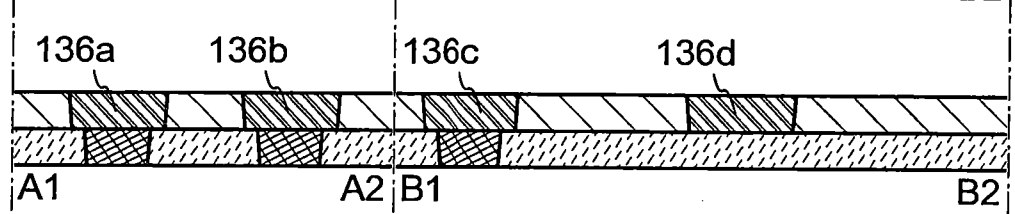


圖 4D

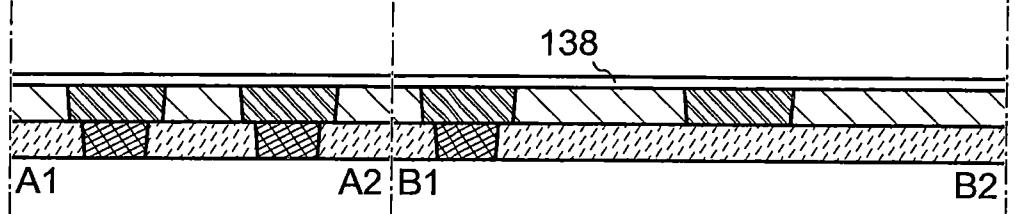


圖 4E

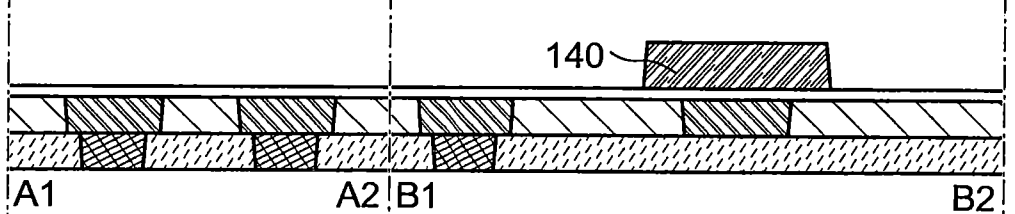


圖 4F

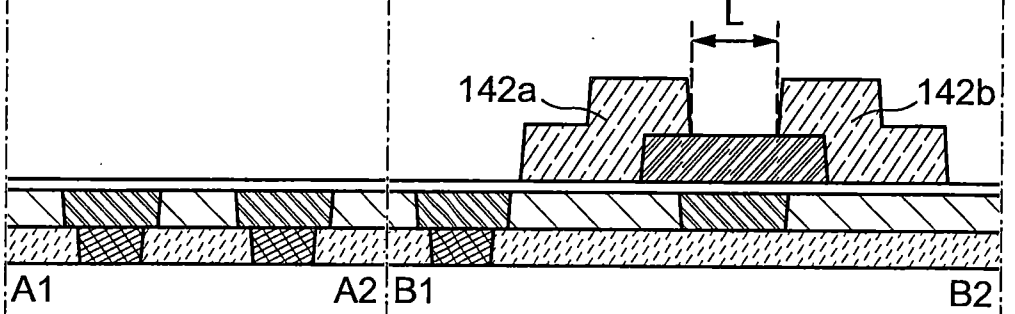


圖 4G

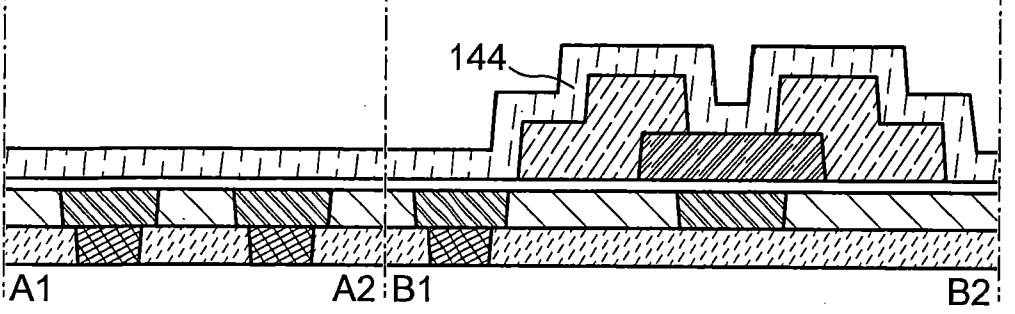


圖5A

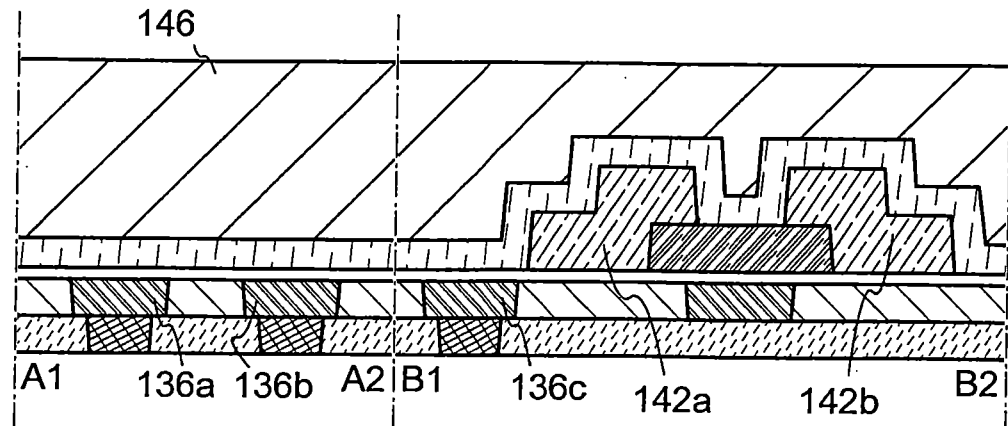


圖5B

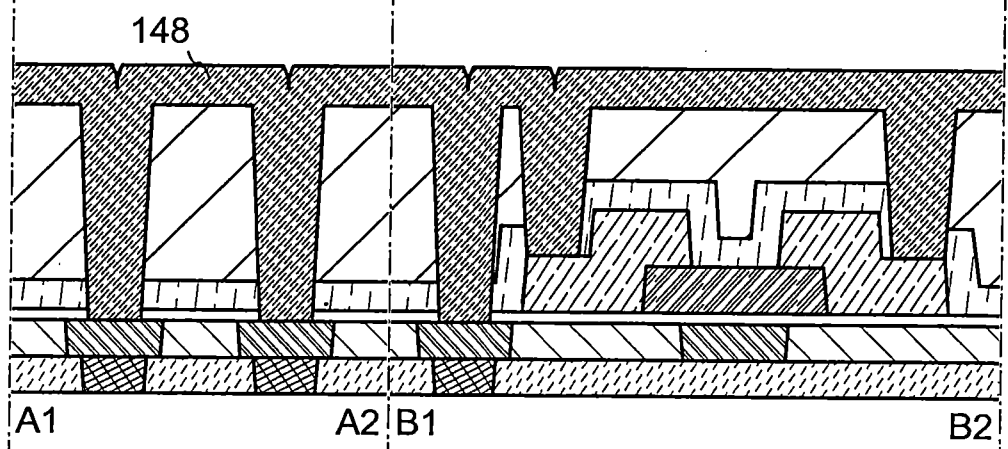


圖5C

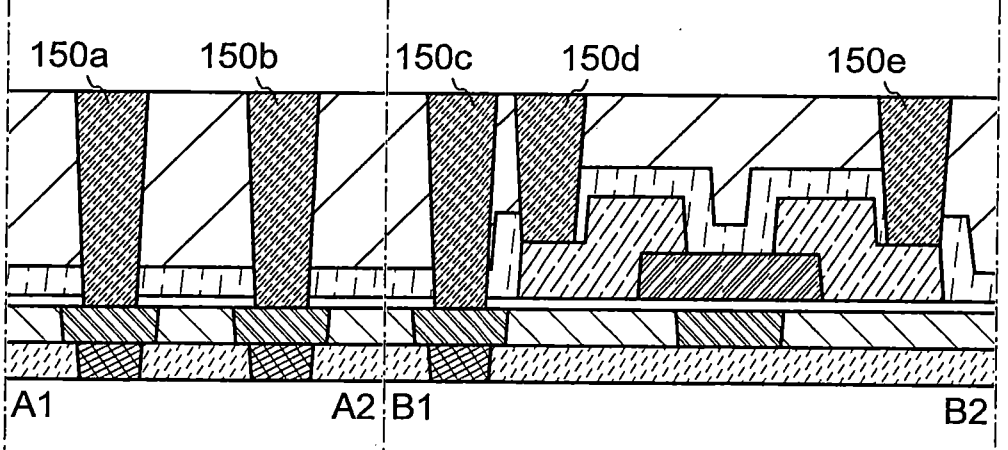


圖5D

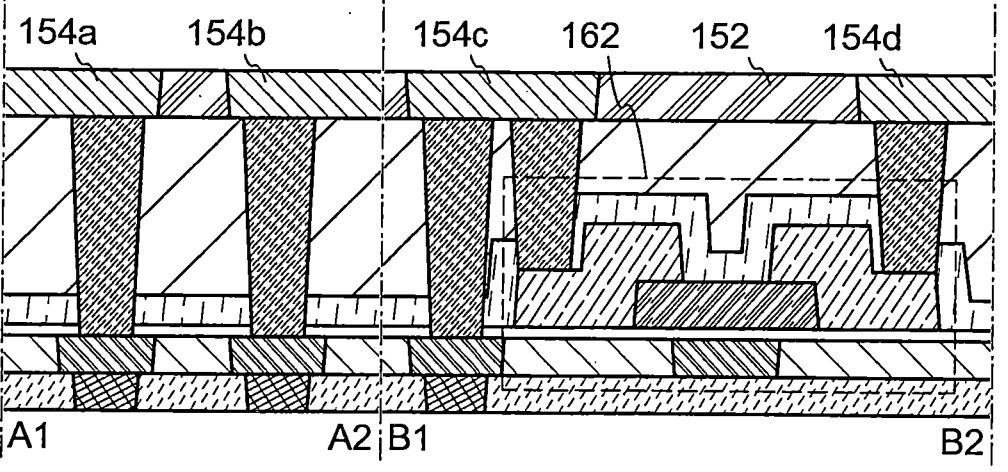
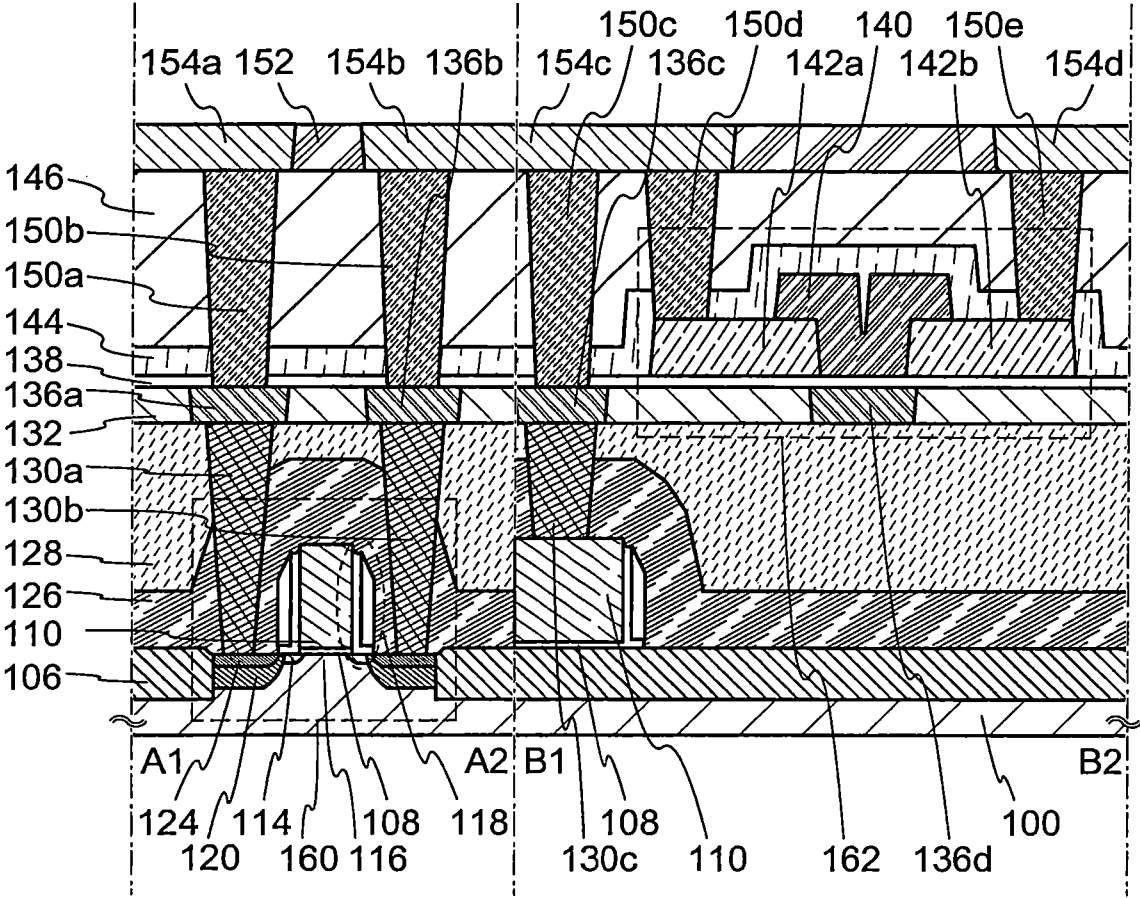


圖 6



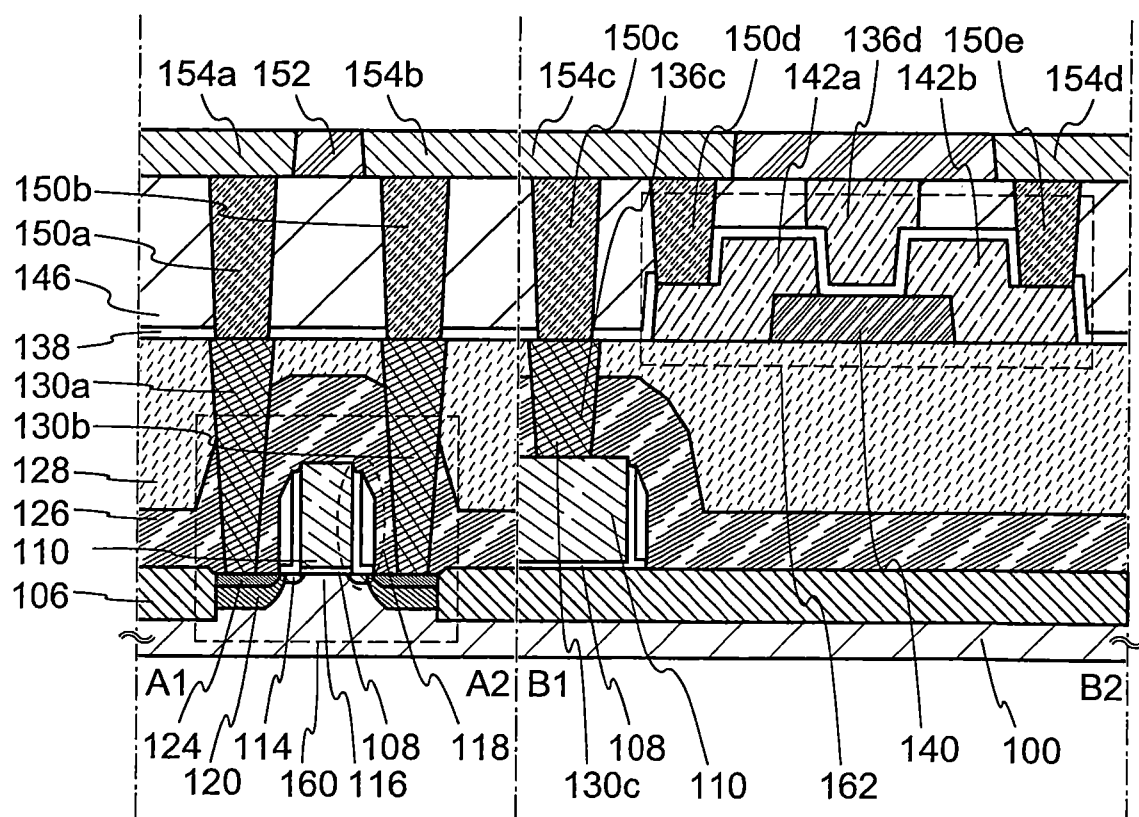


圖 8A

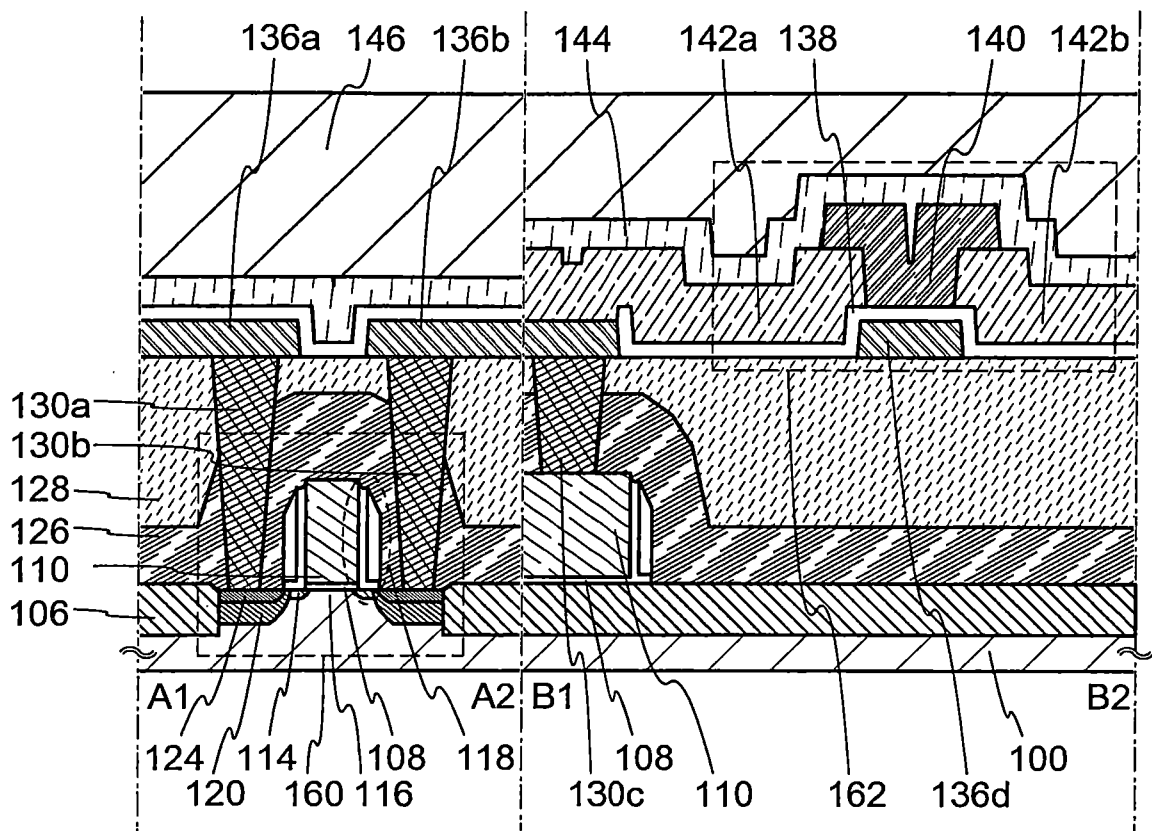


圖 8B

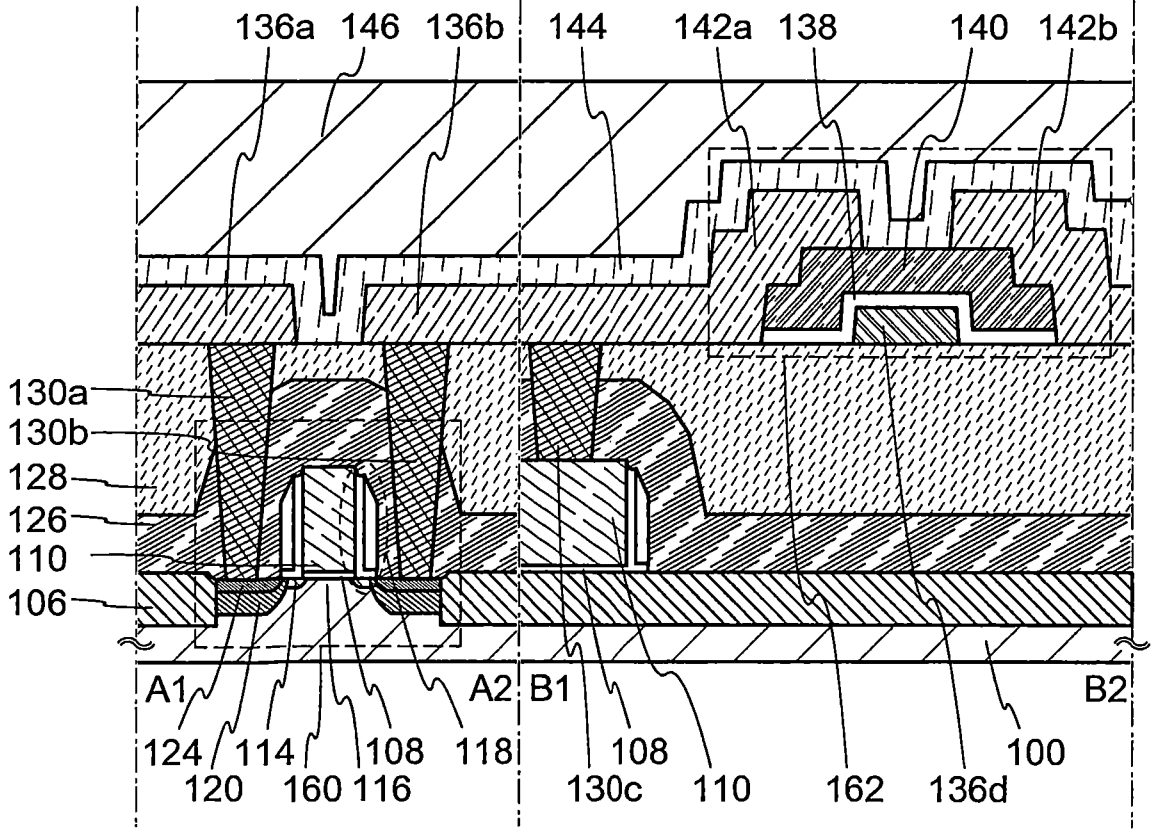


圖 9A

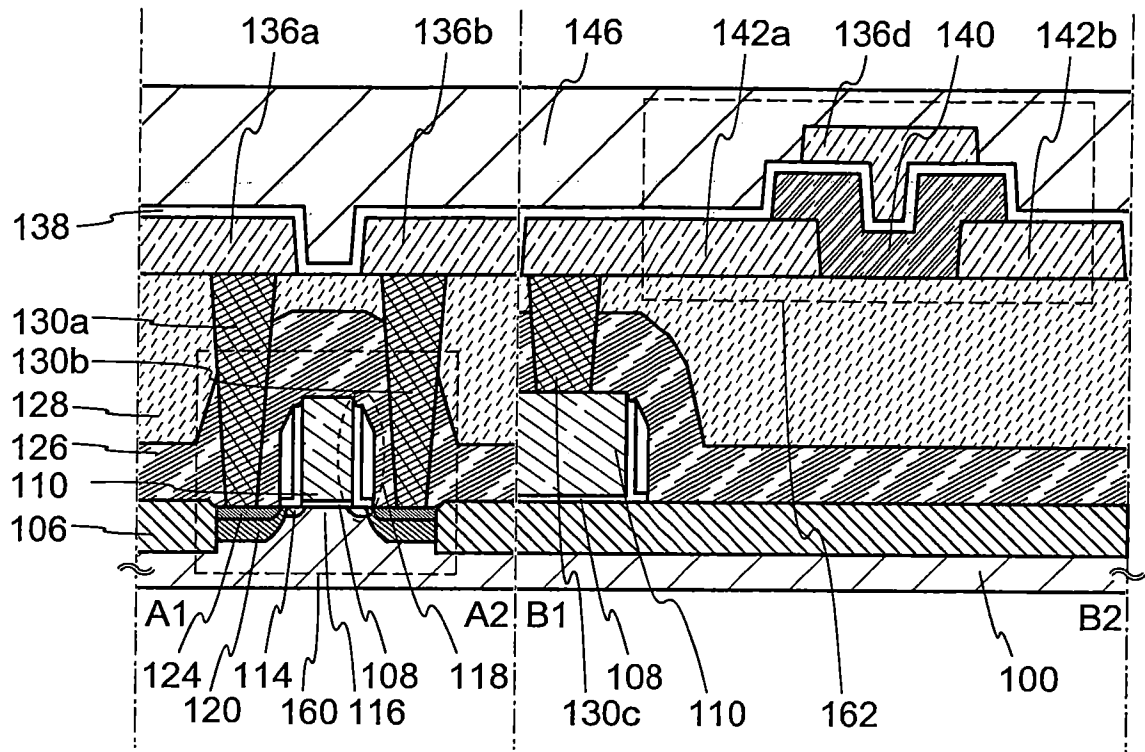


圖 9B

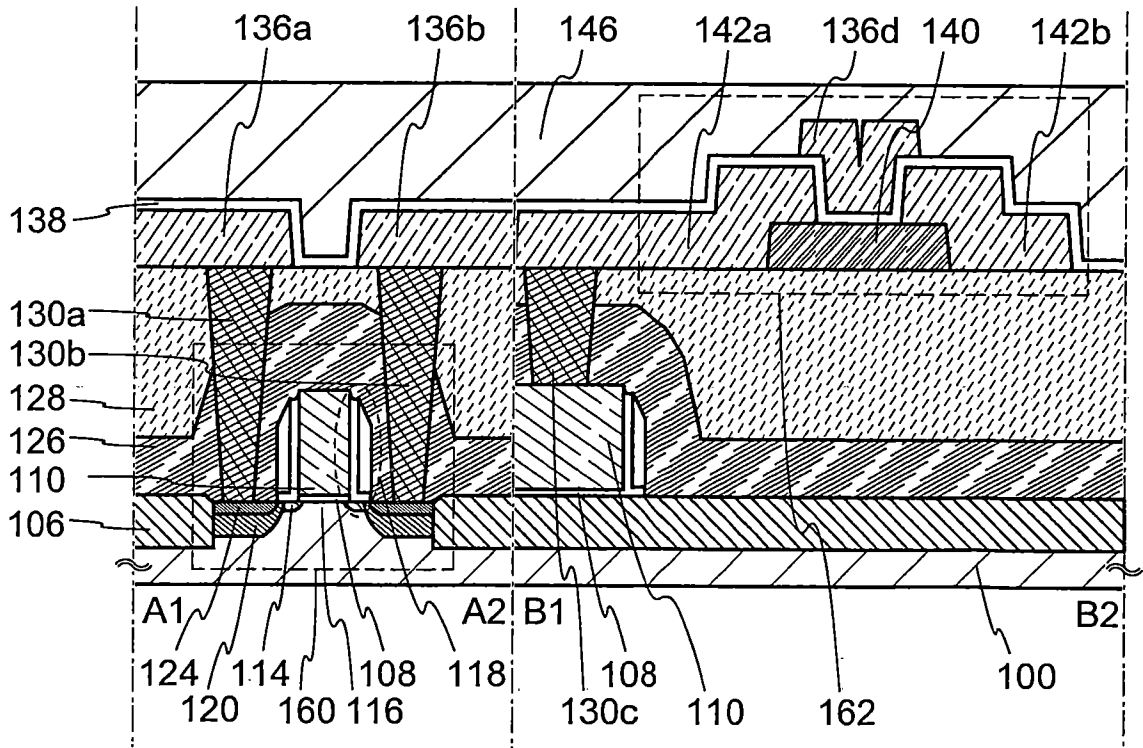
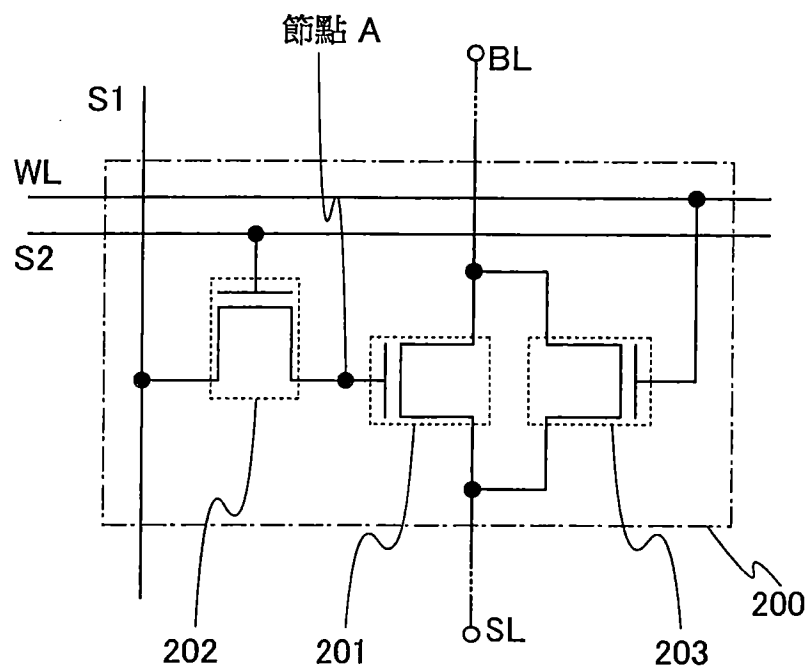


圖 10



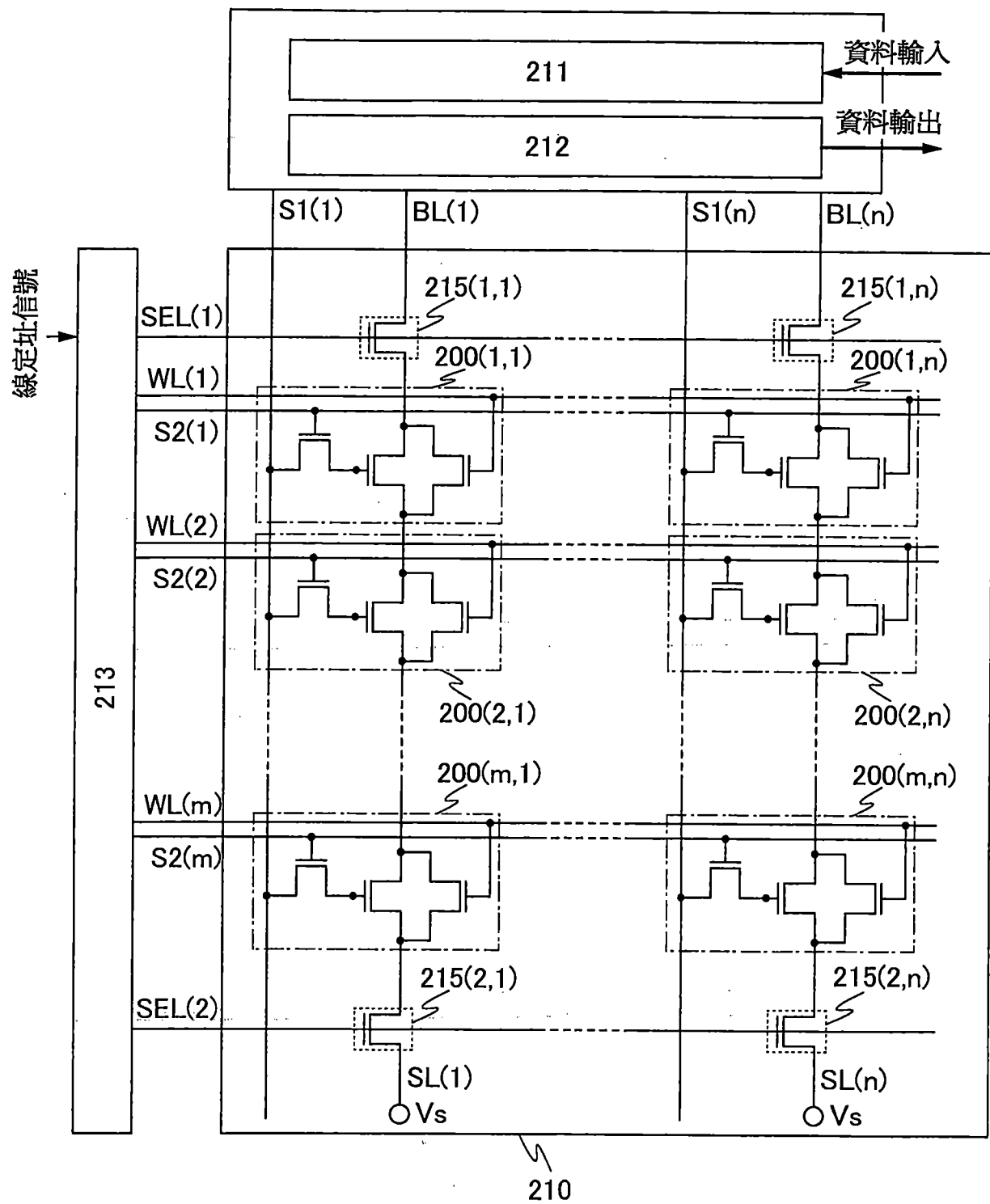


圖12

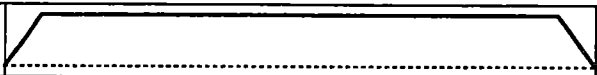
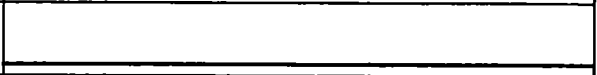
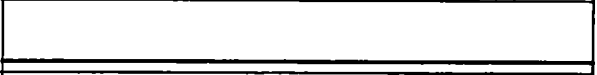
S1, 當寫入資料 "1"	
S1, 當寫入資料 "0"	
S2, 選擇的線	
S2, 非選擇的線	
BL	
WL	
SEL1	
SEL2	
SL	

圖 13

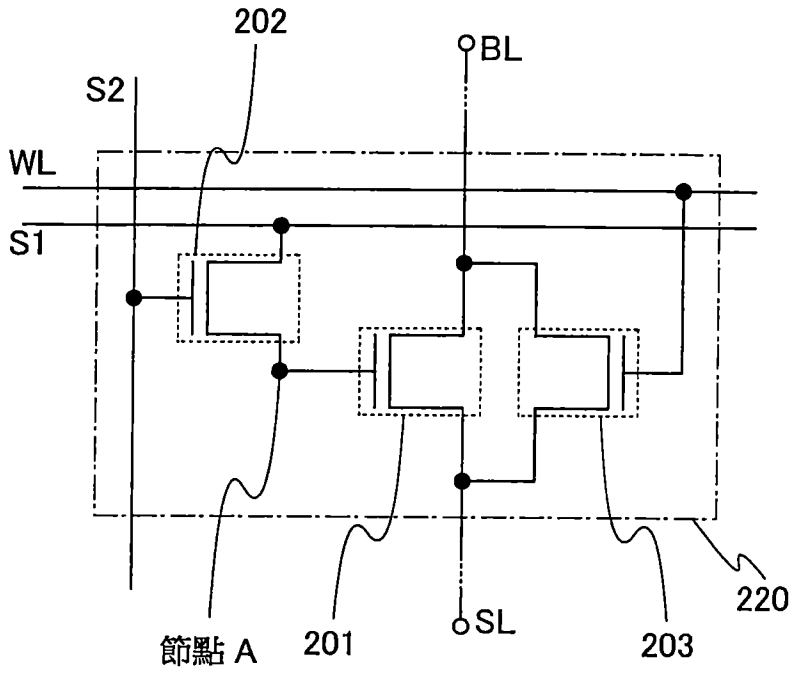


圖 14

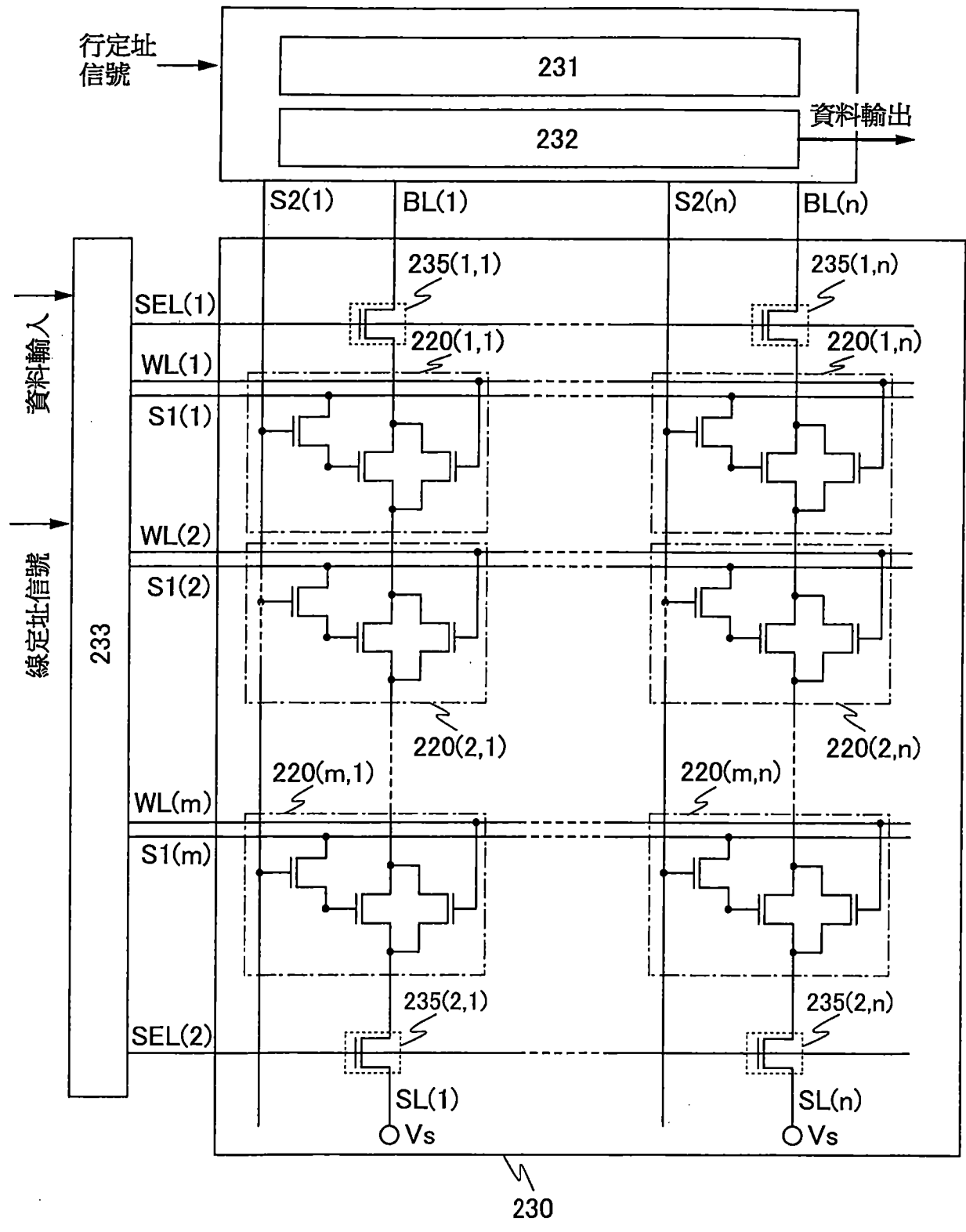


圖15

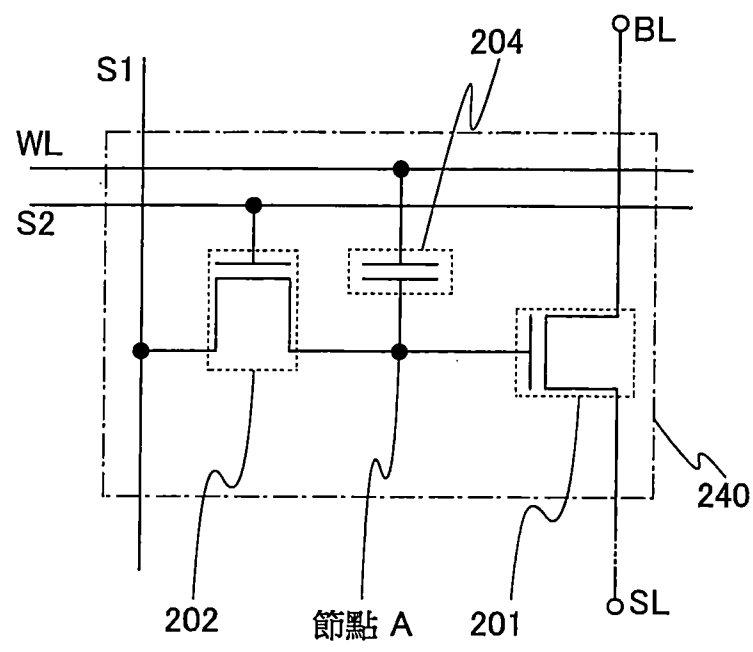


圖 16

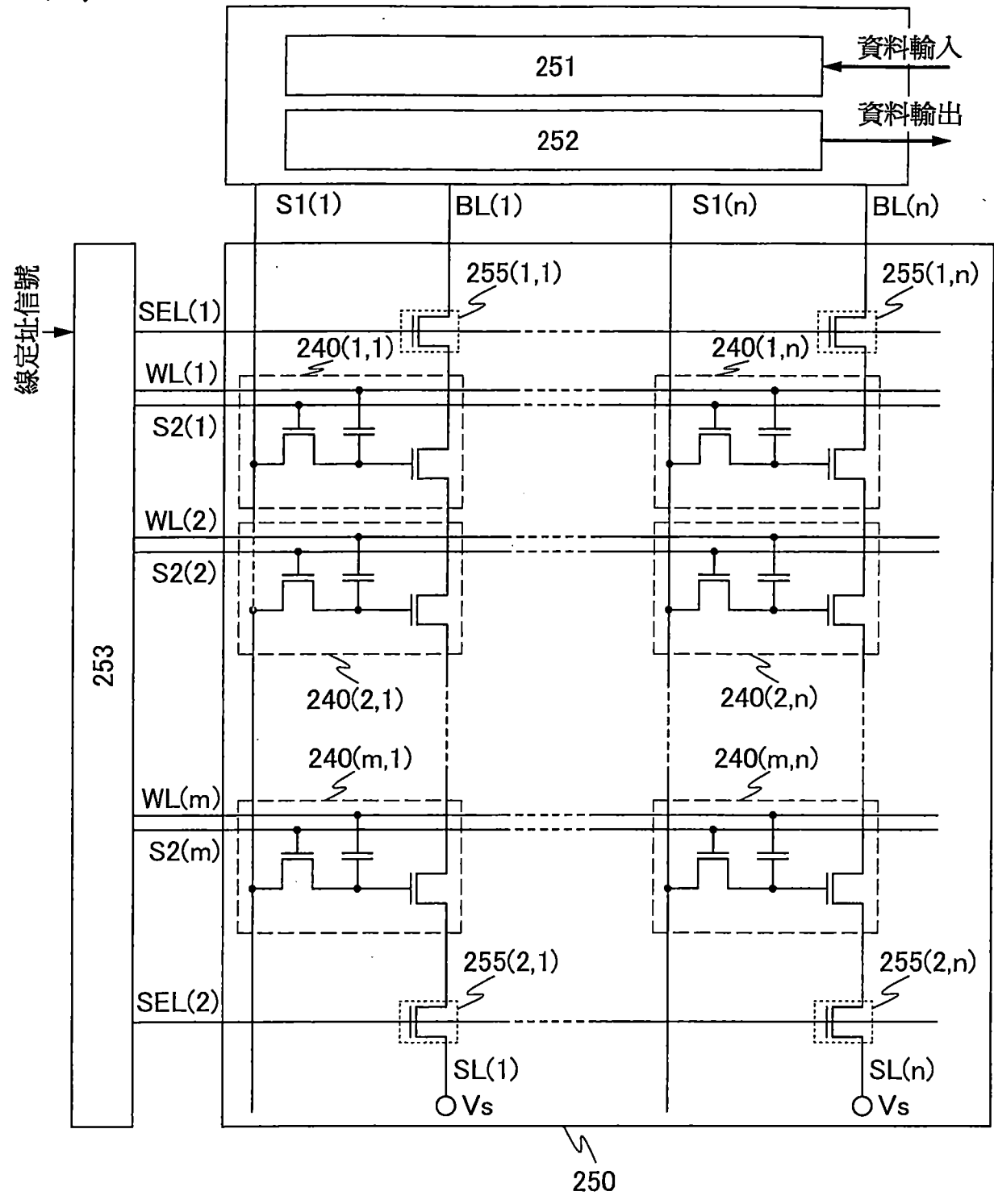


圖 17

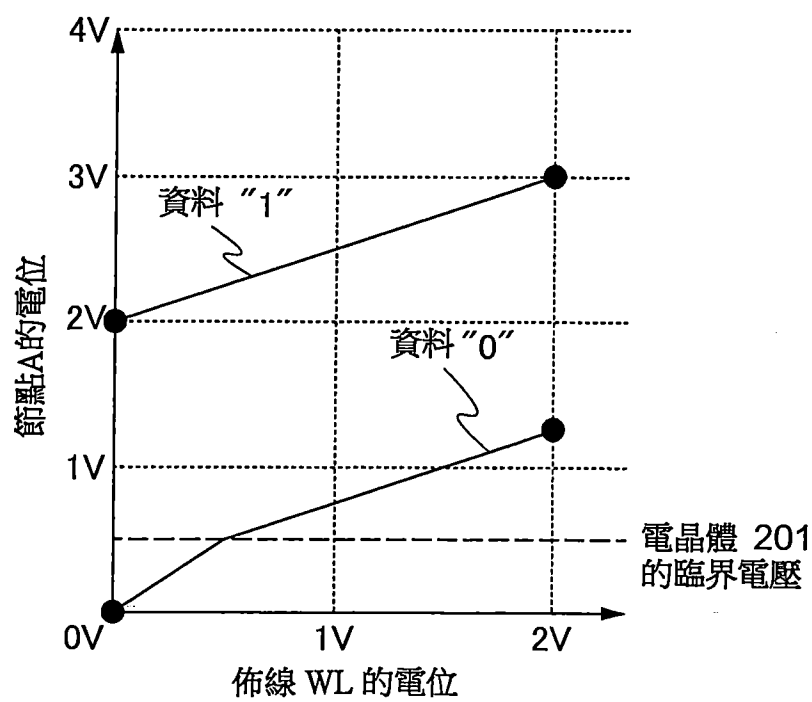


圖 18

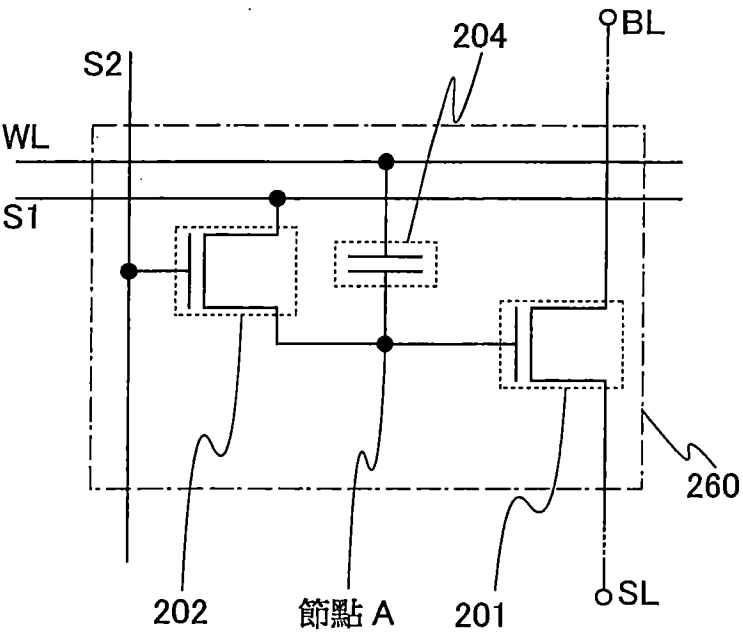


圖 19

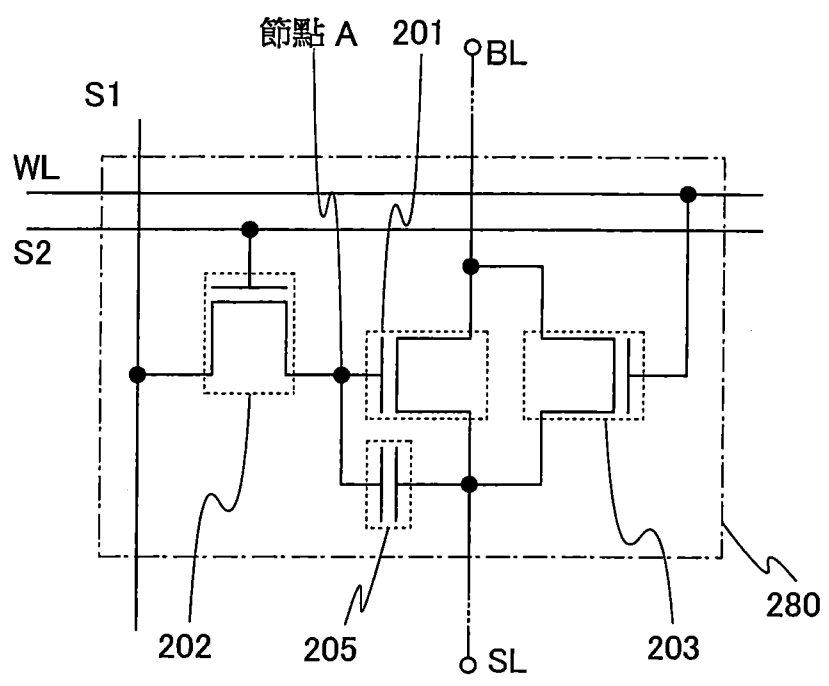


圖 20

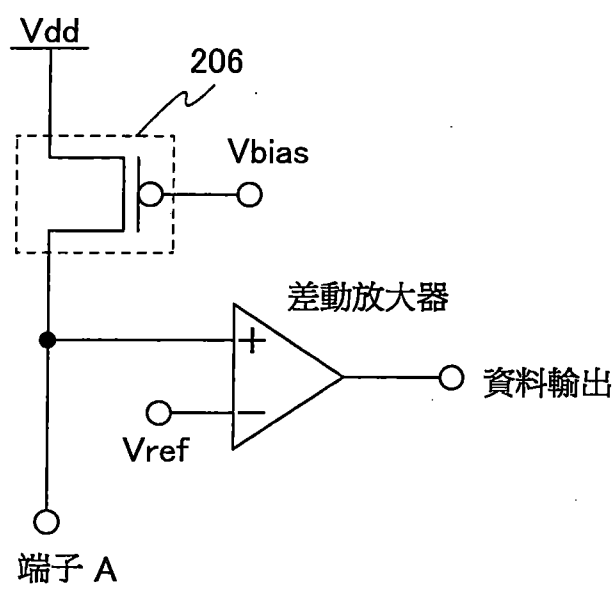


圖 21A

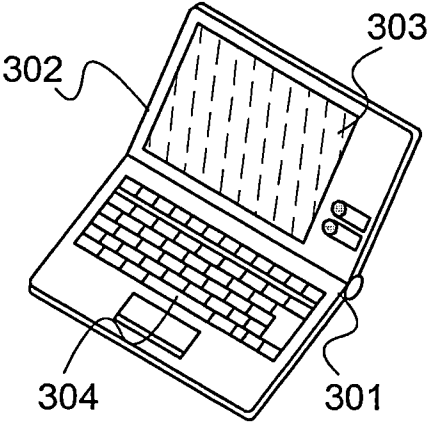


圖 21D

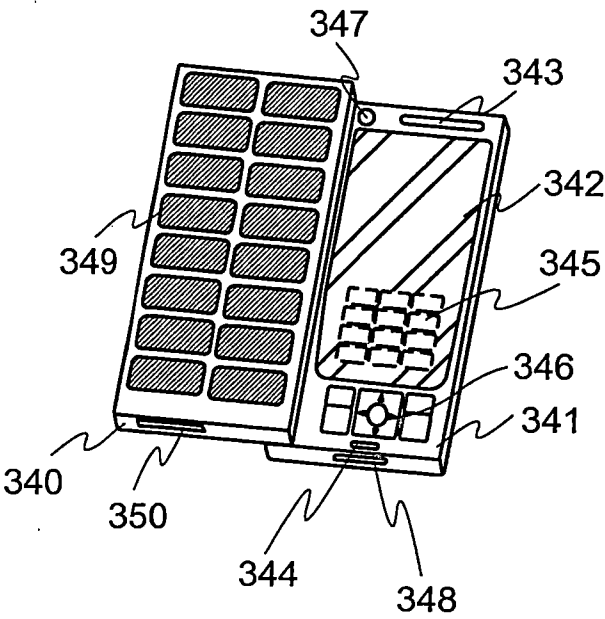


圖 21B

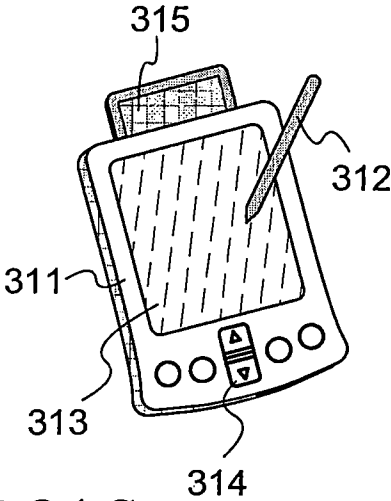


圖 21E

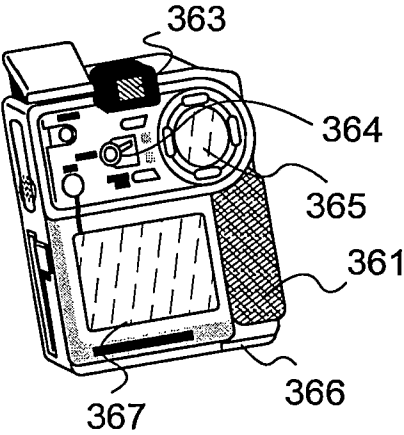


圖 21C

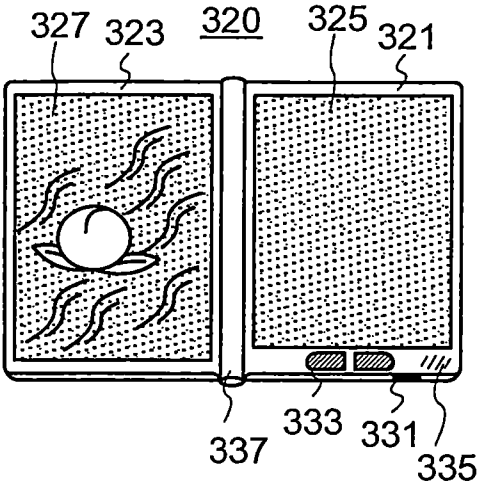


圖 21F

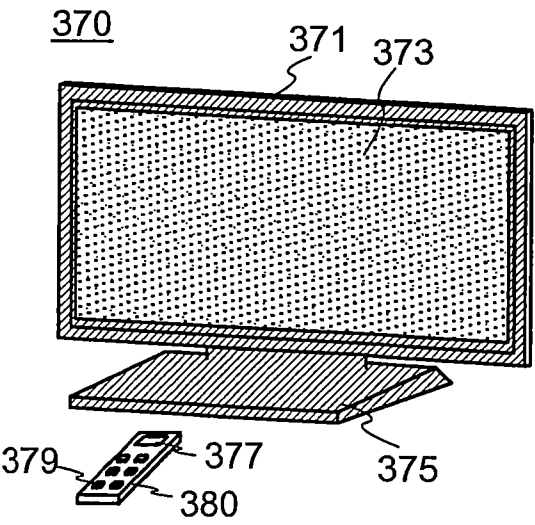


圖 22

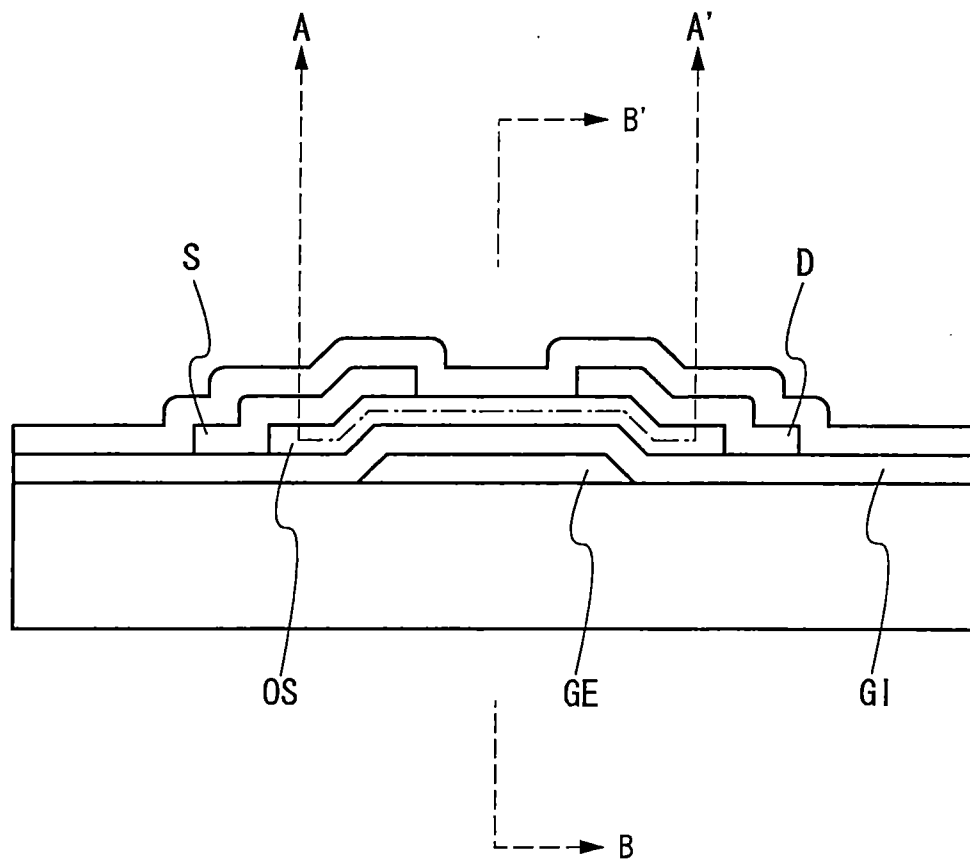
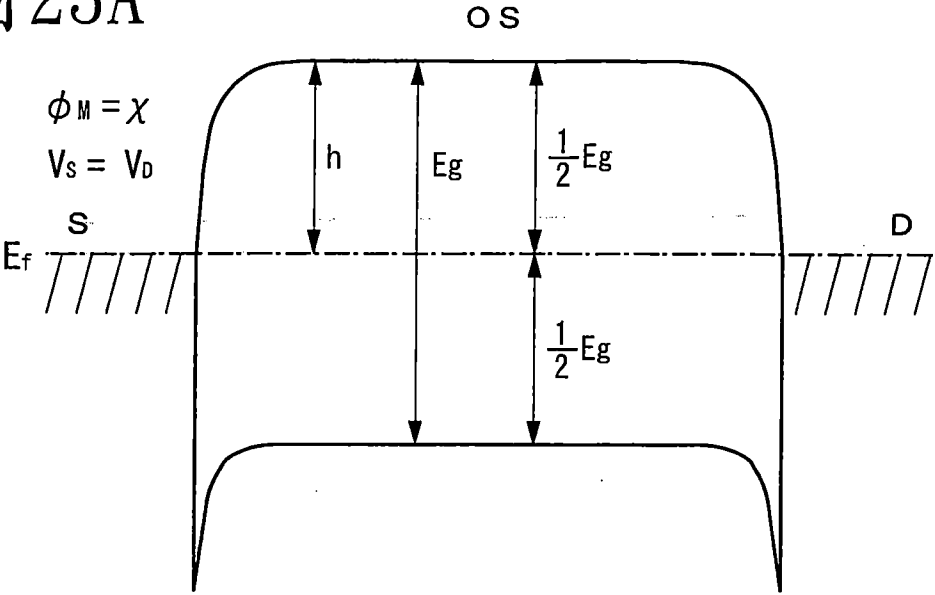
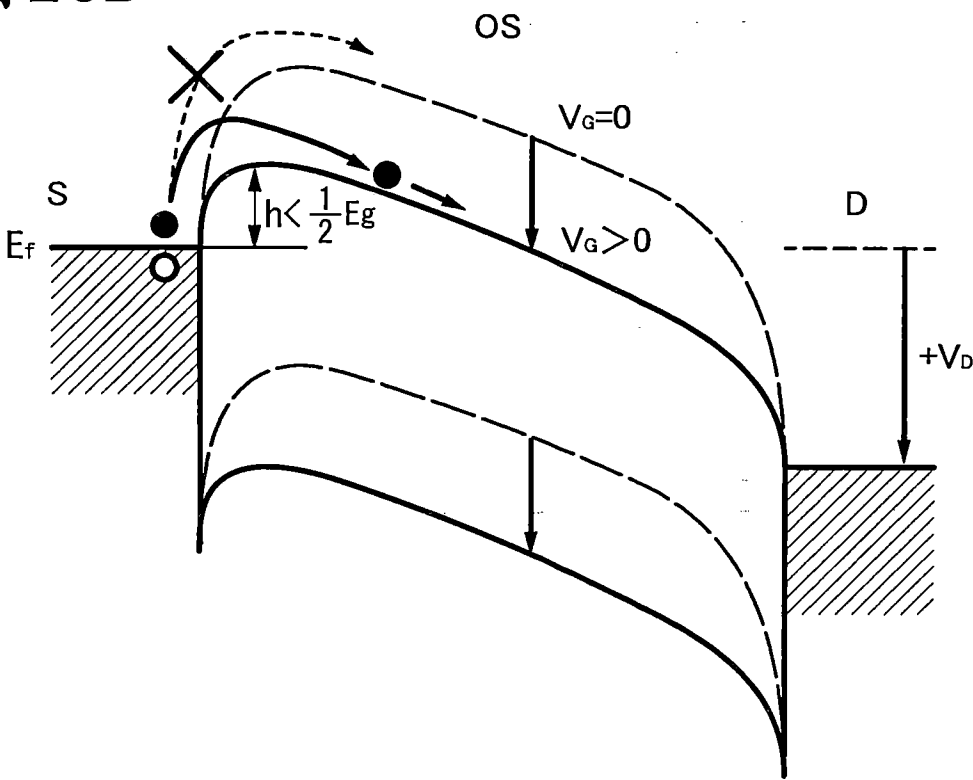


圖 23A



沿 A-A' 剖面線的能帶結構

圖 23B



當電壓施加到汲極時的能帶結構

圖24A

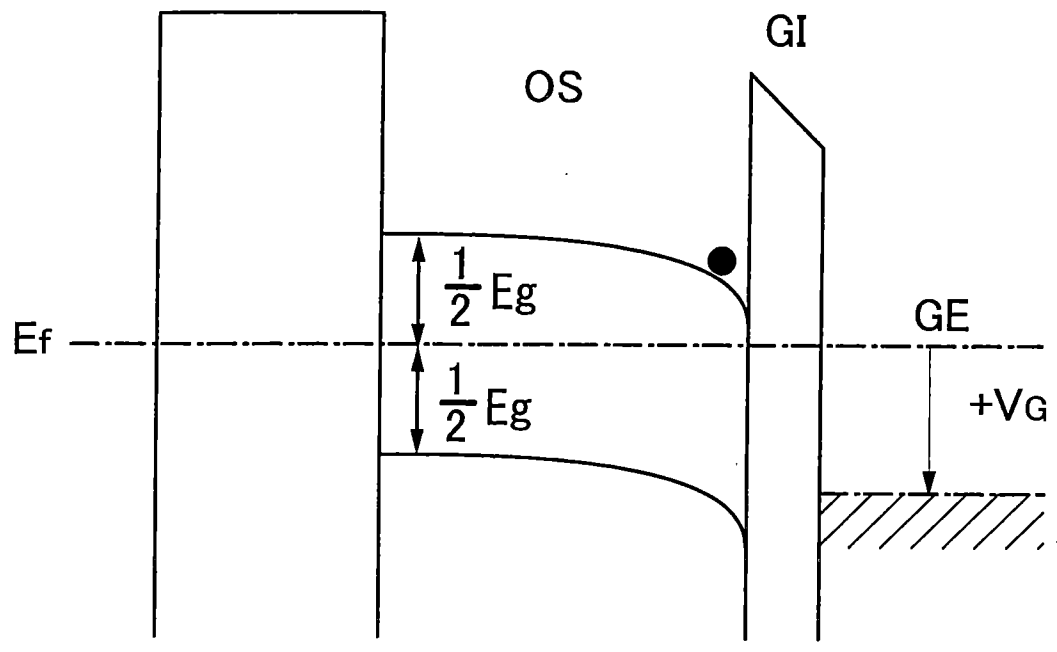


圖24B

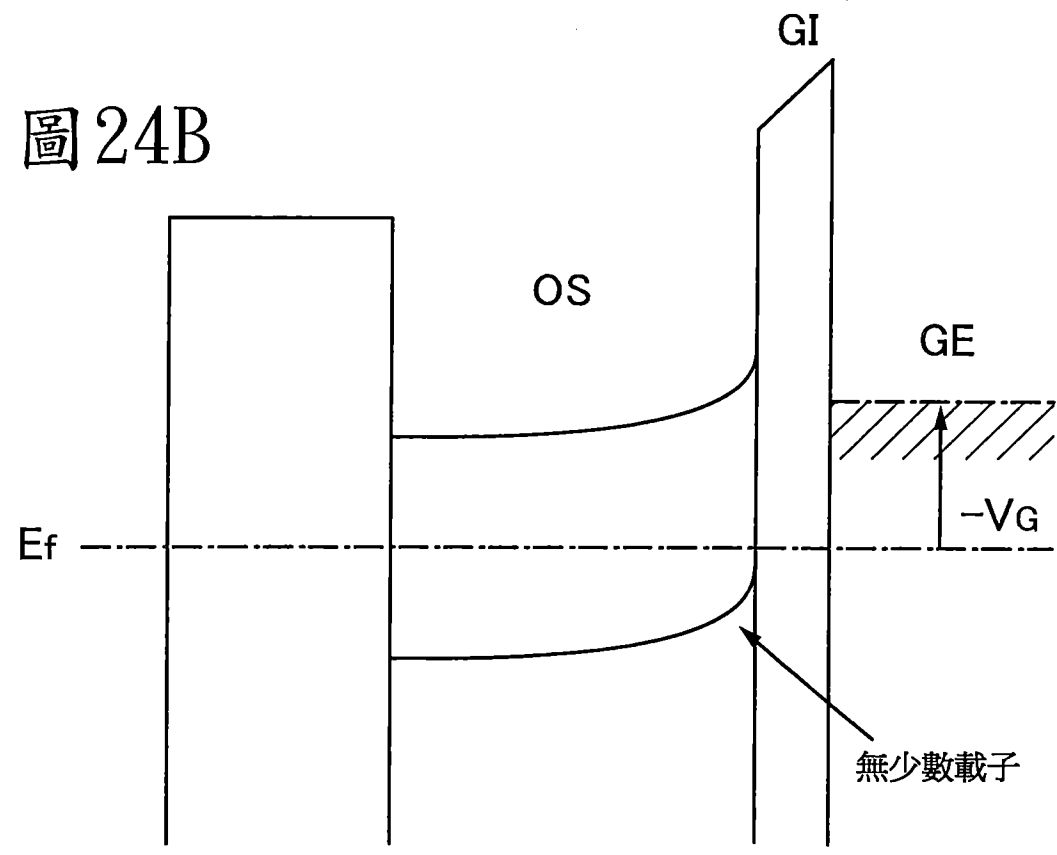


圖 25

