

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁵
H01L 21/268

(45) 공고일자 1990년01월 19일
(11) 공고번호 특1990-0000061

(21) 출원번호	특1984-0007513	(65) 공개번호	특1985-0005729
(22) 출원일자	1984년11월29일	(43) 공개일자	1985년08월28일
(30) 우선권 주장	6671 1984년01월17일 일본(JP)		
(71) 출원인	미쯔비시덴기 가부시끼가이샤 가따야마 진하찌로 일본국 도요교도 지요다꾸 마루노우찌 2쥬메 2반 3고		
(72) 발명자	구스노끼 시게루 일본국 효고켄 이따미시 미즈하라 4쥬메 1반지 미쯔비시덴기 가부시끼가 이샤 엘 .에스 .아이겐꾸쇼나이 니시무라 다다시 일본국 효고켄 이따미시 미즈하라 4쥬메 1반지 미쯔비시덴기 가부시끼가 이샤 엘 .에스 .아이겐꾸쇼나이 스가하라 가즈유키 일본국 효고켄 이따미시 미즈하라 4쥬메 1반지 미쯔비시덴기 가부시끼가 이샤 엘 .에스 .아이겐꾸쇼나이		
(74) 대리인	이병호		

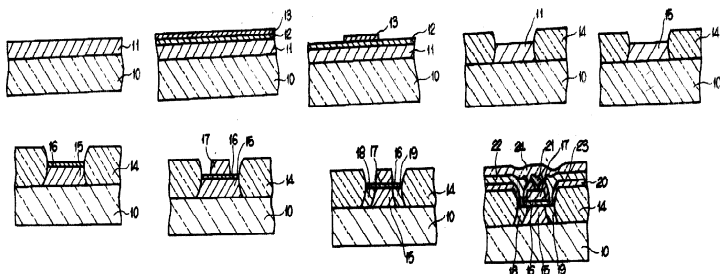
심사관 : 정용철 (책자공보 제1722호)

(54) 반도체 장치의 제조방법

요약

내용 없음.

대표도



명세서

[발명의 명칭]

반도체 장치의 제조방법

[도면의 간단한 설명]

제1a도 내지 제1i도는 종래 방법에 의한 MOSFET의 각 제조단계를 도시한 도면.

제2a도 내지 제2g도는 본 발명 일실시예에 의한 반도체 장치의 제조방법을 설명하기 위한 도면.

제3도는 실리콘 기판상에 실리콘 질화막을 형성한 때의 아르곤 레이저광의 반사율의 실리콘 질화막 두께의존성을 도시하는 도면.

제4도는 본 발명 일실시예의 한 제조과정을 설명하기 위한 도면.

제5도는 레이저 빔이 통과한 실리콘 섬에 있어서의 결정성장방향을 도시하는 도면.

* 도면의 주요부분에 대한 부호의 설명

30 : 실리콘 기판

31 : 열산화막(절연막)

32 : 폴리실리콘층(반도체층) 36 : CVD 산화막(실리콘 산화막)

34, 37 : 실리콘 질화막

[발명의 상세한 설명]

본 발명은 반도체 장치의 제조방법에 관한 것으로, 특히 절연체상에 반도체 단결정막을 형성하고, 이것을 기판으로 하여 반도체 장치를 형성하는 방법의 개량에 관한 것이다.

일반적으로 반도체 장치의 동작의 고속화 고밀도 집적화를 도모하기 위하여, 회로소자를 유전체로 분리하여 부유용량이 적은 반도체 집적회로 장치를 제조하는 시도가 이루어지고 있다.

그 한 예로서 우선 절연체상에 다결정 또는 비정질의 반도체막을 퇴적시키고, 그 표면에 레이저 광, 전자선등의 에너지선을 조사하고, 이것에 의해 상기 표면층만을 가열하여 단결정의 반도체막을 형성하고, 이 반도체막에 전계효과 트랜지스터(MOSFET)를 형성하도록 한 것이 있다.

이와 같이 하면 그 주위와 하부가 유전체로 분리된 부유용량이 극히 적은 소자가 실현될 수 있다.

제1a도 내지 1i도는 이와 같은 종래의 방법에 의한 MOSFET의 주요한 제조방법 프로세스를 도시하는 단면도이다.

이 제1a도에서 종래의 제조방법을 설명하면, 우선 제1a도에 도시한 바와 같이 석영(SiO₂) 기판(10)상에 통상의 감압 CVD 법에 의해 두께 5000Å의 폴리실리콘층(11)을 퇴적시킨다.

이것을 950℃의 온도의 산화분위기에 놓고, 제1b도에 도시한 바와 같이 두께 500Å의 산화막(12)을 형성시킴과 동시에 또 그 상에 감압 CVD 법에 의해 두께 1000Å의 질화막(13)을 퇴적시킨다.

다음에 제1c도에 도시한 바와 같이 사진제판공정에 의해 질화막(13)을 패터닝한다.

이어서 이것을 온도 950℃의 산화분위기에 장시간 놓아 질화막(13)의 패턴이 없는 부분을 모두 산화시키고, 그후 질화막(13)과 그 밑에 놓인 산화막(12)을 제거하면 제1d도에 도시한 바와 같이 그 주위와 하부를 절연체인 이산화실리콘(14)로 둘러싸인 섬모양의 폴리실리콘층(11)을 얻을 수가 있다.

그러나, 이대로는 폴리실리콘층(11)이 소자형성 가능한 결정성을 가지고 있지 않으므로 가는 레이저 광, 소자빔등의 에너지선으로 이 폴리실리콘층(11)을 용융시킨 후 재결정시키고 단결정 또는 큰 입경의 폴리실리콘으로 한다.

제1e도는 이 단계를 나타내고 15는 재결정 실리콘층이다.

다음에 이 재결정 실리콘층(15)을 기판으로 하여 MOSFET를 형성하는 이유지만 그 제조공정은 통상의 MOSFET의 제조공정과 똑같다.

즉, 우선 제1f도에 도시한 바와 같이 재결정 실리콘층(15)상에 게이트 산화막(16)을 형성하고, 다음에 제1g도에 도시한 바와 같이 그 상에 폴리실리콘을 퇴적시켜 소량의 패터닝을 행하고 폴리실리콘 게이트전극(17)을 형성한다.

계속하여, 제1h도에 도시한 바와 같이 이 폴리실리콘 게이트전극(17)을 마스크로 하여 재결정실리콘층(15)에 대량의 불순물을 도입하고, 이것에 의해 상기 실리콘층(15) 내에 소스영역(18) 및 드레인영역(19)을 형성한다.

그후에, 제1i도에 도시한 바와 같이 이들 전 상부면에 산화막(20)을 형성하고, 그 게이트전극(17), 소스영역(18) 및 드레인영역(19)상의 부분에 콘택트호울을 뚫고, 알루미늄에 의한 게이트 배선(21), 소스 배선(22) 및 드레인 배선(23)을 형성하고, 더욱이 표면에 표면보호막(24)을 형성하여 이 MOSFET를 완성한다.

그런데, 이와 같은 종래의 재결정화 방법에서는, 반도체층은 섬모양으로 분리되어 있다고는 하나, 재결정화시에 결정방위를 결정하기 위한 방법은 없고, 결정핵 발생은 레이저나 전자빔의 파워분포 및 시료구조등에 의해 정해지는 온도분포에 따라 수시적이고, 위치적으로도 정해지지 않고, 겨우 결정입계의 발생방향이 제어될 수 있음이 알려져 있을 뿐이다(특허출원 소57-77091호 참조).

따라서, 우연 대결정입화할 수 있는 패턴형상은 존재할지 몰라도 모든 섬모양 패턴에 있어서 상기 반도체층을 단결정화 하는 것은 불가능이었다.

본 발명은 이러한 점에 비추어 이루어진 것으로서, 섬모양의 반도체층 표면의 주변부분에 실리콘 질화막, 혹은 실리콘 질화막과 실리콘 산화막으로 되어 반사방지막으로서 작용하는 절연층을

마련하고, 이것에 대출력 연속발전의 아르곤 레이저광등의 에너지선을 조사하면서 조사하고, 상기 섬모양 반도체층의 용융 재결정화를 행하고, 상기 반도체층 내부에서 단결정화에 적합한 온도분포가 형성되도록 함으로써 재현성 좋고 단결정 반도체층을 얻을 수 있고, 상기 반도체층상에 신뢰성이 높은 반도체 장치를 형성할 수 있는 반도체 장치의 제조방법을 제공하는 것을 목적으로 하고 있다.

이하, 본 발명의 실시예를 도면에 따라 설명한다.

제2a도 내지 제2g도는 본 발명의 일실시예에 의한 반도체 장치의 제조방법을 나타내고 있다.

이하 이 제2도에 의해 각 제조 프로세스를 설명한다.

우선, 제2a도에 도시된 바와 같이 p형(100) 실리콘기판(30)에, 950℃의 산화분위기에서 1μm의 SiO₂층(열산화막)(31)을 절연층으로서 형성한다.

이것에 통상의 감압 CVD 법으로 두께 5000 Å의 폴리실리콘층(32)을 퇴적시킨다.(제2b도).

다음에 이것을 950°C의 산화분위기에서 열산화하여 500 Å의 산화분위기에서 열산화하여 500 Å의 밀층 산화막(33)을 성장시키고, 또 감압 CVD 법으로 실리콘 질화막(34)을 1000 Å 퇴적시키고, 소정의 사진제판에 의해 상기 실리콘 질화막(34)을 패터닝한다(제2c도).

더욱이 이 실리콘 질화막(34)을 내산화성 마스크로서 시료전체를 950°C의 산화분위기에 장시간 놓고, 제2d도 도시한 바와 같이 소정의 섬모양 실리콘층(32) 이외를 실리콘 산화막(35)으로 한다.

이 방법은 선택 산화법으로서 잘 알려져 있는 방법이다.

다음에 제2e도에 도시된 바와 같이 극히 얇은 실리콘 산화막(36)과 얇은 실리콘 산화막(37)을 연속해서 감압 CVD법에 의해 퇴적시킨다.

상기 극히 얇은 실리콘 산화막(36)은 재결정화 되어야 할 폴리실리콘층(32)의 표면을 안정화(형상 및 전기적으로 안정화)하기 위해 마련되는 것이므로 그 두께로서는 70 내지 150 Å 정도가 가장 좋은 효과를 얻을 수가 있다.

단, 후에 재결정화 실리콘층(32)의 최표면을 제거하도록 하는 공정을 구비하는 반도체 장치의 제조 프로세서를 취할시에는, 이 얇은 산화막(36)을 특히 마련할 필요는 없다.

또, 상기 실리콘 질화막(37)의 두께에 관해서는 가장 주의를 요하는 바이다.

먼저, 파장 4880 Å과 5145 Å의 아르곤 레이저광에 대하여 제3도에 도시한 바와 같이, 유효한 반사방지막으로 되는 범위에서 결정되지 않으면 안된다.

그러나, 이 경우 주기적으로 동일상태가 반복되기 때문에 600 Å 근방 및 1800 Å 근방도 사용가능하고, 후자의 범위의 폭이 제어는 하기 쉽고, 막으로서도 양질로 되는 것이 알려져 있다. 그러나, 실리콘 질화막은 열전달율이 SiO₂에 비해 크고, 실리콘에 비해 1/5정도의 값이다. 따라서, 두꺼운 실리콘 질화막을 반사방지막으로서 사용한 경우, 열용량이 증대하고, 또한 전도에 의한 열의 발산이 크게됨으로, 상기 반사방지막에 의해 레이저 파워를 크게 실리콘층내(32)에 이끌어 놓으면서 그 상부로부터 열을 발산시키게 되고, 소망의 열분포가 무너지기 쉽게 된다. 이상으로부터 실리콘 질화막(37)의 두께는 400 내지 700 Å 사이에서 설정하는 것이 좋다.

그리고 다음에 제2f, 2g도에 도시된 바와 같이 상기 실리콘 산화막(37)의 소정영역을 제거한다.

이 실시예에서는 폭 20 μm, 길이 80 μm의 크기의 실리콘섬(32)에 대하여 그 단으로부터 3 μm의 폭의 주변부분에 관하여 실리콘 질화막(37)을 남게 하고, 또한 열전달에 의한 온도저하를 방지하기 때문에 실리콘섬(32)의 단부 외측으로의 뻗어도 3 μm 이내로서 하고 있다.

즉, 실리콘 질화막(37)은 폭 6 μm의 액자테 형상으로 실리콘섬(32)의 상면에 남고 있다.

다음에 이와 같은 구성으로 된 반도체 장치에 빔 직경 40 μm 정도의 레이저광(L)을 길이방향으로 주사하면서 조사면(제4a도), 실리콘 질화막(37)이 존재하는 영역의 폴리실리콘층(32)에는 다른 영역의 2배정도의 파워가 흡수되고, 실리콘 질화막(37)이 없는 영역보다 고온으로 된다.

즉, 제4b도에 도시된 바와 같은 온도분포(I)로 된다.

따라서 이 상태에서 실리콘섬(32)의 길이방향에 레이저광(L)을 주사하면 빔이 통과한 실리콘섬(32)의 중앙부분에서 빨리 냉각하고, 용융으로부터 재결정화 상태가 시작되게 된다(제4c도의 온도분포(II)).

이 경우, 우선 가장 우세한 결정성장 방위인 (100)면을 가진 재결정입이 증대하고, 이것을 항상 종자로 하도록 하는 결정성장이 제5도의 화살표(A)로 도시한 바와 같이 중앙으로부터 주변으로 향해 일어나기 때문에 상기 실리콘섬(32) 전면이 단결정화 하게 된다.

이와 같은 본 실시예 장치에서는 실리콘섬(32)의 표면의 소정영역에 반사방지막을 마련하고, 이것에 의해 상기 실리콘섬(32)을 용융재결정화 시킬시의 온도분포를 제어하도록 했기 때문에 상기 실리콘섬(32)을 전면을 재현성 좋게 단결정화할 수 있고, 상기 실리콘섬(32)에 형성되는 반도체 장치의 특성을 균일하게 할 수가 있다.

또, 상기 실시예에서는 선택산화에 의해 섬모양 폴리실리콘층을 형성하도록 하였지만 폴리실리콘층의 소정 영역 이외를 리지스트 패턴에 따라 에칭하고, 메사형의 섬모양 폴리실리콘층을 형성하도록 하여도 좋고, 상기 실시예와 똑같은 효과가 얻어진다.

이상과 같이 본 발명에 의하면 소망의 섬모양 반도체층 마다의 소정영역에 반사방지막을 마련하고, 상기 섬모양 반도체층을 용융재결정화 할시의 온도분포를 제어할 수 있도록 하였으므로 반도체 웨이퍼내에서 안정하고 균질화 단결정층을 얻을 수가 있고, 신뢰성이 높은 반도체 장치의 제조가 가능하게 된다는 효과가 있다.

(57) 청구의 범위

청구항 1

절연체 기관 또는 기본 반도체(30)상에 절연층(31)을 형성해서 되는 기관의 한 주면상에 다결정 또는 비정질의 반도체층(32)을 형성하는 제1의 공정과, 이 반도체층(32)에 대해 소정의 사진제판공정을 포함하는 가공 처리를 행하여 섬모양 반도체층(32)을 형성하는 제2의 공정과, 상기 섬모양 반도체층(32) 표면상에 또는 상기 표면상에 형성한 극히 얇은 실리콘 산화막(36)상에 얇은 실리콘 질화막(37)을 형성하는 제3의 공정과, 소정의 사진제판공정을 포함하는 가공 처리를 행하여 상기 섬모양

반도체층(32) 상면의 소정영역의 상기 실리콘 질화막(37)을 제거하는 제4의 공정과, 상기 섬모양 반도체층(32) 상면에 에너지선을 주사하면서 조사하여 상기 섬모양 반도체층(32)을 용융 재결정화 하여 상기 섬모양 반도체층(32)의 적어도 일부영역에 있어서, 단결정화 또는 결정입경을 증대시키는 제5의 공정을 구비한 것을 특징으로 하는 반도체 장치의 제조방법.

청구항 2

제1항에 있어서, 상기 제2의 공정은 상기 반도체층(32)상에 열산화막(33)을 형성하고, 상기 열산화막(33)상에 실리콘 질화막(34)을 형성하고, 이 실리콘 질화막(34)을 사진제판공정을 포함하는 가공 처리에 의해 섬모양 패턴으로 형성하고, 이것을 내산화분위기 마스크로서 상기 반도체층(32)을 산화하고, 상기 섬모양 실리콘 질화막(34)과 열산화막(33)을 제거하는 것을 특징으로 하는 반도체 장치의 제조방법.

청구항 3

제1항에 있어서, 상기 제2의 공정은 상기 반도체층(32)의 소정영역 이외를 리지스트 패턴에 따라 에칭하여 메사형의 섬모양 반도체층(32)을 형성하는 것을 특징으로 하는 반도체 장치의 제조방법.

청구항 4

제1항, 제2항 또는 제3항에 있어서, 상기 기본 반도체(30)는 실리콘인 것을 특징으로 하는 반도체 장치의 제조방법.

청구항 5

제1항, 제2항 또는 제3항에 있어서, 상기 다결정 또는 비정질의 반도체층(32)은 실리콘인 것을 특징으로 하는 반도체 장치의 제조방법.

청구항 6

제1항, 제2항 또는 제3항에 있어서, 상기 극히 얇은 실리콘 산화막(37)의 두께는 0 내지 200 Å 이고, 상기 얇은 실리콘 질화막의 두께는 400 내지 700 Å인 것을 특징으로 하는 반도체 장치의 제조방법.

청구항 7

제4항에 있어서, 상기 다결정 또는 비정질의 반도체층(32)은 실리콘인 것을 특징으로 하는 반도체 장치의 제조방법.

청구항 8

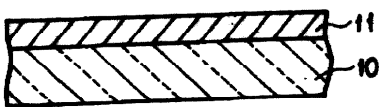
제4항에 있어서, 상기 극히 얇은 실리콘 산화막(37)의 두께는 0 내지 200 Å 이고, 상기 얇은 실리콘 질화막의 두께는 400 내지 700 Å인 것을 특징으로 하는 반도체 장치의 제조방법.

청구항 9

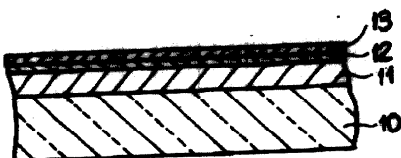
제5항에 있어서, 상기 극히 얇은 실리콘 산화막(37)의 두께는 0 내지 200 Å 이고, 상기 얇은 실리콘 질화막의 두께는 400 내지 700 Å인 것을 특징으로 하는 반도체 장치의 제조방법.

도면

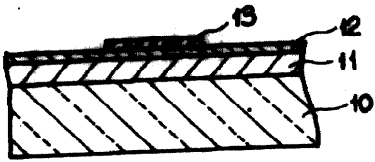
도면 1a



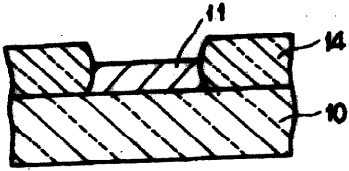
도면 1b



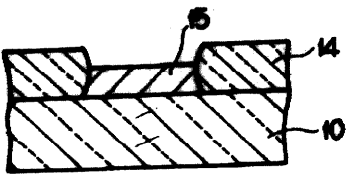
도면1c



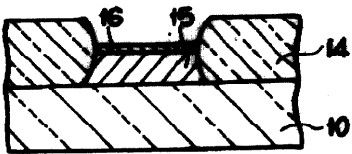
도면1d



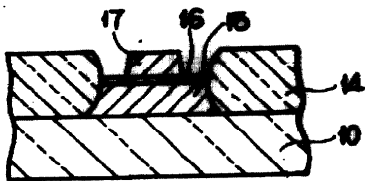
도면1e



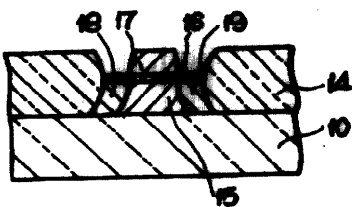
도면1f



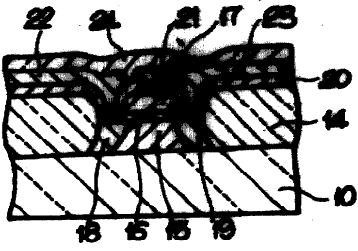
도면1g



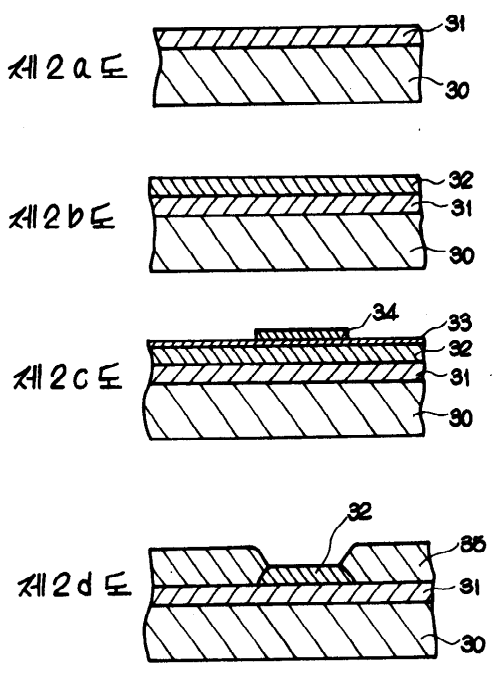
도면1h



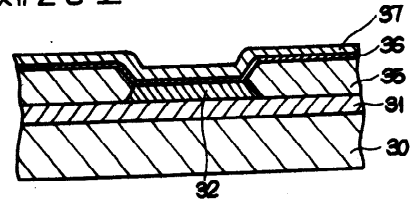
도면1



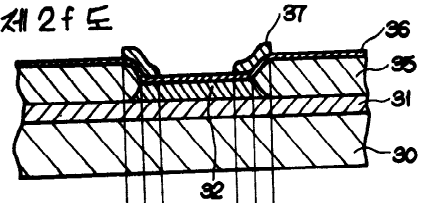
도면2



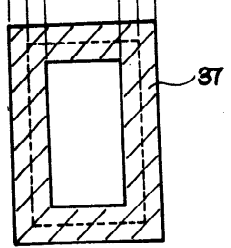
제2e도



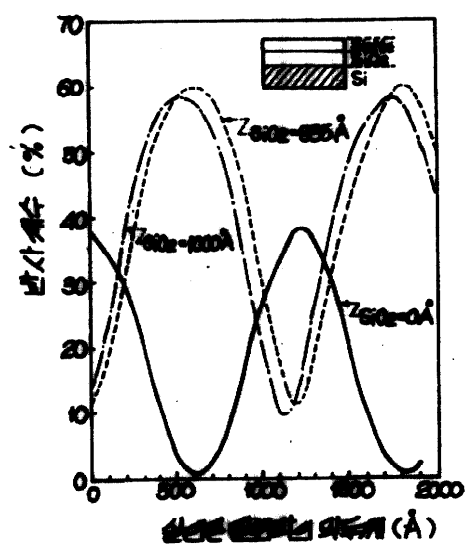
제2f도



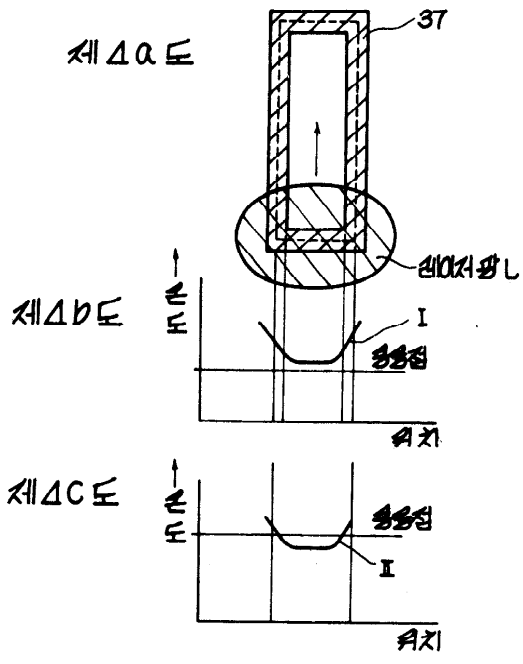
제2g도



도면3



도면4



도면5

