

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5912856号
(P5912856)

(45) 発行日 平成28年4月27日(2016.4.27)

(24) 登録日 平成28年4月8日(2016.4.8)

(51) Int.Cl.	F 1
HO3K 5/26 (2006.01)	HO3K 5/26 G
HO3M 1/50 (2006.01)	HO3M 1/50
HO3L 7/085 (2006.01)	HO3K 5/26 S HO3L 7/08 A

請求項の数 24 (全 64 頁)

(21) 出願番号	特願2012-117722 (P2012-117722)
(22) 出願日	平成24年5月23日 (2012.5.23)
(65) 公開番号	特開2012-249286 (P2012-249286A)
(43) 公開日	平成24年12月13日 (2012.12.13)
審査請求日	平成27年5月21日 (2015.5.21)
(31) 優先権主張番号	10-2011-0051105
(32) 優先日	平成23年5月30日 (2011.5.30)
(33) 優先権主張国	韓国 (KR)

(73) 特許権者	390019839 三星電子株式会社 Samsung Electronics Co., Ltd. 大韓民国京畿道水原市靈通区三星路 129 129, Samsung-ro, Yeon gton-gu, Suwon-si, G yeonggi-do, Republic of Korea
(74) 代理人	100093779 弁理士 服部 雅紀
(72) 発明者	金 晟▲禎▼ 大韓民国蔚山広域市中区太和洞 171 番地 南雲パーク 601 号

最終頁に続く

(54) 【発明の名称】時間差加算器を含むシステムオンチップ、時間差累算器を含むシステムオンチップ、シグマーデルタタイムデジタル変換器、デジタル位相ロックループ、温度センサ、及びシステムオンチップ

(57) 【特許請求の範囲】

【請求項 1】

第1時間差を有する第1入力信号及び第2入力信号を受信し、第1信号に応答して第1出力信号を生成する第1レジスタ部と、

第2時間差を有する第3入力信号及び第4入力信号を受信し、前記第1信号に応答して、前記第1出力信号に対して前記第1時間差と前記第2時間差との和に相当する第3時間差を有する第2出力信号を生成する第2レジスタ部と、

を含むことを特徴とする時間差加算器を含むシステムオンチップ。

【請求項 2】

前記第1レジスタ部は、前記第2入力信号をオフセット時間程度遅延させて第1ホールド信号を生成する第1オフセット遅延器と、前記第1入力信号を受信する第1入力端子、前記第1ホールド信号を受信する第1ホールド端子、前記第1信号を受信する第1アウェイク端子、及び前記第1出力信号を出力する第1出力端子を有する第1時間レジスタと、を含み、

前記第2レジスタ部は、前記第3入力信号を前記オフセット時間程度遅延させて第2ホールド信号を生成する第2オフセット遅延器と、前記第4入力信号を受信する第2入力端子、前記第2ホールド信号を受信する第2ホールド端子、前記第1信号を受信する第2アウェイク端子、及び前記第2出力信号を出力する第2出力端子を有する第2時間レジスタと、

を含むことを特徴とする請求項1に記載の時間差加算器を含むシステムオンチップ。

10

20

【請求項 3】

前記第1時間レジスタは、前記第1信号が有する第1信号上昇エッジが発生した時刻からディスチャージ時間から前記オフセット時間及び前記第1時間差が減算された時間の経過後、第1出力信号上昇エッジを有する前記第1出力信号を出力し、

前記第2時間レジスタは、前記第1信号上昇エッジが発生した時刻から前記ディスチャージ時間から前記オフセット時間が減算されて前記第2時間差が加算された時間の経過後、第2出力信号上昇エッジを有する前記第2出力信号を出力することを特徴とする請求項2に記載の時間差加算器を含むシステムオンチップ。

【請求項 4】

前記第1時間レジスタ及び前記第2時間レジスタは、第1キャパシタ及び第2キャパシタを各々含み、前記第1キャパシタ及び前記第2キャパシタは同じキャパシタンスを有し、前記ディスチャージ時間は、前記第1キャパシタ及び前記第2キャパシタが有するキャパシタンスによって決定されることを特徴とする請求項3に記載の時間差加算器を含むシステムオンチップ。 10

【請求項 5】

前記第1時間レジスタは、

前記第1入力信号を反転させる第1インバータと、

前記第1ホールド信号に応答して前記第1インバータを非活性化させ、前記第1信号に応答して前記第1インバータを活性化させるインバータ制御部と、

前記第1インバータの出力信号に応答して充電または放電されるキャパシタと、 20

前記キャパシタの電圧に基づいて前記第1出力信号を生成する第2インバータと、

を含むことを特徴とする請求項2に記載の時間差加算器を含むシステムオンチップ。

【請求項 6】

前記キャパシタは、前記第1入力信号と前記第1ホールド信号との間の時間差に相当する時間に放電されることによって、前記第1入力信号と前記第1ホールド信号との間の前記時間差に対する情報を保存することを特徴とする請求項5に記載の時間差加算器を含むシステムオンチップ。

【請求項 7】

前記キャパシタの放電は、前記第1入力信号が有する第1入力信号上昇エッジに応答して始まり、前記第1ホールド信号が有する第1ホールド信号上昇エッジに応答して中止され、前記第1信号が有する第1信号上昇エッジに応答して再開することを特徴とする請求項5に記載の時間差加算器を含むシステムオンチップ。 30

【請求項 8】

前記第1インバータは、

前記第1入力信号が印加される第1Pゲート、前記インバータ制御部を通じて電源電圧に接続された第1PSース、及び中間ノードに接続された第1PDレンを含む第1PMOSトランジスタと、

前記第1入力信号が印加される第1Nゲート、前記インバータ制御部を通じて接地電圧に接続された第1NSース、及び前記中間ノードに接続された第1NDレンを含む第1NMOSトランジスタと、 40

を含み、

前記インバータ制御部は、

前記電源電圧と前記第1PMOSトランジスタとの間に接続された第2PMOSトランジスタと、

前記接地電圧と前記第1NMOSトランジスタとの間に接続された第2NMOSトランジスタと、

前記第2PMOSトランジスタが有する第2Pゲートに接続された出力端子、前記第2NMOSトランジスタが有する第2Nゲートに接続された反転出力端子、前記反転出力端子に接続されたデータ端子、及びクロック端子を含むD-フリップフロップと、

前記反転出力端子から出力される反転出力信号に応答して前記クロック端子に前記第1 50

ホールド信号、または、前記第1信号を選択的に出力する選択器と、
を含み、

前記キャパシタは前記中間ノードと前記接地電圧との間に接続され、
前記第2インバータは、

前記中間ノードに接続された第3Pゲート、前記電源電圧に接続された第3PSOース、
及び前記第1出力信号が出力される第3Pドレーンを含む第3PMOSトランジスタと、

前記中間ノードに接続された第3Nゲート、前記接地電圧に接続された第3NSOース、
及び前記第1出力信号が出力される第3Nドレーンを含む第3NMOSトランジスタと、
を含むことを特徴とする請求項5に記載の時間差加算器を含むシステムオンチップ。

【請求項9】

10

前記第1時間レジスタは、

前記第1入力信号を反転させる第1インバータと、

前記第1ホールド信号に応答して前記第1インバータを非活性化させ、前記第1信号に
応答して前記第1インバータを活性化させるインバータ制御部と、

前記第1インバータの出力信号に応答して充電または放電されるキャパシタと、

前記キャパシタの電圧を基準電圧と比較して前記第1出力信号を生成する比較器と、
を含むことを特徴とする請求項2に記載の時間差加算器を含むシステムオンチップ。

【請求項10】

前記第1信号は、

前記第1入力信号、前記第2入力信号、前記第3入力信号、または、前記第4入力信号
のうち、いずれか1つの信号を遅延または反転させて生成されたアウェイク信号であるこ
とを特徴とする請求項1に記載の時間差加算器を含むシステムオンチップ。

20

【請求項11】

第1時間差を有する第1入力信号及び第2入力信号を受信し、第1信号に応答して第1
出力信号を生成する第1レジスタ部と、

第2時間差を有する第3入力信号及び第4入力信号を受信し、前記第1信号に応答して
前記第1出力信号に対して前記第1時間差と前記第2時間差との和に相当する第3時間差
を有する第2出力信号を生成する第2レジスタ部と、

を含み、

前記第1レジスタ部は、

30

前記第2入力信号をオフセット時間程度遅延させて第1ホールド信号を生成する第1オ
フセット遅延器と、

前記第1入力信号を受信する第1入力端子、前記第1ホールド信号を受信する第1ホー
ルド端子、前記第1信号を受信する第1アウェイク端子、及び前記第1出力信号を出力す
る第1出力端子を有する第1時間レジスタと、

を含み、

前記第2レジスタ部は、

前記第3入力信号を前記オフセット時間程度遅延させて第2ホールド信号を生成する第
2オフセット遅延器と、

前記第4入力信号を受信する第2入力端子、前記第2ホールド信号を受信する第2ホー
ルド端子、前記第1信号を受信する第2アウェイク端子、及び前記第2出力信号を出力す
る第2出力端子を有する第2時間レジスタと、

40

を含むことを特徴とする時間差加算器を含むシステムオンチップ。

【請求項12】

第1時間差を有する第1入力信号及び第2入力信号を受信し、第1信号に応答して第1
出力信号を生成する第1レジスタ部と、

第2時間差を有する第3入力信号及び第4入力信号を受信し、前記第1信号に応答して
前記第1出力信号に対して前記第1時間差と前記第2時間差との和に相当する第3時間差
を有する第2出力信号を生成する第2レジスタ部と、

を含み、

50

前記第1レジスタ部は、

前記第1入力信号を受信する第1入力端子、前記第2入力信号を受信する第1ホールド端子、前記第1信号を受信する第1アウェイク端子、及び前記第1出力信号を出力する第1出力端子を有する第1時間レジスタを含み、

前記第2レジスタ部は、

前記第4入力信号を受信する第2入力端子、前記第3入力信号を受信する第2ホールド端子、前記第1信号を受信する第2アウェイク端子、及び前記第2出力信号を出力する第2出力端子を有する第2時間レジスタを含むことを特徴とする時間差加算器を含むシステムオンチップ。

【請求項13】

前記第1時間レジスタは、前記第1信号が有する第1信号上昇エッジが発生した時刻からディスチャージ時間から前記第1時間差が減算された時間の経過後、第1出力信号上昇エッジを有する前記第1出力信号を出力し、

前記第2時間レジスタは、前記第1信号上昇エッジが発生した時刻から前記ディスチャージ時間に前記第2時間差が加算された時間の経過後、第2出力信号上昇エッジを有する前記第2出力信号を出力することを特徴とする請求項12に記載の時間差加算器を含むシステムオンチップ。

【請求項14】

第1時間差を有する第1入力信号及び第2入力信号を受信し、第1信号に応答して第1出力信号を生成する第1レジスタ部と、

第2時間差を有する第3入力信号及び第4入力信号を受信し、前記第1信号に応答して前記第1出力信号に対して前記第1時間差と前記第2時間差との和に相当する第3時間差を有する第2出力信号を生成する第2レジスタ部と、

を含み、

前記第1レジスタ部は、

前記第2入力信号をオフセット時間程度遅延させて第1ホールド信号を生成する第1オフセット遅延器と、

前記第1入力信号を受信する第1入力端子、前記第1ホールド信号を受信する第1ホールド端子、第2信号を受信する第1プリチャージ端子、前記第1信号を受信する第1アウェイク端子、及び前記第1出力信号を出力する第1出力端子を有する第1時間レジスタと、

を含み、

前記第2レジスタ部は、

前記第3入力信号を前記オフセット時間程度遅延させて第2ホールド信号を生成する第2オフセット遅延器と、

前記第4入力信号を受信する第2入力端子、前記第2ホールド信号を受信する第2ホールド端子、前記第2信号を受信する第2プリチャージ端子、前記第1信号を受信する第2アウェイク端子、及び前記第2出力信号を出力する第2出力端子を有する第2時間レジスタと、

を含むことを特徴とする時間差加算器を含むシステムオンチップ。

【請求項15】

前記第1時間レジスタは、

中間ノードと接地電圧との間に接続されたキャパシタと、

前記中間ノードと電源電圧との間に接続され、前記第2信号に応答して前記キャパシタを充電させるプルアップトランジスタと、

前記中間ノードと前記接地電圧との間に接続されたプルダウントランジスタと、

前記第1入力信号に応答して前記プルダウントランジスタをターンオンさせ、前記第1ホールド信号に応答して前記プルダウントランジスタをターンオフさせ、前記第1信号に応答して前記プルダウントランジスタをターンオンさせるプルダウントランジスタ制御部と、

10

20

30

40

50

前記キャパシタの電圧に基づいて前記第1出力信号を生成する出力部と、
を含むことを特徴とする請求項14に記載の時間差加算器を含むシステムオンチップ。

【請求項16】

前記プルダウントランジスタ制御部は、

前記第1入力信号を受信するセット端子、前記第1ホールド信号を受信するリセット端子、及び出力端子を含むセット・リセットラッチと、

前記セット・リセットラッチの前記出力端子で出力された出力信号及び前記第1信号にOR演算を遂行し、前記プルダウントランジスタのゲートに接続された出力端子を含むORゲートと、

を含むことを特徴とする請求項15に記載の時間差加算器を含むシステムオンチップ。 10

【請求項17】

前記時間差加算器は、前記第1信号及び前記第2信号を生成する制御部をさらに含み、前記制御部は、

前記第1入力信号を反転させて前記第1入力信号の反転信号を生成する第1インバータと、

前記第1入力信号の前記反転信号を遅延させるアウェイク遅延器と、

前記第1入力信号の前記反転信号を受信するセット端子、前記アウェイク遅延器の出力信号を受信するリセット端子、及び前記第1信号を出力する出力端子を有する第1セット・リセットラッチと、

前記アウェイク遅延器の前記出力信号を遅延させるプリチャージ遅延器と、 20

前記アウェイク遅延器の前記出力信号を受信するセット端子、前記プリチャージ遅延器の出力信号を受信するリセット端子、及び出力端子を有する第2セット・リセットラッチと、

前記第2セット・リセットラッチの出力信号を反転させて前記第2信号を生成する第2インバータと、

を含むことを特徴とする請求項14に記載の時間差加算器を含むシステムオンチップ。

【請求項18】

第1時間差を有する第1入力信号及び第2入力信号を受信し、第1信号に応答して第1出力信号を生成する第1レジスタ部と、

第2時間差を有する第3入力信号及び第4入力信号を受信し、前記第1信号に応答して前記第1出力信号に対して前記第1時間差と前記第2時間差との和に相当する第3時間差を有する第2出力信号を生成する第2レジスタ部と、 30

を含み、

前記第1レジスタ部は、

前記第1入力信号を受信する第1入力端子、前記第2入力信号を受信する第1ホールド端子、第2信号を受信する第1プリチャージ端子、前記第1信号を受信する第1アウェイク端子、及び前記第1出力信号を出力する第1出力端子を有する第1時間レジスタを含み、

前記第2レジスタ部は、

前記第4入力信号を受信する第2入力端子、前記第3入力信号を受信する第2ホールド端子、前記第2信号を受信する第2プリチャージ端子、前記第1信号を受信する第2アウェイク端子、及び前記第2出力信号を出力する第2出力端子を有する第2時間レジスタを含むことを特徴とする時間差加算器を含むシステムオンチップ。 40

【請求項19】

複数の入力信号に基づいて第1出力信号及び第2出力信号を生成する時間差加算器を含み、

前記第1出力信号は前記複数の入力信号のうち第1時間差を有する第1入力信号カップルに基づいてトリガ信号に応答して生成され、

前記第2出力信号は前記複数の入力信号のうち第2時間差を有する第2入力信号カップルに基づいて前記トリガ信号に応答して生成され、 50

前記第1出力信号及び前記第2出力信号は、前記第1時間差及び前記第2時間差に基づいて決定される第3時間差を有することを特徴とするシステムオンチップ。

【請求項20】

前記時間差加算器は、

前記第1入力信号カップルに基づいて前記トリガ信号に応答して前記第1出力信号を生成する第1レジスタ部と、

前記第2入力信号カップルに基づいて前記トリガ信号に応答して前記第2出力信号を生成する第2レジスタ部と、

を含むことを特徴とする請求項1_9に記載のシステムオンチップ。

【請求項21】

10

前記第1入力信号カップルは第1入力信号及び第2入力信号を含み、

前記第1レジスタ部は、

前記第2入力信号をオフセット時間程度遅延させて第1ホールド信号を生成する第1オフセット遅延器と、

前記第1入力信号を受信する第1入力端子、前記第1ホールド信号を受信する第1ホールド端子、前記トリガ信号を受信する第1アウェイク端子、及び前記第1出力信号を出力する第1出力端子を有する第1時間レジスタと、

を含むことを特徴とする請求項2_0に記載のシステムオンチップ。

【請求項22】

20

前記第2入力信号カップルは第3入力信号及び第4入力信号を含み、

前記第2レジスタ部は、

前記第3入力信号を前記オフセット時間程度遅延させて第2ホールド信号を生成する第2オフセット遅延器と、

前記第4入力信号を受信する第2入力端子、前記第2ホールド信号を受信する第2ホールド端子、前記トリガ信号を受信する第2アウェイク端子、及び前記第2出力信号を出力する第2出力端子を有する第2時間レジスタと、

を含むことを特徴とする請求項2_1に記載のシステムオンチップ。

【請求項23】

30

前記第1入力信号カップルは第1入力信号及び第2入力信号を含み、前記第1レジスタ部は、

前記第1入力信号を受信する第1入力端子、前記第2入力信号を受信する第1ホールド端子、前記トリガ信号を受信する第1アウェイク端子、及び前記第1出力信号を出力する第1出力端子を有する第1時間レジスタを含むことを特徴とする請求項2_0に記載のシステムオンチップ。

【請求項24】

前記第2入力信号カップルは第3入力信号及び第4入力信号を含み、前記第2レジスタ部は、

前記第4入力信号を受信する第2入力端子、前記第3入力信号を受信する第2ホールド端子、前記トリガ信号を受信する第2アウェイク端子、及び前記第2出力信号を出力する第2出力端子を有する第2時間レジスタを含むことを特徴とする請求項2_3に記載のシステムオンチップ。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、信号処理に関し、より詳細には時間差加算器を含むシステムオンチップ(System-On-Chip; SOC)、時間差累算器を含むシステムオンチップ、シグマ-デルタタイムデジタル変換器、デジタル位相ロックループ、温度センサ、およびシステムオンチップに関する。

【背景技術】

【0002】

50

タイムデジタル変換器 (Time-to-Digital Converter; TDC) は、入力信号間の時間差 (Time Difference) をデジタル信号に変換する装置である。一方、デザインルールが減少して電源電圧が低くなることによって、電圧信号の信号対雑音比 (Signal-to-Noise Ratio; SNR) が低くなり、電圧信号をデジタル信号に変換するアナログ-デジタル変換器 (Analog-to-Digital Converter; ADC) の性能が悪化することになりうる。これに従って、アナログ-デジタル変換器は時間差をデジタル信号に変換するタイムデジタル変換器に代替される。

【先行技術文献】

【特許文献】

10

【0003】

【特許文献1】特開2009-218729号公報

【特許文献2】韓国特許出願公開2010-0062908号

【特許文献3】韓国特許出願公開2010-0018934号

【特許文献4】韓国特許出願公開2008-0043978号

【発明の概要】

【発明が解決しようとする課題】

【0004】

本発明の目的は、入力信号間の時間差を加算する時間差加算器 (Time Difference Adder) を含むシステムオンチップを提供することにある。

20

【0005】

本発明の他の目的は、入力信号間の時間差を累算する時間差累算器 (Time Difference Accumulator) を含むシステムオンチップを提供することにある。

【0006】

本発明のまた他の目的は、シグマ-デルタ方式で入力信号間の時間差をデジタル信号に変換するシグマ-デルタタイムデジタル変換器 (Sigma-Delta Time-to-Digital Converter) を提供することにある。

【0007】

本発明のまた他の目的は、シグマ-デルタタイムデジタル変換器を含むデジタル位相ロックループ (Digital Phase Locked Loop; DPLL) を提供することにある。

30

【0008】

本発明のまた他の目的は、シグマ-デルタタイムデジタル変換器を含む温度センサを提供することにある。

【課題を解決するための手段】

【0009】

本発明の時間差加算器を含むシステムオンチップは、第1レジスタ部及び第2レジスタ部を含む。第1レジスタ部は、第1時間差を有する第1入力信号及び第2入力信号を受信し、第1信号に応答して第1出力信号を生成する。第2レジスタ部は、第2時間差を有する第3入力信号及び第4入力信号を受信し、第1信号に応答して第1出力信号に対して第1時間差と第2時間差との和に相当する第3時間差を有する第2出力信号を生成する。

40

【0010】

第1レジスタ部は、第2入力信号をオフセット時間ほど遅延させて第1ホールド信号を生成する第1オフセット遅延器と、第1入力信号を受信する第1入力端子、第1ホールド信号を受信する第1ホールド端子、第1信号を受信する第1アウェイク端子、及び第1出力信号を出力する第1出力端子を有する第1時間レジスタと、を含むことができる。

第2レジスタ部は、第3入力信号をオフセット時間ほど遅延させて第2ホールド信号を生成する第2オフセット遅延器と、第4入力信号を受信する第2入力端子、第2ホールド信号を受信する第2ホールド端子、第1信号を受信する第2アウェイク端子、及び第2出

50

力信号を出力する第2出力端子を有する第2時間レジスタと、を含むことができる。

【0011】

第1時間レジスタは、第1信号が有する第1信号上昇エッジが発生した時刻から、ディスチャージ時間からオフセット時間及び第1時間差が減算された時間の経過後、第1出力信号上昇エッジを有する第1出力信号を出力し、第2時間レジスタは、第1信号上昇エッジが発生した時刻から、ディスチャージ時間からオフセット時間が減算され第2時間差が加算された時間の経過後、第2出力信号上昇エッジを有する第2出力信号を出力することができる。

【0012】

第1時間レジスタ及び第2時間レジスタは、第1キャパシタ及び第2キャパシタを各々含み、第1キャパシタ及び第2キャパシタは実質的に同じキャパシタンスを有し、ディスチャージ時間は実質的に同じキャパシタンスによって決定される。 10

【0013】

第1時間レジスタは、第1入力信号を反転させる第1インバータと、第1ホールド信号に応答して第1インバータを非活性化させ、第1信号に応答して第1インバータを活性化させるインバータ制御部と、第1インバータの出力信号に応答して充電または放電されるキャパシタと、キャパシタの電圧に基づいて第1出力信号を生成する第2インバータと、を含むことができる。

【0014】

キャパシタは、第1入力信号と第1ホールド信号との間の時間差に相当する時間の間に放電されることによって、第1入力信号と第1ホールド信号との間の時間差に対する情報を保存することができる。 20

【0015】

キャパシタの放電は、第1入力信号上昇エッジに応答して始まり、第1ホールド信号が有する第1ホールド信号上昇エッジに応答して中止し、第1信号上昇エッジに応答して再開することができる。

【0016】

第1インバータは、第1入力信号が印加される第1Pゲート、インバータ制御部を通じて電源電圧に接続された第1PSース、及び中間ノードに接続された第1Pドレーンを含む第1PMOSトランジスタと、第1入力信号が印加される第1Nゲート、インバータ制御部を通じて接地電圧に接続された第1NSース、及び中間ノードに接続された第1Nドレーンを含む第1NMOSトランジスタと、を含むことができる。インバータ制御部は、電源電圧と第1PMOSトランジスタとの間に接続された第2PMOSトランジスタと、接地電圧と第1NMOSトランジスタとの間に接続された第2NMOSトランジスタと、第2PMOSトランジスタが有する第2Pゲートに接続された出力端子、第2NMOSトランジスタが有する第2Nゲートに接続された反転出力端子、反転出力端子に接続されたデータ端子、及びクロック端子を含むD-フリップフロップと、D-フリップフロップの反転出力端子から出力される反転出力信号に応答してD-フリップフロップのクロック端子に第1ホールド信号または第1信号を選択的に出力する選択器と、を含むことができる。キャパシタは中間ノードと接地電圧との間に接続される。第2インバータは、中間ノードに接続された第3Pゲート、電源電圧に接続された第3PSース、及び第1出力信号が出力される第3Pドレーンを含む第3PMOSトランジスタと、中間ノードに接続された第3Nゲート、接地電圧に接続された第3NSース、及び第1出力信号が出力される第3Nドレーンを含む第3NMOSトランジスタと、を含むことができる。 30 40

【0017】

第1時間レジスタは、第1入力信号を反転させる第1インバータと、第1ホールド信号に応答して第1インバータを非活性化させ、第1信号に応答して第1インバータを活性化させるインバータ制御部と、第1インバータの出力信号に応答して充電または放電されるキャパシタと、キャパシタの電圧を基準電圧と比較して第1出力信号を生成する比較器と、を含むことができる。 50

【 0 0 1 8 】

第1信号は、第1入力信号、第2入力信号、第3入力信号、または第4入力信号のうち、いずれか1つの信号を遅延または反転させて生成されたアウェイク信号であることができる。

【 0 0 1 9 】

本発明の時間差加算器を含むシステムオンチップは、第1レジスタ部及び第2レジスタ部を含む。第1レジスタ部は、第1時間差を有する第1入力信号及び第2入力信号を受信し、第1信号に応答して第1出力信号を生成する。第2レジスタ部は、第2時間差を有する第3入力信号及び第4入力信号を受信し、第1信号に応答して第1出力信号に対して第1時間差と第2時間差との和に相当する第3時間差を有する第2出力信号を生成する。第1レジスタ部は、第2入力信号をオフセット時間ほど遅延させて第1ホールド信号を生成する第1オフセット遅延器と、第1入力信号を受信する第1入力端子、第1ホールド信号を受信する第1ホールド端子、第1信号を受信する第1アウェイク端子、及び第1出力信号を出力する第1出力端子を有する第1時間レジスタと、を含む。第2レジスタ部は、第3入力信号をオフセット時間ほど遅延させて第2ホールド信号を生成する第2オフセット遅延器と、第4入力信号を受信する第2入力端子、第2ホールド信号を受信する第2ホールド端子、第1信号を受信する第2アウェイク端子、及び第2出力信号を出力する第2出力端子を有する第2時間レジスタと、を含む。10

【 0 0 2 0 】

本発明の時間差加算器を含むシステムオンチップは、第1レジスタ部及び第2レジスタ部を含む。第1レジスタ部は、第1時間差を有する第1入力信号及び第2入力信号を受信し、第1信号に応答して第1出力信号を生成する。第2レジスタ部は、第2時間差を有する第3入力信号及び第4入力信号を受信し、第1信号に応答して第1出力信号に対して第1時間差と第2時間差との和に相当する第3時間差を有する第2出力信号を生成する。第1レジスタ部は、第1入力信号を受信する第1入力端子、第2入力信号を受信する第1ホールド端子、第1信号を受信する第1アウェイク端子、及び第1出力信号を出力する第1出力端子を有する第1時間レジスタを含み、第2レジスタ部は、第4入力信号を受信する第2入力端子、第3入力信号を受信する第2ホールド端子、第1信号を受信する第2アウェイク端子、及び第2出力信号を出力する第2出力端子を有する第2時間レジスタを含む。20

【 0 0 2 1 】

第1時間レジスタは、第1信号上昇エッジから、ディスチャージ時間から第1時間差が減算された時間の後、第1出力信号上昇エッジを有する第1出力信号を出力し、第2時間レジスタは、第1信号上昇エッジから、ディスチャージ時間に第2時間差が加算された時間の後、第2出力信号上昇エッジを有する第2出力信号を出力することができる。30

【 0 0 2 2 】

本発明の時間差加算器を含むシステムオンチップは、第1レジスタ部及び第2レジスタ部を含む。第1レジスタ部は、第1時間差を有する第1入力信号及び第2入力信号を受信し、第1信号に応答して第1出力信号を生成する。第2レジスタ部は、第2時間差を有する第3入力信号及び第4入力信号を受信し、第1信号に応答して第1出力信号に対して第1時間差と第2時間差との和に相当する第3時間差を有する第2出力信号を生成する。第1レジスタ部は、第2入力信号をオフセット時間ほど遅延させて第1ホールド信号を生成する第1オフセット遅延器と、第1入力信号を受信する第1入力端子、第1ホールド信号を受信する第1ホールド端子、第2信号を受信する第1プリチャージ端子、第1信号を受信する第1アウェイク端子、及び第1出力信号を出力する第1出力端子を有する第1時間レジスタと、を含む。第2レジスタ部は、第3入力信号をオフセット時間ほど遅延させて第2ホールド信号を生成する第2オフセット遅延器と、第4入力信号を受信する第2入力端子、第2ホールド信号を受信する第2ホールド端子、第2信号を受信する第1プリチャージ端子、第1信号を受信する第2アウェイク端子、及び、第2出力信号を出力する第2出力端子を有する第2時間レジスタと、を含む。40

【 0 0 2 3 】

第1時間レジスタは、中間ノードと接地電圧との間に接続されたキャパシタと、中間ノードと電源電圧との間に接続され第2信号に応答してキャパシタを充電させるプルアップトランジスタと、中間ノードと接地電圧との間に接続されたプルダウントランジスタと、第1入力信号に応答してプルダウントランジスタをターンオンさせ、ホールド信号に応答してプルダウントランジスタをターンオフさせ、第1信号に応答してプルダウントランジスタをターンオンさせるプルダウントランジスタ制御部と、キャパシタの電圧に基づいて第1出力信号を生成する出力部と、を含むことができる。

【 0 0 2 4 】

プルダウントランジスタ制御部は、第1入力信号を受信するセット端子、第1ホールド信号を受信するリセット端子、及び出力端子を含むセット・リセットラッチと、セット・リセットラッチの出力端子で出力された出力信号及び第1信号にOR演算を遂行し、プルダウントランジスタのゲートに接続された出力端子を含むORゲートと、を含むことができる。10

【 0 0 2 5 】

時間差加算器は、第1信号及び第2信号を生成する制御部をさらに含むことができる。制御部は、第1入力信号を反転させて第1入力信号の反転信号を生成する第1インバータと、第1入力信号の反転信号を遅延させるアウェイク遅延器と、第1入力信号の反転信号を受信するセット端子、アウェイク遅延器の出力信号を受信するリセット端子、及び第1信号を出力する出力端子を有する第1セット・リセットラッチと、アウェイク遅延器の出力信号を遅延させるプリチャージ遅延器と、アウェイク遅延器の出力信号を受信するセット端子、プリチャージ遅延器の出力信号を受信するリセット端子、及び出力端子を有する第2セット・リセットラッチと、第2セット・リセットラッチの出力信号を反転させて第2信号を生成する第2インバータと、を含むことができる。20

【 0 0 2 6 】

また、本発明の時間差加算器を含むシステムオンチップは、第1レジスタ部及び第2レジスタ部を含む。第1レジスタ部は、第1時間差を有する第1入力信号及び第2入力信号を受信し、第1信号に応答して第1出力信号を生成する。第2レジスタ部は、第2時間差を有する第3入力信号及び第4入力信号を受信し、第1信号に応答して第1出力信号に対して第1時間差と第2時間差との和に相当する第3時間差を有する第2出力信号を生成する。第1レジスタ部は、第1入力信号を受信する第1入力端子、第2入力信号を受信する第1ホールド端子、第2信号を受信する第1プリチャージ端子、第1信号を受信する第1アウェイク端子、及び第1出力信号を出力する第1出力端子を有する第1時間レジスタを含み、第2レジスタ部は、第4入力信号を受信する第2入力端子、第3入力信号を受信する第2ホールド端子、第2信号を受信する第1プリチャージ端子、第1信号を受信する第2アウェイク端子、及び第2出力信号を出力する第2出力端子を有する第2時間レジスタを含む。30

【 0 0 2 7 】

本発明の時間差累算器を含むシステムオンチップは、第1時間差加算器及び第2時間差加算器を含む。第1時間差加算器は、第1入力信号と第2入力信号との間の第1時間差、及び、第1出力済み信号と第2出力済み信号との間の第2時間差を加算して、第1時間差と第2時間差との和に相当する第3時間差を有する第1出力信号及び第2出力信号を生成する。第2時間差加算器は、第1出力信号と第2出力信号との間の第3時間差、及び、実質的に同一信号間の時間差を加算して、第3時間差を有する第1出力済み信号及び第2出力済み信号を生成する。40

【 0 0 2 8 】

実質的に同一信号は、第1出力信号、第2出力信号、第1出力信号の反転信号、または、第2出力信号の反転信号のうち、いずれか1つであることができる。

【 0 0 2 9 】

また、本発明の時間差累算器を含むシステムオンチップは、時間差加算器、第1遅延器50

及び第2遅延器を含む。時間差加算器は、第1入力信号と第2入力信号との間の第1時間差、及び、第1出力済み信号と第2出力済み信号との間の第2時間差を加算して第1時間差と第2時間差との和に相当する第3時間差を有する第1出力信号及び第2出力信号を生成する。第1遅延器は、第1出力信号を所定時間ほど遅延させて第1出力済み信号を生成する。第2遅延器は、第2出力信号を所定時間ほど遅延させて第2出力済み信号を生成する。

【0030】

本発明のシグマ - デルタタイムデジタル変換器は、時間差加算器、時間差累算器、時間ドメイン量子化器、及びデジタルタイム変換器を含む。時間差加算器は、第1入力信号と第2入力信号との間の第1時間差から、第1フィードバック信号と第2フィードバック信号との間の第2時間差を減算し得られた第3時間差を有する第1加算信号及び第2加算信号を生成する。時間差累算器は、第1加算信号と第2加算信号との間の第3時間差を累算して第1累算信号及び第2累算信号を生成する。時間ドメイン量子化器は、第1累算信号と第2累算信号との間の時間差をデジタル出力信号に変換する。デジタルタイム変換器は、デジタル出力信号を第1フィードバック信号及び第2フィードバック信号に変換する。

10

【0031】

また、本発明のシグマ - デルタタイムデジタル変換器は、時間差調節部、時間差累算器、及び時間ドメイン量子化器を含む。時間差調節部は第1入力信号、第2入力信号及びデジタル出力信号を受信し、デジタル出力信号に基づいて第1入力信号または第2入力信号をデジタル出力信号に相当する遅延時間ほど遅延させることによって第1加算信号及び第2加算信号を生成する。時間差累算器は、第1加算信号と第2加算信号との間の時間差を累算して第1累算信号及び第2累算信号を生成する。時間ドメイン量子化器は、第1累算信号と第2累算信号との間の時間差をデジタル出力信号に変換する。

20

【0032】

時間差調節部は、第1入力信号または第2入力信号のうち少なくとも1つの信号を遅延させる少なくとも1つの遅延器と、デジタル出力信号に応答して遅延器によって遅れなかつた少なくとも1つの信号、または、遅延器によって遅れた遅延器の出力信号を選択的に出力する少なくとも1つの選択器とを含むことができる。

【0033】

本発明のデジタル位相ロックループは、位相検出器、デジタルループフィルタ、デジタル制御発振器、及び分周器を含む。位相検出器は、基準入力信号とフィードバック信号との間の第1時間差に相当するデジタル時間差信号を生成する。デジタルループフィルタは、デジタル時間差信号をフィルタリングしてデジタル制御信号を生成する。デジタル制御発振器は、デジタル制御信号に応答して出力信号を生成する。分周器は、出力信号を分周してフィードバック信号を生成する。位相検出器は、基準入力信号とフィードバック信号との間の第1時間差から、第1内部フィードバック信号と第2内部フィードバック信号との間の第2時間差を減算して、第1時間差から第2時間差が減算された第3時間差を有する第1加算信号及び第2加算信号を生成する時間差加算器と、第1加算信号と第2加算信号との間の第3時間差を累算して第1累算信号及び第2累算信号を生成する時間差累算器と、第1累算信号と第2累算信号との間の時間差をデジタル時間差信号に変換する時間ドメイン量子化器と、デジタル時間差信号を第1内部フィードバック信号及び第2内部フィードバック信号に変換するデジタルタイム変換器と、を含む。

30

40

【0034】

また、本発明のデジタル位相ロックループは、位相検出器、デジタルループフィルタ、デジタル制御発振器、及び分周器を含む。位相検出器は、基準入力信号とフィードバック信号との間の時間差に相当するデジタル時間差信号を生成する。デジタルループフィルタはデジタル時間差信号をフィルタリングしてデジタル制御信号を生成する。デジタル制御発振器は、デジタル制御信号に応答して出力信号を生成する。分周器は出力信号を分周してフィードバック信号を生成する。位相検出器は、デジタル時間差信号に基づいて基準入力信号、または、フィードバック信号をデジタル時間差信号に相当する遅延時間ほど遅延

50

させることによって第1加算信号及び第2加算信号を生成する時間差調節部と、第1加算信号と第2加算信号との間の時間差を累算して第1累算信号及び第2累算信号を生成する時間差累算器と、第1累算信号と第2累算信号との間の時間差をデジタル時間差信号に変換する時間ドメイン量子化器と、を含む。

【0035】

本発明の温度センサは、センシング部及びシグマ - デルタタイムデジタル変換器を含む。センシング部は、温度を感知して温度に相当する第1時間差を有する第1入力信号及び第2入力信号を生成する。シグマ - デルタタイムデジタル変換器は、第1入力信号と第2入力信号との間の第1時間差に相当するデジタル出力信号を生成する。シグマ - デルタタイムデジタル変換器は、第1入力信号と第2入力信号との間の第1時間差から第1フィードバック信号と第2フィードバック信号との間の第2時間差を減算し得られた第3時間差を有する第1加算信号及び第2加算信号を生成する時間差加算器と、第1加算信号と第2加算信号との間の第3時間差を累算して、第1累算信号及び第2累算信号を生成する時間差累算器と、第1累算信号と第2累算信号との間の時間差をデジタル出力信号に変換する時間ドメイン量子化器と、デジタル出力信号を第1フィードバック信号及び第2フィードバック信号に変換するデジタルタイム変換器と、を含む。

【0036】

センシング部は、パルスを生成するパルス生成器と、パルスを実質的に一定の第1遅延時間ほど遅延させて第1入力信号として出力する温度鈍感遅延ラインと、パルスを温度に従がって変更される第2遅延時間ほど遅延させて第2入力信号として出力する温度敏感遅延ラインと、を含むことができる。

【0037】

また、本発明の温度センサは、センシング部及びシグマ - デルタタイムデジタル変換器を含む。センシング部は温度を感知して温度に相当する時間差を有する第1入力信号及び第2入力信号を生成する。シグマ - デルタタイムデジタル変換器は、第1入力信号と第2入力信号との間の時間差に相当するデジタル出力信号を生成する。シグマ - デルタタイムデジタル変換器は、デジタル出力信号に基づいて第1入力信号または第2入力信号をデジタル出力信号に相当する遅延時間ほどさらに遅延させることによって第1加算信号及び第2加算信号を生成する時間差調節部と、第1加算信号と第2加算信号との間の時間差を累算して第1累算信号及び第2累算信号を生成する時間差累算器と、第1累算信号と第2累算信号との間の時間差をデジタル出力信号に変換する時間ドメイン量子化器と、を含む。

【0038】

本発明のシステムオンチップは、時間差加算器を含む。時間差加算器は、複数の入力信号に基づいて第1出力信号及び第2出力信号を生成する。第1出力信号は、複数の入力信号のうち第1時間差を有する第1入力信号カップルに基づいてトリガ信号に応答して生成され、第2出力信号は、複数の入力信号のうち第2時間差を有する第2入力信号カップルに基づいてトリガ信号に応答して生成される。第1出力信号及び第2出力信号は、第1時間差及び第2時間差に基づいて決定される第3時間差を有する。

【0039】

時間差加算器は、第1入力信号カップルに基づいてトリガ信号に応答して第1出力信号を生成する第1レジスタ部と、第2入力信号カップルに基づいてトリガ信号に応答して第2出力信号を生成する第2レジスタ部と、を含むことができる。

【0040】

第1入力信号カップルは、第1入力信号及び第2入力信号を含み、第1レジスタ部は、第2入力信号をオフセット時間ほど遅延させて第1ホールド信号を生成する第1オフセット遅延器と、第1入力信号を受信する第1入力端子、第1ホールド信号を受信する第1ホールド端子、トリガ信号を受信する第1アウェイク端子、及び第1出力信号を出力する第1出力端子を有する第1時間レジスタと、を含むことができる。

【0041】

第2入力信号カップルは、第3入力信号及び第4入力信号を含み、第2レジスタ部は、

10

20

30

40

50

第3入力信号をオフセット時間ほど遅延させて第2ホールド信号を生成する第2オフセット遅延器と、第4入力信号を受信する第2入力端子、第2ホールド信号を受信する第2ホールド端子、トリガ信号を受信する第2アウェイク端子、及び第2出力信号を出力する第2出力端子を有する第2時間レジスタと、を含むことができる。

【0042】

第1入力信号カップルは、第1入力信号及び第2入力信号を含み、第1レジスタ部は、第1入力信号を受信する第1入力端子、第2入力信号を受信する第1ホールド端子、トリガ信号を受信する第1アウェイク端子、及び第1出力信号を出力する第1出力端子を有する第1時間レジスタを含むことができる。

【0043】

第2入力信号カップルは、第3入力信号及び第4入力信号を含み、第2レジスタ部は、第4入力信号を受信する第2入力端子、第3入力信号を受信する第2ホールド端子、トリガ信号を受信する第2アウェイク端子、及び第2出力信号を出力する第2出力端子を有する第2時間レジスタを含むことができる。

【発明の効果】

【0044】

本発明の時間差加算器を含むシステムオンチップは、入力信号間の時間差を正確に加算することができる。

【0045】

また、本発明の時間差累算器を含むシステムオンチップは、入力信号間の時間差を正確に累算することができる。

【0046】

また、本発明のシグマ - デルタタイムデジタル変換器は、入力信号間の時間差が正確に反映されているデジタル信号に変換することができる。

【0047】

また、デジタル位相ロックループは、シグマ - デルタタイムデジタル変換器を含んでおり、低い電源電圧環境においても望む周波数を有する信号を正確に出力することができる。

【0048】

また、本発明の温度センサは、シグマ - デルタタイムデジタル変換器を含んでおり、低い電源電圧環境においても温度を正確に感知することができる。

【図面の簡単な説明】

【0049】

【図1】本発明の第1実施形態に係る時間差加算器を示す図面である。

【図2】図1の時間差加算器で遂行される時間差加算の恒等元及び逆元を示す図面である。

【図3】図1の時間差加算器で遂行される時間差加算の恒等元及び逆元を示す図面である。

【図4】本発明の第1実施形態に係る時間差加算器を示すブロック図である。

【図5】図4の時間差加算器に含まれた時間レジスタの一例を示す回路図である。

【図6】図5の時間レジスタの動作を説明するためのタイミング図である。

【図7】図4の時間差加算器に含まれた時間レジスタの他の例を示す回路図である。

【図8】図4の時間差加算器に含まれた時間レジスタのまた他の例を示す回路図である。

【図9】図4の時間差加算器に含まれた時間レジスタのまた他の例を示す回路図である。

【図10】図4の時間差加算器の動作の一例を説明するためのタイミング図である。

【図11】図4の時間差加算器の動作の他の例を説明するためのタイミング図である。

【図12】本発明の第2実施形態に係る時間差加算器を示すブロック図である。

【図13】図12の時間差加算器の動作の一例を説明するためのタイミング図である。

【図14】本発明の第3実施形態に係る時間差加算器を示すブロック図である。

【図15】図14の時間差加算器に含まれた時間レジスタの一例を示す回路図である。

10

20

30

40

50

- 【図16】図14の時間差加算器に含まれた制御部の一例を示す回路図である。
- 【図17】図15の時間レジスタの動作を説明するためのタイミング図である。
- 【図18】図14の時間差加算器に含まれた時間レジスタの他の例を示す回路図である。
- 【図19】図14の時間差加算器の動作の一例を説明するためのタイミング図である。
- 【図20】本発明の第4実施形態に係る時間差加算器を示すブロック図である。
- 【図21】本発明の第5実施形態に係る時間差累算器を示す図面である。
- 【図22】本発明の第5実施形態に係る時間差累算器を示すブロック図である。
- 【図23】本発明の第6実施形態に係る時間差累算器を示すブロック図である。
- 【図24】図23の時間差累算器に含まれた遅延部の一例を示す回路図である。
- 【図25】図24の遅延部に含まれたトランジスタの配置の一例を説明するための図面である。 10
- 【図26】本発明の第7実施形態に係るシグマ - デルタタイムデジタル変換器を示すブロック図である。
- 【図27】図26のシグマ - デルタタイムデジタル変換器で遂行されるノイズシェーピングを説明するための図面である。
- 【図28】図26のシグマ - デルタタイムデジタル変換器に含まれた時間ドメイン量子化器の一例を示すブロック図である。
- 【図29】図26のシグマ - デルタタイムデジタル変換器に含まれた時間ドメイン量子化器の他の例を示すブロック図である。 20
- 【図30】図26のシグマ - デルタタイムデジタル変換器に含まれたデジタルタイム変換器の一例を示すブロック図である。
- 【図31】図26のシグマ - デルタタイムデジタル変換器に含まれたデジタルタイム変換器の他の例を示すブロック図である。
- 【図32】本発明の第8実施形態に係るシグマ - デルタタイムデジタル変換器を示すブロック図である。
- 【図33】本発明の第9実施形態に係るシグマ - デルタタイムデジタル変換器を示すブロック図である。
- 【図34】図33のシグマ - デルタタイムデジタル変換器の一例を示すブロック図である。 30
- 【図35】図33のシグマ - デルタタイムデジタル変換器の他の例を示すブロック図である。
- 【図36】本発明の第10実施形態に係るシグマ - デルタタイムデジタル変換器を示すブロック図である。
- 【図37】本発明の第11実施形態に係るデジタル位相ロックループを示すブロック図である。
- 【図38】本発明の第12実施形態に係るシグマ - デルタタイムデジタル変換器を含むアナログデジタル変換器を示すブロック図である。
- 【図39】本発明の第13実施形態に係るシグマ - デルタタイムデジタル変換器を含むセンサを示すブロック図である。 40
- 【図40】本発明の第14実施形態に係るデジタル位相ロックループを含む集積回路を示すブロック図である。
- 【図41】本発明の第15実施形態に係るデジタル位相ロックループを含む送受信器を示すブロック図である。
- 【図42】本発明の第16実施形態に係るデジタル位相ロックループを含むメモリ装置を示すブロック図である。
- 【図43】本発明の第17実施形態に係るデジタル位相ロックループをモバイルシステムに応用した例を示すブロック図である。
- 【図44】本発明の第18実施形態に係るデジタル位相ロックループをコンピューティングシステムに応用した例を示すブロック図である。
- 【発明を実施するための最良の形態】 50

【 0 0 5 0 】

本明細書に開示されている本発明の実施形態に対して、特定の構造的ないし機能的説明は、単に本発明の実施形態を説明するための目的で例示されたものであり、本発明の実施形態は多様な形態で実施することができ、本明細書に説明された実施形態に限定されるものではない。

【 0 0 5 1 】

本発明は多様な変更を加えることができ、種々の形態を有することができるが、特定の実施形態を図面に例示して本明細書に詳細に説明する。しかし、これは本発明を特定の開示形態に限定しようとするものではなく、本発明の思想及び技術範囲に含まれる全ての変更、均等物ないし代替物を含むと理解するべきである。

10

【 0 0 5 2 】

本明細書において、「第1」、「第2」等の用語は多様な構成要素を説明するのに使用することができるが、これらの構成要素がこのような用語によって限定されなければならない。これらの用語は1つの構成要素を他の構成要素から区別する目的で使われる。例えば、本発明の権利範囲から逸脱せずに第1構成要素は第2構成要素と命名することができ、同様に第2構成要素も第1構成要素と命名することができる。

【 0 0 5 3 】

ある構成要素が他の構成要素に「連結されて」いる、または「接続されて」いると言及された場合には、その他の構成要素に直接的に連結されていたり、または接続されていたりすることを意味するが、中間に他の構成要素が存在する場合も含むと理解するべきである。一方、ある構成要素が他の構成要素に「直接連結されて」いる、または「直接接続されて」いると言及された場合には、中間に他の構成要素が存在しないと理解すべきである。構成要素の間の関係を説明する他の表現、即ち、「～間に」と「すぐに～間に」または「～に隣接する」と「～に直接隣接する」等も同じように解釈すべきである。

20

【 0 0 5 4 】

本明細書で使用した用語は単に特定の実施形態を説明するために使用したもので、本発明を限定するものではない。単数の表現は文脈上明白に異なるように意味しない限り、複数の表現を含む。本明細書で、「含む」または「有する」等の用語は明細書上に記載された特徴、数字、段階、動作、構成要素、部品または、これを組み合わせたのが存在するということを示すものであって、1つまたはそれ以上の他の特徴や数字、段階、動作、構成要素、部品または、これを組み合わせたものなどの存在または、付加の可能性を、予め排除するわけではない。

30

【 0 0 5 5 】

また、別に定義しない限り、技術的或いは科学的用語を含み、本明細書中において使用される全ての用語は本発明が属する技術分野で通常の知識を有する者であれば、一般的に理解するのと同一の意味を有する。一般的に使用される辞書において定義する用語と同じ用語は関連技術の文脈上有する意味と一致する意味を有するものと理解するべきで、本明細書において明白に定義しない限り、理想的或いは形式的な意味として解釈してはならない。

【 0 0 5 6 】

40

以下、添付図面を参照して、本発明の望ましい実施形態をより詳細に説明する。図面上の同一構成要素に対しては同一または類似する参照符号を使用する。

【 0 0 5 7 】**(第1実施形態)**

図1は本発明の実施形態に係る時間差加算器を示す図面であり、図2及び図3は図1の時間差加算器で遂行される時間差加算の恒等元及び逆元を示す図面である。

【 0 0 5 8 】

図1を参照すれば、時間差加算器100は、第1入力信号SIN1、第2入力信号SIN2、第3入力信号SIN3、及び第4入力信号SIN4に応答して第1出力信号SOUT1及び第2出力信号SOUT2を生成する。時間差加算器100は、第1入力信号SIN

50

N1と第2入力信号SIN2との間の第1時間差TD1、及び、第3入力信号SIN3と第4入力信号SIN4との間の第2時間差TD2を加算することによって、第1時間差TD1と第2時間差TD2との和に相当する時間差(TD1+TD2)を有する第1出力信号SOUT1及び第2出力信号SOUT2を出力する。

【0059】

図2及び図3に示したように、任意の時間差TDを有する信号に対して時間差加算器100で遂行される時間差加算(例えば、演算子「+」)の恒等元及び逆元を定義することができる。即ち、任意の時間差TDを有する信号に対して、式(1)を満足する時間差加算の恒等元「0」が存在する。

$$TD + 0 = 0 + TD = TD \quad \dots \dots \dots (1)$$

10

【0060】

また、任意の時間差TDを有する信号に対する時間差加算で、式(2)を満足する任意の時間差TDの逆元(-TD)が存在する。

$$TD + (-TD) = (-TD) + TD = 0 \quad \dots \dots \dots (2)$$

このように、本発明の第1実施形態に係る時間差加算器100は、任意の時間差TDを有する信号が閉じられている時間差加算を遂行できる。

【0061】

一方、半導体装置に対するデザインルールが減少することによって、電源電圧、及び/または、動作電圧が低くなり、これに従って、電圧ドメインでの信号対雑音比が減少している。しかし、電源電圧、及び/または、動作電圧が低くなることによって、電圧信号のローレベルからハイレベルへの遷移時間、または、ハイレベルからローレベルへの遷移時間は減少する。これに従って、時間ドメインでの信号対雑音比を増加することができる。従って、低い電源電圧環境において、電子回路及び装置は、時間ドメインで信号処理を遂行することによって性能を向上させることができる。即ち、低い電源電圧環境において、本発明の第1実施形態に係る時間差加算器100、及び/または、時間差累算器が時間ドメインで信号処理を遂行することによって時間差加算器100、及び/または、時間差累算器を含む多様な電子回路及び装置の性能を向上することができる。

20

【0062】

図4は本発明の第1実施形態に係る時間差加算器を示すブロック図である。

【0063】

30

図4を参照すれば、時間差加算器200aは、第1レジスタ部210a及び第2レジスタ部250aを含む。

【0064】

第1レジスタ部210aは、第1入力信号SIN1及び第2入力信号SIN2を受信し、アウェイク信号SAWK、または、トリガ(trigger)信号に応答して第1出力信号SOUT1を生成する。第1レジスタ部210aは、第1オフセット遅延器220及び第1時間レジスタ230を含むことができる。第1オフセット遅延器220は、第2入力信号SIN2をオフセット時間ほど遅延させて第1ホールド信号SHLD1を生成することができる。第1時間レジスタ230は、第1入力信号SIN1を受信する第1入力端子IN1、第1ホールド信号SHLD1を受信する第1ホールド端子HLD1、アウェイク信号SAWKを受信する第1アウェイク端子AWK1、及び第1出力信号SOUT1を出力する第1出力端子OUT1を有することができる。

40

【0065】

第2レジスタ部250aは、第3入力信号SIN3及び第4入力信号SIN4を受信して、アウェイク信号SAWKに応答して第2出力信号SOUT2を生成する。第2レジスタ部250aは第2オフセット遅延器260及び第2時間レジスタ270を含むことができる。第2オフセット遅延器260は、第3入力信号SIN3をオフセット時間ほど遅延させて第2ホールド信号SHLD2を生成することができる。第2時間レジスタ270は、第4入力信号SIN4を受信する第2入力端子IN2、第2ホールド信号SHLD2を受信する第2ホールド端子HLD2、アウェイク信号SAWKを受信する第2アウェイク

50

端子 A W K 2 、及び第 2 出力信号 S O U T 2 を出力する第 2 出力端子 O U T 2 を有することができる。

【 0 0 6 6 】

アウェイク信号 S A W K は、外部の回路または装置で受信されたり、または、時間差加算器 2 0 0 a がアウェイク信号 S A W K を生成する回路を含んだりすることができる。例えば、時間差加算器 2 0 0 a は、第 1 入力信号 S I N 1 、第 2 入力信号 S I N 2 、第 3 入力信号 S I N 3 、または第 4 入力信号 S I N 4 のうち、いずれか 1 つの信号を遅延または反転させてアウェイク信号 S A W K を生成することができる。

【 0 0 6 7 】

第 1 時間レジスタ 2 3 0 は、アウェイク信号 S A W K に応答して、アウェイク信号 S A W K が有するアウェイク信号上昇エッジから、ディスチャージ時間からオフセット時間が減算され、第 1 入力信号 S I N 1 と第 2 入力信号 S I N 2 との間の第 1 時間差が減算された時間の後、第 1 出力信号上昇エッジを有する第 1 出力信号 S O U T 1 を出力することができる。即ち、アウェイク信号 S A W K と第 1 出力信号 S O U T 1 との間の時間差は、ディスチャージ時間からオフセット時間が減算され、第 1 時間差がさらに減算された時間に相当することができる。

【 0 0 6 8 】

また、第 2 時間レジスタ 2 7 0 は、アウェイク信号 S A W K に応答して、アウェイク信号上昇エッジから、ディスチャージ時間からオフセット時間が減算されて第 3 入力信号 S I N 3 と第 4 入力信号 S I N 4 との間の第 2 時間差が加算された時間の後、第 2 出力信号上昇エッジを有する第 2 出力信号 S O U T 2 を出力することができる。即ち、アウェイク信号 S A W K と第 2 出力信号 S O U T 2 との間の時間差は、ディスチャージ時間からオフセット時間が減算され、第 2 時間差が加算された時間に相当することができる。

【 0 0 6 9 】

第 1 オフセット遅延器 2 2 0 のオフセット時間と第 2 オフセット遅延器 2 6 0 のオフセット時間を、実質的に同一とすることもできる。オフセット時間は時間差加算器 2 0 0 a に入力される時間差の範囲に相当するように設定される。例えば、オフセット時間は、時間差加算器 2 0 0 a に入力される負の時間差の最大値以上と設定される。

【 0 0 7 0 】

また、第 1 時間レジスタ 2 3 0 のディスチャージ時間と第 2 時間レジスタ 2 7 0 のディスチャージ時間は、実質的に同一とすることもできる。一方、ディスチャージ時間は、第 1 時間レジスタ 2 3 0 及び第 2 時間レジスタ 2 7 0 の各々に含まれたキャパシタのキャパシタンスによって決定されることができ、第 1 時間レジスタ 2 3 0 に含まれたキャパシタのキャパシタンスと第 2 時間レジスタ 2 7 0 に含まれたキャパシタのキャパシタンスは実質的に同一とすることもできる。ディスチャージ時間は、オフセット時間及び時間差加算器 2 0 0 a に入力される時間差の範囲に相当するように設定することができる。例えば、ディスチャージ時間は、オフセット時間と時間差加算器 2 0 0 a に入力される正の時間差の最大値の和以上と設定される。また、実施形態に従って、ディスチャージ時間は、第 1 入力信号 S I N 1 、第 2 入力信号 S I N 2 、第 3 入力信号 S I N 3 、第 4 入力信号 S I N 4 のうち、いずれか 1 つのパルス幅より小さくなるように設定することができる。

【 0 0 7 1 】

第 1 出力信号 S O U T 1 と第 2 出力信号 S O U T 2 との間の時間差は、第 2 出力信号上昇エッジが発生する時間から第 1 出力信号上昇エッジが発生する時間を減算した時間として、アウェイク信号 S A W K と第 2 出力信号 S O U T 2 との間の時間差から、アウェイク信号 S A W K と第 1 出力信号 S O U T 1 との間の時間差が減算された時間に相当する。従って、第 1 オフセット遅延器 2 2 0 及び第 2 オフセット遅延器 2 6 0 が実質的に同じオフセット時間を有し、第 1 時間レジスタ 2 3 0 及び第 2 時間レジスタ 2 7 0 が実質的に同じディスチャージ時間を有するので、第 1 出力信号 S O U T 1 と第 2 出力信号 S O U T 2 との間の時間差は、第 1 時間差と第 2 時間差との和に相当することができる。

【 0 0 7 2 】

10

20

30

40

50

このように、本発明の第1実施形態に係る時間差加算器200aは、第1時間差と第2時間差との和に相当する時間差を有する第1出力信号SOUT1及び第2出力信号SOUT2を出力することができる。

【0073】

第1レジスタ部210aの少なくとも一部の構成要素、例えば、トランジスタと第2レジスタ部250aの少なくとも一部の構成要素、例えば、トランジスタは、互いに交互に配置することができる。これに従って、工程、電圧、温度などの変化にも第1レジスタ部210aと第2レジスタ部250aとの間のミスマッチが最小化される。

【0074】

図5は図4の時間差加算器に含まれた時間レジスタの一例を示す回路図である。

10

【0075】

図5を参照すれば、時間レジスタ300aは、第1インバータ310、インバータ制御部320a、キャパシタ330、及び出力部340を含む。第1実施形態において、図4の第1時間レジスタ230及び第2時間レジスタ270は、時間レジスタ300aとともに具現することができる。例えば、時間レジスタ300aが図4の第1時間レジスタ230の場合、入力信号SINは、図4の第1入力信号SIN1であり、ホールド信号SHLDは、図4の第1ホールド信号SHLD1であり、出力信号SOUTは、図4の第1出力信号SOUT1であることができる。また、時間レジスタ300aが図4の第2時間レジスタ270の場合、入力信号SINは図4の第4入力信号SIN4であり、ホールド信号SHLDは図4の第2ホールド信号SHLD2であり、出力信号SOUTは図4の第2出力信号SOUT2であることができる。

20

【0076】

第1インバータ310は入力信号SINを反転させる。第1インバータ310は、第1PMOSトランジスタP1及び第1NMOSトランジスタN1を含むことができる。第1PMOSトランジスタP1は、入力信号SINが印加されるゲート、インバータ制御部320aを通じて電源電圧に接続されたソース、及び中間ノードN MIDに接続されたドレーンを含むことができる。また、第1NMOSトランジスタN1は、入力信号SINが印加されるゲート、インバータ制御部320aを通じて接地電圧に接続されたソース、及び中間ノードN MIDに接続されたドレーンを含むことができる。

【0077】

30

インバータ制御部320aは、ホールド信号SHLDに応答して第1インバータ310を非活性化させ、アウェイク信号SAWKに応答して第1インバータ310を活性化させることができる。インバータ制御部320aは、第2PMOSトランジスタP2、第2NMOSトランジスタN2、D-フリップフロップ323、及び選択器321を含むことができる。

【0078】

第2PMOSトランジスタP2は、電源電圧と第1PMOSトランジスタP1との間に接続される。例えば、第2PMOSトランジスタP2は、D-フリップフロップ323の出力端子Qに接続されたゲート、電源電圧に接続されたソース、及び第1PMOSトランジスタP1のソースに接続されたドレーンを含むことができる。第2NMOSトランジスタN2は、接地電圧と第1NMOSトランジスタN1との間に接続される。例えば、第2NMOSトランジスタN2は、D-フリップフロップ323の反転出力端子/Qに接続されたゲート、接地電圧に接続されたソース、及び第1NMOSトランジスタN1のソースに接続されたドレーンを含むことができる。第2PMOSトランジスタP2及び第2NMOSトランジスタN2は、電源または、接地電圧と第1インバータ310の接続を制御することができる。例えば、第2PMOSトランジスタP2及び第2NMOSトランジスタN2がターンオンされると、第1インバータ310が電源電圧または、接地電圧に電気的に接続され、第2PMOSトランジスタP2及び第2NMOSトランジスタN2がターンオフされると、第1インバータ310が電源電圧または、接地電圧から電気的に遮断される。

40

50

【0079】

D - フリップフロップ323は、第2PMOSトランジスタP2のゲートに接続された出力端子Q、第2NMOSトランジスタN2のゲートに接続された反転出力端子/Q、反転出力端子/Qに接続されたデータ端子D、及び選択器321の出力信号が印加されるクロック端子を含むことができる。一方、データ端子Dに反転出力端子/Qが接続されるので、D - フリップフロップ323の出力端子Qで出力される出力信号及び反転出力端子/Qで出力される反転出力信号は、クロック端子に印加される選択器321の出力信号が上昇エッジを有する時間ごとに、トグルすることができる。

【0080】

選択器321は、反転出力端子/Qで出力される反転出力信号に応答してクロック端子にホールド信号SHLD、または、アウェイク信号SAWKを選択的に出力することができる。例えば、選択器321は、マルチプレクサで具現することができる。マルチプレクサは、ホールド信号SHLDを受信する第1入力端子、アウェイク信号SAWKを受信する第2入力端子、反転出力信号を選択信号として受信する選択端子、及び選択信号に応答してホールド信号SHLD、または、アウェイク信号SAWKを選択的に出力する出力端子を含むことができる。

10

【0081】

キャパシタ330は、第1インバータ310の出力信号に応答して充電または放電される。また、キャパシタ330は中間ノードN MIDに接続された第1端子及び接地電圧に接続された第2端子を有することができる。例えば、第1インバータ310の出力信号がロジックハイレベルを有する場合、即ち、第1PMOSトランジスタP1及び第2PMOSトランジスタP2がターンオンされた場合、キャパシタ330の第1端子は、第1PMOSトランジスタP1及び第2PMOSトランジスタP2を通じて電源電圧に電気的に接続され、キャパシタ330を充電することができる。また、第1インバータ310の出力信号がロジックローレベルを有する場合、即ち、第1NMOSトランジスタN1及び第2NMOSトランジスタN2がターンオンされた場合、キャパシタ330の第1端子は、第1NMOSトランジスタN1及び第2NMOSトランジスタN2を通じて接地電圧に電気的に接続され、キャパシタ330を放電することができる。

20

【0082】

出力部340は、キャパシタ330の電圧、即ち、中間ノードN MIDの電圧に基づいて出力信号SOUTを生成することができる。例えば、出力部340は、第2インバータ340を含むことができる。第2インバータ340は、第3PMOSトランジスタP3及び第3NMOSトランジスタN3を含むことができる。例えば、第3PMOSトランジスタP3は、中間ノードN MIDに接続されたゲート、電源電圧に接続されたソース、及び出力信号SOUTが出力されるドレーンを含むことができる。また、第3NMOSトランジスタN3は、中間ノードN MIDに接続されたゲート、接地電圧に接続されたソース、及び出力信号SOUTが出力されるドレーンを含むことができる。第2インバータ340は、キャパシタ330の電圧が、所定のしきい電圧以下の時、ロジックハイレベルを有する出力信号SOUTを出力することができる。即ち、キャパシタ330の電圧が第3PMOSトランジスタP3のしきい電圧以下の時、第3PMOSトランジスタP3がターンオンされ、第2インバータ340はロジックハイレベルを有する出力信号SOUTを出力することができる。

30

【0083】

キャパシタ330は、入力信号SINとホールド信号SHLD間の時間差に相当する時間の間に放電されることによって、入力信号SINとホールド信号SHLDとの間の時間差に対する情報を保存することができる。即ち、キャパシタ330の放電が入力信号SINが有する入力信号上昇エッジに応答して始まり、キャパシタ330の放電がホールド信号SHLDが有するホールド信号上昇エッジに応答して中止されることによって、キャパシタ330は入力信号SINとホールド信号SHLDとの間の時間差に相当する時間の間に放電される。また、キャパシタ330の放電は、アウェイク信号上昇エッジに応答して

40

50

再開にされる。これによって、キャパシタ330の電圧は、アウェイク信号上昇エッジから所定の時間の後、所定のしきい電圧、例えば、第3PMOSトランジスタP3のしきい電圧以下よりも低くなることができ、所定の時間は、入力信号SINとホールド信号SHLDとの間の時間差により決定される。例えば、時間差が増加する場合、所定の時間は減少し、時間差が減少する場合、所定の時間は増加することができる。また、出力部340は、キャパシタ330の電圧が所定のしきい電圧以下よりも低くなる時、ロジックハイレベルを有する出力信号SOUTを出力することができる。これに従って、出力信号SOUTは、アウェイク信号上昇エッジから時間差によって決定される所定の時間の後、出力信号上昇エッジを有することができる。即ち、出力信号上昇エッジを有する時刻は、入力信号SINとホールド信号SHLDとの間の時間差により決定される。

10

【0084】

例えば、第1インバータ310は、キャパシタ330の放電が始まるように、入力信号上昇エッジに応答してキャパシタ330を接地電圧に電気的に接続することができる。この後、インバータ制御部320aは、キャパシタ330の放電が中止できるように、ホールド信号上昇エッジに応答して第1インバータ310を非活性化させることができる。続いて、インバータ制御部320aは、キャパシタ330の放電が再開できるように、アウェイク信号上昇エッジに応答して第1インバータ310を活性化させることができる。キャパシタ330の放電が再開された後、キャパシタ330の電圧、即ち、中間ノードNMINの電圧が所定のしきい電圧以下よりも低くなる時、出力部340はロジックハイレベルを有する出力信号SOUTを出力することができる。

20

【0085】

これに従って、時間レジスタ300aはアウェイク信号SAWKに応答して入力信号SINとホールド信号SHLDとの間の時間差により決定される時刻で出力信号上昇エッジを有する出力信号SOUTを出力することができる。

【0086】

図6は図5の時間レジスタの動作を説明するためのタイミング図である。

【0087】

図5及び図6を参照すれば、第1インバータ310は入力信号上昇エッジに応答してロジックローレベルの出力信号を出力することができる。一方、入力信号SINが入力信号上昇エッジを有する間、D-フリップフロップ323は出力端子Qでロジックローレベルの出力信号を出力し、反転出力端子/Qでロジックハイレベルの反転出力信号を出力することができる。これに従って、第1NMOSトランジスタN1が入力信号上昇エッジに応答してターンオンされ、第2NMOSトランジスタN2がロジックハイレベルの反転出力信号に応答してターンオンされる。第1NMOSトランジスタN1及び第2NMOSトランジスタN2がターンオンされると、中間ノードNMIN、即ち、キャパシタ330の第1端子は、第1NMOSトランジスタN1及び第2NMOSトランジスタN2を通じて接地電圧に接続され、キャパシタ330を放電することができる。このように、入力信号上昇エッジに応答してキャパシタ330が放電され、キャパシタ330の電圧、即ち、中間ノードNMINの電圧V_NMINを減少することができる。

30

【0088】

インバータ制御部320aは、ホールド信号上昇エッジに応答して第1インバータ310を非活性化させる。例えば、選択器321は、反転出力端子/Qで出力されたロジックハイレベルの反転出力信号に応答してクロック端子にホールド信号SHLDを出力し、D-フリップフロップ323は出力端子Qでロジックハイレベルの出力信号を出力し、反転出力端子/Qでロジックローレベルの反転出力信号を出力することができる。これに従って、第2PMOSトランジスタP2がロジックハイレベルの出力信号に応答してターンオフされ、第2NMOSトランジスタN2がロジックローレベルの反転出力信号に応答してターンオフできる。第2NMOSトランジスタN2がターンオフされると、キャパシタ330の放電が中止される。これに従って、ホールド信号上昇エッジに応答してキャパシタ330の放電が中止され、キャパシタ330の電圧、即ち、中間ノードNMINの電圧V

40

50

—N M I Dの減少が中止される。

【0089】

インバータ制御部320aは、アウェイク信号上昇エッジに応答して第1インバータ310を活性化させる。例えば、選択器321は、反転出力端子/Qで出力されたロジックローレベルの反転出力信号に応答してクロック端子にアウェイク信号S H L Dを出力し、D-フリップフロップ323は、出力端子Qでロジックローレベルの出力信号を出力し、反転出力端子/Qでロジックハイレベルの反転出力信号を出力することができる。これに従って、第2PMOSトランジスタP2がロジックローレベルの出力信号に応答してターンオンされ、第2NMOSトランジスタN2がロジックハイレベルの反転出力信号に応答してターンオンできる。また、第1NMOSトランジスタN1は、ロジックハイレベルの入力信号S I Nに応答してターンオンできる。第1NMOSトランジスタN1及び第2NMOSトランジスタN2がターンオンされると、中間ノードN M I Dは、第1NMOSトランジスタN1及び第2NMOSトランジスタN2を通じて接地電圧に接続され、キャパシタ330の放電を再開することができる。このように、アウェイク信号上昇エッジに応答してキャパシタ330の放電が再開され、キャパシタ330の電圧、即ち、中間ノードN M I Dの電圧V_N M I Dをまた減少することができる。
10

【0090】

出力部340はキャパシタ330の電圧、即ち、中間ノードN M I Dの電圧V_N M I Dに基づいて出力信号S O U Tを出力する。出力部340は、中間ノードN M I Dの電圧V_N M I Dが所定のしきい電圧V T H以下の場合、ロジックハイレベルの出力信号S O U Tを出力することができる。例えば、しきい電圧V T Hは、第3PMOSトランジスタP3のしきい電圧でありうる。即ち、中間ノードN M I Dの電圧V_N M I Dが第3PMOSトランジスタP3のしきい電圧以下よりも低くなる場合、第3PMOSトランジスタP3がターンオンされ、出力信号S O U Tはロジックハイレベルを有することができる。
20

【0091】

一方、出力信号S O U Tは、アウェイク信号上昇エッジから、所定のディスチャージ時間T d i sから入力信号S I Nとホールド信号S H L Dとの間の時間差T D + T o f fが減算された時間(T d i s - T D - T o f f)の後、出力信号上昇エッジを有することができる。例えば、入力信号S I Nが図4の第1入力信号S I N 1であり、ホールド信号S H L Dが図4の第1オフセット遅延器220から出力された第1ホールド信号S H L D 1の場合、入力信号S I Nとホールド信号S H L Dとの間の時間差T D + T o f fは、第1入力信号S I N 1と第2入力信号S I N 2との間の時間差T Dと第1オフセット遅延器220のオフセット時間T o f fとの和に相当することができる。この場合、出力信号S O U Tは、アウェイク信号上昇エッジからディスチャージ時間T d i sにおいて、第1入力信号S I N 1と第2入力信号S I N 2との間の時間差T Dと、第1オフセット遅延器220のオフセット時間T o f fとが減算された時間(T d i s - T D - T o f f)の後に出力信号上昇エッジを有することができる。
30

【0092】

ここで、ディスチャージ時間T d i sは、キャパシタ330の電圧、即ち、中間ノードN M I Dの電圧V_N M I Dがハイレベルから所定のしきい電圧V T H以下に減少する時までの時間として、第1及び第2NMOSトランジスタN1、N2の電流駆動能力及びキャパシタ330のキャパシタンスにより決定される。即ち、第1及び第2NMOSトランジスタN1、N2の電流駆動能力が一定の場合、ディスチャージ時間T d i sはキャパシタ330のキャパシタンスによって決定される。一方、図4の第1時間レジスタ230に含まれたキャパシタと図4の第2時間レジスタ270に含まれたキャパシタが実質的に同じキャパシタンスを有することによって、第1時間レジスタ230及び第2時間レジスタ270は、実質的に同じディスチャージ時間T d i sを有することができる。また、図4の第1オフセット遅延器220と第2オフセット遅延器260は、実質的に同じオフセット時間T o f fを有することができる。
40

【0093】

これに従って、図4の第1出力信号S OUT 1と第2出力信号S OUT 2との間の時間差、即ち、第1出力信号S OUT 1が第1出力信号上昇エッジを有する時刻と第2出力信号S OUT 2が第2出力信号上昇エッジを有する時刻との間の差は、第1入力信号S IN 1と第2入力信号S IN 2との間の第1時間差、及び、第3入力信号S IN 3と第4入力信号S IN 4との間の第2時間差によって決定することができる。

【0094】

出力部340からロジックハイレベルの出力信号S OUTが出力された後、第1インバータ310は、入力信号S INが有する入力信号下降エッジに応答してロジックローレベルの出力信号を出力することができる。例えば、第1PMOSトランジスタP1が入力信号下降エッジに応答してターンオンされ、第2PMOSトランジスタP2がロジックローレベルの反転出力信号に応答してターンオンできる。第1PMOSトランジスタP1及び第2PMOSトランジスタP2がターンオンされると、中間ノードN MID、即ち、キャパシタ330の第1端子は、第1PMOSトランジスタP1及び第2PMOSトランジスタP2を通じて電源電圧に接続され、キャパシタ330は、また充電される。他の実施形態において、アウェイク信号SAWKは、入力信号S INの反転信号であり、入力信号S INと第1インバータ310との間に、入力信号下降エッジを有しても第1インバータ310に一定時間の間にロジックハイレベルの入力信号を印加するための論理ゲートが位置することができる。この場合、第1インバータ310は論理ゲートの出力信号に応答してキャパシタ330を充電することができる。10

【0095】

図7は図4の時間差加算器に含まれた時間レジスタの他の例を示す回路図である。20

【0096】

図7を参照すれば、時間レジスタ300bは、第1インバータ310、インバータ制御部320b、キャパシタ330、及び出力部340を含む。時間レジスタ300bは、インバータ制御部320bに含まれた選択器325、327、329の構成及び動作を除いて図5の時間レジスタ300aと実質的に類似する構成を有し、実質的に類似する動作を遂行できる。

【0097】

インバータ制御部320bは、ホールド信号SHLDに応答して第1インバータ310を非活性化させ、アウェイク信号SAWKに応答して第1インバータ310を活性化させることができる。インバータ制御部320bは、第2PMOSトランジスタP2、第2NMOSトランジスタN2、D-フリップフロップ323、及び選択器325、327、329を含むことができる。30

【0098】

選択器325、327、329はロジックゲート325、327、329で具現することができる。例えば、選択器325、327、329は第1ANDゲート325、第2ANDゲート327及びORゲート329を含むことができる。第1ANDゲート325は、ホールド信号SHLD及び反転出力端子/Qから出力された反転出力信号にAND演算を遂行できる。第2ANDゲート327は、アウェイク信号SAWK及び出力端子Qから出力された出力信号にAND演算を遂行できる。また、ORゲート329は、第1ANDゲート325の出力信号及び第2ANDゲート327の出力信号にOR演算を遂行できる。反転出力信号がロジックハイレベルを有し、出力信号がロジックローレベルを有する場合、ロジックゲート325、327、329は、ホールド信号SHLDを出力し、反転出力信号がロジックローレベルを有し、出力信号がロジックハイレベルを有する場合、ロジックゲート325、327、329は、アウェイク信号SAWKを出力することができる。40

【0099】

図8は図4の時間差加算器に含まれた時間レジスタのまた他の例を示す回路図である。

【0100】

図8を参照すれば、時間レジスタ300cは、第1インバータ310、インバータ制御

10

20

40

50

部320c、キャパシタ330、及び出力部340を含む。時間レジスタ300cは、インバータ制御部320cに含まれた選択器P4、N4、P5、N5の構成及び動作を除いて、図5の時間レジスタ300aと実質的に類似する構成を有し、実質的に類似する動作を遂行できる。

【0101】

インバータ制御部320cは、ホールド信号SHLDに応答して第1インバータ310を非活性化させ、アウェイク信号SAWKに応答して第1インバータ310を活性化させることができる。インバータ制御部320cは、第2PMOSトランジスタP2、第2NMOSトランジスタN2、D-フリップフロップ323、及び選択器P4、N4、P5、N5を含むことができる。

10

【0102】

選択器P4、N4、P5、N5は、伝送ゲートP4、N4、P5、N5で具現することができる。例えば、選択器P4、N4、P5、N5は、第1伝送ゲートP4、N4、及び、第2伝送ゲートP5、N5を含むことができる。第1伝送ゲートP4、N4は、反転出力端子/Qから出力された反転出力信号がロジックハイレベルを有し、出力端子Qから出力された出力信号がロジックローレベルを有する場合、ホールド信号SHLDを出力することができる。第1伝送ゲートP4、N4は、出力端子Qに接続されたゲートを有する第4PMOSトランジスタP4、及び反転出力端子/Qに接続されたゲートを有する第4NMOSトランジスタN4を含むことができる。

【0103】

20

第2伝送ゲートP5、N5は、反転出力端子/Qで出力された反転出力信号がロジックローレベルを有し、出力端子Qから出力された出力信号がロジックハイレベルを有する場合、アウェイク信号SAWKを出力することができる。第2伝送ゲートP5、N5は、反転出力端子/Qに接続されたゲートを有する第5PMOSトランジスタP5、及び出力端子Qに接続されたゲートを有する第5NMOSトランジスタN5を含むことができる。

【0104】

図9は図4の時間差加算器に含まれた時間レジスタのまた他の例を示す回路図である。

【0105】

図9を参照すれば、時間レジスタ300dは、第1インバータ310、インバータ制御部320、キャパシタ330、及び出力部350を含む。時間レジスタ300dは、出力部350の構成及び動作を除いて図5の時間レジスタ300aと実質的に類似する構成を有し、実質的に類似する動作を遂行できる。実施形態に従って、インバータ制御部320は、図5のインバータ制御部320a、図7のインバータ制御部320b、図8のインバータ制御部320c、または、これと類似する構成のインバータ制御部で具現することができる。

30

【0106】

出力部350はキャパシタ330の電圧、即ち、中間ノードN MIDの電圧に基づいて出力信号S OUTを生成することができる。例えば、出力部350は比較器350を含むことができる。比較器350は、基準電圧VREFを受信する非反転入力端子、キャパシタ330の電圧を受信する反転入力端子、及び出力信号S OUTを出力する出力端子を含むことができる。比較器350は、基準電圧VREFがキャパシタ330の電圧より高い場合、即ち、キャパシタ330の電圧が基準電圧VREF以下よりも低くなる場合、ロジックハイレベルの出力信号S OUTを生成することができる。実施形態に従って、基準電圧VREFは、外部の回路または装置で受信されるか、または、時間レジスタ300dが基準電圧VREFを生成する回路を含むことができる。基準電圧VREFは、電源電圧よりも低くすることもできる。例えば、基準電圧VREFは電源電圧の約0.2倍とすることもできる。

40

【0107】

図10は図4の時間差加算器の動作の一例を説明するためのタイミング図である。図10には第1入力信号SIN1及び第2入力信号SIN2が正の第1時間差T D1を有し、

50

第3入力信号SIN3、及び第4入力信号SIN4が正の第2時間差TD2を有する例が図示されている。

【0108】

図4及び図10を参照すれば、第1入力信号SIN1は、第1時間レジスタ230の第1入力端子IN1に印加され、第2入力信号SIN2は、第1オフセット遅延器220によってオフセット時間Toffほど遅れて第1ホールド信号SHLD1として第1時間レジスタ230の第1ホールド端子HLD1に印加される。これによって、第1入力信号SIN1及び第1ホールド信号SHLD1は、第1入力信号SIN1と第2入力信号SIN2との間の第1時間差TD1とオフセット時間Toffとの和に相当する時間差(TD1+Toff)を有することができる。10

【0109】

第4入力信号SIN4は第2時間レジスタ270の第2入力端子IN2に印加され、第3入力信号SIN3は第2オフセット遅延器260によってオフセット時間Toffほど遅れて第2ホールド信号SHLD2として第2時間レジスタ270の第2ホールド端子HLD2に印加される。これによって、第4入力信号SIN4及び第2ホールド信号SHLD2は、オフセット時間Toffから、第3入力信号SIN1と第4入力信号SIN2との間の第2時間差TD2が減算された時間に相当する時間差(-TD2+Toff)を有することができる。

【0110】

第1時間レジスタ230は、アウェイク信号SAWKに応答して、アウェイク信号上昇エッジから、ディスチャージ時間Tdissから第1入力信号SIN1と第1ホールド信号SHLD1との間の時間差(TD1+Toff)が減算された時間(Tdiss-TD1-Toff)の後、第1出力信号上昇エッジを有する第1出力信号SOUT1を出力することができる。即ち、アウェイク信号SAWK及び第1出力信号SOUT1は、ディスチャージ時間Tdissから、第1入力信号SIN1と第1ホールド信号SHLD1との間の時間差(TD1+Toff)が減算された時間に相当する時間差(Tdiss-TD1-Toff)を有することができる。20

【0111】

第2時間レジスタ270は、アウェイク信号SAWKに応答して、アウェイク信号上昇エッジから、ディスチャージ時間Tdissから第4入力信号SIN4と第2ホールド信号SHLD2との間の時間差(-TD2+Toff)が減算された時間(Tdiss+TD2-Toff)の後、第2出力信号上昇エッジを有する第2出力信号SOUT2を出力することができる。即ち、アウェイク信号SAWK及び第2出力信号SOUT2は、ディスチャージ時間Tdissから、第4入力信号SIN4と第2ホールド信号SHLD2との間の時間差(-TD2+Toff)が減算された時間に相当する時間差(Tdiss+TD2-Toff)を有することができる。30

【0112】

一方、第1オフセット遅延器220と第2オフセット遅延器260は、実質的に同じオフセット時間Toffを有し、第1時間レジスタ230と第2時間レジスタ270は、実質的に同じディスチャージ時間Tdissを有することができる。これに従って、第1出力信号SOUT1と第2出力信号SOUT2との間の時間差は、アウェイク信号SAWKと第2出力信号SOUT2との間の時間差(Tdiss+TD2-Toff)から、アウェイク信号SAWKと第1出力信号SOUT1との間の時間差(Tdiss-TD1-Toff)が減算された時間((Tdiss+TD2-Toff)-(Tdiss-TD1-Toff))=TD2+TD1に相応し、従って、第1入力信号SIN1と第2入力信号SIN2との間の第1時間差TD1及び第3入力信号SIN3と第4入力信号SIN4との間の第2時間差TD2の和(TD1+TD2)に相当することができる。40

【0113】

このように、本発明の一実施形態に係る時間差加算器200aは、入力信号SIN1、SIN2、SIN3、SIN4間の時間差TD1、TD2を正確に加算することができる50

。

【0114】

図11は、図4の時間差加算器の動作の他の例を説明するためのタイミング図である。図11には第1入力信号SIN1及び第2入力信号SIN2が、負の第1時間差(-TD1)を有し、第3入力信号SIN3及び第4入力信号SIN4が、負の第2時間差(-TD2)を有する例が図示されている。

【0115】

図4及び図11を参照すれば、第1入力信号SIN1は第1時間レジスタ230の第1入力端子IN1に印加され、第2入力信号SIN2は第1オフセット遅延器220によってオフセット時間Toffほど遅れて第1ホールド信号SHLD1として第1時間レジスタ230の第1ホールド端子HLD1に印加される。これに従って、第1入力信号SIN1及び第1ホールド信号SHLD1は、第1入力信号SIN1と第2入力信号SIN2との間の第1時間差(-TD1)とオフセット時間Toffの和に相当する時間差(-TD1+Toff)を有することができる。

10

【0116】

第4入力信号SIN4は、第2時間レジスタ270の第2入力端子IN2に印加され、第3入力信号SIN3は第2オフセット遅延器260によりオフセット時間Toffほど遅れて第2ホールド信号SHLD2として第2時間レジスタ270の第2ホールド端子HLD2に印加される。これに従って、第4入力信号SIN4及び第2ホールド信号SHLD2はオフセット時間Toffから、第3入力信号SIN1と第4入力信号SIN2との間の第2時間差(-TD2)が減算された時間に相当する時間差(TD2+Toff)を有することができる。

20

【0117】

第1時間レジスタ230は、アウェイク信号SAWKに応答して、アウェイク信号上昇エッジから、ディスチャージ時間Tdissから第1入力信号SIN1と第1ホールド信号SHLD1との間の時間差(-TD1+Toff)が減算された時間(Tdiss+TD1-Toff)の後、第1出力信号上昇エッジを有する第1出力信号SOUT1を出力することができる。即ち、アウェイク信号SAWK及び第1出力信号SOUT1は、ディスチャージ時間Tdissから、第1入力信号SIN1と第1ホールド信号SHLD1との間の時間差(-TD1+Toff)が減算された時間に相当する時間差(Tdiss+TD1-Toff)を有することができる。

30

【0118】

第2時間レジスタ270は、アウェイク信号SAWKに応答して、アウェイク信号上昇エッジから、ディスチャージ時間Tdissから第4入力信号SIN4と第2ホールド信号SHLD2との間の時間差(TD2+Toff)が減算された時間(Tdiss-TD2-Toff)の後、第2出力信号上昇エッジを有する第2出力信号SOUT2を出力することができる。即ち、アウェイク信号SAWK及び第2出力信号SOUT2は、ディスチャージ時間Tdissから第4入力信号SIN4と第2ホールド信号SHLD2との間の時間差(TD2+Toff)が減算された時間に相当する時間差(Tdiss-TD2-Toff)を有することができる。

40

【0119】

一方、第1オフセット遅延器220と第2オフセット遅延器260は実質的に同じオフセット時間Toffを有し、第1時間レジスタ230と第2時間レジスタ270は実質的に同じディスチャージ時間Tdissを有することができる。これに従って、第1出力信号SOUT1と第2出力信号SOUT2との間の時間差は、アウェイク信号SAWKと第2出力信号SOUT2との間の時間差(Tdiss-TD2-Toff)から、アウェイク信号SAWKと第1出力信号SOUT1との間の時間差(Tdiss+TD1-Toff)が減算された時間((Tdiss-TD2-Toff)-(Tdiss+TD1-Toff))=-TD2-TD1に相応し、よって、第1入力信号SIN1と第2入力信号SIN2との間の第1時間差(-TD1)及び第3入力信号SIN3と第4入力信号SIN4との間

50

の第2時間差(- T D 2)の和(- T D 1 - T D 2)に相当することができる。

【 0 1 2 0 】

このように、本発明の一実施形態に係る時間差加算器 2 0 0 a は、入力信号 S I N 1 、 S I N 2 、 S I N 3 、 S I N 4 間の時間差 T D 1 、 T D 2 を正確に加算することができる。

【 0 1 2 1 】

一方、図 1 0 及び図 1 1 には第1入力信号上昇エッジと第2入力信号上昇エッジとの間の第1時間差、及び、第3入力信号 S I N 3 が有する第3入力信号上昇エッジと第4入力信号 S I N 4 が有する第4入力信号上昇エッジとの間の第2時間差を加算して、第1時間差と第2時間差との和に相当する時間差を有する第1出力信号 S O U T 1 及び第2出力信号 S O U T 2 を生成する時間差加算器の時間差加算の例が図示されているが、時間差加算器は第1入力信号 S I N 1 が有する第1入力信号下降エッジと第2入力信号 S I N 2 が有する第2入力信号下降エッジとの間の第3時間差、及び、第3入力信号 S I N 3 が有する第3入力信号下降エッジと第4入力信号 S I N 4 が有する第4入力信号下降エッジとの間の第4時間差を加算して第3時間差と第4時間差との和に相当する時間差を有する第1出力信号 S O U T 1 、並びに、第2出力信号 S O U T 2 を生成することができる。また、他の実施形態において、時間差加算器は上昇エッジに対する時間差加算及び下降エッジに対する時間差加算を全部遂行できる。

【 0 1 2 2 】

(第2実施形態)

図 1 2 は本発明の第2実施形態に係る時間差加算器を示すブロック図である。

【 0 1 2 3 】

図 1 2 を参照すれば、時間差加算器 2 0 0 b は、第1レジスタ部 2 1 0 b 及び第2レジスタ部 2 5 0 b を含む。時間差加算器 2 0 0 b は、図 4 の時間差加算器 2 0 0 a と比較して、図 4 の第1オフセット遅延器 2 2 0 及び第2オフセット遅延器 2 6 0 を含めないことができる。実施形態に従って、時間差加算器 2 0 0 b には正の時間差を有する第1入力信号 S I N 1 及び第2入力信号 S I N 2 が印加され、負の時間差を有する第3入力信号 S I N 3 及び第4入力信号 S I N 4 が印加される。

【 0 1 2 4 】

第1レジスタ部 2 1 0 b は、第1入力信号 S I N 1 及び第2入力信号 S I N 2 を受信し、アウェイク信号 S A W K に応答して第1出力信号 S O U T 1 を生成する。第1レジスタ部 2 1 0 b は、第1時間レジスタ 2 3 0 を含むことができる。第1時間レジスタ 2 3 0 は、第1入力信号 S I N 1 を受信する第1入力端子 I N 1 、第2入力信号 S I N 2 を受信する第1ホールド端子 H L D 1 、アウェイク信号 S A W K を受信する第1アウェイク端子 A W K 1 、及び第1出力信号 S O U T 1 を出力する第1出力端子 O U T 1 を有することができる。

【 0 1 2 5 】

第2レジスタ部 2 5 0 b は、第3入力信号 S I N 3 、及び第4入力信号 S I N 4 を受信し、アウェイク信号 S A W K に応答して第2出力信号 S O U T 2 を生成する。第2レジスタ部 2 5 0 b は第2時間レジスタ 2 7 0 を含むことができる。第2時間レジスタ 2 7 0 は、第4入力信号 S I N 4 を受信する第2入力端子 I N 2 、第3入力信号 S I N 3 を受信する第2ホールド端子 H L D 2 、アウェイク信号 S A W K を受信する第2アウェイク端子 A W K 2 、及び第2出力信号 S O U T 2 を出力する第2出力端子 O U T 2 を有することができる。

【 0 1 2 6 】

第1時間レジスタ 2 3 0 及び第2時間レジスタ 2 7 0 の各々は、図 5 の時間レジスタ 3 0 0 a 、図 7 の時間レジスタ 3 0 0 b 、図 8 の時間レジスタ 3 0 0 c 、図 9 の時間レジスタ 3 0 0 d 、または、これと類似する構成を有する時間レジスタで具現することができる。

【 0 1 2 7 】

10

20

30

40

50

第1時間レジスタ230は、アウェイク信号SAWKに応答して、アウェイク信号上昇エッジから、ディスチャージ時間から第1入力信号SIN1と第2入力信号SIN2との間の第1時間差が減算された時間の後、第1出力信号上昇エッジを有する第1出力信号SOUT1を出力することができる。即ち、アウェイク信号SAWKと第1出力信号SOUT1との間の時間差は、ディスチャージ時間から第1時間差が減算された時間に相当することができる。

【0128】

また、第2時間レジスタ270は、アウェイク信号SAWKに応答して、アウェイク信号上昇エッジから、ディスチャージ時間に第3入力信号SIN3と第4入力信号SIN4との間の第2時間差が加算された時間の後、第2出力信号上昇エッジを有する第2出力信号SOUT2を出力することができる。即ち、アウェイク信号SAWKと第2出力信号SOUT2との間の時間差は、ディスチャージ時間に第2時間差が加算された時間に相当することができる。

【0129】

第1時間レジスタ230のディスチャージ時間と第2時間レジスタ270のディスチャージ時間は、実質的に同一であることもできる。これに従って、アウェイク信号SAWKと第2出力信号SOUT2との間の時間差から、アウェイク信号SAWKと第1出力信号SOUT1との間の時間差が減算された時間に相当する第1出力信号SOUT1と第2出力信号SOUT2との間の時間差は、第1時間差と第2時間差との和に相当することができる。

【0130】

これと共に、本発明の第2実施形態に係る時間差加算器200bは第1時間差と第2時間差との和に相当する時間差を有する第1出力信号SOUT1及び第2出力信号SOUT2を出力することができる。

【0131】

図13は図12の時間差加算器の動作の一例を説明するためのタイミング図である。図13には第1入力信号SIN1及び第2入力信号SIN2が正の第1時間差TD1を有し、第3入力信号SIN3及び第4入力信号SIN4が負の第2時間差(-TD2)を有する例が図示されている。

【0132】

図12及び図13を参照すれば、第1入力信号SIN1は第1時間レジスタ230の第1入力端子IN1に印加され、第2入力信号SIN2は第1時間レジスタ230の第1ホールド端子HLD1に印加される。また、第4入力信号SIN4は、第2時間レジスタ270の第2入力端子IN2に印加され、第3入力信号SIN3は第2時間レジスタ270の第2ホールド端子HLD2に印加される。

【0133】

第1時間レジスタ230は、アウェイク信号SAWKに応答し、アウェイク信号上昇エッジから、ディスチャージ時間Tdisから第1入力信号SIN1と第2入力信号SIN2との間の第1時間差TD1が減算された時間(Tdis-TD1)の後、第1出力信号上昇エッジを有する第1出力信号SOUT1を出力することができる。即ち、アウェイク信号SAWK及び第1出力信号SOUT1は、ディスチャージ時間Tdisから第1時間差TD1が減算された時間に相当する時間差(Tdis-TD1)を有することができる。

【0134】

第2時間レジスタ270は、アウェイク信号SAWKに応答して、アウェイク信号上昇エッジから、ディスチャージ時間Tdisに第3入力信号SIN3と第4入力信号SIN4との間の時間差(-TD2)が加算された時間(Tdis-TD2)の後、第2出力信号上昇エッジを有する第2出力信号SOUT2を出力することができる。即ち、アウェイク信号SAWK及び第2出力信号SOUT2は、ディスチャージ時間Tdisに第2時間差(-TD2)が加算された時間に相当する時間差(Tdis-TD2)を有することができる。

10

20

30

40

50

できる。

【0135】

一方、第1時間レジスタ230と第2時間レジスタ270は、実質的に同じディスチャージ時間T_{dis}を有することができる。これに従って、第1出力信号SOUT1と第2出力信号SOUT2との間の時間差は、アウェイク信号SAWKと第2出力信号SOUT2との間の時間差(T_{dis}-TD2)からアウェイク信号SAWKと第1出力信号SOUT1との間の時間差(T_{dis}-TD1)が減算された時間((T_{dis}-TD2)-(T_{dis}-TD1)=-TD2+TD1)に相応し、従って、第1入力信号SIN1と第2入力信号SIN2との間の第1時間差TD1及び第3入力信号SIN3と第4入力信号SIN4との間の第2時間差(-TD2)の和(TD1-TD2)に相当することができる。10

【0136】

これと従って、本発明の他の実施形態に係る時間差加算器200bは入力信号SIN1、SIN2、SIN3、SIN4間の時間差TD1、TD2を正確に加算することができる。

【0137】

(第3実施形態)

図14は本発明の第3実施形態に係る時間差加算器を示すブロック図である。

【0138】

図14を参照すれば、時間差加算器200cは、第1レジスタ部210c、第2レジスタ部250c、及び制御部290を含む。20

【0139】

第1レジスタ部210cは第1入力信号SIN1及び第2入力信号SIN2を受信し、アウェイク信号SAWKに応答して第1出力信号SOUT1を生成する。第1レジスタ部210cは、第1オフセット遅延器220及び第1時間レジスタ240を含むことができる。第1オフセット遅延器220は第2入力信号SIN2をオフセット時間ほど遅延させて第1ホールド信号SHLD1を生成することができる。第1時間レジスタ240は、第1入力信号SIN1を受信する第1入力端子IN1、第1ホールド信号SHLD1を受信する第1ホールド端子HLD1、プリチャージ信号SPRCHを受信する第1プリチャージ端子PRCH1、アウェイク信号SAWKを受信する第1アウェイク端子AWK1、及び第1出力信号SOUT1を出力する第1出力端子OUT1を有することができる。30

【0140】

第2レジスタ部250cは、第3入力信号SIN3及び第4入力信号SIN4を受信し、アウェイク信号SAWKに応答して第2出力信号SOUT2を生成する。第2レジスタ部250cは第2オフセット遅延器260及び第2時間レジスタ280を含むことができる。第2オフセット遅延器260は、第3入力信号SIN3をオフセット時間ほど遅延させて第2ホールド信号SHLD2を生成することができる。第2時間レジスタ280は、第4入力信号SIN4を受信する第2入力端子IN2、第2ホールド信号SHLD2を受信する第2ホールド端子HLD2、プリチャージ信号SPRCHを受信する第2プリチャージ端子PRCH2、アウェイク信号SAWKを受信する第2アウェイク端子AWK2、及び第2出力信号SOUT2を出力する第2出力端子OUT2を有することができる。40

【0141】

制御部290はプリチャージ信号SPRCH及びアウェイク信号SAWKを生成する。例えば、制御部290は第1入力信号SIN1、第2入力信号SIN2、第3入力信号SIN3、または第4入力信号SIN4のうち、いずれか1つの信号を遅延、及び/または、反転させて、プリチャージ信号SPRCH及びアウェイク信号SAWKを生成することができる。一実施形態において、制御部290はアウェイク信号SAWKがアウェイク信号下降エッジを有する後、プリチャージ信号SPRCHが有するプリチャージ信号下降エッジを有するようにプリチャージ信号SPRCH及びアウェイク信号SAWKを生成することができる。50

【0142】

第1時間レジスタ240は、アウェイク信号SAWKに応答して、アウェイク信号上昇エッジから、ディスチャージ時間からオフセット時間が減算されて第1入力信号SIN1と第2入力信号SIN2との間の第1時間差が減算された時間の後、第1出力信号上昇エッジを有する第1出力信号SOUT1を出力することができる。即ち、アウェイク信号SAWKと第1出力信号SOUT1との間の時間差はディスチャージ時間からオフセット時間が減算され、第1時間差がさらに減算された時間に相当することができる。

【0143】

また、第2時間レジスタ280は、アウェイク信号SAWKに応答して、アウェイク信号上昇エッジから、ディスチャージ時間からオフセット時間が減算されて第3入力信号SIN3と第4入力信号SIN4との間の第2時間差が加算された時間の後、第2出力信号上昇エッジを有する第2出力信号SOUT2を出力することができる。即ち、アウェイク信号SAWKと第2出力信号SOUT2との間の時間差は、ディスチャージ時間からオフセット時間が減算されて第2時間差が加算された時間に相当することができる。10

【0144】

第1オフセット遅延器220のオフセット時間と第2オフセット遅延器260のオフセット時間は、実質的に同一であることもできる。また、第1時間レジスタ240のディスチャージ時間と第2時間レジスタ280のディスチャージ時間は、実質的に同一であることもできる。これに従って、アウェイク信号SAWKと第1出力信号SOUT1との間の時間差からアウェイク信号SAWKと第1出力信号SOUT1との間の時間差が減算された時間に相当する第1出力信号SOUT1と第2出力信号SOUT2との間の時間差は、第1時間差と第2時間差との和に相当することができる。20

【0145】

第1時間レジスタ240及び第2時間レジスタ280は、プリチャージ信号SPRCHに応答して各々に含まれたキャパシタを充電することができる。

【0146】

上述した通り、本発明のまた他の実施形態に係る時間差加算器200cは、第1時間差と第2時間差との和に相当する時間差を有する第1出力信号SOUT1及び第2出力信号SOUT2を出力することができる。

【0147】

図15は図14の時間差加算器に含まれた時間レジスタの一例を示す回路図である。30

【0148】

図15を参照すれば、時間レジスタ400aは、プルダウントランジスタ410、プルアップトランジスタ460、プルダウントランジスタ制御部420、キャパシタ430、及び出力部440を含む。一実施形態において、図14の第1時間レジスタ240及び第2時間レジスタ280は、時間レジスタ400aのように具現することができる。

【0149】

プルダウントランジスタ410は、中間ノードNVIDと接地電圧との間に接続され、キャパシタ430を放電させるようにプルダウントランジスタ制御部420によって制御される。例えば、プルダウントランジスタ410は、プルダウントランジスタ制御部420の出力信号が印加されるゲート、接地電圧に接続されたソース、及び中間ノードNVIDに接続されたドレーンを有するNMOSトランジスタN6を含むことができる。40

【0150】

プルアップトランジスタ460は、中間ノードNVIDと電源電圧との間に接続され、プリチャージ信号SPRCHに応答してキャパシタ430を充電することができる。例えば、プルアップトランジスタ460は、プリチャージ信号SPRCHが印加されるゲート、電源電圧に接続されたソース、及び中間ノードNVIDに接続されたドレーンを有するPMOSトランジスタP6を含むことができる。

【0151】

プルダウントランジスタ制御部420は、入力信号SINに応答してプルダウントラン50

ジスタ410をターンオンさせ、ホールド信号SHLDに応答してプルダウントランジスタ410をターンオフさせ、アウェイク信号SAWKに応答してプルダウントランジスタ410をターンオンさせることができる。プルダウントランジスタ制御部420は、セット・リセットラッチ421及びORゲート427を含むことができる。

【0152】

セット・リセットラッチ421は入力信号SINを受信するセット端子S、ホールド信号SHLDを受信するリセット端子R、及び出力信号を出力する出力端子Qを含むことができる。セット・リセットラッチ421は、第1NORゲート423及び第2NORゲート425を含むことができる。第1NORゲート423は、入力信号SIN及び第2NORゲート425の出力信号にNOR演算を遂行し、第2NORゲート425は、ホールド信号SHLD及び第1NORゲート423の出力信号にNOR演算を遂行できる。10

【0153】

セット・リセットラッチ421は、入力信号SINがロジックハイレベルを有し、ホールド信号SHLDがロジッククローレベルを有する時、ロジックハイレベルの出力信号を生成することができる。また、セット・リセットラッチ421は、ホールド信号SHLDがロジックハイレベルを有する時、入力信号SINのロジックレベルと関係なくロジッククローレベルの出力信号を生成することができる。また、セット・リセットラッチ421は、入力信号SIN及びホールド信号SHLDが全部ロジッククローレベルを有する時、出力済み信号のロジックレベルと同じロジックレベルを有する出力信号を生成することができる。20

【0154】

ORゲート427はセット・リセットラッチ421の出力端子Qで出力された出力信号及びアウェイク信号SAWKにOR演算を遂行する。ORゲート427の出力端子は、プルダウントランジスタ410のゲートに接続され、プルダウントランジスタ410は、ORゲート427の出力信号によって制御される。

【0155】

キャパシタ430はプルアップトランジスタ460によって充電され、プルダウントランジスタ410によって放電される。また、キャパシタ430は中間ノードNMDに接続された第1端子及び接地電圧に接続された第2端子を有することができる。例えば、プルアップトランジスタ460がターンオンされた場合、キャパシタ430の第1端子はプルアップトランジスタ460を通じて電源電圧に電気的に接続され、キャパシタ430が充電される。また、プルダウントランジスタ410がターンオンされた場合、キャパシタ430の第1端子は、プルダウントランジスタ410を通じて接地電圧に電気的に接続され、キャパシタ430が放電される。30

【0156】

出力部440は、キャパシタ430の電圧、即ち、中間ノードNMDの電圧に基づいて出力信号SOUTを生成することができる。例えば、出力部440はインバータ440を含むことができる。インバータ440はPMOSトランジスタP3及びNMOSトランジスタN3を含むことができる。インバータ440は、キャパシタ430の電圧が所定のしきい電圧以下の時、ロジックハイレベルを有する出力信号SOUTを出力することができる。即ち、キャパシタ430の電圧がPMOSトランジスタP3のしきい電圧以下の時、PMOSトランジスタP3がターンオンされ、インバータ440は、ロジックハイレベルを有する出力信号SOUTを出力することができる。40

【0157】

キャパシタ430は、入力信号SINとホールド信号SHLDとの間の時間差に相当する時間の間に放電されることによって、入力信号SINとホールド信号SHLDとの間の時間差に対する情報を保存することができる。即ち、キャパシタ430の放電が入力信号上昇エッジに応答して始まり、キャパシタ430の放電がホールド信号上昇エッジに応答して中止されることによって、キャパシタ430は入力信号SINとホールド信号SHLDとの間の時間差に相当する時間の間に放電される。また、キャパシタ430の放電は、50

アウェイク信号上昇エッジに応答して再開にすることができる。これに従って、キャパシタ430の電圧は、アウェイク信号上昇エッジから所定の時間の後、所定のしきい電圧（例えば、PMOSトランジスタP3のしきい電圧）以下よりも低くなることができ、所定の時間は入力信号SINとホールド信号SHLDとの間の時間差によって決定される。また、出力部440は、キャパシタ430の電圧が所定のしきい電圧以下よりも低くなる時、ロジックハイレベルを有する出力信号SOUTを出力することができる。これに従って、出力信号SOUTは、アウェイク信号上昇エッジから時間差によって決定される所定の時間の後、出力信号上昇エッジを有することができる。即ち、出力信号SOUTが出力信号上昇エッジを有する時刻は入力信号SINとホールド信号SHLDとの間の時間差により決定される。

10

【0158】

例えば、セット・リセットラッチ421は、入力信号上昇エッジに応答してロジックハイレベルの出力信号を生成し、ORゲート427は、セット・リセットラッチ421のロジックハイレベルの出力信号に応答してロジックハイレベルの出力信号を生成することができる。プルダウントランジスタ410は、ORゲート427のロジックハイレベルの出力信号に応答してターンオンされ、ターンオンされたプルダウントランジスタ410によってキャパシタ430は放電を始めることができる。

【0159】

この後、セット・リセットラッチ421はホールド信号上昇エッジに応答してロジックローレベルの出力信号を生成し、ORゲート427は、セット・リセットラッチ421のロジックローレベルの出力信号及びロジックローレベルのアウェイク信号SAWKに応答してロジックローレベルの出力信号を生成することができる。プルダウントランジスタ410は、ORゲート427のロジックローレベルの出力信号に応答してターンオフされ、ターンオフされたプルダウントランジスタ410によってキャパシタ430の放電が中止される。

20

【0160】

続いて、ORゲート427は、アウェイク信号上昇エッジに応答してロジックハイレベルの出力信号を生成することができる。プルダウントランジスタ410は、ORゲート427のロジックハイレベルの出力信号に応答してターンオンされ、ターンオンされたプルダウントランジスタ410によってキャパシタ430の放電が再開される。キャパシタ430の放電が再開になった後、キャパシタ430の電圧、即ち、中間ノードN MIDの電圧が所定のしきい電圧以下よりも低くなる時、出力部440はロジックハイレベルを有する出力信号SOUTを出力することができる。

30

【0161】

これに従って、時間レジスタ400aは、アウェイク信号SAWKに応答して入力信号SINとホールド信号SHLDとの間の時間差によって決定される時刻において、出力信号上昇エッジを有する出力信号SOUTを出力することができる。

【0162】

図16は図14の時間差加算器に含まれた制御部の一例を示す回路図である。

【0163】

40

図16を参照すれば、制御部290は第1インバータ291、アウェイク遅延器292、第1セット・リセットラッチ293、プリチャージ遅延器296、第2セット・リセットラッチ297、及び第2インバータ298を含む。

【0164】

第1インバータ291は、入力信号SINを反転させて入力信号SINの反転信号を生成する。実施形態によって、入力信号SINは図14の第1入力信号SIN1、第2入力信号SIN2、第3入力信号SIN3、第4入力信号SIN4、または、他の信号であることができる。第1インバータ291は、入力信号SINの反転信号をアウェイク遅延器292及び第1セット・リセットラッチ293に提供することができる。

【0165】

50

アウェイク遅延器 292 及び第1セット - リセットラッチ 293 は、アウェイクパルス生成器を構成することができる。アウェイク遅延器 292 は、入力信号 S I N の反転信号を所定の遅延時間ほど遅延させる。実施形態に従って、アウェイク遅延器 292 の遅延時間は、時間レジスタのディスチャージ時間以上になるように設定される。

【0166】

第1セット - リセットラッチ 293 は、入力信号 S I N の反転信号を受信するセット端子 S、アウェイク遅延器 292 の出力信号を受信するリセット端子 R、及びアウェイク信号 S A W K を出力する出力端子 Q を含むことができる。第1セット - リセットラッチ 293 は、アウェイク信号 S A W K が入力信号 S I N の反転信号、即ち、アウェイク遅延器 292 の入力信号の上昇エッジに応答してアウェイク信号上昇エッジを有し、アウェイク遅延器 292 の出力信号の上昇エッジに応答してアウェイク信号下降エッジを有するように、アウェイク信号 S A W K を生成することができる。これに従って、アウェイク信号上昇エッジとアウェイク信号下降エッジの間隔であるアウェイク信号 S A W K のパルス幅は、アウェイク遅延器 292 の入力信号の上昇エッジとアウェイク遅延器 292 の出力信号の上昇エッジの間隔、即ち、アウェイク遅延器 292 の遅延時間に相当することができる。

【0167】

プリチャージ遅延器 296 及び第2セット - リセットラッチ 297 は、プリチャージパルス生成器を構成することができる。プリチャージ遅延器 296 はアウェイク遅延器 292 の出力信号を所定の遅延時間ほど遅延させる。実施形態に従って、プリチャージ遅延器 296 の遅延時間は、時間レジスタに含まれたキャパシタが実質的に完全に充電されるための時間以上に設定される。

【0168】

第2セット - リセットラッチ 297 は、アウェイク遅延器 292 の出力信号を受信するセット端子 S、プリチャージ遅延器 296 の出力信号を受信するリセット端子 R、及び出力信号を出力する出力端子 Q を含むことができる。また、第2インバータ 298 は第2セット - リセットラッチ 297 の出力信号を反転させてプリチャージ信号 S P R C H を生成することができる。

【0169】

第2セット - リセットラッチ 297 及び第2インバータ 298 は、プリチャージ信号 S P R C H がアウェイク遅延器 292 の出力信号、即ち、プリチャージ遅延器 296 の入力信号の上昇エッジに応答してプリチャージ信号下降エッジを有し、プリチャージ遅延器 296 の出力信号の上昇エッジに応答してプリチャージ信号上昇エッジを有するように、プリチャージ信号 S P R C H を生成することができる。これに従って、プリチャージ信号下降エッジとプリチャージ信号上昇エッジとの間隔は、プリチャージ遅延器 296 の入力信号の上昇エッジとプリチャージ遅延器 296 の出力信号の上昇エッジの間隔、即ち、プリチャージ遅延器 296 の遅延時間に相当することができる。

【0170】

図 17 は図 15 の時間レジスタの動作を説明するためのタイミング図である。

【0171】

図 15、図 16、及び図 17 を参照すれば、プルダウントランジスタ制御部 420 は、入力信号上昇エッジに応答してロジックハイレベルの出力信号を生成することができる。例えば、セット - リセットラッチ 421 は、入力信号上昇エッジに応答して出力端子 Q からロジックハイレベルの出力信号を生成し、O R ゲート 427 はセット - リセットラッチ 421 のロジックハイレベルの出力信号に応答してロジックハイレベルの出力信号を生成することができる。プルダウントランジスタ 410 のN M O S トランジスタ N 6 は、O R ゲート 427 のロジックハイレベルの出力信号に応答してターンオンすることができる。プルダウントランジスタ 410 のN M O S トランジスタ N 6 がターンオンされると、中間ノード N M I D、即ち、キャパシタ 430 の第1端子はN M O S トランジスタ N 6 を通じて接地電圧に接続され、キャパシタ 430 は放電される。このように、入力信号上昇エッジに応答してキャパシタ 430 が放電され、キャパシタ 430 の電圧、即ち、中間ノード

10

20

30

40

50

N M I D の電圧 V_N M I D が減少する。

【 0 1 7 2 】

プルダウントランジスタ制御部 420 は、ホールド信号上昇エッジに応答してロジックローレベルの出力信号を生成することができる。例えば、セット・リセットラッチ 421 は、ホールド信号上昇エッジに応答して出力端子 Q からロジックローレベルの出力信号を生成し、OR ゲート 427 はセット・リセットラッチ 421 のロジックローレベルの出力信号及びロジックローレベルのアウェイク信号 SAWK に応答してロジックローレベルの出力信号を生成することができる。プルダウントランジスタ 410 の NMOS トランジスタ N6 は、OR ゲート 427 のロジックローレベルの出力信号に応答してターンオフできる。
10 プルダウントランジスタ 410 の NMOS トランジスタ N6 がターンオフなれば、キャパシタ 430 の放電が中止される。このように、ホールド信号上昇エッジに応答してキャパシタ 430 の放電が中止され、キャパシタ 430 の電圧、即ち、中間ノード N M I D の電圧 V_N M I D の減少が中止される。

【 0 1 7 3 】

制御部 290 は入力信号下降エッジに応答してロジックハイレベルのアウェイク信号 SAWK を生成することができる。アウェイク信号 SAWK は時間レジスタ 400a のディスチャージ時間 Tdis 以上のロジックハイ区間 Tawk を有することができる。アウェイク信号 SAWK のパルス幅、即ち、ロジックハイ区間 Tawk は、アウェイク遅延器 292 の遅延時間に相当することができる。
20

【 0 1 7 4 】

プルダウントランジスタ制御部 420 は、アウェイク信号上昇エッジに応答してロジックハイレベルの出力信号を生成することができる。例えば、OR ゲート 427 は、アウェイク信号上昇エッジに応答してロジックハイレベルの出力信号を生成することができる。プルダウントランジスタ 410 の NMOS トランジスタ N6 は、OR ゲート 427 のロジックハイレベルの出力信号に応答してターンオンされる。プルダウントランジスタ 410 の NMOS トランジスタ N6 が、ターンオンされると、中間ノード N M I D は NMOS トランジスタ N6 を通じて接地電圧に接続され、キャパシタ 430 の放電が再開される。このように、アウェイク信号上昇エッジに応答してキャパシタ 430 の放電が再開され、キャパシタ 430 の電圧、即ち、中間ノード N M I D の電圧 V_N M I D が再び減少される。
30

【 0 1 7 5 】

出力部 440 はキャパシタ 430 の電圧、即ち、中間ノード N M I D の電圧 V_N M I D に基づいて出力信号 SOUT を出力する。出力部 440 は、中間ノード N M I D の電圧 V_N M I D が所定のしきい電圧 VTH 以下の場合、ロジックハイレベルの出力信号 SOUT を出力することができる。例えば、しきい電圧 VTH は出力部 440 の PMOS トランジスタ P3 のしきい電圧であることができる。即ち、中間ノード N M I D の電圧 V_N M I D が PMOS トランジスタ P3 のしきい電圧以下よりも低くなる場合、PMOS トランジスタ P3 がターンオンされ、出力信号 SOUT はロジックハイレベルを有することができる。

【 0 1 7 6 】

一方、出力信号 SOUT は、アウェイク信号上昇エッジから、所定のディスチャージ時間 Tdis から入力信号 SIN とホールド信号 SHLD との間の時間差 TD + Toff が減算された時間 (Tdis - TD - Toff) の後、出力信号上昇エッジを有することができる。即ち、出力信号 SOUT が出力信号上昇エッジを有する時刻は、入力信号 SIN とホールド信号 SHLD との間の時間差 TD + Toff によって決定される。
40

【 0 1 7 7 】

制御部 290 は、アウェイク信号下降エッジに応答してロジックローレベルのプリチャージ信号 SPRCH を生成することができる。プリチャージ信号 SPRCH は、キャパシタ 430 が実質的に完全に充電されるための時間以上のロジックロー区間 Tprch を有することができる。プリチャージ信号 SPRCH のロジックロー区間 Tprch は、プリ
50

チャージ遅延器 296 の遅延時間に相当することができる。

【0178】

プルアップトランジスタ 460 の PMOSトランジスタ P6 は、プリチャージ信号下降エッジに応答してターンオンされる。プルアップトランジスタ 460 の PMOSトランジスタ P6 がターンオンされると、中間ノード NVID、即ち、キャパシタ 430 の第1端子は、PMOSトランジスタ P6 を通じて電源電圧に接続され、キャパシタ 430 は再び充電される。

【0179】

図18は図14の時間差加算器に含まれた時間レジスタの他の例を示す回路図である。

【0180】

図18を参照すれば、時間レジスタ 400b は、プルダウントランジスタ 410、プルアップトランジスタ 460、プルダウントランジスタ制御部 420、キャパシタ 430、及び出力部 450 を含む。時間レジスタ 400b は、出力部 450 の構成及び動作を除いて図15の時間レジスタ 400a と実質的に類似する構成を有し、実質的に類似する動作を遂行できる。

【0181】

出力部 450 はキャパシタ 430 の電圧、即ち、中間ノード NVID の電圧に基づいて出力信号 SOUT を生成することができる。例えば、出力部 450 は比較器 450 を含むことができる。比較器 450 は基準電圧 VREF を受信する非反転入力端子、キャパシタ 430 の電圧を受信する反転入力端子、及び出力信号 SOUT を出力する出力端子を含むことができる。実施形態に従って、基準電圧 VREF は、外部の回路または装置にて受信されるか、或いは、時間レジスタ 400b が基準電圧 VREF を生成する回路を含むことができる。基準電圧 VREF は電源電圧より低いこともできる。

【0182】

図19は、図14の時間差加算器の動作の一例を説明するためのタイミング図である。図19には第1入力信号 SIN1 及び第2入力信号 SIN2 が正の第1時間差 TD1 を有し、第3入力信号 SIN3 及び第4入力信号 SIN4 が正の第2時間差 TD2 を有する例が図示されている。

【0183】

図14及び図19を参照すると、第1入力信号 SIN1 は第1時間レジスタ 240 の第1入力端子 IN1 に印加され、第2入力信号 SIN2 は、第1オフセット遅延器 220 によってオフセット時間 Toff ほど遅れて第1ホールド信号 SHLD1 として第1時間レジスタ 240 の第1ホールド端子 HLD1 に印加される。これに従って、第1入力信号 SIN1 及び第1ホールド信号 SHLD1 は、第1入力信号 SIN1 と第2入力信号 SIN2との間の第1時間差 TD1 とオフセット時間 Toff との和に相当する時間差 (TD1 + Toff) を有することができる。

【0184】

第4入力信号 SIN4 は第2時間レジスタ 280 の第2入力端子 IN2 に印加され、第3入力信号 SIN3 は第2オフセット遅延器 260 によりオフセット時間 Toff ほど遅れて第2ホールド信号 SHLD2 として第2時間レジスタ 280 の第2ホールド端子 HLD2 に印加される。これに従って、第4入力信号 SIN4 及び第2ホールド信号 SHLD2 は、オフセット時間 Toff から第3入力信号 SIN1 と第4入力信号 SIN2との間の第2時間差 TD2 が減算された時間に相当する時間差 (-TD2 + Toff) を有することができる。

【0185】

第1時間レジスタ 240 は、アウェイク信号 SAWK に応答して、アウェイク信号 S 上昇エッジから、ディスチャージ時間 Tdis から第1入力信号 SIN1 と第1ホールド信号 SHLD1との間の時間差 (TD1 + Toff) が減算された時間 (Tdis - TD1 - Toff) の後、第1出力信号上昇エッジを有する第1出力信号 SOUT1 を出力することができる。即ち、アウェイク信号 SAWK 及び第1出力信号 SOUT1 は、ディスチ

10

20

30

40

50

ヤージ時間 T_{dis} から第 1 入力信号 SIN_1 と第 1 ホールド信号 $SHLD_1$ との間の時間差 ($TD_1 + Toff$) が減算された時間に相当する時間差 ($T_{dis} - TD_1 - Toff$) を有することができる。

【0186】

第 2 時間レジスタ 280 は、アウェイク信号 $SAWK$ に応答して、アウェイク信号上昇エッジから、ディスチャージ時間 T_{dis} から第 4 入力信号 SIN_4 と第 2 ホールド信号 $SHLD_2$ との間の時間差 ($-TD_2 + Toff$) が減算された時間 ($T_{dis} + TD_2 - Toff$) の後、第 2 出力信号上昇エッジを有する第 2 出力信号 $SOUT_2$ を出力することができる。即ち、アウェイク信号 $SAWK$ 及び第 2 出力信号 $SOUT_2$ は、ディスチャージ時間 T_{dis} から第 4 入力信号 SIN_4 と第 2 ホールド信号 $SHLD_2$ との間の時間差 ($-TD_2 + Toff$) が減算された時間に相当する時間差 ($T_{dis} + TD_2 - Toff$) を有することができる。10

【0187】

一方、第 1 オフセット遅延器 220 と第 2 オフセット遅延器 260 は、実質的に同じオフセット時間 $Toff$ を有し、第 1 時間レジスタ 240 と第 2 時間レジスタ 280 は、実質的に同じディスチャージ時間 T_{dis} を有することができる。これに従って、第 1 出力信号 $SOUT_1$ と第 2 出力信号 $SOUT_2$ との間の時間差は、アウェイク信号 $SAWK$ と第 2 出力信号 $SOUT_2$ との間の時間差 ($T_{dis} + TD_2 - Toff$) から、アウェイク信号 $SAWK$ と第 1 出力信号 $SOUT_1$ との間の時間差 ($T_{dis} - TD_1 - Toff$) が減算された時間 (($T_{dis} + TD_2 - Toff$) - ($T_{dis} - TD_1 - Toff$) = $TD_2 + TD_1$) に相応し、従って、第 1 入力信号 SIN_1 と第 2 入力信号 SIN_2 との間の第 1 時間差 TD_1 と、第 3 入力信号 SIN_3 と第 4 入力信号 SIN_4 との間の第 2 時間差 TD_2 との和 ($TD_1 + TD_2$) に相当することができる。20

【0188】

このように、本発明のまた他の実施形態に係る時間差加算器 200c は入力信号 SIN_1 、 SIN_2 、 SIN_3 、 SIN_4 間の時間差 TD_1 、 TD_2 を正確に加算することができる。

【0189】

(第 4 実施形態)

図 20 は本発明の第 4 実施形態に係る時間差加算器を示すブロック図である。30

【0190】

図 20 を参照すれば、時間差加算器 200d は、第 1 レジスタ部 210d、第 2 レジスタ部 250d、及び制御部 290 を含む。時間差加算器 200d は、図 14 の時間差加算器 200c と比較して、第 1 オフセット遅延器 220 及び第 2 オフセット遅延器 260 を含めないことができる。実施形態に従って、時間差加算器 200d には正の時間差を有する第 1 入力信号 SIN_1 及び第 2 入力信号 SIN_2 が印加され、負の時間差を有する第 3 入力信号 SIN_3 及び第 4 入力信号 SIN_4 が印加される。

【0191】

第 1 レジスタ部 210d は、第 1 入力信号 SIN_1 及び第 2 入力信号 SIN_2 を受信し、アウェイク信号 $SAWK$ に応答して第 1 出力信号 $SOUT_1$ を生成する。第 1 レジスタ部 210d は第 1 時間レジスタ 240 を含むことができる。第 1 時間レジスタ 240 は、第 1 入力信号 SIN_1 を受信する第 1 入力端子 IN_1 、第 2 入力信号 SIN_2 を受信する第 1 ホールド端子 HL_1 、プリチャージ信号 $SPRCH$ を受信する第 1 プリチャージ端子 $PRCH_1$ 、アウェイク信号 $SAWK$ を受信する第 1 アウェイク端子 AWK_1 、及び第 1 出力信号 $SOUT_1$ を出力する第 1 出力端子 OUT_1 を有することができる。40

【0192】

第 2 レジスタ部 250d は、第 3 入力信号 SIN_3 及び第 4 入力信号 SIN_4 を受信し、アウェイク信号 $SAWK$ に応答して第 2 出力信号 $SOUT_2$ を生成する。第 2 レジスタ部 250d は第 2 時間レジスタ 280 を含むことができる。第 2 時間レジスタ 280 は、第 4 入力信号 SIN_4 を受信する第 2 入力端子 IN_2 、第 3 入力信号 SIN_3 を受信する50

第2ホールド端子HLD2、プリチャージ信号SPRCHを受信する第2プリチャージ端子PRCH2、アウェイク信号SAWKを受信する第2アウェイク端子AWK2、及び第2出力信号SOUT2を出力する第2出力端子OUT2を有することができる。

【0193】

実施形態に従って、第1時間レジスタ240及び第2時間レジスタ280の各々は、図15の時間レジスタ400a、図18の時間レジスタ400b、または、これと類似する構成を有する時間レジスタで具現することができる。

【0194】

制御部290は、プリチャージ信号SPRCH及びアウェイク信号SAWKを生成する。例えば、制御部290は第1入力信号SIN1、第2入力信号SIN2、第3入力信号SIN3または、第4入力信号SIN4のうち、いずれか1つの信号を遅延、及び／または、反転させてプリチャージ信号SPRCH及びアウェイク信号SAWKを生成することができます。10

【0195】

第1時間レジスタ240は、アウェイク信号SAWKに応答して、アウェイク信号上昇エッジから、ディスチャージ時間から第1入力信号SIN1と第2入力信号SIN2との間の第1時間差が減算された時間の後、第1出力信号上昇エッジを有する第1出力信号SOUT1を出力することができる。即ち、アウェイク信号SAWKと第1出力信号SOUT1との間の時間差は、ディスチャージ時間から第1時間差が減算された時間に相当することができる。20

【0196】

また、第2時間レジスタ280は、アウェイク信号SAWKに応答して、アウェイク信号上昇エッジから、ディスチャージ時間に第3入力信号SIN3と第4入力信号SIN4との間の第2時間差が加算された時間の後、第2出力信号上昇エッジを有する第2出力信号SOUT2を出力することができる。即ち、アウェイク信号SAWKと第2出力信号SOUT2との間の時間差は、ディスチャージ時間に第2時間差が加算された時間に相当することができる。

【0197】

第1時間レジスタ240のディスチャージ時間と第2時間レジスタ280のディスチャージ時間は、実質的に同一であることもできる。これに従って、アウェイク信号SAWKと第2出力信号SOUT2との間の時間差から、アウェイク信号SAWKと第1出力信号SOUT1との間の時間差が減算された時間に相当する第1出力信号SOUT1と第2出力信号SOUT2との間の時間差は、第1時間差と第2時間差との和に相当することができる。30

【0198】

このように、本発明のまた他の実施形態に係る時間差加算器200dは、第1時間差と第2時間差との和に相当する時間差を有する第1出力信号SOUT1及び第2出力信号SOUT2を出力することができる。

【0199】

(第5実施形態)40

図21は本発明の第5実施形態に係る時間差累算器を示す図面である。

【0200】

図21を参照すれば、時間差累算器500は、第1入力信号IN1及び第2入力信号IN2に応答して、第1出力信号OUT1及び第2出力信号OUT2を生成する。時間差累算器500は、第1入力信号IN1と第2入力信号IN2との間の時間差を累算して累積した時間差を有する第1出力信号OUT1及び第2出力信号OUT2を生成することができる。例えば、第1時間差TD1を有する第1入力信号IN1及び第2入力信号IN2が入力された場合、時間差累算器500は第1時間差TD1を有する第1出力信号OUT1及び第2出力信号OUT2を生成することができる。続いて、第2時間差TD2を有する第1入力信号IN1及び第2入力信号IN2が入力された場合、時間差累算器500は第50

1時間差TD1と第2時間差TD2との和を有する第1出力信号OUT1及び第2出力信号OUT2を生成することができる。また、続いて、第2時間差TD3を有する第1入力信号IN1及び第2入力信号IN2が入力された場合、時間差累算器500は、第1時間差TD1、第2時間差TD2及び第3時間差TD3の和を有する第1出力信号OUT1及び第2出力信号OUT2を生成することができる。

【0201】

図22は本発明の第5実施形態に係る時間差累算器を示すブロック図である。

【0202】

図22を参照すれば、時間差累算器500aは、第1時間差加算器510及び遅延部520aを含む。
10

【0203】

第1時間差加算器510は第1入力信号IN1、第2入力信号IN2、第1出力済み信号POUT1及び第2出力済み信号POUT2に応答して第1出力信号OUT1及び第2出力信号OUT2を生成する。第1時間差加算器510は、第1入力信号IN1と第2入力信号IN2との間の第1時間差、及び、第1出力済み信号POUT1と第2出力済み信号POUT2との間の第2時間差を加算して、第1時間差と第2時間差との和に相当する時間差を有する第1出力信号OUT1並びに第2出力信号OUT2を生成することができる。ここで、第1出力済み信号POUT1と第2出力済み信号POUT2は、第1時間差加算器510が直前に時間差加算を遂行して出力した第1出力信号OUT1及び第2出力信号OUT2を示す。
20

【0204】

実施形態に従って、第1時間差加算器510は、図4の時間差加算器200a、図12の時間差加算器200b、図14の時間差加算器200c、図20の時間差加算器200d、または、これと類似する構成の時間差加算器で具現することができる。

【0205】

遅延部520aは第1出力信号OUT1及び第2出力信号OUT2を遅延させて第1出力済み信号POUT1及び第2出力済み信号POUT2を生成する。遅延部520aは第2時間差加算器530を含むことができる。実施形態に従って、第2時間差加算器530は図4の時間差加算器200a、図12の時間差加算器200b、図14の時間差加算器200c、図20の時間差加算器200d、または、これと類似する構成の時間差加算器で具現することができる。
30

【0206】

第2時間差加算器530は第1出力信号OUT1、第2出力信号OUT2及び2つの実質的に同じ信号に応答して、第1出力済み信号POUT1及び第2出力済み信号POUT2を生成する。第2時間差加算器530は、第1出力信号OUT1と第2出力信号OUT2との間の第3時間差及び実質的に同じ信号の第4時間差を加算して、第3時間差と第4時間差との和に相当する時間差を有する第1出力済み信号POUT1及び第2出力済み信号POUT2を生成する。実質的に同じ信号は実質的に同じ時刻で上昇エッジを有し、第4時間差は時間差加算の恒等元の「0」であることができる。これに従って、第1出力済み信号POUT1と第2出力済み信号POUT2との間の時間差は、第1出力信号OUT1と第2出力信号OUT2との間の第3時間差と実質的に同一とすることもできる。即ち、第2時間差加算器530は第1出力信号OUT1及び第2出力信号OUT2を時間差の変更なしで互いに同じ遅延時間ほど遅延させて第1出力済み信号POUT1及び第2出力済み信号POUT2を生成することができる。
40

【0207】

一方、図22には実質的に同じ信号として第1出力信号OUT1を利用した例が図示されているが、実施形態に従って、実質的に同じ信号は、第2出力信号OUT2、第1出力信号OUT1の反転信号、第2出力信号OUT2の反転信号、または、他の信号のうち、いずれか1つであることができる。

【0208】

10

20

30

40

50

(第6実施形態)

図23は本発明の第6実施形態に係る時間差累算器を示すブロック図である。

【0209】

図23を参照すれば、時間差累算器500bは第1時間差加算器510及び遅延部520bを含む。時間差累算器500bは、遅延部520bの構成を除いて、図22の時間差累算器500aと実質的に類似する構成を有し、実質的に類似する動作を遂行できる。

【0210】

遅延部520bは、第1出力信号OUT1及び第2出力信号OUT2を遅延させて第1出力済み信号POUT1及び第2出力済み信号POUT2を生成する。遅延部520bは、第1遅延器540及び第2遅延器550を含むことができる。

10

【0211】

第1遅延器540は、第1出力信号OUT1を遅延させて第1出力済み信号POUT1を生成し、第2遅延器550は第2出力信号OUT2を遅延させて第2出力済み信号POUT2を生成することができる。第1遅延器540及び第2遅延器550は、実質的に同じ遅延時間を有することができる。これに従って、第1遅延器540及び第2遅延器550は、第1出力信号OUT1及び第2出力信号OUT2は、互いに同じ遅延時間ほど遅延させて第1出力済み信号POUT1及び第2出力済み信号POUT2を生成することができる。

【0212】

図24は図23の時間差累算器に含まれた遅延部の一例を示す回路図であり、図25は図24の遅延部に含まれたトランジスタの配置の一例を説明するための図面である。

20

【0213】

図24を参照すれば、遅延部520bは、第1遅延器540及び第2遅延器550を含む。第1遅延器540は、複数のPMOSトランジスタP11、P12、P13、P14及び複数のNMOSトランジスタN11、N12、N13、N14から構成された複数のインバータを含むことができる。また、第2遅延器550は、複数のPMOSトランジスタP21、P22、P23、P24及び複数のNMOSトランジスタN21、N22、N23、N24から構成された複数のインバータを含むことができる。第1遅延器540及び第2遅延器550は互いに同じ数のインバータを含むことによって互いに同じ遅延時間を有することができる。

30

【0214】

図25に示したように、第1遅延器540の複数のトランジスタP11、P12、P13、P14、N11、N12、N13、N14及び第2遅延器550の複数のトランジスタP21、P22、P23、P24、N21、N22、N23、N24は、互いに交互に配置することができる。例えば、第1遅延器540の第1PMOSトランジスタP11と第1NMOSトランジスタN11との間に第2遅延器550の第1PMOS及びNMOSトランジスタP21、N21が配置され、第2遅延器550の第2PMOSトランジスタP22と第2NMOSトランジスタN22との間に第1遅延器540の第2PMOS及びNMOSトランジスタP12、N12が配置することができる。このように、第1遅延器540と第2遅延器550のトランジスタが互いに交互に配置されることによって、工程、電圧、温度(Process, Voltage, Temperature; PVT)の変化(Variation)においても第1遅延器540と第2遅延器550との間のミスマッチが最小化される。

40

【0215】

(第7実施形態)

図26は本発明の第7実施形態に係るシグマ-デルタタイムデジタル変換器を示すブロック図である。

【0216】

図26を参照すると、シグマ-デルタタイムデジタル変換器600aは時間差加算器610、時間差累算器630、時間ドメイン量子化器650、及びデジタルタイム変換器6

50

70を含む。

【0217】

時間差加算器610は、第1入力信号SIN1と第2入力信号SIN2との間の第1時間差から第1フィードバック信号SFEED1と第2フィードバック信号SFEED2との間の第2時間差を減算して、第1時間差から第2時間差が減算された第3時間差を有する第1加算信号SADD1及び第2加算信号SADD2を生成する。実施形態に従って、時間差加算器610は、図4の時間差加算器200a、図12の時間差加算器200b、図14の時間差加算器200c、図20の時間差加算器200d、または、これと類似する構成の時間差加算器で具現することができる。例えば、時間差加算器610は図4の時間差加算器200aで具現された場合、第1入力信号SIN1は図4の第1時間レジスタ230の第1入力端子IN1に印加され、第2入力信号SIN2は図4の第1オフセット遅延器220に印加され、第1フィードバック信号SFEED1は図4の第2時間レジスタ270の第2入力端子IN2に印加され、第2フィードバック信号SFEED2は図4の第2オフセット遅延器260に印加される。即ち、第1フィードバック信号SFEED1は図4の第4入力信号SIN4に相応し、第2フィードバック信号SFEED2は図4の第3入力信号SIN3に相当することができる。
10

【0218】

時間差累算器630は第1加算信号SADD1と第2加算信号SADD2との間の第3時間差を累算して第1累算信号SACC1及び第2累算信号SACC2を生成する。実施形態に従って、時間差累算器630は図22の時間差累算器500a、図23の時間差累算器500b、または、これと類似する構成の時間差累算器で具現することができる。
20

【0219】

時間ドメイン量子化器650は第1累算信号SACC1と第2累算信号SACC2との間の時間差をデジタル出力信号DOUTに変換する。実施形態に従って、デジタル出力信号DOUTは、2レベルを有する1ビットの信号や、3レベル以上を有する2以上のビットの信号であることができる。

【0220】

デジタルタイム変換器670は、デジタル出力信号DOUTを第1フィードバック信号SFEED1及び第2フィードバック信号SFEED2に変換する。例えば、デジタルタイム変換器670は、デジタル出力信号DOUTの値が増加するほど第1フィードバック信号SFEED1と第2フィードバック信号SFEED2との間の第2時間差を増加させることができる。
30

【0221】

本発明の第7実施形態に係るシグマ-デルタタイムデジタル変換器600aで、時間差加算器610が第1時間差と第2時間差との差を出力し、時間差累算器630がこのような差を累算し、時間ドメイン量子化器650が累算された信号をデジタル値に変換し、デジタルタイム変換器670はデジタル値を時間差に変換して時間差加算器610に提供する。即ち、シグマ-デルタタイムデジタル変換器600aは、時間差加算器610、時間差累算器630、時間ドメイン量子化器650、及びデジタルタイム変換器670を含むことによってシグマ-デルタ方式を採用することができる。これに従って、本発明の一実施形態に係るシグマ-デルタタイムデジタル変換器600aは高解像度(High Resolution)を有することができる。
40

【0222】

図27は図26のシグマ-デルタタイムデジタル変換器で遂行されるノイズシェーピングを説明するための図面である。

【0223】

図27を参照すれば、本発明の実施形態に係るシグマ-デルタタイムデジタル変換器はオーバーサンプリング(Over-Sampling)及びノイズシェーピング(Noise Shaping)を遂行できる。シグマ-デルタタイムデジタル変換器がオーバーサンプリングを遂行することによって、量子化雑音(Quantization Noise)
50

s e) の広い帯域に広がり、信号帯域で量子化雑音が実質的に減少することができる。また、シグマ - デルタタイムデジタル変換器がノイズシェーピングを遂行することによって、量子化雑音を使わない帯域に移動させることができる。即ち、シグマ - デルタタイムデジタル変換器が量子化雑音に対して、ハイパスフィルタ (H i g h P a s s F i l t e r) の役割を遂行して量子化雑音を移動させることができる。

【 0 2 2 4 】

これに従って、本発明の実施形態に係るシグマ - デルタタイムデジタル変換器はノイズを最小化でき、高解像度を有することができる。

【 0 2 2 5 】

図 2 8 は図 2 6 のシグマ - デルタタイムデジタル変換器に含まれた時間ドメイン量子化器の一例を示すブロック図である。 10

【 0 2 2 6 】

図 2 8 を参照すれば、時間ドメイン量子化器 6 5 0 a は遅延ライン 6 5 1 a 、複数の D - フリップフロップ 6 5 3 a 及びエンコーダ 6 5 5 を含む。

【 0 2 2 7 】

遅延ライン 6 5 1 a は第 1 累算信号 S A C C 1 を順次に遅延させる N 個 (N は 1 以上の自然数) の遅延セル D E L A Y 1 、 D E L A Y 2 、 D E L A Y N を含むことができる。遅延セル D E L A Y 1 、 D E L A Y 2 、 D E L A Y N から出力された信号は、 N 個の D - フリップフロップ 6 5 3 a に各々印加される。 D - フリップフロップ 6 5 3 a は、第 2 累算信号 S A C C 2 が有する第 2 累算信号上昇エッジに応答して N 個の出力信号 (d 1 , d 2 , ... , d n) を出力することができる。これに従って、 D - フリップフロップ 6 5 3 a は第 1 累算信号 S A C C 1 と第 2 累算信号 S A C C 2 との間の時間差によって「 1 」という値を有する出力信号 (d 1 , d 2 , ... , d n) を出力することができる。 20

【 0 2 2 8 】

エンコーダ 6 5 5 は D - フリップフロップ 6 5 3 a の出力信号 (d 1 , d 2 , ... , d n) に基づいてデジタル出力信号 D O U T を生成することができる。例えば、エンコーダ 6 5 5 は温度計コード (T h e r m o m e t e r C o d e) の D - フリップフロップ 6 5 3 a の出力信号 (d 1 , d 2 , ... , d n) を 2 進コード (B i n a r y C o d e) のデジタル出力信号 D O U T に変換することができる。

【 0 2 2 9 】

これに従って、時間ドメイン量子化器 6 5 0 a は第 1 累算信号 S A C C 1 と第 2 累算信号 S A C C 2 との間の時間差に相当するデジタル出力信号 D O U T を生成することができる。 30

【 0 2 3 0 】

図 2 9 は図 2 6 のシグマ - デルタタイムデジタル変換器に含まれた時間ドメイン量子化器の他の例を示すブロック図である。

【 0 2 3 1 】

図 2 9 を参照すれば、時間ドメイン量子化器 6 5 0 b は、第 1 遅延ライン 6 5 1 b 、第 2 遅延ライン 6 5 2 b 、複数の D - フリップフロップ 6 5 3 b 及びエンコーダ 6 5 5 を含む。 40

【 0 2 3 2 】

第 1 遅延ライン 6 5 1 b は第 1 累算信号 S A C C 1 を順次に遅延させる N 個 (N は 1 以上の自然数) の第 1 遅延セルを含み、第 2 遅延ライン 6 5 2 b は第 2 累算信号 S A C C 2 を順次に遅延させる N 個の第 2 遅延セルを含むことができる。第 1 遅延セルから出力された信号は、 N 個の D - フリップフロップ 6 5 3 b のデータ端子 D に各々印加され、第 2 遅延セルで出力された信号は D - フリップフロップ 6 5 3 b のクロック端子に各々印加される。これに従って、 D - フリップフロップ 6 5 3 b は第 2 遅延セルから出力された信号に応答して N 個の出力信号 (d 1 , d 2 , ... , d n) を出力することができる。これに従って、 D - フリップフロップ 6 5 3 b は、第 1 累算信号 S A C C 1 と第 2 累算信号 S A C C 2 との間の時間差によって「 1 」という値を有する出力信号 (d 1 , d 2 , ... , d n) を 50

出力することができる。

【0233】

一方、第1遅延セルそれぞれの遅延時間は第2遅延セルそれぞれの遅延時間より長いこともできる。これに従って、時間ドメイン量子化器650bは各遅延セルの最小遅延時間より小さい単位で時間差をデジタル値に変換することができる。

【0234】

エンコーダ655は、D-フリップフロップ653bの出力信号(d1, d2, ..., dn)に基づいてデジタル出力信号DOUTを生成することができる。

【0235】

これに従って、時間ドメイン量子化器650bは第1累算信号SACC1と第2累算信号SACC2との間の時間差に相当するデジタル出力信号DOUTを生成することができる。10

【0236】

一方、図28及び図29には本発明の実施形態に係るシグマ-デルタタイムデジタル変換器に含まれた時間ドメイン量子化器の例が図示されているが、本発明の実施形態に係るシグマ-デルタタイムデジタル変換器は多様な構成を有する時間ドメイン量子化器を含むことができる。

【0237】

図30は図26のシグマ-デルタタイムデジタル変換器に含まれたデジタルタイム変換器の一例を示すブロック図である。20

【0238】

図30を参照すれば、デジタルタイム変換器670aは、パルス生成器671、遅延ライン673、及びマルチプレクサ675を含む。

【0239】

パルス生成器671はパルスを生成し、パルスを第1フィードバック信号SFEED1として出力することができる。遅延ライン673はパルスを順次に遅延させるM個(Mは1以上の自然数)の遅延セルを含むことができる。マルチプレクサ675はデジタル出力信号DOUTに応答して遅延セルで出力されたM個の順次に遅延された信号(D1, D2, ..., DM)のうち、いずれか1つの信号を第2フィードバック信号SFEED2として出力することができる。これに従って、デジタルタイム変換器670aは、デジタル出力信号DOUTに相当する時間差を有する第1フィードバック信号SFEED1及び第2フィードバック信号SFEED2を生成することができる。30

【0240】

図31は図26のシグマ-デルタタイムデジタル変換器に含まれたデジタルタイム変換器の他の例を示すブロック図である。

【0241】

図31を参照すれば、デジタルタイム変換器670bは、パルス生成器671、第1遅延セル672、第2遅延セル674、複数のキャパシタ(C1, C2, ..., CM)及び複数のスイッチ(SWS1, SWS2, ..., SWSM)を含む。

【0242】

パルス生成器671はパルスを生成し、パルスを第1フィードバック信号SFEED1として出力することができる。第1遅延セル672及び第2遅延セル674は、パルスを遅延させて第2フィードバック信号として出力することができる。M個(Mは1以上の自然数)のキャパシタ(C1, C2, ..., CM)はM個のスイッチ(SWS1, SWS2, ..., SWSM)を通じて接地電圧、並びに、第1遅延セル672と第2遅延セル674との間のノードに各々接続される。スイッチ(SWS1, SWS2, ..., SWSM)は、デジタル出力信号DOUTに応答してターンオンまたはターンオフされて、キャパシタ(C1, C2, ..., CM)はスイッチ(SWS1, SWS2, ..., SWSM)によって、第1遅延セル672及び第2遅延セル674に選択的に接続される。このように、デジタル出力信号DOUTに従って、第1遅延セル672及び第2遅延セル674に接続されたキャ40

パシタ(C₁, C₂, …, C_M)のキャパシタンスが調節されることによって、第1遅延セル 672 及び第2遅延セル 674 の遅延時間が調節される。これに従って、デジタルタイム変換器 670b はデジタル出力信号 DOUT に相当する時間差を有する第1フィードバック信号 SFEED1 及び第2フィードバック信号 SFEED2 を生成することができる。

【0243】

一方、図30及び図31には本発明の第7実施形態に係るシグマ - デルタタイムデジタル変換器に含まれたデジタルタイム変換器の例が図示されているが、本発明の実施形態に係るシグマ - デルタタイムデジタル変換器は多様な構成を有するデジタルタイム変換器を含むことができる。

10

【0244】

(第8実施形態)

図32は本発明の第8実施形態に係るシグマ - デルタタイムデジタル変換器を示すプロック図である。

【0245】

図32を参照すれば、シグマ - デルタタイムデジタル変換器 600b は、時間差加算器 610、第1時間差累算器 630、第2時間差累算器 640、時間ドメイン量子化器 650、及びデジタルタイム変換器 670 を含む。シグマ - デルタタイムデジタル変換器 600b は、図26のシグマ - デルタタイムデジタル変換器 600a に比較して、第2時間差累算器 640 をさらに含むことができる。

20

【0246】

第1時間差累算器 630 及び第2時間差累算器 640 は、2次累算器を構成し、これに従って、シグマ - デルタタイムデジタル変換器 600b は、2次(Second Order)シグマ - デルタタイムデジタル変換器であることができる。実施形態に従って、シグマ - デルタタイムデジタル変換器 600b は、3次以上のシグマ - デルタタイムデジタル変換器であることができる。

【0247】

本発明の他の実施形態に係るシグマ - デルタタイムデジタル変換器 600b は2次以上の累算器を含んで信号帯域で量子化雑音をさらに減少させることができる。

30

【0248】

(第9実施形態)

図33は本発明の第9実施形態に係るシグマ - デルタタイムデジタル変換器を示すプロック図である。

【0249】

図33を参照すれば、シグマ - デルタタイムデジタル変換器 600c は、時間差調節部 620、時間差累算器 630、及び時間ドメイン量子化器 650 を含む。シグマ - デルタタイムデジタル変換器 600c は、図26のシグマ - デルタタイムデジタル変換器 600a に比較して、時間差加算器 610 及びデジタルタイム変換器 670 の代わりに時間差調節部 620 を含むことができる。

【0250】

時間差調節部 620 は、第1入力信号 SIN1、第2入力信号 SIN2、及びデジタル出力信号 DOUT を受信し、デジタル出力信号 DOUT に基づいて第1入力信号 SIN1 または第2入力信号 SIN2 をデジタル出力信号 DOUT に相当する遅延時間ほど遅延させることによって第1加算信号 SADD1 及び第2加算信号 SADD2 を生成する。時間差調節部 620 は第1入力信号 SIN1 または、第2入力信号 SIN2 のうち少なくとも1つの信号を遅延させる少なくとも1つの遅延器及びデジタル出力信号 DOUT に応答して、遅延器によって遅延されなかった少なくとも1つの信号または遅延器によって遅れた遅延器の出力信号を選択的に出力する少なくとも1つの選択器を含むことができる。これに従って、時間差調節部 620 は第1入力信号 SIN1 と第2入力信号 SIN2 との間の第1時間差からデジタル出力信号 DOUT に相当する第2時間差が減算された第3時間差

40

50

を有する第1加算信号SADD1及び第2加算信号SADD2を生成することができる。

【0251】

時間差累算器630は、第1加算信号SADD1と第2加算信号SADD2との間の第3時間差を累算して第1累算信号SACC1及び第2累算信号SACC2を生成する。時間ドメイン量子化器650は、第1累算信号SACC1と第2累算信号SACC2との間の時間差をデジタル出力信号DOUTに変換する。

【0252】

本発明の第9実施形態に係るシグマ-デルタタイムデジタル変換器600cで、時間差調節部620が第1時間差と第2時間差との差を出力し、時間差累算器630がこのような差を累算し、時間ドメイン量子化器650が累算された信号をデジタル値に変換する。
即ち、シグマ-デルタタイムデジタル変換器600cは、時間差調節部620、時間差累算器630、及び時間ドメイン量子化器650を含むことによってシグマ-デルタ方式を採用することができる。これに従って、本発明のまた他の実施形態に係るシグマ-デルタタイムデジタル変換器600cは高解像度を有することができる。

10

【0253】

図34は図33のシグマ-デルタタイムデジタル変換器の一例を示すブロック図である。
。

【0254】

図34を参照すれば、シグマ-デルタタイムデジタル変換器700aは時間差調節部720a、時間差累算器730、及び時間ドメイン量子化器750を含む。図34のシグマ-デルタタイムデジタル変換器700aは1ビットのデジタル出力信号DOUTを生成することができる。

20

【0255】

時間差調節部720aは第1遅延器721a、第1選択器726a、第2遅延器722a、及び第2選択器727aを含むことができる。第1遅延器721aは第1入力信号SIN1を遅延させ、第1選択器726aはデジタル出力信号DOUTに応答して第1加算信号SADD1として第1入力信号SIN1、または、第1遅延器721aの出力信号を選択的に出力することができる。第2遅延器722aは、第2入力信号SIN2を遅延させ、第2選択器727aはデジタル出力信号DOUTに応答して第2加算信号SADD2として第2入力信号SIN2、または、第2遅延器722aの出力信号を選択的に出力することができる。

30

【0256】

例えば、デジタル出力信号DOUTの値が「0」である場合、第1選択器726aは第1加算信号SADD1として第1入力信号SIN1を出力し、第2選択器727aは第2加算信号SADD2として第2入力信号SIN2に対して所定の遅延時間ほど遅れた第2遅延器722aの出力信号を出力することができる。これに従って、時間差調節部720aはデジタル出力信号DOUTに応答して第1入力信号SIN1と第2入力信号SIN2との間の時間差より増加した時間差を有する第1加算信号SADD1及び第2加算信号SADD2を生成することができる。

【0257】

40

デジタル出力信号DOUTの値が「1」の場合、第1選択器726aは第1加算信号SADD1として第1入力信号SIN1に対して所定の遅延時間ほど遅れた第1遅延器721aの出力信号を出力し、第2選択器727aは第2加算信号SADD2として第2入力信号SIN2を出力することができる。これに従って、時間差調節部720aはデジタル出力信号DOUTに応答して第1入力信号SIN1と第2入力信号SIN2との間の時間差より減少した時間差を有する第1加算信号SADD1及び第2加算信号SADD2を生成することができる。

【0258】

このように、時間差調節部720aはデジタル出力信号DOUTの値により第1入力信号SIN1と第2入力信号SIN2との間の時間差を調節して、調節された時間差を有す

50

る第1加算信号SADD1及び第2加算信号SADD2を生成することができる。

【0259】

時間差累算器730は第1加算信号SADD1と第2加算信号SADD2との間の時間差を累算して第1累算信号SACC1及び第2累算信号SACC2を生成する。時間ドメイン量子化器750は第1累算信号SACC1と第2累算信号SACC2との間の時間差をデジタル出力信号DOUTに変換する。

【0260】

上述した通り、シグマ-デルタタイムデジタル変換器700aは、時間差調節部720a、時間差累算器730、及び時間ドメイン量子化器750を含むことによってシグマ-デルタ方式を採用する。これに従って、シグマ-デルタタイムデジタル変換器700aは高解像度を有することができる。10

【0261】

一方、図34には、第1入力信号SIN1の経路及び第2入力信号SIN2の経路ともに遅延器及び選択器を含む時間差調節部720aの例が図示されているが、実施形態に従って、時間差調節部720aは第1入力信号SIN1の経路または入力信号SIN2の経路のうち、いずれか1つにだけ遅延器及び選択器を含むことができる。

【0262】

図35は図33のシグマ-デルタタイムデジタル変換器の他の例を示すブロック図である。20

【0263】

図35を参照すれば、シグマ-デルタタイムデジタル変換器700bは、時間差調節部720b、時間差累算器730、及び時間ドメイン量子化器750を含む。図35のシグマ-デルタタイムデジタル変換器700bは、2ビットのデジタル出力信号DOUTを生成することができる。

【0264】

時間差調節部720bは第1遅延器721b、第2遅延器722b、第1選択器726b、第3遅延器723b、第4遅延器724b及び第2選択器727bを含むことができる。第1遅延器721bは第1入力信号SIN1を第1遅延時間ほど遅延させ、第2遅延器722bは、第1入力信号SIN1を第2遅延時間ほど遅延させ、第1選択器726bはデジタル出力信号DOUTに応答して第1加算信号SADD1として第1入力信号SIN1、第1遅延器721bの出力信号、または、第2遅延器722bの出力信号を選択的に出力することができる。例えば、第2遅延時間は、第1遅延時間の約3倍であることができる。第3遅延器723bは第2入力信号SIN2を第2遅延時間ほど遅延させ、第4遅延器724bは第2入力信号SIN2を第1遅延時間ほど遅延させ、第2選択器727bはデジタル出力信号DOUTに応答して第2加算信号SADD2として第2入力信号SIN2、第3遅延器723bの出力信号、または、第4遅延器724bの出力信号を選択的に出力することができる。30

【0265】

例えば、デジタル出力信号DOUTの値が「0」である場合、第1選択器726bは、第1加算信号SADD1として第1入力信号SIN1を出力し、第2選択器727bは第2加算信号SADD2として第2入力信号SIN2に対して第2遅延時間ほど遅れた第3遅延器723bの出力信号を出力することができる。また、デジタル出力信号DOUTの値が「1」である場合、第1選択器726bは第1加算信号SADD1として第1入力信号SIN1を出力し、第2選択器727bは第2加算信号SADD2として第2入力信号SIN2に対して第1遅延時間ほど遅れた第4遅延器724bの出力信号を出力することができる。また、デジタル出力信号DOUTの値が「2」である場合、第1選択器726bは第1加算信号SADD1として第1入力信号SIN1に対して第1遅延時間ほど遅れた第1遅延器721bの出力信号を出力し、第2選択器727bは第2加算信号SADD2として第2入力信号SIN2を出力することができる。また、デジタル出力信号DOUTの値が「3」である場合、第1選択器726bは第1加算信号SADD1として第1入40

力信号 S I N 1 に対し第 2 遅延時間ほど遅れた第 2 遅延器 7 2 2 b の出力信号を出力し、第 2 選択器 7 2 7 b は第 2 加算信号 S A D D 2 として第 2 入力信号 S I N 2 を出力することができる。

【 0 2 6 6 】

このように、時間差調節部 7 2 0 b は、デジタル出力信号 D O U T の値によって第 1 入力信号 S I N 1 と第 2 入力信号 S I N 2 との間の時間差を調節して、調節された時間差を有する第 1 加算信号 S A D D 1 及び第 2 加算信号 S A D D 2 を生成することができる。 10

【 0 2 6 7 】

時間差累算器 7 3 0 は第 1 加算信号 S A D D 1 と第 2 加算信号 S A D D 2 との間の時間差を累算して第 1 累算信号 S A C C 1 及び第 2 累算信号 S A C C 2 を生成する。時間ドメイン量子化器 7 5 0 は第 1 累算信号 S A C C 1 と第 2 累算信号 S A C C 2 との間の時間差をデジタル出力信号 D O U T に変換する。 10

【 0 2 6 8 】

上述した通り、シグマ - デルタタイムデジタル変換器 7 0 0 b は時間差調節部 7 2 0 b 、時間差累算器 7 3 0 、及び時間ドメイン量子化器 7 5 0 を含むことによってシグマ - デルタ方式を採用することができる。これに従って、シグマ - デルタタイムデジタル変換器 7 0 0 b は高解像度を有することができる。 20

【 0 2 6 9 】

一方、図 3 5 には、第 1 入力信号 S I N 1 の経路及び第 2 入力信号 S I N 2 の経路とともに遅延器及び選択器を含む時間差調節部 7 2 0 b の例が図示されているが、実施形態に従って、時間差調節部 7 2 0 b は第 1 入力信号 S I N 1 の経路または入力信号 S I N 2 の経路のうち、いずれか 1 つにだけ遅延器及び選択器を含むことができる。 20

【 0 2 7 0 】

(第 1 0 実施形態)

図 3 6 は本発明のまた他の実施形態に係るシグマ - デルタタイムデジタル変換器を示すブロック図である。 20

【 0 2 7 1 】

図 3 6 を参照すれば、シグマ - デルタタイムデジタル変換器 6 0 0 d は時間差調節部 6 2 0 、第 1 時間差累算器 6 3 0 、第 2 時間差累算器 6 4 0 、及び時間ドメイン量子化器 6 5 0 を含む。シグマ - デルタタイムデジタル変換器 6 0 0 d は、図 3 3 のシグマ - デルタタイムデジタル変換器 6 0 0 c に比較して、第 2 時間差累算器 6 4 0 をさらに含むことができる。 30

【 0 2 7 2 】

第 1 時間差累算器 6 3 0 及び第 2 時間差累算器 6 4 0 は、2 次累算器を構成し、これに従って、シグマ - デルタタイムデジタル変換器 6 0 0 b は 2 次 (Second Order) シグマ - デルタタイムデジタル変換器であることができる。実施形態に従って、シグマ - デルタタイムデジタル変換器 6 0 0 d は 3 次以上のシグマ - デルタタイムデジタル変換器であることができる。 40

【 0 2 7 3 】

本発明の第 1 0 実施形態に係るシグマ - デルタタイムデジタル変換器 6 0 0 d は、2 次以上の累算器を含んで信号帯域で量子化雑音をさらに減少させることができる。 40

【 0 2 7 4 】

(第 1 1 実施形態)

図 3 7 は本発明の第 1 1 実施形態に係るデジタル位相ロックループを示すブロック図である。 40

【 0 2 7 5 】

図 3 7 を参照すれば、デジタル位相ロックループ 8 0 0 は、シグマ - デルタタイムデジタル変換器 6 0 0 、デジタルループフィルタ 8 1 0 、デジタル制御発振器 8 2 0 、及び分周器 8 3 0 を含む。 50

【0276】

シグマ - デルタタイムデジタル変換器 600 は、時間差加算器、時間差累算器、時間ドメイン量子化器、及びデジタルタイム変換器を含む。シグマ - デルタタイムデジタル変換器 600 は、基準入力信号 F R E F とフィードバック信号 F F E E D との間の時間差に相当するデジタル時間差信号 D O U T を生成する。シグマ - デルタタイムデジタル変換器 600 は、シグマ - デルタ方式で時間差をデジタル信号に変換することによって高解像度を有することができる。実施形態に従って、基準入力信号 F R E F は外部の回路または装置から有線または無線に転送された信号、或いは、内部または外部に位置した発振器から生成された発振信号であることができる。例えば、基準入力信号 F R E F はクリスタル発振器 (Crystal Oscillator) で生成された発振信号であることができる

10

。

【0277】

実施形態に従って、シグマ - デルタタイムデジタル変換器 600 は、図 26 のシグマ - デルタタイムデジタル変換器 600 a、図 32 のシグマ - デルタタイムデジタル変換器 600 b、図 33 のシグマ - デルタタイムデジタル変換器 600 c、図 36 のシグマ - デルタタイムデジタル変換器 600 d、または、これと類似する構成のシグマ - デルタタイムデジタル変換器で具現することができる。

【0278】

デジタルループフィルタ 810 は、デジタル時間差信号 D O U T をフィルタリングしてデジタル制御信号 D C O N を生成する。デジタルループフィルタ 810 は、ローパスフィルタ (Low Pass Filter) であることができる。例えば、デジタルループフィルタ 810 は、「 $+ \times z - 1 / (1 - z - 1)$ 」の伝達関数を有することができる。

20

【0279】

デジタル制御発振器 820 はデジタル制御信号 D C O N に応答して望む周波数を有する出力信号 F O U T を生成する。例えば、デジタル制御発振器 820 は、デジタル制御信号 D C O N に基づいて出力信号 F O U T の周波数を増加させたり、または、減少させたりすることができる。

【0280】

分周器 830 は、出力信号 F O U T を分周してフィードバック信号 F F E E D を生成する。実施形態に従って、デジタル位相ロックループ 800 は、分周器 830 を含まないことがあって、この場合、シグマ - デルタタイムデジタル変換器 600 は、フィードバック信号 F F E E D として出力信号 F O U T をそのまま受信することができる。

30

【0281】

本発明の第 11 実施形態に係るデジタル位相ロックループ 800 は、高解像度を有するシグマ - デルタ方式のシグマ - デルタタイムデジタル変換器 600 を含むことによって、ジッタ性能を向上させることができ、低い電源電圧環境においても望む周波数を有する出力信号 F O U T を正確に生成することができる。一方、本発明の実施形態に係るデジタル位相ロックループ 800 は、周波数合成 (Frequency Synthesis)、クロック再生 (Clock Recovery)、クロック生成 (Clock Generation)、帯域拡散 (Spread Spectrum)、クロック分配 (Clock Distribution)、デスキューイング (Deskewering)、ジッタ及びノイズ減少 (Jitter and Noise Reduction) などに利用される。

40

【0282】

(第 12 実施形態)

図 38 は本発明の第 12 実施形態に係るシグマ - デルタタイムデジタル変換器を含むアナログデジタル変換器を示すブロック図である。

【0283】

図 38 を参照すれば、アナログデジタル変換器 900 は、アナログタイム変換部 910

50

及びシグマ - デルタタイムデジタル変換器 600 を含む。

【0284】

アナログタイム変換部 910 は、アナログ信号をアナログ信号に相当する時間差を有する第 1 入力信号 SIN1 及び第 2 入力信号 SIN2 に変換する。

【0285】

例えば、アナログタイム変換部 910 はパルス生成器 911、ランプ生成器 913、及び比較器 915 を含むことができる。パルス生成器 911 は、パルスを生成してパルスをランプ開始信号としてランプ生成器 913 に提供し、第 1 入力信号 SIN1 としてシグマ - デルタタイムデジタル変換器 600 に提供することができる。ランプ生成器 913 はランプ開始信号に応答して、ランプ信号を比較器 915 に出力することができる。比較器 915 はランプ信号とアナログ信号とを比較してアナログ信号の値に相当する時刻に第 2 入力信号上昇エッジを有する第 2 入力信号 SIN2 を生成することができる。10

【0286】

シグマ - デルタタイムデジタル変換器 600 は、第 1 入力信号 SIN1 と第 2 入力信号 SIN2 との間の時間差に相当するデジタル信号を生成することができる。シグマ - デルタタイムデジタル変換器 600 は、シグマ - デルタ方式で時間差をデジタル信号に変換することによって高解像度を有することができる。

【0287】

アナログデジタル変換器 900 は、高解像度を有するシグマ - デルタ方式のシグマ - デルタタイムデジタル変換器 600 を含むことによって、低い電源電圧環境においてもアナログ信号をデジタル信号に正確に変換することができる。20

【0288】

(第 13 実施形態)

図 39 は本発明の第 13 実施形態に係るシグマ - デルタタイムデジタル変換器を含むセンサを示すブロック図である。

【0289】

図 39 を参照すれば、センサ 1000 は、センシング部 1010 及びシグマ - デルタタイムデジタル変換器 600 を含む。

【0290】

センシング部 1010 は温度、速度、質量、光量など物理量を測定して測定した物理量に相当する時間差を有する第 1 入力信号 SIN1 及び第 2 入力信号 SIN2 を生成する。30

【0291】

例えば、センサ 1000 が温度センサの場合、センシング部 1010 はパルス生成器 1011、温度鈍感遅延ライン 1013、及び温度敏感遅延ライン 1015 を含むことができる。パルス生成器 1011 は、パルスを生成してパルスを温度鈍感遅延ライン 1013 及び温度敏感遅延ライン 1015 に提供することができる。温度鈍感遅延ライン 1013 は、パルスを温度と関係なく実質的に一定の遅延時間ほど遅延させて、第 1 入力信号 SIN1 として出力することができる。温度敏感遅延ライン 1015 は、パルスを温度によって変更される遅延時間ほど遅延させて、第 2 入力信号 SIN2 として出力することができる。これに従って、第 1 入力信号 SIN1 と第 2 入力信号 SIN2 との間の時間差は、温度によって決定することができる。40

【0292】

シグマ - デルタタイムデジタル変換器 600 は、第 1 入力信号 SIN1 と第 2 入力信号 SIN2 との間の時間差に相当するデジタル出力信号 DOUT を生成することができる。シグマ - デルタタイムデジタル変換器 600 は、シグマ - デルタ方式で時間差をデジタル信号に変換することによって高解像度を有することができる。例えば、センサ 1000 が温度センサの場合、シグマ - デルタタイムデジタル変換器 600 は、測定された温度に相当するデジタル出力信号 DOUT を生成することができる。

【0293】

センサ 1000 は、高解像度を有するシグマ - デルタ方式のシグマ - デルタタイムデジ50

タル変換器 600 を含むことによって、低い電源電圧環境においても測定された物理量に相当するデジタル出力信号 DOUT を正確に生成することができる。

【0294】

(第14実施形態)

図40は本発明の第14実施形態に係るデジタル位相ロックループを含む集積回路を示すブロック図である。

【0295】

図40を参照すれば、集積回路1100は、デジタル位相ロックループ800及び内部回路1110を含む。実施形態に従って、集積回路1100は、アプリケーションプロセッサ(Application Processor; AP)、マイクロプロセッサ(Microprocessor)、中央処理装置(Central Processing Unit; CPU)、ASIC(Application-Specific Integrated Circuit)、モバイルSoC(Mobile System on Chip)、マルチメディア(Multimedia)SoC、スマートカード、または、これと類似する装置またはシステムであることができる。
10

【0296】

デジタル位相ロックループ800は、基準入力信号FREFに基づいて望む周波数または地位を有する出力信号FOUTを生成することができる。実施形態に従って、基準入力信号FREFは、外部の回路または装置から有線または無線で転送された信号、或いは、内部または外部に位置した発振器から生成された発振信号であることができる。デジタル位相ロックループ800は、シグマ-デルタ方式で時間差をデジタル信号に変換するシグマ-デルタタイムデジタル変換器を含むことによって、ジッタ性能を向上させることができ、低い電源電圧環境においても望む周波数を有する出力信号FOUTを正確に生成することができる。実施形態に従って、デジタル位相ロックループ800は周波数合成、クロック再生、クロック生成、帯域拡散、クロック分配、デスキューリング、ジッタ、及びノイズ減少などを遂行できる。内部回路1110は、出力信号FOUTに基づいて駆動することができる。例えば、内部回路1110は出力信号FOUTを内部回路1110の駆動のためのクロック信号として使うことができる。
20

【0297】

(第15実施形態)

図41は本発明の第15実施形態に係るデジタル位相ロックループを含む送受信器を示すブロック図である。
30

【0298】

図41を参照すれば、送受信器1200は、アンテナ1210、無線部1220、及びベースバンドプロセッサ1230を含む。

【0299】

無線部1220はアンテナ1210を通じて受信された無線信号をベースバンド信号に変換してベースバンドプロセッサ1230に提供し、ベースバンドプロセッサ1230から提供されたベースバンド信号を無線信号に変換してアンテナ1210を通じて送信することができる。実施形態に従って、無線部1220は無線信号をベースバンド信号を直ちに変換したり、または、無線信号を中間周波数(Intermediate Frequency; IF)信号に変換した後、中間周波数信号をベースバンド信号に変換したりすることができる。また、実施形態に従って、無線部1220は無線信号を同位相(In-phase)ベースバンド信号及び直交位相(Quadrature)ベースバンド信号に変換することができる。
40

【0300】

例えば、無線部1220はスイッチ1221、低雑音増幅器1222(Low Noise Amplifier; LNA)、受信ミキサ1223、送信ミキサ1224、電力増幅器1225(Power Amplifier; PA)、局部発振器1226(Local Oscillator; LO)、及び第1デジタル位相ロックループ1227を
50

含むことができる。実施形態に従って、無線部 1220 は、受信された無線信号のノイズまたは帯域外成分を除去する、または、送信される無線信号の帯域外スプリアス成分 (S purious Component) を除去するフィルタをさらに含むことができる。また、実施形態に従って、無線部 1220 は、可変利得増幅器 (Variable Gain Amplifier)、低域通過フィルタ (Low Pass Filter) などをさらに含むことができる。

【0301】

スイッチ 1221 は、アンテナ 1210 を受信経路または送信経路に選択的に接続することができる。低雑音増幅器 1222 は、雑音の影響を最小化するように低い雑音指数 (Noise Figure) を有することができ、アンテナ 1210 を通じて受信された無線信号を増幅することができる。受信ミキサ 1223 は、低雑音増幅器 1222 を通じて増幅された無線信号をデジタル位相ロックループ 1227 の出力信号とミキシングしてベースバンド信号にダウン - 変換することができる。送信ミキサ 1224 は、ベースバンドプロセッサ 1230 から提供されたベースバンド信号をデジタル位相ロックループ 1227 の出力信号とミキシングして無線信号にアップ - 変換することができる。電力増幅器 1225 は、アンテナ 1210 を通じて一定レベル以上の電力を有する無線信号が送信されるように、送信ミキサ 1224 によってアップ - 変換された無線信号を増幅することができる。

【0302】

局部発振器 1226 は発振信号を生成することができる。例えば、局部発振器 1226 は、クリスタル発振器 (Crystal Oscillator) を含むことができる。第 1 デジタル位相ロックループ 1227 は、局部発振器 1226 から提供された発振信号に基づいて望む周波数を有する出力信号を生成することができる。第 1 デジタル位相ロックループ 1227 は、シグマ - デルタ方式で時間差をデジタル信号に変換するシグマ - デルタタイムデジタル変換器を含むことによって、低い電源電圧環境でも望む周波数を有する出力信号を正確に生成することができる。

【0303】

ベースバンドプロセッサ 1230 は、無線部 1220 から受信されたベースバンド信号に基づいてデータ処理を遂行し、無線部 1220 に提供されるベースバンド信号を生成することができる。例えば、ベースバンドプロセッサ 1230 は、ベースバンド信号を復調してデータストリームを生成し、データストリームを変調してベースバンド信号を生成する物理層プロセッサ (Physical Layer Processor; PHY) を含むことができる。実施形態に従って、物理層プロセッサは、ベースバンド信号の復調のための高速フーリエ変換器 (Fast Fourier Transformer; FFT)、デマッパー (Demapper)、デインターリーバ (Deinterleaver)、チャネルデコーダ (Channel Decoder) などを含み、データストリームを変調するためのチャネルエンコーダ (Channel Encoder)、インターリーバ (Interleaver)、マッパー (Mapper)、逆高速フーリエ変換器 (Inverse Fast Fourier Transformer; IFFT) などを含むことができる。

【0304】

ベースバンドプロセッサ 1230 は、第 2 デジタル位相ロックループ 1231 を含むことができる。例えば、ベースバンドプロセッサ 1230 は、第 2 デジタル位相ロックループ 1231 の出力信号をベースバンドプロセッサ 1230 の駆動のためのクロック信号として使うことができる。第 2 デジタル位相ロックループ 1231 は、シグマ - デルタ方式で時間差をデジタル信号に変換するシグマ - デルタタイムデジタル変換器を含むことによって、低い電源電圧環境においても望む周波数を有する出力信号を正確に生成することができる。

【0305】

(第 16 実施形態)

10

20

30

40

50

図42は本発明の第16実施形態に係るデジタル位相ロックループを含むメモリ装置を示すブロック図である。

【0306】

図42を参照すれば、メモリ装置1300は、デジタル位相ロックループ1310、メモリコア1320、及びデータ出力バッファ1330を含む。実施形態に従って、メモリ装置1300は、DRAM(Dynamic Random Access Memory)、SRAM(Static Random Access Memory)などの揮発性メモリ装置、または、EPROM(Erasable Programmable Read-Only Memory)、EEPROM(Electrical Erasable Programmable Read-Only Memory)、フラッシュメモリ装置(Flash Memory Device)などの非揮発性メモリ装置のうち、いずれか1つであることもあって、特にDDR SDRAMまたはGDDR SDRAMであることができる。
10

【0307】

デジタル位相ロックループ1310は、基準入力信号FREFに基づいて望む周波数を有する出力信号FOUTを生成することができる。デジタル位相ロックループ1310は、シグマ-デルタ方式で時間差をデジタル信号に変換するシグマ-デルタタイムデジタル変換器を含むことによって、低い電源電圧環境でも望む周波数を有する出力信号を正確に生成することができる。
20

【0308】

メモリコア1320はデータ入力バッファ(図示せず)から提供された書き込みデータを保存する書き込み動作を遂行し、読み出しデータDATAを生成してデータ出力バッファ1330に提供する読み出し動作を遂行できる。メモリコア1320は、デジタル位相ロックループ1310の出力信号FOUTに基づいて、書き込み動作、及び/または、読み出し動作を遂行できる。図示はしなかったが、メモリコア1320は、データを保存する複数のメモリセルを含むメモリセルアレイ、アドレス信号に基づいてメモリセルアレイのワードラインとビットラインを選択するローデコーダ及びコラムデコーダ、並びに、選択されたメモリセルに保存されたデータを感知して読み出しデータDATAを生成する感知増幅器を含むことができる。
30

【0309】

データ出力バッファ1330は、デジタル位相ロックループ1310の出力信号FOUTに応答して、読み出しデータDATAを出力データDOUTとして出力することができる。出力データDOUTはデジタル位相ロックループ1310の出力信号FOUTに同期して出力され、例えば、メモリコントローラのような外部装置に提供される。
30

【0310】

(第17実施形態)

図43は本発明の第17実施形態に係るデジタル位相ロックループをモバイルシステムに応用した例を示すブロック図である。

【0311】

図43を参照すれば、モバイルシステム1400は、アプリケーションプロセッサ1410、モデム1420、揮発性メモリ装置1430、非揮発性メモリ装置1440、ユーザインターフェース1450、及びパワーサプライ1460を含む。実施形態に従って、モバイルシステム1400は、携帯電話(Mobile Phone)、スマートフォン(Smart Phone)、PDA(Personal Digital Assistant)、PMP(Portable Multimedia Player)、デジタルカメラ(Digital Camera)、音楽再生器(Music Player)、携帯用ゲームコンソール(Portable Game Console)、ナビゲーション(Navigation)システムなどの任意のモバイルシステムであることができる。
40

【0312】

アプリケーションプロセッサ 1410 は、インターネットブラウザ、ゲーム、動画などを提供するアプリケーションを実行することができる。アプリケーションプロセッサ 1410 は、周波数合成、クロック再生、クロック生成、クロック分配、デスキューディング、ジッタ、及びノイズ減少などのための第 1 デジタル位相ロックループ 1411 を含むことができる。アプリケーションプロセッサ 1410 は第 1 デジタル位相ロックループ 1411 で生成されたクロック信号に基づいて駆動することができる。第 1 デジタル位相ロックループ 1411 は、シグマ - デルタ方式で時間差をデジタル信号に変換するシグマ - デルタタイムデジタル変換器を含むことによって、低い電源電圧環境においても望む周波数を有する出力信号を正確に生成することができる。実施形態に従って、アプリケーションプロセッサ 1410 は、1 つのプロセッサコア (Single Core) を含むか、または、複数のプロセッサコア (Multi-Core) を含むことができる。例えば、アプリケーションプロセッサ 1410 は、デュアルコア (Dual-Core)、クアッドコア (Quad-Core)、ヘキサコア (Hexa-Core) などのマルチコア (Multi-Core) を含むことができる。また、実施形態に従って、アプリケーションプロセッサ 1410 は内部または外部に位置したキャッシュメモリ (Cache Memory) をさらに含むことができる。
10

【0313】

モデル 1420 は外部装置と無線通信または有線通信を遂行できる。例えば、モデル 1420 は、イーサネット (登録商標) 通信、NFC (Near Field Communication)、RFID (Radio Frequency Identification) 通信、移動通信 (Mobile Telecommunication)、メモリカード通信、USB (Universal Serial Bus) 通信などを遂行できる。例えば、モデル 1420 は、ベースバンドチップセット (Baseband Chipset) を含むことができ、GSM (登録商標)、GPRS、WCDMA、HS xPA などの通信を支援することができる。モデル 1420 は周波数合成、クロック再生、クロック生成、帯域拡散、クロック分配、デスキューディング、ジッタ、及びノイズ減少などのための第 2 デジタル位相ロックループ 1421 を含むことができる。第 2 デジタル位相ロックループ 1421 は、シグマ - デルタ方式で時間差をデジタル信号に変換するシグマ - デルタタイムデジタル変換器を含むことによって、低い電源電圧環境においても望む周波数を有する出力信号を正確に生成することができる。
20
30

【0314】

揮発性メモリ装置 1430 は、アプリケーションプロセッサ 1410 によって処理されるデータを保存する、または、動作メモリ (Working Memory) として作動することができる。例えば、揮発性メモリ装置 1430 は、DRAM (Dynamic Random Access Memory)、SRAM (Static Random Access Memory)、モバイルDRAM、または、これと類似するメモリで具現することができる。揮発性メモリ装置 1430 は、周波数合成、クロック再生、クロック生成、クロック分配、デスキューディング、ジッタ、及びノイズ減少などのための第 3 デジタル位相ロックループ 1431 を含むことができる。第 3 デジタル位相ロックループ 1431 は、シグマ - デルタ方式で時間差をデジタル信号に変換するシグマ - デルタタイムデジタル変換器を含むことによって、低い電源電圧環境でも望む周波数を有する出力信号を正確に生成することができる。
40

【0315】

非揮発性メモリ装置 1440 は、モバイルシステム 1400 をブーティングするためのブートイメージを保存することができる。例えば、非揮発性メモリ装置 1440 は、EEPROM (Electrically Erasable Programmable Read-Only Memory)、フラッシュメモリ (Flash Memory)、PRAM (Phase Change Random Access Memory、登録商標)、RRAM (Resistance Random Access Memory)、NFGM (Nano Floating Gate Memory)、PoRA
50

M(Polymer Random Access Memory)、MRAM(Magnetic Random Access Memory)、FRAM(Ferroelectric Random Access Memory、登録商標)、または、これと類似するメモリで具現することができる。非揮発性メモリ装置1440は、周波数合成、クロック再生、クロック生成、クロック分配、デスキューイング、ジッタ及びノイズ減少などのため第4デジタル位相ロックループ1441を含むことができる。第4デジタル位相ロックループ1441は、シグマ-デルタ方式で時間差をデジタル信号に変換するシグマ-デルタタイムデジタル変換器を含むことによって、低い電源電圧環境でも望む周波数を有する出力信号を正確に生成することができる。

【0316】

10

ユーザインターフェース1450は、キーパッド、タッチスクリーンのような1つ以上の入力装置、及び/または、スピーカー、ディスプレイ装置のような1つ以上の出力装置を含むことができる。パワーサプライ1460は、モバイルシステム1400の動作電圧を供給することができる。また、実施形態に従って、モバイルシステム1400は、CIS(Camera Image Processor)をさらに含むことができ、メモリカード(Memory Card)、SSD(Solid State Drive)、HDD(Hard Disk Drive)、CD-ROMなどの保存装置をさらに含むことができる。

【0317】

20

モバイルシステム1400またはモバイルシステム1400の構成要素は、多様な形態のパッケージを利用して実装されるが、例えば、POP(Package on Package)、BGAs(Ball grid arrays)、CSPs(Chip scale packages)、PLCC(Plastic Leaded Chip Carrier)、PDIP(Plastic Dual In-Line Package)、Die in Wafer Pack、Die in Wafer Form、COB(Chip On Board)、CERDIP(Ceramic Dual In-Line Package)、MQFP(Plastic Metric Quad Flat Pack)、TQFP(Thin Quad Flat-Pack)、SOIC(Small Outline Integrated Circuit)、SOP(Shrink Small Outline Package)、TSOP(Thin Small Outline Package)、TQFP(Thin Quad Flat-Pack)、SIP(System In Package)、MCP(Multi Chip Package)、WFP(Wafer-level Fabricated Package)、WSP(Wafer-Level Processed Stack Package)などのパッケージを利用して実装される。

30

【0318】

(第18実施形態)

図44は本発明の第18実施形態に係るデジタル位相ロックループをコンピューティングシステムに応用した例を示すブロック図である。

【0319】

40

図44を参照すれば、コンピューティングシステム1500は、プロセッサ1510、出入力ハブ1520、入出力コントローラハブ1530、少なくとも1つのメモリモジュール1540、及びグラフィックカード1550を含む。実施形態に従って、コンピューティングシステム1500は、PC(Personal Computer)、サーバーコンピュータ(Server Computer)、ワークステーション(Workstation)、ノートパソコン(Laptop)、携帯電話(Mobile Phone)、スマートフォン(Smart Phone)、PDA(personal digital assistant)、PMP(portable multimedia player)、デジタルカメラ(Digital Camera)、デジタルTV(Digital Television)、セットトップボックス(Set-Top Bo

50

x)、音楽再生器(Music Player)、携帯用ゲームコンソール(portable game console)、ナビゲーション(Navigation)システムなどのような任意のコンピューティングシステムであることができる。

【0320】

プロセッサ1510は、特定計算またはタスクのような多様なコンピューティング機能を実行することができる。例えば、プロセッサ1510は、マイクロプロセッサまたは、中央処理装置(Central Processing Unit; CPU)であることができる。プロセッサ1510は、周波数合成、クロック再生、クロック生成、クロック分配、デスキューリング、ジッタ、及びノイズ減少などのための第1デジタル位相ロックループ1511を含むことができる。プロセッサ1510は、第1デジタル位相ロックループ1511で生成されたクロック信号に基づいて駆動することができる。第1デジタル位相ロックループ1511は、シグマ-デルタ方式で時間差をデジタル信号に変換するシグマ-デルタタイムデジタル変換器を含むことによって、低い電源電圧環境においても望む周波数を有する出力信号を正確に生成することができる。実施形態に従って、プロセッサ1510は、1つのプロセッサコア(Single Core)を含むか、または、複数のプロセッサコア(Multi-Core)を含むことができる。例えば、プロセッサ1510は、デュアルコア(Dual-Core)、クアッドコア(Quad-Core)、ヘキサコア(Hexa-Core)などのマルチコア(Multi-Core)を含むことができる。また、図44には1つのプロセッサ1510を含むコンピューティングシステム1500が図示されているが、実施形態に従って、コンピューティングシステム1500は複数のプロセッサを含むことができる。また、実施形態に従って、プロセッサ1510は内部または外部に位置したキャッシュメモリ(Cache Memory)をさらに含むことができる。10

【0321】

プロセッサ1510は、メモリモジュール1540の動作を制御する図示しないメモリコントローラを含むことができる。プロセッサ1510に含まれたメモリコントローラは集積メモリコントローラ(Integrated Memory Controller; IMC)と呼ぶことができる。メモリコントローラとメモリモジュール1540との間のメモリインターフェースは、複数の信号線を含む1つのチャネル、または、複数のチャネルで具現することができる。また、各チャネルには1つ以上のメモリモジュール1540が接続される。実施形態に従って、メモリコントローラは入出力ハブ1520内に位置することができる。メモリコントローラを含む入出力ハブ1520はメモリコントローラハブ(Memory Controller Hub; MCH)と呼ぶことができる。20

【0322】

メモリモジュール1540は、メモリコントローラから提供されたデータを保存する複数のメモリ装置を含むことができる。また、メモリモジュール1540は、周波数合成、クロック再生、クロック生成、クロック分配、デスキューリング、ジッタ、及びノイズ減少などのための第4デジタル位相ロックループ1541を含むことができる。一実施形態において、第4デジタル位相ロックループ1541は、メモリモジュール1540上に配置されることができ、メモリコントローラから提供された信号をメモリ装置に提供するためのバッファの駆動に利用される。他の実施形態において、第4デジタル位相ロックループ1541は、メモリモジュール1540に含まれたメモリ装置の各々に配置されることができ、各メモリ装置の駆動に利用される。第4デジタル位相ロックループ1541は、シグマ-デルタ方式で時間差をデジタル信号に変換するシグマ-デルタタイムデジタル変換器を含むことによって、低い電源電圧環境においても望む周波数を有する出力信号を正確に生成することができる。30

【0323】

入出力ハブ1520は、グラフィックカード1550のような装置とプロセッサ1510との間のデータ伝送を管理することができる。入出力ハブ1520は、周波数合成、クロック再生、クロック生成、クロック分配、デスキューリング、ジッタ、及びノイズ減少4050

などのための第2デジタル位相ロックループ1521を含むことができる。第2デジタル位相ロックループ1521は、シグマ-デルタ方式で時間差をデジタル信号に変換するシグマ-デルタタイムデジタル変換器を含むことによって、低い電源電圧環境においても望む周波数を有する出力信号を正確に生成することができる。

【0324】

出入力ハブ1520は、多様な方式のインターフェースを通じてプロセッサ1510に接続される。例えば、出入力ハブ1520とプロセッサ1510は、FSB(Front Side Bus)、システムバス(System Bus)、ハイパーテラントスポート(HyperTransport)、LDT(Lightning Data Transport)、QPI(Quick Path Interconnect)、CSI(Common System Interface)などの多様な標準のインターフェースに接続される。図44には1つの出入力ハブ1520を含むコンピューティングシステム1500が図示されているが、実施形態に従って、コンピューティングシステム1500は複数の出入力ハブを含むことができる。

【0325】

出入力ハブ1520は、装置との多様なインターフェースを提供することができる。例えば、出入力ハブ1520は、AGP(Accelerated Graphics Port)インターフェース、PCIe(Peripheral Component Interface-Express)、CSA(Communications Streaming Architecture)インターフェースなどを提供することができる。

【0326】

グラフィックカード1550は、AGPまたはPCIeを通じて出入力ハブ1520と接続される。グラフィックカード1550は、画像を表示するためのディスプレイ装置(図示せず)を制御することができる。グラフィックカード1550は、イメージデータ処理のための内部プロセッサ及び内部半導体メモリ装置を含むことができる。また、グラフィックカード1550は、周波数合成、クロック再生、クロック生成、クロック分配、デスキューリング、ジッタ、及びノイズ減少などのための第5デジタル位相ロックループ1551をさらに含むことができる。第5デジタル位相ロックループ1551は、シグマ-デルタ方式で時間差をデジタル信号に変換するシグマ-デルタタイムデジタル変換器を含むことによって、低い電源電圧環境においても望む周波数を有する出力信号を正確に生成することができる。実施形態に従って、出入力ハブ1520は、出入力ハブ1520の外部に位置したグラフィックカード1550とともに、または、グラフィックカード1550の代わりに入出力ハブ1520の内部にグラフィック装置を含むことができる。出入力ハブ1520に含まれたグラフィック装置は、集積グラフィック(Integrated Graphics)と呼ぶことができる。また、メモリコントローラ及びグラフィック装置を含む入出力ハブ1520は、GMCH(Graphics and Memory Controller Hub)と呼ぶことができる。

【0327】

出入力コントローラハブ1530は、多様なシステムインターフェースが効率的に動作するようにデータバッファリング及びインターフェース仲裁を遂行することができる。出入力コントローラハブ1530は周波数合成、クロック再生、クロック生成、クロック分配、デスキューリング、ジッタ、及びノイズ減少などのための第3デジタル位相ロックループ1531を含むことができる。第3デジタル位相ロックループ1531は、シグマ-デルタ方式で時間差をデジタル信号に変換するシグマ-デルタタイムデジタル変換器を含むことによって、低い電源電圧環境でも望む周波数を有する出力信号を正確に生成することができる。

【0328】

出入力コントローラハブ1530は、内部バスを通じて出入力ハブ1520と接続される。例えば、出入力ハブ1520と出入力コントローラハブ1530は、DMI(Dir

10

20

30

40

50

ect Media Interface)、ESI(Enterprise Sout
hbridge Interface)、PCIeなどを通じて接続することができる。

【0329】

入出力コントローラハブ1530は、周辺装置との多様なインターフェースを提供することができる。例えば、入出力コントローラハブ1530は、USB(Universal Serial Bus)ポート、SATA(Serial Advanced Technology Attachment)ポート、GPIO(General Purpose Input/Output)、LPC(Low Pin Count)バス、SPI(Serial Peripheral Interface)、PCI、PCIeなどを提供することができる。

10

【0330】

実施形態に従って、プロセッサ1510、入出力ハブ1520、及び入出力コントローラハブ1530は、各々分離したチップセット、または、集積回路で具現されるか、或いは、プロセッサ1510、入出力ハブ1520、または入出力コントローラハブ1530のうち、いずれか2つ以上の構成要素が1つのチップセットで具現することができる。

【0331】

以上、添付図面を参照しながら本発明の好適な実施形態について詳細に説明したが、本発明はかかる例に限定されない。本発明の属する技術の分野における通常の知識を有する者であれば、特許請求の範囲に記載された技術的思想の範疇内において、各種の変更例または修正例に想到し得ることは明らかであり、これらについても、当然に本発明の技術的範囲に属するものと了解される。

20

【産業上の利用可能性】

【0332】

本発明は位相ロックループを含む任意の装置及びシステムに適用することができる。例えば、本発明は、携帯電話(Mobile Phone)、スマートフォン(Smart Phone)、PDA(personal digital assistant)、PMP(portable multimedia player)、デジタルカメラ(Digital Camera)、ビデオカメラ(Camcoder)、PC(Personal Computer)、サーバーコンピュータ(Server Computer)、ワークステーション(Workstation)、ノートパソコン(Laptop)、デジタルTV(Digital Television)、セットトップボックス(Set-Top Box)、音楽再生器(Music Player)、携帯用ゲームコンソール(Portable Game Console)、ナビゲーション(Navigation)システム、スマートカード(Smart Card)、プリンタ(Printer)などに役立つように利用することができる。

30

【符号の説明】

【0333】

100、200a、200b、200c、200d、510、610・・・時間差加算器

、

210a、210b、210c、210d・・・第1レジスタ部、

40

250a、250b、250c、250d・・・第2レジスタ部、

220、260 ・・・オフセット遅延器、

230、240、270、280、300a、300b、300c、300d、400a

、400b・・・時間レジスタ、

290 ・・・制御部、

500、500a、500b、630 ・・・時間差累算器、

520a、520b ・・・遅延部、

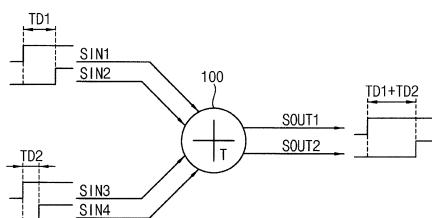
600a、600b、600c、600d、700a、700b・・・シグマ-デルタ時間デジタル変換器、

650、650a、650b ・・・時間ドメイン量子化器、

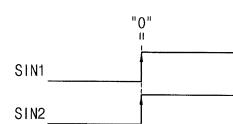
50

670、670a、670b …… デジタル時間転換器、
 800、1310、1411、1421、1431、1441、1511、1521、1
 531、1541、1551 …… デジタル位相ロックループ、
 810 …… デジタルループフィルタ、
 820 …… デジタル制御発振器、
 830 …… 分周器。

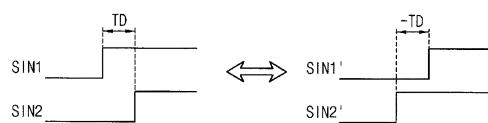
【図1】



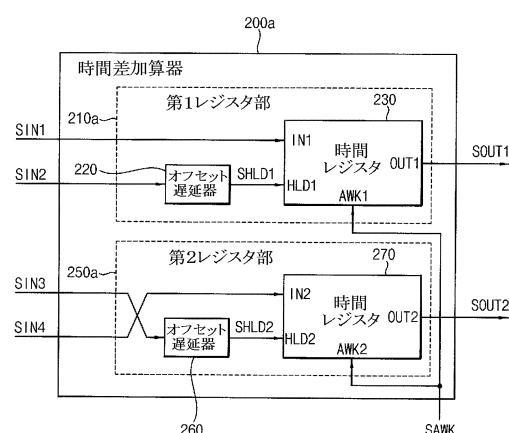
【図2】



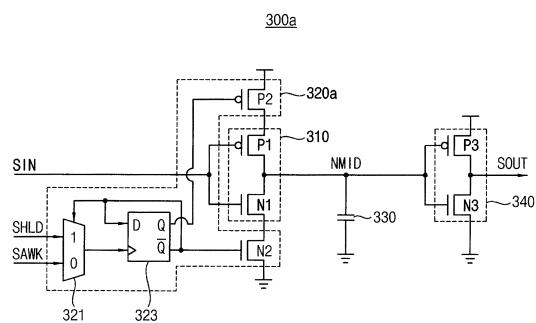
【図3】



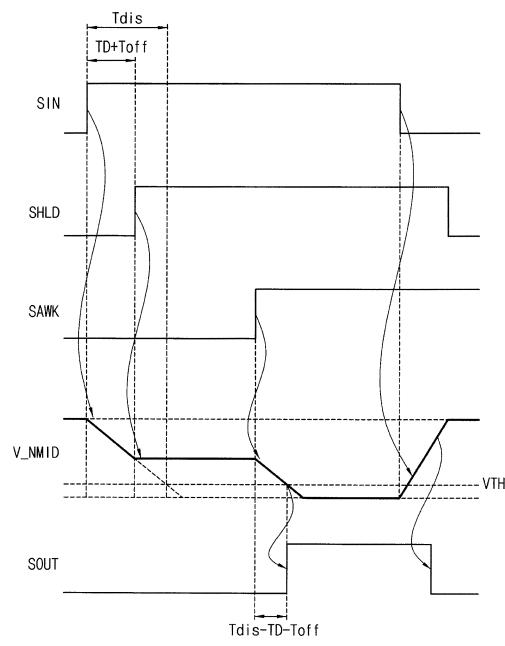
【図4】



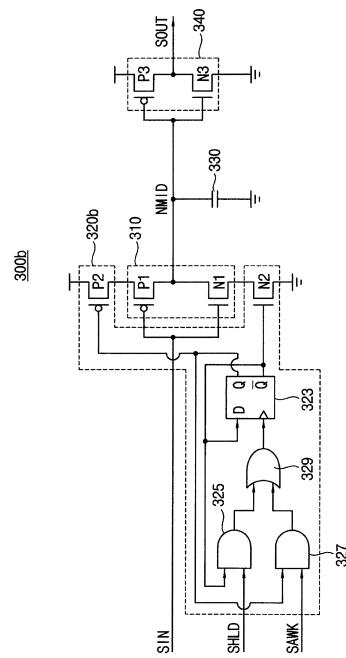
【図5】



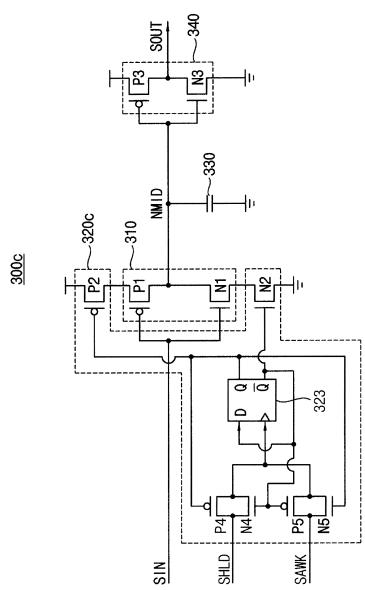
【図6】



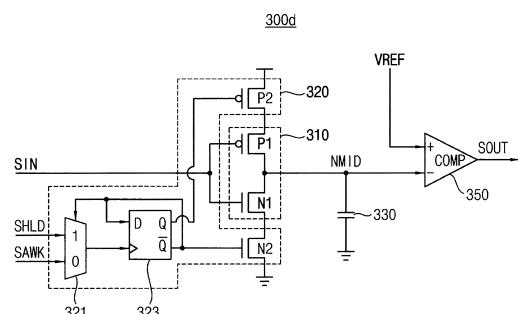
【図7】



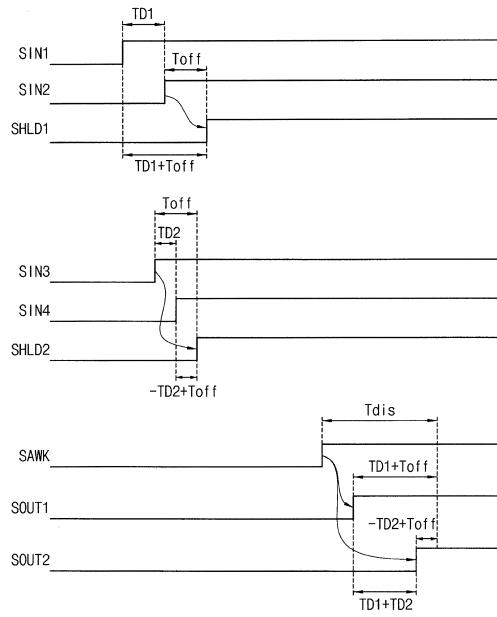
【図8】



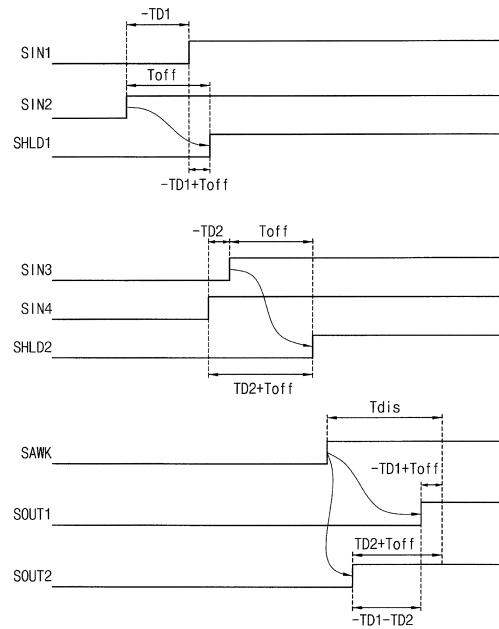
【図9】



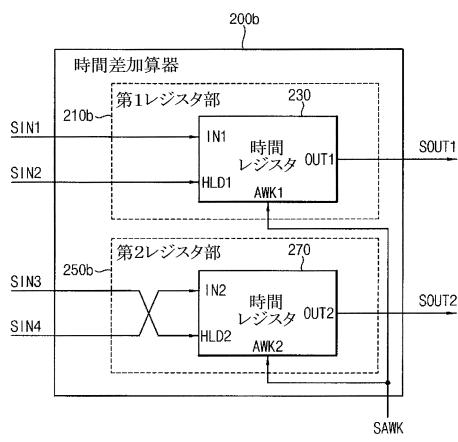
【図10】



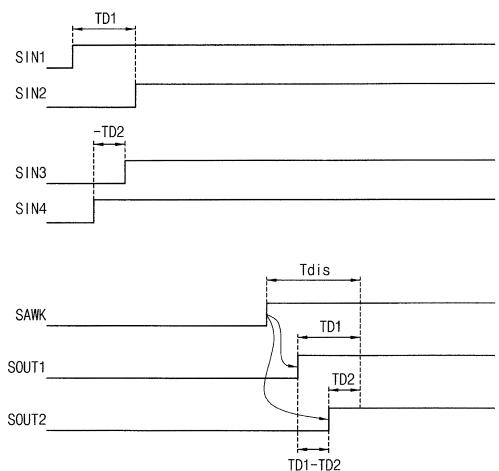
【図11】



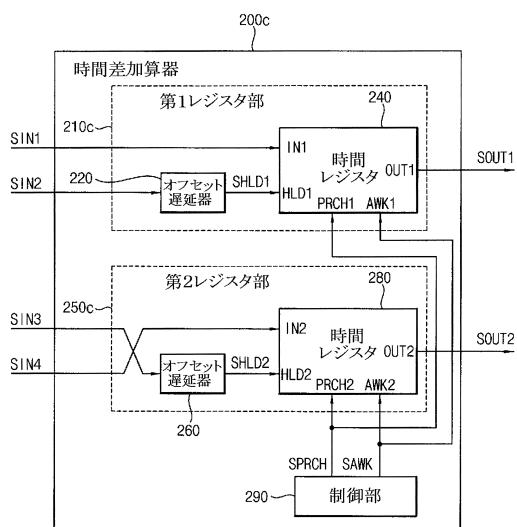
【図12】



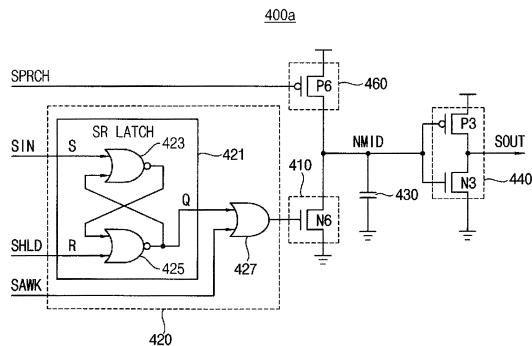
【図13】



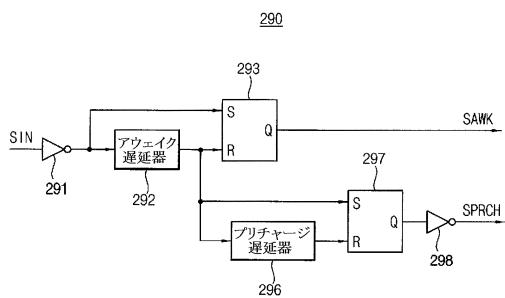
【図14】



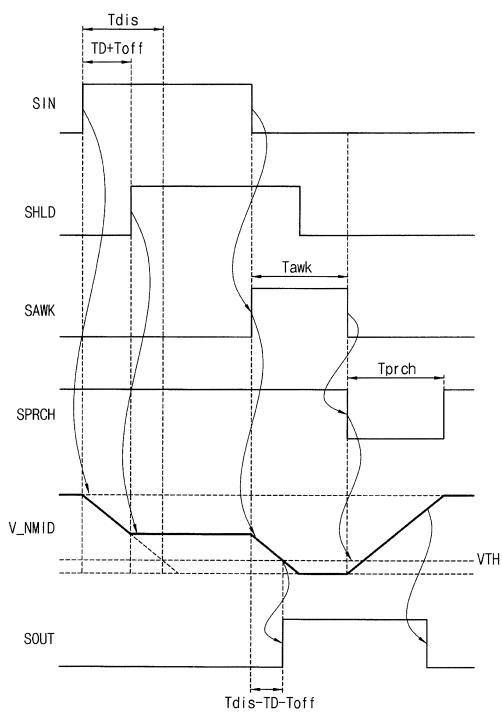
【図15】



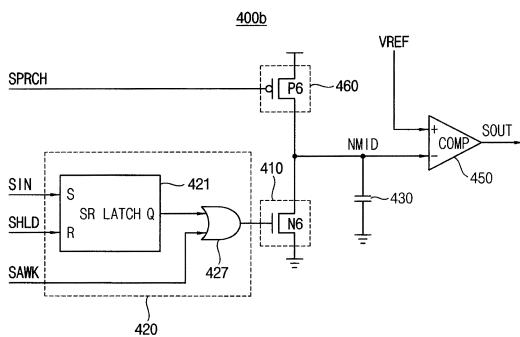
【図16】



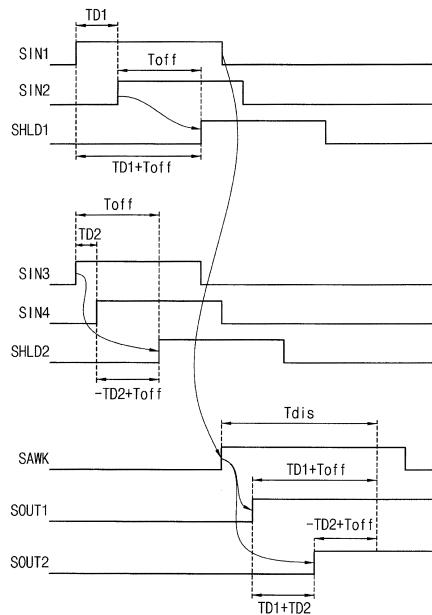
【図17】



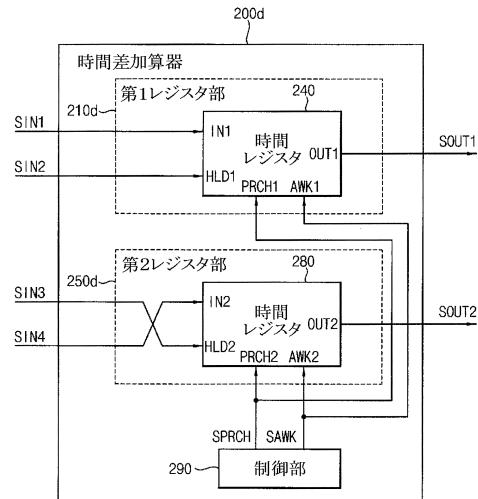
【 図 1 8 】



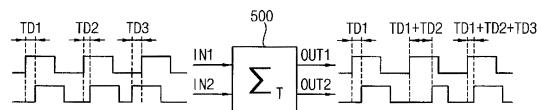
【図19】



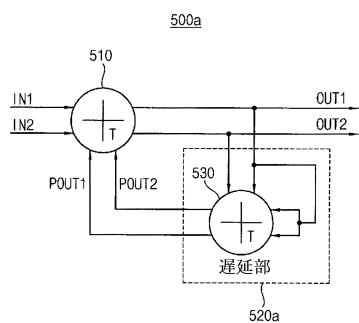
【図20】



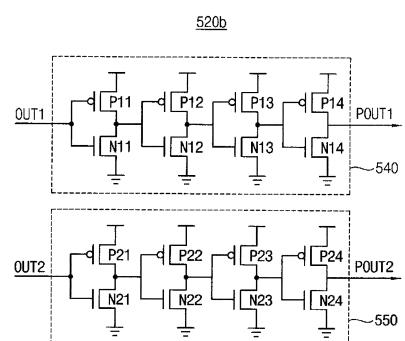
【図21】



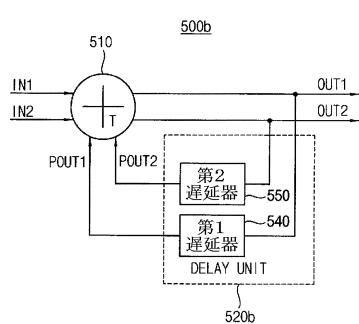
【図22】



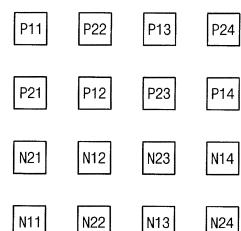
【図24】



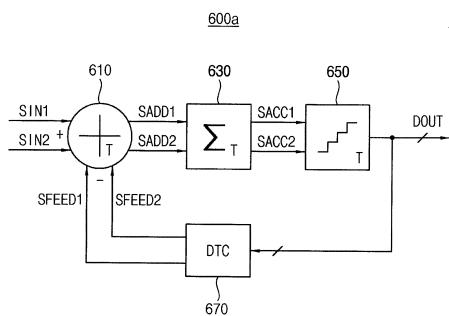
【図23】



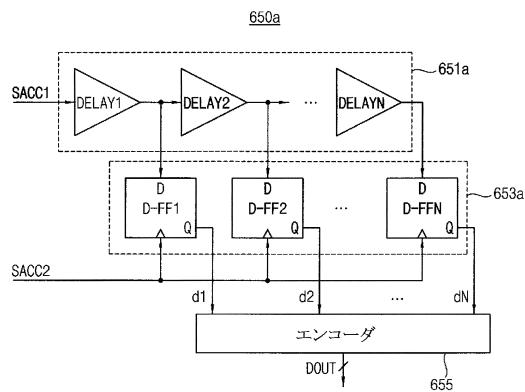
【図25】



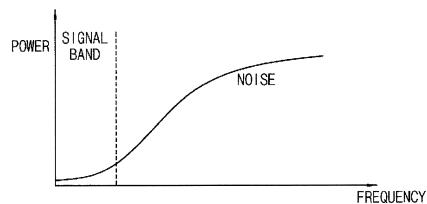
【図26】



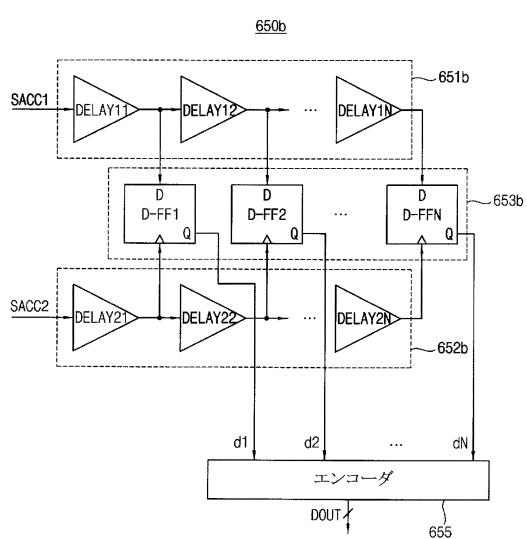
【図28】



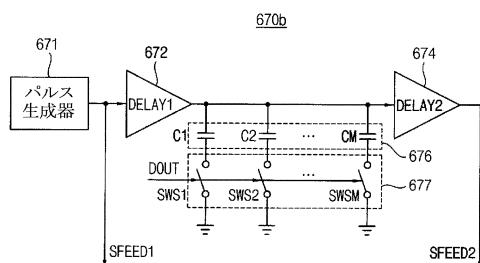
【図27】



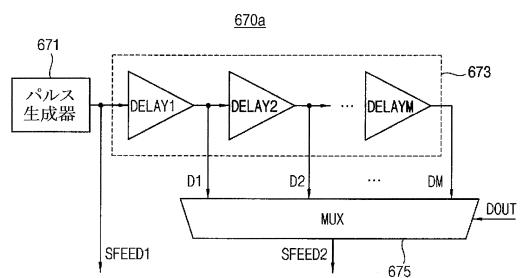
【図29】



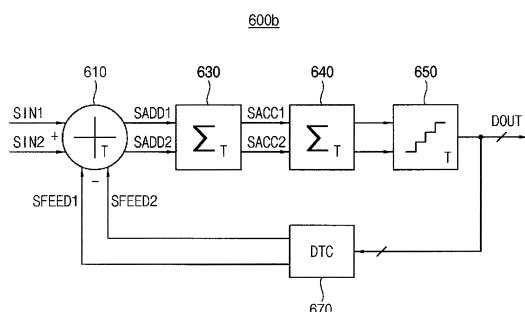
【図31】



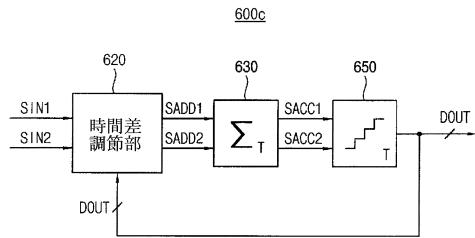
【図30】



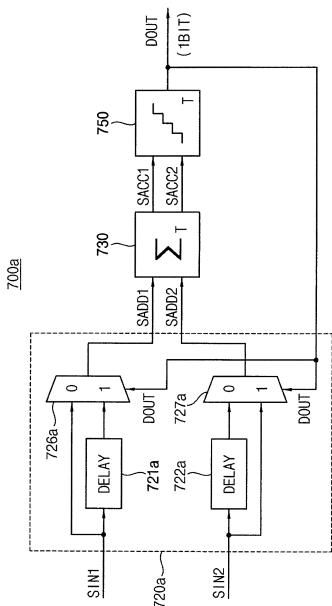
【図32】



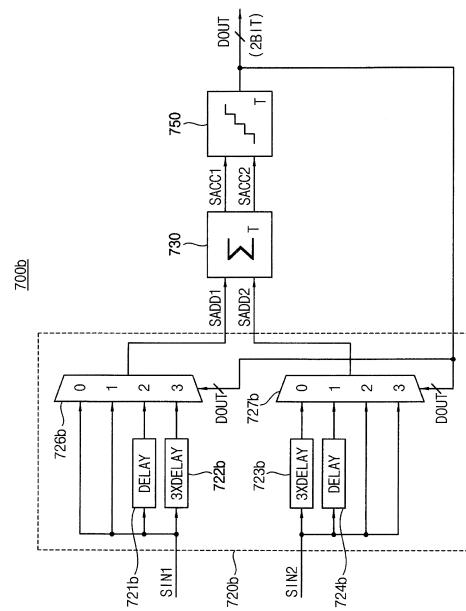
【図33】



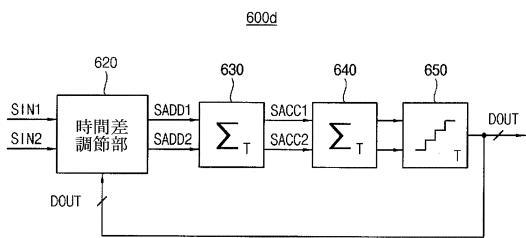
【図34】



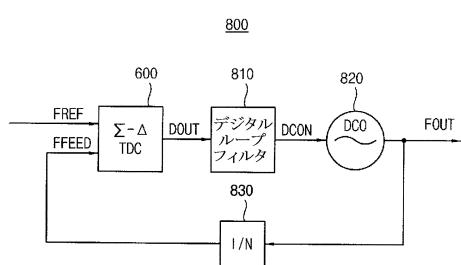
【図35】



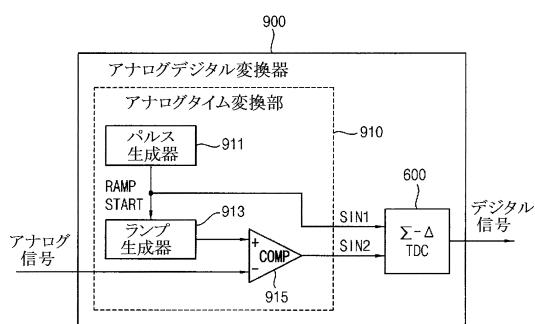
【図36】



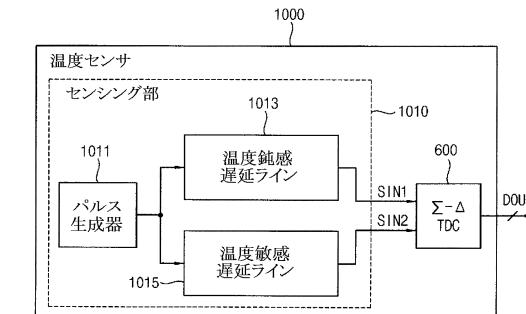
【図37】



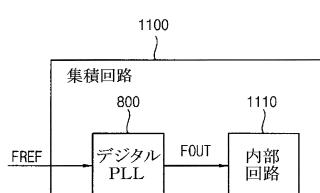
【図38】



【図39】



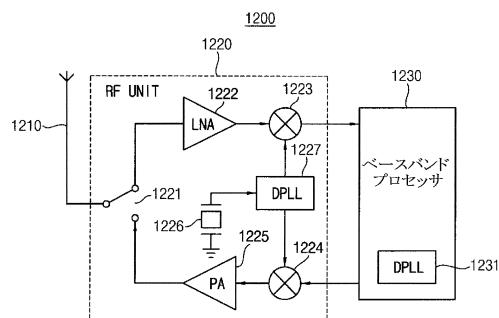
【図40】



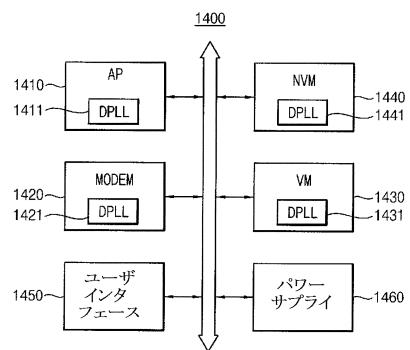
【図40】

【図40】

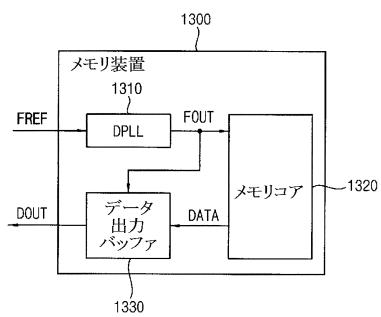
【図41】



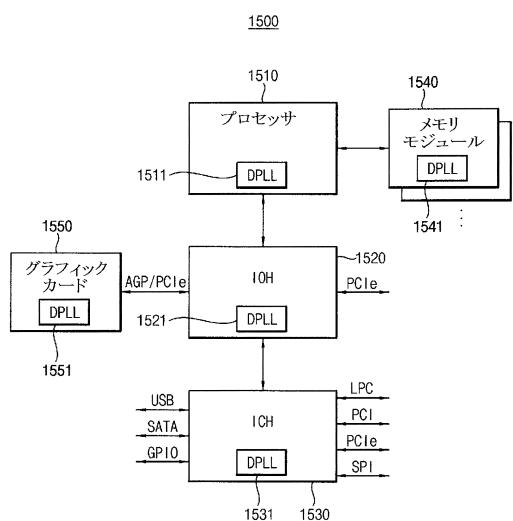
【図43】



【図42】



【図44】



フロントページの続き

(72)発明者 金 志 ヒョン

大韓民国京畿道華城市盤松洞示範ダウンマウルワールドメリディアン バンドユボラアパートメン
ト 342 棟 1002 号

審査官 柳下 勝幸

(56)参考文献 特開昭 62 - 201389 (JP, A)

特開2003 - 046379 (JP, A)

特開平01 - 246920 (JP, A)

特開2002 - 094373 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H03K 5 / 26

H03L 7 / 085

H03M 1 / 50