公告本

申請日期	88 年 10 月 14 日
案號	88117910
類別	G06F 13/10

（以上各欄由本局填註）

A4
C4

460789

發明 新型 專利說明書

一、發明新型名稱	中文	積體式多媒體系統
	英文	An integrated multimedia system
二、發明創作人	姓名	(1) 大衛・貝克 Baker, David (2) 克里斯多夫・巴索格魯 Basoglu, Christopher (3) 班傑明・卡特勒 Cutler, Benjamin
	國籍	(1) 美國 (2) 美國 (3) 美國
	住、居所	(1) 美國德州奧斯汀夏都丘一〇八〇二號 10802 Chateau Hill, Austin, TX 78750, U. S. A. (2) 美國華盛頓州巴索薩爾西第二街二一八三二號 21832, 2nd Ave. W. Bothell, WA 98021, U. S. A. (3) 美國華盛頓州西雅圖東北第五十街六二〇六號 6206 50th Ave. NE, Seattle, WA 98115, U. S. A.
三、申請人	姓名（名稱）	(1) 日立製作所股份有限公司 株式会社日立製作所 (2) 愛奎特科技股份有限公司 Equator Technologies, Inc.
	國籍	(1) 日本 (2) 美國
	住、居所（事務所）	(1) 日本國東京都千代田區神田駿河台四丁目六番地 (2) 美國加州坎貝爾白橡樹路一三〇〇號 1300 White Oaks Road Campbell, CA 95008, U.S.A.
	代表人姓名	(1) 庄山悅彥 (2) 羅伯特・高爾 Gove, Robert J.

裝 訂 線

經濟部智慧財產局員工消費合作社印製

460789

申請日期	88 年 10 月 14 日
案號	88117910
類別	

A4
C4

（以上各欄由本局填註）

發明 新型 專利說明書

一、發明新型名稱	中文	
	英文	
二、發明創作人	姓名	⑷ 李察・狄利 Deeley, Richard ⑸ 格利瑞歐・吉瓦希歐 Gervasio, Gregorio ⑹ 川口敦生 Kawaguchi, Atsuo
	國籍	⑷ 英國 ⑸ 菲律賓 ⑹ 日本
	住、居所	⑷ 美國加州聖喬斯哈瑞費爾德路一二六六號 1266 Harefield Dr., San Jose, CA 95131, U.S.A. ⑸ 美國加州陽光谷＃A－二〇六格利克街一〇六五號 1065 Greco Ave., #A-206, Sunnyvale, CA 94087, U.S.A. ⑹ 美國加州聖喬斯艾基摩地六七〇一號 6701 Edgemoor Way, San Jose, CA 95129, U.S.A.
三、申請人	姓名（名稱）	
	國籍	
	住、居所（事務所）	
	代表人姓名	

裝 訂 線

經濟部智慧財產局員工消費合作社印製

460789

申請日期	88 年 10 月 14 日
案號	88117910
類別	

A4
C4

（以上各欄由本局填註）

發明 新型 專利說明書

一、發明 新型 名稱	中文	
	英文	
二、發明 創作 人	姓名	⑺ 小島啓二 Kojima, Keiji ⑻ 李伍彬 Lee, Woobin ⑼ 宮崎健司 Miyazaki, Takeshi
	國籍	⑺ 日本 ⑻ 韓國 ⑼ 日本
	住、居所	⑺ 日本國神奈川縣相模原市南橋本一－二〇－一一－四〇五 1-20-11-405, Minami-Hashimoto, Sagamihara- Shi, Kanagawa, Japan ⑻ 美國華盛頓州連恩林西南第一八一道一四〇二號 1402 181st Place SW, Lynnwood, WA 98037, U. S. A. ⑼ 日本國東京都昭島市鵑丘二－三－一二－九〇七 2-3-12-907 Tsutsujigaoka, Akishima-shi, Tokyo, Japan
三、申請人	姓名（名稱）	
	國籍	
	住、居所（事務所）	
	代表人姓名	

裝 訂 線

經濟部智慧財產局員工消費合作社印製

460789

申請日期	88 年 10 月 14 日
案號	88117910
類別	

A4
C4

（以上各欄由本局填註）

發明 新型 專利說明書

一、發明新型名稱	中文	
	英文	
二、發明創作人	姓名	(10) 亞汀・牧德克 Mundkur, Yatin (11) 法雷・拿克 Naik, Vinay (12) 西岡清和 Nishioka, Kiyokazu
	國籍	(10) 印度 (11) 美國 (12) 日本
	住、居所	(10) 美國加州陽光谷波波林克圓環五七一號 571 Bobolink Circle, Sunnyvale, CA 94087, U.S.A. (11) 美國加州坎貝爾西桑尼歐克斯三四〇號 340 W Sunnyeaks Campbell CA 95008 U.S.A. (12) 美國加州太陽谷費林地八七四號 874 Flin Way Sunnyvale, CA 94087 U.S.A.
三、申請人	姓名（名稱）	
	國籍	
	住、居所（事務所）	
	代表人姓名	

裝 訂 線

經濟部智慧財產局員工消費合作社印製

460789

申請日期	88 年 10 月 14 日
案號	88117910
類別	

A4
C4

（以上各欄由本局填註）

發明 新型 專利說明書

一、發明 新型 名稱	中文	
	英文	
二、發明 創作 人	姓名	(13) 野尻徹 Nojiri, Toru (14) 約翰・歐唐尼爾 O'Donnell, John (15) 沙林根・帕達卡 Padalkar, Sarangan
	國籍	(13) 日本　(14) 美國　(15) 印度
	住、居所	(13) 日本國東京都新宿區西新宿三－四－四 Nishi-Shinjuku 3-4-4, Shinjuku-ku, Tokyo, JAPAN (14) 美國華盛頓州西雅圖東第二十六街一七三八號 1738 26th Ave. E, Seattle, WA 98112, U. S. A. (15) 美國加州聖喬斯罕莫頓廣場五三八〇號 5380 Hammerton CT San Jose, CA 95118 USA.
三、申請人	姓名（名稱）	
	國籍	
	住、居所（事務所）	
	代表人姓名	

裝 訂 線

經濟部智慧財產局員工消費合作社印製

460789

（由本局填寫）

承辦人代碼：	A6 B6
大　　類：	
ＩＰＣ分類：	

本案已向：

國（地區）	申請專利，申請日期：	案號：	，□有　□無主張優先權
美國	1998 年 10 月 14 日	09/172,286	☑有主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部智慧財產局員工消費合作社印製

五、發明說明（1）

發明領域

本發明有關一資料處理系統具有各種不同的模組，且較明確地關於可在一晶片組上執行多數個繪圖工作的系統。

發明背景

近年來，對於可被併在電腦系統中或作用爲獨立系統的低價多媒體系統的需求增加。已經有一些致力於創造多媒體處理器系統的努力出現，其主要爲軟體驅動，或者，主要爲硬體驅動的。一些多媒體系統採用分離式三度空間3D繪圖晶片，其被耦合至主處理器以運作圖形。然而，這些系統於在主處理器和圖形晶片之間的資料傳送的加強運作時面臨延遲的瓶頸。

實現3D繪圖系統的頻寬需求因系統的複雜度而定。典型地，3D繪圖系統包括管線結構裡的多模組，例如藉插補法，紋理映射和紋理過濾的幾何轉換，照明轉換，陰影或光柵化。

幾何轉換是將一三度空間內的一三度空間物體模型轉換爲一二度空間的螢幕空間內的程序。這個程序包括以多數個多角形，例如三角形，定義三度空間模型和將這些多角形轉換爲一二度空間的內的步驟。

照明轉換或照明的幾何學，是表現從三度空間的模型到一二度空間的螢幕空間的光反映強度的程序。

紋理映射程序提供一機制表現三度空間模型的紋理。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（2）

因此，紋理空間在二度空間中被定義爲二個紋理坐標稱爲水平的〝u〞坐標和垂直的〝v〞坐標。紋理空間裡的每個圖素叫做紋素。與每紋素有關的消息在外部的記憶體被儲存，外部的記憶體能相應於一取得紋素指令而被映射到對應的三角形節點。紋素顏色然後被混合上如上描述的陰影顏色造成每個三角形的每個節點的最後顏色。再一次藉插補而留下陰影被採用以發現在每個三角形之內的圖素的色度。

如上面提到，根據採用3D繪圖處理的系統的傳統微處理器已經面臨頻寬限制。舉例來說，微處理器，例如X－86經由PCI匯流排被耦合至3D繪圖晶片。外部記憶體儲存與3D模型有關的消息。微處理器執行幾何和照明計算並經由PCI匯流排將結果，其爲與每個三角形的節點有關的消息，傳送到3D繪圖晶片的。

3D繪圖晶片包括測量三角形的每邊的斜率的斜率計算器。插補器根據測得的斜率計算在三角形裡面的每個圖素的陰影顏色。紋理單元根據測得的斜率和被儲存在紋理映射的消息測量在三角形裡面的每個圖素的紋理。

分開的框緩衝記憶體被採用以儲存如上面描述的那些紋理映射。每一紋理映射對應於被用於影像中的元素的紋理。

此外，框緩衝記憶體包括分開的緩衝空間稱爲Z－緩衝。當它想想被顯示時，Z－緩衝被用以除去三角形的隱藏部份。因此，當多數個物體被重疊的時候，看不見的平

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（3）

面需要被移動以要決定該物體的哪一緣及哪一平面是看得見的且只顯示那些看得見的平面。照慣例，不同的運作法則被採用以除去看不見的平面，如交談式電腦圖形的基本原理，J.D. Foley和A. Vanda-m (Addisson Wesley 1982)所描述的，且在此處併作參考。

Z－緩衝儲存，一Z－值，或需要在螢幕上被顯示的每個圖素的深度值。

然後，具有x，y座標值的每一點的Z－值，在三角形裡面被計算而且所獲得的計算結果與對應的x，y坐標的Z－值比較。當一點的Z－值比被儲存的Z－值更大時該點考慮被隱藏。

因此，以微處理器爲基礎的系統如上描述地將在微處理器和3D繪圖晶片之間的圖形處理功能分開。微處理器做幾何和照明步驟，且經由PCI匯流排提供三角形資料給圖形晶片。典型的圖形處理運作需要1M三角形／秒的處理。每個三角形包含大約50－60位元組的消息。這消息包括，每個節點的x，y，z坐標，彩色值，R，G，B，阿爾發，紋理座標值，每一三個節點的u，v。如此當每個座標及顏色及紋理值被以4位元組的消息表現時，每個三角形的三節點可能由108（360）位元組的消息所定義。這與從微處理器到3D繪圖晶片的108百萬位元組／秒資料傳送有關。因此，PCI匯流排可能面臨嚴重瓶頸。

在實現3D繪圖處理方面的另一頻寬限制爲從框緩衝

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（4）

到3D繪圖晶片的資料傳送。通常，典型的模範空間可能包括每個區域裡的2至4個物體交疊。因此，陰影及紋理可能連同Z緩衝作2至4次。對一每秒60框的顯示而言，在框緩衝和3D繪圖晶片之間的資料傳送率是大約爲425M位元組／秒（3位元組／圖素 x 1024圖素／行 x 768行 x 3（陰影） x 60框／秒），沒有Z－緩衝。

對於Z－緩衝而言，此傳送率是520百萬位元組／秒（2位元組／圖素(Z－緩衝讀取) x 3 x 1024 x 768 x 60框／秒＋（3＋2）位元組／圖素 x 1024 x 768 x 60）因爲涉及Z－緩衝的讀取和寫入運作。紋素取得也需要360百萬位元組／秒的資料傳送率。此資料傳送率以目前的記憶體技術是無法實行的。因此，目前的3D繪圖設計採用實質上較低的解析度，將不會導致真實的像。

因此，有需要減少從微處理器到3D繪圖晶片的資料傳送相關的頻寬延遲和與從框緩衝到3D繪圖晶片的資料傳送相關的頻寬延遲。

習知技術多媒體系統的另一缺點爲他們的資料傳送安排方法。在許多資料處理晶片組中資料從一或許多處理器傳送到記憶體裝置和輸入／輸出，I／O，次系統，或其他稱爲功能單元的晶片元件，經由適當的匯流排結構。典型地，匯流排結構包括處理器匯流排，系統匯流排和記憶體匯流排。因此，當發生其中資料需要被傳送到記憶體，

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明（5）

或從記憶體位置到處理器的運作時，系統匯流排將會停止運作直到那些從記憶體位置到處理器的資料運送被完成，同樣地，當發生從外部的裝置到記憶體位置的資料移動時，處理器匯流排將會停止運作直到那些資料被移動到其所要的位置時。

爲了要減輕上述的匯流排次系統的利用不足，發行於九月16日，1997，專利號5，668，965教導形成被連結到至少一處理器的包括處理器匯流排的三種匯流排的一三向連接的控制器的使用，及一記憶體匯流排被連接到主記憶體，和系統匯流排被連結到例如輸入／輸出的至少一被連接的裝置，I／O，裝置，藉此建立在各種不同的匯流排之間的互相連繫。控制器包括資料路徑切換器用以分別經由三種類匯流排中的控制及位址匯流排傳送控制信號及位址，並用以產生被供應至資料切換器裝置的資料路徑控制信號。

這個安排允許獨立基礎的匯流排的使用。舉例來說，當處理器匯流排上的處理器執行處理器／主記憶體存取以存取記憶體匯流排上的主記憶體時，資料只有經由處理器和記憶體匯流排被傳送，允許系統匯流排獨立地運作。

然而，揭露在'965專利案中的安排不提供優先基礎的資料運動。此外，其未揭露處理顯現錯誤頻寬需求的端點之間的資料傳送的機制。

此外，傳統的資料移動安排無法因應特定應用的需求。舉例來說，當資料處理器被用以處理繪圖影像並將其顯

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（6）

示在螢幕上時，藉由考慮繪圖影像所固有的記憶體住址模式可相當程度的改善生產效率。

傳統的系統的另一缺點爲資料移動安排所採用的資源不可能根據對應的兩端點間的資料傳送而彈性地指明。舉例來說，一些資料移動安排採用固定的緩衝器以容納分開的輸入／輸出，I／O，資料傳送。

因此，需要一種積體式多媒體採用克服上面討論的缺點，且明確地容許一積體式處理器晶片組的資料傳送，該晶片組包含各種不同的系統元件例如處理器，資料快取器，三度空間圖形單元，記憶體和輸入／輸出裝置。

發明概述

遵照本發明的一個實施例，積體式多媒體系統包括設在一積體電路中的多媒體處理器。系統包括被耦合至多媒體處理器的第一主處理器系統，及第二區域處理器被設在多媒體處理器裡面用來控制多媒體處理器的運作處理。一資料傳送切換器被設在多媒體處理器裡面且被耦合至第二處理器以用來傳送資料到多媒體處理器的各種不同的模組。

一固定功能單元亦被設置於多媒體處理器裡面，且被耦合至第二處理器及資料傳送切換器。固定功能單元執行三度空間的繪圖運作。

一資料流路被耦合至資料傳送切換器，並被構建以依照對應的通道分配排定設於多媒體處理器中的多數模組間

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明（7）

的同步資料傳送。一介面單元被耦合至該資料流路且具有多數輸入／輸出（I／O）裝置驅動單元。

一多工器被耦合至該介面單元並提供選定數量的I／O裝置驅動單元與外部I／O裝置之間將由輸出接腳的存取。

多數外部I／O裝置被耦合至該多媒體處理器。

遵照本發明的另一實施例，外部I／O裝置由對應的I／O裝置驅動單元所控制。一些外部I／O裝置包括NTSC解碼器，一NTSC編碼器，一整體服務數位網路界面，解調器單元被配置以解調變無線通訊信號，遵照傳送通道界面安排。

多媒體處理器也提供影像信號和三空間繪圖信號到一外部的影像顯示裝置。

遵照本發明的另一實施例，積體式多媒體系統包括設在積體電路內的多媒體處理器其包括設在多媒體系統裡面用來控制系統運作的處理器。一資料傳送切換器被設在積體電路裡且被耦合至處理器用來傳送資料到系統的各種不同的模組。一固定功能單元被耦合至處理器和資料傳送切換器且被配置以執行三度空間的繪圖運作。

資料流路被耦合至資料傳送切換器，且被配置以遵照通道分配安排排定在系統的各種不同的模組之間的同步的資料傳送。

一介面單元被耦合至具有多數輸入／輸出（I／O）裝置驅動單元的資料流路。一多工器被耦合至該介面單元

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明（8）

以經由輸出接腳提供選定數量的Ｉ／Ｏ裝置驅動單元至外部Ｉ／Ｏ裝置之間的存取。多數的外部Ｉ／Ｏ裝置被耦合至該積體電路。

圖示的簡單描述

本發明的標的將在說明書的結論部分明確的指出並請求。然而，至於組織架構、操作的方法、特徵、目的及優點將藉由參考以下的詳細描述及伴隨的圖示而更易於明瞭：

圖１（ａ）爲依據本發明實施例之多媒體處理系統的方塊圖。

圖１（ｂ）爲圖１（ａ）所示之多媒體處理系統的輸入／輸出單元。

圖１（ｃ）爲一多媒體處理系統的方塊圖，其利用依據本發明一實施例與主電腦連接之多媒體處理器。

圖１（ｄ）爲一獨立之多媒體系統的方塊圖，其利用依據本發明之多媒體處理器。

圖２的流程圖描述一資料傳送的要求操作程序，其中結合依據本發明之資料傳送開關。

圖３（ａ）及３（ｂ）的流程圖描述一讀取程序，其利用依據本發明之資料傳送開關。

圖４（ａ）及４（ｂ）描述依據本發明一實施例，匯流排連接及一內部記憶體匯流排連接之要求程序的訊號流。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（９）

圖５（ａ）描述依據本發明一實施例，一匯流排讀取操作之請求的時序圖。

圖５（ｂ）描述依據本發明一實施例，一讀取請求的時序圖，其中並未立即授予請求。

圖５（ｃ）描述依據本發明一實施例，一匯流排寫入操作之請求的時序圖。

圖５（ｄ）描述依據本發明一實施例，一資料匯流排傳輸操作的時序圖。

圖６（ａ）描述一請求匯流排主單元實施背對背請求的時序圖。

圖６（ｂ）描述當第二請求並未立即獲准時，處理器記憶體匯流排主單元實施背對背請求的時序圖。

圖６（ｃ）描述請求匯流排僕單元在寫入請求後，接收一讀取請求的時序圖。

圖７描述依據本發明實施例之資料串的方塊圖。

圖８描述依據本發明一實施例，資料串中所使用之傳輸引擎的方塊圖。

圖９爲依據本發明一實施例，資料傳送開關的方塊圖。

圖１０爲依據本發明一實施例，資料串緩衝控制器的方塊圖。

圖１１爲依據本發明一實施例，直接記憶體存取控制器的方塊圖。

圖１２爲依據本發明一實施例，一示例的記憶體位址

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 10）

空間。

圖１３描述依據本發明一實施例，通道描述器的資料結構。

圖１４描述依據本發明一實施例，通道描述器的資料結構。

圖１５（ａ）－１５（ｃ）描述一流程圖，用以設定依據本發明一實施例的資料通道。

圖１６描述一習知快取記憶體系統的方塊圖。

圖１７描述依據本發明一實施例，快取記憶體系統的方塊圖。

圖１８的流程圖描述習知快取記憶體系統的操作。

圖１９的流程圖描述依據本發明一實施例，快取記憶體系統的操作。

圖２０爲依據本發明一實施例，一固定功能單元的方塊圖，其結合一多媒體處理器之資料快取。

圖２１爲依據本發明一實施例，於 binning 模式中，一３Ｄ三角光柵器的方塊圖。

圖２２爲依據本發明一實施例，於內插模式中，一３Ｄ三角光柵器的方塊圖。

圖２３爲依據本發明一實施例，一３Ｄ特徵控制器的方塊圖。

圖２４爲依據本發明一實施例，一３Ｄ特徵過濾器的方塊圖。

圖２５（ａ）及２５（ｂ）爲依據本發明一實施例，

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 11）

一視頻定標器的方塊圖。

圖２６爲依據本發明一實施例，實施 binning 程序之一三角形的圖形。

圖２７的流程圖描述依據本發明一實施例，用以實施３Ｄ繪圖的流程圖。

主要元件對照表

１００	多媒體處理器
１０２，１０４	處理單元
１０６	固定功能單元
１０８	資料快取
１１０	指令快取
１１２	資料傳送開關
１１４	處理器記憶體匯流排（ＰＭＢ）
１１６	收發器
１１８	請求匯流排
１２０	內部記憶體匯流排（ＩＭＢ）
１２２	資料流送器
１２４	記憶體控制器
１２６	可程式輸入／輸出控制器
１２８	ＳＤＲＡＭ
１３０	ＰＣＩ／ＡＧＰ界面
１３２	輸入／輸出Ｉ／Ｏ匯流排
１３４	Ｉ／Ｏ裝置控制器

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 12）

136	多工器
138	DMA控制器
140，142，144	匯流排裁決器單元
202	I／O單元
204	RAMDAC或SVGA DAC界面
206	傳輸通道界面驅動單元
208	IEC958界面
210	T1單元
212	I^2S控制器單元
214	界面
216	I^2C單元
218	Legacy音頻單元
220	格式1描述元的資料結構
221	驅動器單元
222	通用串列匯流排（USB）單元
224	編碼器及解碼器控制裝置
226	顯示更新單元
230	主處理器
232	ISA SB/Comm映射器
236	S／T界面單元
238	NTSC編碼單元
240	NTSC解碼單元

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 13）

242	NTSC解碼單元
244	本地振盪器單元
246	解調變單元
248	視頻解碼器
250	1394單元
252	匯流排
254	編碼繹碼器
256	振盪器
258	ISA匯流排
260	PCI匯流排
114，	記憶體匯流排
516	資料記憶體
532，534	裁決器
536	標籤記憶體目錄
538	資料快取記憶體
540	再填控制單元
542	外部存取控制器
544	監控單元
603	VGA繪圖控制器
607	3D三角形光柵器
609	3D特徵控制器
610	3D特徵濾波器
611	3D單元
612	視頻定標器

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 14）

614	資料傳送開關介面
618	可程式輸入／輸出控制器ＰＩＯ
622	光柵器建立緩衝器
624	特徵座標 tile(tile T)
626	色彩 tile
628	景深 tile(tilez)
630	索引緩衝器
632	格式轉換器
634	螢幕座標內插器
636	特徵座標內插器
638	色彩內插器
640	景深內插器
642	Z 有效暫存器
644	Binning 單元
646	tile 資料緩衝器
648	片段（ fragment ）產生器
650	片段索引
652	片段鏈結緩衝器
654	片段緩衝器的特徵座標
656	片段緩衝器的色彩
658	片段緩衝器的深度
660	位址映射緩衝器
662	色彩 tile
664	記憶體位址計算器

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 15）

666	特徵快取標籤檢查單元
667	特徵快取
668	位址映射產生器
670	資料流送器描述元產生器
702	傳送引擎
704	通道狀態記憶體
706	資料流送器緩衝控制器
708	緩衝狀態記憶體
710	循環演算法優先裁決器
714	緩衝記憶體
716	先進先出緩衝器
718	資料傳送開關介面
740	循環演算法優先排程器
742	操作排程器
744	擷取段
746	產生及更新段
748	寫入後段
760	匯流排請求器
762	請求發送器
764	請求佇列RQQ
766	處理器記憶體匯流排（PMB）傳輸引擎
768	緩衝器

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 16）

770	內部記憶體匯流排（ＩＭＢ）傳輸引擎
772	接收引擎
774	內部記憶體匯流排接收ＦＩＦＯ
776	ＦＩＦＯ緩衝器
778	ＰＭＢ記錄表
780	ＯＭＢ記錄表
782	傳輸引擎
802	操作排程器的輸出埠
804	擷取段
806	記憶體管線段
808	內部記憶體匯流排（ＩＭＢ）管線操作排程器
810	擷取段
820	匯流排介面
822	源影像緩衝器
824	垂直源資料平移暫存器
826	像素位址控制器
828	固定功能記憶體
830	水平源資料平移暫存器
834	乘法及加法電路
840	選擇器
844	係數儲存單元
846	座標加法器

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 17）

850	Δ單元
852，854	像素及係數暫存器
856	乘法器
860	加法器
861	三角形
930	色彩緩衝器
934	累積緩衝器
942	特徵像素擷取單元
944	調色單元
946	水平內插器
948	垂直內插器
950	三－線性內插器
952	色彩調和單元
954	累積調和單元

較佳實施例的詳細描述

圖1描述依據本發明之一實施例之多媒體處理器100，雖然本發明並未限制於該範圍中。多媒體處理器100爲一可程式的單晶片，用以處理同時的操作。這些操作包括圖形、音頻、視頻、通訊、網路及其他多媒體功能的加速。由於處理器100的所有主要元件皆位於一晶片組上，整個系統較習知的系統更佳，此將於其後做更詳盡的描述。

多媒體處理器100包括一變化長度的指令字元（

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（ 18）

ＶＬＩＷ）處理器，其適用於主控及非主控的環境。在本發明的主文中，主控的環境係指多媒體處理器１００耦合於一分離的處理器，如ＩＮＴＥＬ®Ｘ－８６，而非主控的環境則是指多媒體處理器１００單獨做爲一獨立的模組。ＶＬＩＷ處理器代表一中央處理單元，其具有兩個群集ＣＰＵ１０２及ＣＰＵ１０４。這些處理單元１０２及１０４個別地允許多媒體處理器１００以獨立晶片組的方式操作。

ＶＬＩＷ處理器的操作係習知者，且描述於John R. Ellis,Bullgod: A Compiler for VLIW Architectures,(The MIT Press, 1986),且合併於此處以供參考。基本上，ＶＬＩＷ處理器利用一架構，其適合於在程式中利用指令一級平行運算（ＩＬＰ）。此配置允許在一時間內執行超過一個的基本（主要）指令。這些處理器包括多工單元，其由指令快取中取得一極長的指令字元，其中包括多個主要的指令，如此可使指令平行的執行。爲了達成此目的，利用特殊的編譯器來產生由獨立的主要指令所組成的程式碼－－這些獨立的主要指令可平行的執行。相對於超大的處理器，ＶＬＩＷ處理器具有較爲簡單的控制邏輯，由於其不實施任何動態規劃或操作記錄。由於ＶＬＩＷ編譯器可處理埋藏於習知處理器硬體架構的複雜度，ＶＬＩＷ處理器已被視爲ＲＩＳＣ的後繼者。

ＶＬＩＷ架構的指令集趨向於維持簡單的指令。編譯器必須將許多主要的操作組合於一單一的〝指令字元〞中

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 19）

，使得多工單元維持著忙碌狀態，其在一程式碼的序列中，需要足夠的指令－級平行運算（ＩＬＰ）以填入可操作的槽中。編譯器透過推測地規劃橫跨基本區塊的程式碼，來實施軟體的管線及減少執行的操作數目，亦無法應付此種平行運算。

ＶＬＩＷ處理器１０２的輸出埠耦合於資料快取１０８。類似的，ＶＬＩＷ處理器１０４的輸出埠耦合於指令快取１１０。資料快取１０８及指令快取１１０的輸出埠輪流的耦合至依據本發明一實施例之資料傳送開關１１２。進一步的，固定功能單元１０６配置於多媒體處理器１００中，以處理三維的圖形處理，此處理將於其後做詳盡的描述。固定功能單元１０６的輸出埠並耦合於資料傳送開關１１２的輸入埠，如圖１所示。固定功能單元１０６並耦合於資料快取１０８的輸入埠。參考圖２０－２６將更詳盡的描述結合資料快取１０８之固定功能單元１０６的操作及配置。以下參考圖１７及１９，以詳盡的方式描述依據本發明一實施例，資料快取１０８的操作及配置。

如圖１（ａ）所示，多媒體處理器１００的所有元件耦合於資料傳送開關１１２。未達到此一目的，記憶體控制器１２４的多個埠耦合於資料傳送開關１１２。記憶體控制器１２４控制一外部記憶體的操作，如ＳＤＲＡＭ１２８。資料傳送開關１１２並耦合於資料流送器１２２。如以下將詳述者，資料流送器１２２在多媒體處理器中

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 20）

提供緩衝的資料移動。其進一步的支援記憶體或輸入／輸出Ｉ／Ｏ裝置間的資料傳輸，這些不同的裝置具有不同的頻寬需求。依據本發明一實施例，由資料流送器１２２所處理的記憶體裝置可包括任何系統內可定址的實體記憶體，包括外部記憶體ＳＤＲＡＭ　１２８，資料快取１０８，及固定功能單元１０６中的記憶體空間配置。

進一步的，資料流送器１２２在一狀態下，處理記憶體至主記憶體的傳輸，其中多媒體處理器１００經由ＰＣＩ匯流排耦合至主處理器，以下參考圖１（ｃ）將做更詳盡的說明。爲了達成此目的，多媒體處理器１００並包括一ＰＣＩ／ＡＧＰ界面１３０，其具有耦合至資料傳送開關１１２的資料埠。ＰＣＩ／ＡＧＰ界面１３０允許多媒體處理器１００與對應的ＰＣＩ匯流排及ＡＧＰ匯流排通訊，此二匯流排各自利用已知的通訊協定ＰＣＩ架構規格２．１版（ＰＣＩ特殊利益群所出版），及ＡＧＰ架構規格１．０版，此處合併參考。

當經由界面單元１３０耦合至ＰＣＩ或ＡＧＰ（加速圖形埠）匯流排時，多媒體處理器１００可作爲一主裝置或一僕裝置。由於兩個匯流排可相互獨立的耦合於多媒體處理器１００，多媒體處理器１００可在一通道上，以匯流排主裝置來操作，以及在其他裝置上，以僕裝置來操作。爲了達成此目的，當從主系統的觀點，以僕裝置的形式操作，則多媒體處理器１００成爲一多工ＰＣＩ／ＡＧＰ裝置。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（21）

資料流送器１２２並經由直接記憶體存取ＤＭＡ控制器１３８，耦合於一輸入／輸出Ｉ／Ｏ匯流排１３２。多個Ｉ／Ｏ裝置控制器１３４亦耦合於Ｉ／Ｏ匯流排。依據本發明一實施例，Ｉ／Ｏ裝置控制器１３４的輸出埠耦合於一versa埠多工器１３６的輸入埠。

可程式輸入／輸出控制器（ＰＩＯＣ）１２６以其某些資料埠，與資料傳送開關１１２耦合，並以其他的埠與Ｉ／Ｏ匯流排１３２耦合。

依據本發明一實施例，Ｉ／Ｏ裝置控制器１３４一同定義一界面單元２０２，用以提供多媒體處理器１００與外側的界面。如參考圖１（ｂ）將更詳細描述者，多媒體處理器１００可依據Ｉ／Ｏ裝置的個數而規劃成多種形態，這些Ｉ／Ｏ裝置在任一時間致動。

如圖１（ａ）所示，資料傳送開關１１２包括處理器記憶體匯流排（ＰＭＢ）１１４，其規劃以從固定功能單元１０６、資料快取１０８、指令快取１１０及資料流送器１２２接收位址及資料資訊。

資料傳送開關１１２並包括一內部記憶體匯流排（ＩＭＢ）１２０，其規劃以從記憶體控制器１２４、資料流送器１２２、可程式輸入／輸出控制器（ＰＩＯＣ）１２６、及ＰＣＩ／ＡＧＰ控制器１３０接收位址及資料資訊。

資料傳送開關１１２並包括一請求匯流排１１８，其規劃以從耦合至多媒體處理器１００的所有元件接收請求

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 22）

訊號。

資料傳送開關１１２並包括一可開關的收發器１１６，其規劃以提供處理器記憶體匯流排（ＰＭＢ）１１４及內部記憶體匯流排（ＩＭＢ）１２０間的資料連接。進一步的，資料傳送開關１１２包括三個匯流排裁決器單元１４０、１４２及１４４。因此，依據系統的需求，可處理請求及資料匯流排之分離的匯流排裁決。進一步的，如圖１（ａ）所示，多媒體處理器１００中的不同元件耦合至處理器記憶體匯流排１１４或內部記憶體匯流排１２０，形成分離的群體，資料流送器１２２直接耦合至兩種記憶體匯流排。依據本發明一實施例，理器記憶體匯流排１１４或內部記憶體匯流排１２０爲６４位元或８位元，以２００ＭＨＺ操作，並具有尖端頻寬１６００ＭＢ’ｓ。

依據本發明一實施例，每一匯流排裁決器，如１４０、１４２及１４４包括一四級先進先出（ＦＩＦＯ）緩衝器，以便完成同時送出之多請求的規劃。一般而言，依據一指定的優先等級來服務每一請求。

耦合至資料傳送開關１１２的所有元件係指一資料傳送開關媒介。進一步的，在本文中，請求以完成一操作的元件係指一指導器或主單元。類似的，反應一請求的元件係指一應答器或一僕單元。特定功能或在一特定時間的指導器可以是另一功能或另一時間下的僕單元。進一步的，如其後將詳述者，可用資料匯流排１１４及１２０的其一

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 23）

或兩者，來傳輸多媒體處理器１００中的所有資料。

現在將更詳盡的描述用以管控內部記憶體匯流排（ＩＭＢ）及處理器記憶體匯流排（ＰＭＢ）之操作的通訊協定。依據本發明一實施例，請求匯流排１１４、１１８及１２０個別地包括訊號線以搭載請求位址，此請求位址表示一目的位址。在一請求狀態中，做出請求的元件爲匯流排主單元，且定址於目的位址的元件爲匯流排僕單元。請求匯流排並包括一請求位元讀取致能訊號，及請求指導器識別訊號，此識別訊號識別發出請求的指導器。

傳輸資料時，請求狀態之目的位址成爲匯流排主單元，且在請求狀態下，指導的元件成爲匯流排僕單元。匯流排並包括載送一執行識別ＩＤ訊號的傳輸線，此識別ＩＤ訊號是在資料傳輸狀態下，由匯流排僕單元所產生者。

匯流排上的額外資料線，提供資料傳輸量，使得資料源及目的端可在兩個單元間的傳輸量下保持一通道。進一步的，匯流排包括載送處理命令的訊號線。

參考圖１（ｂ）將詳細的說明結合多工器１３６的操作界面單元２０２。

界面單元及多工器

獨立單元或個人電腦上的多媒體處理器１００，可同時達到多媒體及Ｉ／Ｏ的功能，並具有小的主單元負載及高的媒體品質。當啓動多媒體處理器１００時，多工器１３６提供一軟體規劃的Ｉ／Ｏ接腳組。如此使得Ｉ／Ｏ

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（24）

功能可彈性的及軟體的更新。Ｉ／Ｏ接腳組的定義係依據被致動之Ｉ／Ｏ裝置控制器１３４的形態。

因此，依據本發明一實施例，可改變規劃於多媒體處理器１００上的Ｉ／Ｏ界面單元，例如藉由載入一更新軟體以及重新啓動晶片的方式。類似的，當獲得新的標準時，軟體更新便可取代硬體更新。

Ｉ／Ｏ界面單元包括一ＮＴＳＣ／ＰＡＬ編碼器及解碼器控制裝置２２４，其耦合至Ｉ／Ｏ匯流排１３２及多工器１３６。ＩＳＤＮ　ＣＧＩ控制器單元２２０並耦合至Ｉ／Ｏ匯流排１３２及多工器１３６。類似的，一Ｔ１單元２１０耦合至Ｉ／Ｏ匯流排１３２及多工器１３６。Legacy音頻訊號界面單元２１８耦合至Ｉ／Ｏ匯流排１３２及多工器１３６，且被規劃以提供依據 Lagacy 之音頻協定的音頻訊號界面。音頻編碼繹碼器單元２１４被規劃以提供音頻編碼繹碼器界面訊號。音頻編碼繹碼器單元２１４耦合至Ｉ／Ｏ匯流排１３２及多工器１３６。一通用串列匯流排（ＵＳＢ）單元２２２耦合至Ｉ／Ｏ匯流排１３２及多工器１３６。ＵＳＢ單元２２２允許多媒體處理器１００與ＵＳＢ通訊以從鍵盤裝置、搖桿、及滑鼠裝置接收控制訊號。類似的，一ＩＥＣ９５８界面２０８耦合至Ｉ／Ｏ匯流排１３２及多工器１３６。

一I^2S（內ＩＣ聲音）界面２１２被規劃以驅動一數位－類比轉換器（未示），而應用於家庭劇院中。I^2S界面一般用於ＣＤ播放器，其中不須將資料及時鐘訊號結合

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 25）

至一串列資料串中。此界面包括分離的主時鐘、字元時鐘、位元時鐘、資料及選擇性的強調旗標。

一I^2S匯流排界面單元216被規劃以提供多媒體處理器100及外部 on-board 裝置間的通訊。IIC標準的操作係習知的，且描述於 Phillips 半導體 The I^2C-bus and How to Use it (including specification) (April 1995)，並合併於此。

匯流排界面單元216依據一顯示通道界面（DDC）標準的通訊協定來操作。DDC標準定義電腦顯示器及主系統間的通訊。通道可用來載送規劃資訊，以將顯示器的使用最佳化，並載送顯示控制資訊。此外，其可用作一資料通道以存取經由顯示器連接至主單元的匯流排周邊。顯示資料通道標準提出硬體配置的要求，以提供依據VESA（視頻電子標準協會）標準的資料。

上述每一I／O裝置控制器的功能詳述如下。

RAMDAC或SVGA DAC界面204提供至外部RAMDAC的直接連接。此界面並包括一CRT控制器及時鐘合成器。RAMDAC經由I^2C匯流排而加以程式化。

NTSC解碼器／編碼器控制器裝置224直接界面至CCIR601／656 NTSC視頻訊號，以提供一積體及獨立的配置。如此使得多媒體處理器100直接產生高品質的NTSC或PAL視頻訊號。此界面可支持由CCIR601標準所指定的解析度。當進行前進－交

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明（26）

錯及交錯－前進輸出時，處理器１０２上的先進視頻過濾器產生無閃爍的輸出。ＮＴＳＣ編碼器透過I^2C串列匯流排而被控制。

類似的，ＮＴＳＣ解碼器控制器提供與ＣＣＩＲ６０１／６５６的直接連接，其具有ＮＴＳＣ視頻訊號的格式，此訊號可在１３．５ＭＨＺ的像素輸出率下產生高達１６－bit的ＹＵＶ。

ＩＳＤＮ（整合服務數位網路標準）界面２２０包括一５ｐｉｎ的界面，可經由一外部ＩＳＤＮ　Ｕ或Ｓ／Ｔ界面裝置，支援ＩＳＤＮ　ＢＲＩ（基本率界面）。ＩＳＤＮ標準定一通用的數位電化網路的詳細內容，且於１９８０’ｓ便已存在。此模組的功能性係依基相同的串列通訊控制器的原理，利用ＩＤＬ２及ＳＣＰ界面來連接至ＩＳＤＮ　Ｕ－界面裝置。

Ｔ１界面２１０經由一Ｔ１串聯或平行界面，直接連接至任一第三者Ｔ１　ＣＳＵ（通道服務單元）或資料服務單元（ＤＳＵ）。ＣＳＵ／ＤＳＵ及串聯／平行輸出可由專用的暫存器來進行軟體規劃化。以分離的單元來處理訊號及資料控制。一般而言，通道服務單元（ＣＳＵ）將從Ｔ１網路所收到的波形再生並在ＤＳＣ－１界面提供一清晰的訊號。其亦再生資料的傳送。遠端測試功能包括自網路側的一回饋測試。進一步的，資料服務單元（ＤＳＵ）將使用者的資料備妥以符合ＤＳＣ－１界面所需的格式，利如以特殊的編碼抑制多個０來進行。ＤＳＵ並提供具

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明（27）

有本地及遠端的回饋測試終端。

依據本發明一實施例之一訊號多媒體處理器係規劃以處理２４通道之Ｖ．３４數據機的資料傳輸，且可混合Ｖ．ＰＣＮＬ及Ｖ．３４的功能。此特徵允許使用多媒體處理器１００來建立數據機的集中器。

Legacy音頻單元２１８規劃成依據Legacy音頻Pro 8-bit立體標準。其提供暫存器的通訊操作（重設，命令／狀態，讀取資料／狀態），數位的音頻操作（ＤＭＡ及直接模式），及專業的混合器支援（ＣＴ１　３４５，模組混合器）。此單元的模組包括：

８－位元單聲道／立體ＤＭＡ僕模式播放／記錄；

直接播放／記錄模式之８－位元主Ｉ／Ｏ界面；

重設，命令／資料，命令狀態，讀取資料及讀取狀態暫存器配件；

專業混音配件；

ＦＭ合成器（ＯＰＬＩＩ，ＩＩＩ，或ＩＶ位址解碼器）；

ＭＰＵ４０１通用ＭＩＤＩ配件；

搖桿界面配件；

ＤＯＳ模式之軟體規劃配件；及

視窗ＤＯＳ工具箱中的資源ＰｎＰ（隨插即用）。

ＰＣＩ訊號解碼單元經由多工器１３６埠提供legacy音頻訊號的直接輸出。

ＡＣ連節界面２１４爲５個接腳的數位串列界面，且

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（28）

爲雙向、固定頻率的串列ＰＣＭ數位資料串。其可處理多輸出、輸入音頻資料串，並控制利用ＴＤＭ格式之暫存器的存取。此界面將每一音頻資料框分割成１２個輸出及１２個輸入的資料串，每一資料串具有２０位元的取樣解析度。界面２１４包括一編碼繹碼器，此編碼繹碼器實施固定的４８ＫＳ／Ｓ　ＤＡＣ及ＡＤＣ混合及類比處理。

傳輸通道界面（ＴＣＩ）２０６接收傳輸層格式的解調變通道資料。其將來自衛星及纜線的封包資料同步化，並透過ＤＭＡ控制器，將位元組校正資料配置於多媒體處理器１００的記憶體中。基本上，傳輸的通道界面接收傳輸層格式的解調變通道資料。傳輸層格式包括１８８個位元組的資料包，其中有4位元組的標頭資料，及１８４位元組的內容資料。此界面可偵測 sync 位元組，sync 位元組爲每一傳輸標頭的第一位元組。一但偵測到 sync 位元組，此界面經由資料流送器１２２及資料傳送開關１１２（圖１（ａ））將位元組校正資料傳至多媒體處理器１００的記憶體緩衝器。傳輸通道界面亦接收平行位元組或位元串列格式之ＭＰＥＧ－２傳輸資料包。

多媒體處理器１００提供視頻及音頻通道的時脈修正及同步化作業。

通用串列匯流排（ＵＳＢ）界面２２２爲低速裝置的標準傳輸界面。此界面符合標準規格。且此界面爲四接腳的界面（兩個電源，兩個資料接腳）並可連接如 Philips PDIUSB11 的模組。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（29）

多媒體處理器１００並非如一ＵＳＢ集線器，但可與１２Ｍｂｐｓ及１．５Ｍｂｐｓ的裝置連接。可用軟體規劃的方式在兩種速度下操作。當規劃成以１２Ｍｂｐｓ的速度操作時，可傳輸個別的資料包至１．５Ｍｂｐｓ的裝置。依據本發明一實施例，多媒體處理器１００可透過ＵＳＢ與多達２５６個裝置通訊。

ＵＳＢ爲一種時間槽（time-slotted）匯流排。時間槽係一毫秒。每一時間槽可包含多項處理，包括同步、非同步控制或資料。

進一步的，資料的處理可以是個別的封包，或大批的處理。且資料處理爲非同步的。資料爲具有寫入位元的ＮＲＺＩ。如此確保至少每經6個位元之可變長度資料封包的時脈校正轉換由ＣＲＣ所保護。大批的資料處理將較長的資料串切割成封包，每個封包爲１０２３個位元，並在每一時間槽傳送一封包。

ＩＥＣ９５８界面單元２０８係規劃以支持多種音頻標準，如Sony Philips數位界面（ＳＰＤＩＦ）；音頻工程協會／歐洲廣播聯合界面（ＥＳ／ＥＢＵ）；ＴＯＳＬＩＮＫ界面；ＴＯＳＬＩＮＫ界面需要外部的ＩＲ裝置。ＩＥＣ９５８協定條約要求一聲音取樣中的每一多位元域須移進、移出，且先進行最步重要的位元（小endian）。

界面單元２０２並包括一I^2S控制器單元２１２，其係規劃以驅動家庭劇院之高品質（優於９５ｄＢ的ＳＮＲ

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（30）

）的音頻類比至數位（Ｄ／Ａ）轉換器。其時序可由軟體規劃成１８或１６位元的模式。

Ｉ^{2}Ｃ單元２１６先利用Ｉ^{2}Ｃ標準，以利多媒體處理器１００與外部內建裝置通訊。Ｉ^{2}Ｃ單元２１６包括一雙線的串列界面，其提供一實體層（訊號化），而允許多媒體處理器１００作爲主單元，且Ｉ^{2}Ｃ爲僕單元。如此，多媒體處理器１００不須額外的硬體來中繼狀態以及控制外部裝置的資訊。

ＤＤＣ界面完全符合顯示資料通道（ＤＤＣ）第１及２ａ板規格的ＶＥＳＡ標準，ＤＤＣ規格提供：經由標準ＶＧＡ連接器之雙接腳的ＤＤＣ控制；經由Ｉ^{2}Ｃ並透過ＶＧＡ連接器之雙接腳的ＤＤＣ控制。

每一上述的Ｉ／Ｏ單元包括一控制暫存器（未顯示），此暫存器對應至Ｉ／Ｏ匯流排１３２之預定位址的一ＰＩＯ暫存器。如此，藉由從Ｉ／Ｏ匯流排１３２接收適當的控制訊號便可直接地控制每一單元。

因此，依據本發明一實施例，藉由重新設計Ｉ／Ｏ單元２０２之Ｉ／Ｏ規劃，多媒體處理器１００便可利用於多種系統中，使得一組期望的Ｉ／Ｏ裝置可經由一多工器１３６存取至外界。利用多媒體處理器１００之系統的一些應用例，包括３Ｄ幾何ＰＣ、多媒體ＰＣ、機上盒／３Ｄ電視終端、或Ｗｅｂ電視，及通訊數據系統。

在操作時，處理器１０２可被加以程式化以經由Ｉ／Ｏ匯流排１３２提供適當的訊號至Ｉ／Ｏ單元２０２，以

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（31）

便經由多工器136將期望的I／O單元耦合至外界。例如，依據本發明一實施例，可致動TCI單元206以藉由多工器136耦合至一外部調整系統（外顯示）來接收TV訊號。多媒體處理器100可處理接收的訊號並將其顯示在顯示單元上。在本發明另一實施例中，可致動NTSC單元224以由多工器136耦合至一外部調整系統來接收NTSC的電視訊號。

依據本發明的原理，亦可利用於其他的應用。爲了說明起見，圖1（c）及1（d）顯示依據本發明之兩種典型系統的方塊圖，且將於其後加以描述。

因此，利用多媒體處理器100之多媒體系統描述於圖1（c）中，且依據本發明一實施例，其與一主處理器230，如X86®一同操作。多媒體處理器100經加速圖形匯流排AGP耦合至一主處理器230。處理器230經由一PCI匯流排260及一南橋單元耦合至一ISA匯流排。一音頻I／O控制器218（圖1（b））係規劃以藉由ISA SB／Comm映射器232及多工器136接收及傳送訊號至ISA匯流排258。驅動器單元216接收顯示資料通道訊號，其係用以控制CRT之解析度，螢幕尺寸及長寬比。多媒體處理器100之ISDN／CGI驅動器單元221係規劃以接收並傳送資料至ISDN U或S／T界面單元236。

多媒體處理器100經由顯示更新單元226提供類比的RGB訊號至一CRT顯示器（未顯示）。多媒體處

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（32）

理器１００並規劃以經由ＣＣＩＲ／ＮＴＳＣ驅動單元及ＮＴＳＣ編碼單元２３８，提供ＮＴＳＣ或ＰＡＬ視頻訊號。相反的，多媒體處理器１００並規劃以經由ＣＣＩＲ／ＮＴＳＣ驅動單元及ＮＴＳＣ解碼單元２４０，提供ＮＴＳＣ或ＰＡＬ視頻訊號。一本地振盪器單元２４４係規劃以提供５４ＭＨｚ訊號至多媒體處理器１００來處理ＮＴＳＣ訊號。

一解調變單元２４６耦合至多媒體處理器１００之傳輸通道界面驅動單元２０６。解調變單元２４６用以將依據９０度相位差振幅調變或９０度相位差平移調變或Ｆ．Ｅ．Ｃ．的調變訊號解調變。

第二ＰＣＩ匯流排２５２亦耦合至多媒體處理器１００，且係規劃以接收由視頻解碼器２４８所產生的訊號，而提供依據Ｂｔ４８４標準之ＮＴＳＣ／ＰＡＬ訊號。進一步的，匯流排２５２接收依據１３９４鏈結／實體標準的訊號，而允許經由１３９４單元２５０之高速的串列資料界面。匯流排２５２亦可耦合至另一多媒體處理器１００。

最後，多媒體處理器１００係規劃以經由編碼繹碼器２５４接收依據ＡＣ’９７編碼繹碼器標準之類比音頻訊號。一本地的振盪器２５６產生一震盪訊號以作ＡＣ’９７編碼繹碼器編碼之用。

圖１（ｄ）描述一獨立的系統，如利用依據本發明另一實施例之多媒體處理器１００的多媒體ＴＶ或ＷＥＢ

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 33）

ＴＶ，在一獨立的規劃中，多媒體處理器１００致動通用串列匯流排（ＵＳＢ）驅動單元２２２而允許經由使用者界面裝置，如鍵盤、滑鼠及搖桿等來加以控制。就獨立的規劃而言，ＶＬＩＷ處理器結合多媒體處理器１００的其他模組實施所有的繪圖工作，一如之後將描述者。然而，與一主處理器２３０一同操作時，一些繪圖工作則由主處理器來實施。

資料傳送開關

圖２爲依據本發明實施例之資料傳送開關的流程圖，然本發明並不限於此範圍。

圖２描述一匯流排協定的流程圖，其描述從多媒體處理器１００內之功能單元寫入另一單元的初始狀態例，如藉由記憶體控制器１２４將資料快取１０８內的資料寫入ＳＤＲＡＭ　１２８的程序，然本發明的範圍並不限於此一方面。因此，就此例而言，請求匯流排的主單元爲一資料快取１０８，且請求匯流排僕單元爲記憶體控制器４０４。在步驟４０２中，請求匯流排主單元將一寫入請求隨同一反應器ＩＤ及一特定的優先等級傳送至請求匯流排裁決器１４０。在步驟４０４中，請求匯流排裁決器判斷請求匯流排僕單元及記憶體控制器１２４是否已備妥來接收一寫入請求。如果是，請求匯流排裁決器１４０隨同一處理ＩＤ傳送一准予訊號至資料快取１０８，並接著傳送一寫入請求至記憶體控制器１００。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（34）

在步驟406中，請求匯流排主單元在請求匯流排118上提供位址、命令、大小及其本身的識別器ID訊號。同時，請求匯流排僕單元反應先前的請求訊號，傳送一更新的備妥訊號至請求匯流排裁決器140以指示是否可接收額外的請求。進一步的，請求匯流排僕單元在請求匯流排上置放處理識別ID。此處理識別用以指示此處理項目存在於僕單元的寫入佇列中。當從匯流排僕單元接收對應於此一請求的資料時，請求匯流排主單元取樣此一處理ID。

就上述的寫入處理而言，請求匯流排主單元，如資料快取108並成爲資料匯流排主單元。因此，在步驟408中，資料快取108隨著接收識別、可應用之優先等級及處理的大小，傳送一寫入請求至資料匯流排裁決器，在此例中則爲處理器記憶體匯流排114。在步驟410中，資料匯流排裁決器114傳送一准予訊號至資料匯流排主單元，並接著傳送一請求訊號至資料匯流排僕單元（本例中爲記憶體控制器124）。

在步驟412中，資料匯流排主單元提供了資料及位元組在資料匯流排上以四個連續的週期致能。反應於此，資料匯流排僕單元取樣資料。資料匯流排主單元並提供原先在步驟404中從請求匯流排僕單元所接收之處理ID。最後，資料匯流排裁決器提供資料匯流排僕單元之處理段的大小。

圖3a描述利用資料傳送開關112之讀取段的流程

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（35）

圖。例如，假設資料快取１０８在ＳＤＲＡＭ　１２８上執行一讀取操作。因此。在步驟４２０中，請求匯流排主單元（本例中爲資料快取１０８）將一讀取請求隨同一反應器ＩＤ訊號及一特定的優先等級傳送至請求匯流排裁決器１４０。在步驟４２２中，請求匯流排裁決器判斷請求匯流排僕單元是否已備妥來進行一處理。如果是，請求匯流排裁決器１４０隨同一處理ＩＤ傳送一准予訊號至請求匯流排僕單元，並傳送一讀取請求至請求匯流排僕單元（本例中爲記憶體控制器）。

在步驟４２４中，請求匯流排主單元（資料快取１０８）在請求匯流排上提供位址、命令、大小及其本身的識別器ＩＤ訊號。同時，請求匯流排僕單元更新其在請求匯流排裁決器１４０中的備妥訊號，以指示是否可接收更多的請求。請求匯流排主單元並在請求匯流排上提供處理識別ＩＤ。此處理識別用以指示此對應的請求儲存於主單元的讀取佇列中。

圖３ｂ描述讀取處理段的反應狀態。在步驟４２６中，請求匯流排僕單元成爲資料匯流排主單元（記憶體控制器１２４）。當資料匯流排主單元備妥以讀取資料時，其傳送一請求、一特定之優先等級及處理大小的資料至資料匯流排裁決器，如內部記憶體匯流排裁決器。在步驟４２８中，內部記憶體匯流排裁決器１４２傳送一准予訊號至資料匯流排主單元，並傳送一請求訊號至資料匯流排僕單元－－－資料快取１０８。在步驟４３０中，資料匯

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 36）

流排主單元（本例中爲記憶體控制器１２４）提供四個連續週期的資料至內部資料匯流排１２０。資料匯流排主單元提供一請求狀態時所接收之處理段識別訊號、處理段ＩＤ。最後，資料匯流排裁決器控制內部匯流排僕單元（資料快取１０８）之處理段的大小以進行取樣。

總而言之，依據本發明一實施例，指導器的元件藉由請求匯流排裁決器請求傳輸。每一指導器可請求４、８、１６、２４及３２位元組的傳輸。然而，資料處理段必須在通訊尺寸的界面上進行校正。每一指導器可在每一週其內做出一請求。進一步的，每一寫入指導器必須在傳送狀態中，從反應器取樣處理段ＩＤ，且必須於反應狀態中將其傳出。

進一步的，在讀取操作時，反應器被規劃來判斷何時傳送請求的資料。讀取反應器在傳送狀態下取樣指導器的ＩＤ訊號，使得在傳送狀態下讀取反應器知道要傳送至哪一裝置。在寫入操作中，反應器係規劃以便在接收一寫入請求後，接收寫入的資料。

表１描述依據本發明一實施例，請求匯流排１１８之訊號定義例。表２描述依據本發明一實施例，資料匯流排１１４及１２０之訊號定義例。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 37）

請求匯流排

Rqb_addr[31:2]	實體位址
Rqb_bre[3:0]	位元讀取致能（在寫入時未定義）-由於請求匯流排位址具有 4 位元的大小，位元讀取致能係用以指定讀取四個位元的其一。Rqb_bre[0]設定位元 0，Rqb_bre[1]設定位元 1，Rqb_bre[2]設定位元 2，Rqb_bre[3]設定位元 3。當讀取 4 個或多個位元時，設定所有的位元。讀取指導器係規劃以產生位元讀取致能的各種組合。
Rqb_init_id[3:0]	請求指導器 ID 訊號，其爲發出請求之裝置的識別訊號。
Rqb_ tr_id[7:0]	請求處理段 ID-其由接收資料的裝置所決定。由於此裝置可以是讀取處理段中的指示器或寫入段中的反應器，因此此裝置可設定處理段 ID，使得當資料到達時，可分辨不同的情況。並且，由於讀取及寫入請求可隨意地先後完成，處理段 ID 可用以指定對應於輸入資料的請求。
Rqb_sz[2:0]	請求大小-可爲預定的請求長度，如 4 位元組；8 位元組；16 位元組；24 位元組；32 位元組。由於最小的長度爲 4 個位元組，寫入指示器利用表 2 中的大量位元組致能，指定要寫入哪一位元組。讀取指示器利用上述之 Rqb_init_id[3:0]指定正要讀取哪一位元組。
Rqb_cmd[2:0]	請求命令-此指定實施的操作形態 000 記憶體操作 001 可程式輸入/輸出，PIO，操作 010 記憶體配置操作

表 1

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 38）

資料匯流排

Imb_data[63:0]	內部記憶體資料匯流排-小 endian 的資料匯流排:位元組 0 爲 data[7:0],位元組 1 爲 data[15:8],...,且位元組 7 爲 data[63:56]。資料可較佳地置放於修正位元組位置-較佳的係未對齊至 LSB。
Imb_be[7:0]	IMB 位元組寫入致能(讀取時未定義)-此由一寫入指示器來使用,以指定要寫入哪一位元組。當寫入位元組 0 時,設定 Imb_be[0],當寫入位元組 1 時,設定 Imb_be[1],依此類推。當寫入 8 個或更多個位元組時,須設定所有的位元組。允許寫入指示器產生任何位元組的致能組合。
Imb_tr_id[5:0]	IMB 處理段 ID-此相同於傳送在請求匯流排處理段 ID
Pmb_data[63:0]	處理器記憶體資料匯流排
Pmb_be[7:0]	PMB 位元組寫入致能(讀取時未定義)
Pmb_tr_id [7:0]	PMB 反應處理 ID

表 2

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 39）

表 3 至表 9 描述當經由資料傳送開關 1 1 2 傳輸資料時所使用的命令呼叫。

Xx_rqb_rd_req1	讀取請求 1
Xx_rqb_wr_req1	寫入請求 1
Xx_rqb_resp_id1[3:0]	反應器 ID 1-反應器的裝置 ID。其具有相同於指示器 ID的編碼
Xx_rqb_pri1[1:0] 00 01 10 11	優先等級 1 最高 最低
Xx_rqb_rd_req2	讀取請求 2-背對背請求的情形
Xx_rqb_wr_req2	寫入請求 2
Xx_rqb_resp_id2[3:0]	反應器 ID 2
Xx_rqb_pri2[1:0]	優先等級 2

表 3 － R Q B 主單元至 R Q B 裁決器

Xx_rqb_rd_rdy1	讀取備妥(1 或更多)
Xx_rqb_wr_rdy2	寫入備妥(1 或更多)
Xx_rqb_rd_rdy1	讀取備妥(2 或更多)-參考下述的請求
Xx_rqb_wr_rdy2	寫入備妥(2 或更多)

表 4 － R Q B 僕單元至 R Q B 裁決器

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 40）

Dts_rqb_gnt_xx	匯流排准予

表 5 － RQB 裁決器至 RQB 裁決器

Dts_rqb_rd_req_xx	讀取請求
Dts_rqb_wr_req_xx	寫入請求

表 6 － RQB 裁決器至 RQB 僕單元

Xx_imb_req1	IMB 請求 1
Xx_imb_init_id1	IMB 接收器 ID 1
Xx_imb_sz1	IMB 大小 1
Xx_imb_pri1	IMB 優先等級 1
Xx_imb_req2	IMB 請求 2
Xx_imb_init_id2	IMB 接收器 ID 2
Xx_imb_sz2	IMB 大小 2
Xx_imb_pri2	IMB 優先等級 2
Xx_pmb_req1	PMB 請求 1
Xx_pmb_init_id1	PMB 僕單元 ID 1-皆收資料之裝置的 ID。其具有與 Rqb_init_id 相同的編碼
Xx_pmb_sz1	PMB 大小 1-告知裁決器處理段須多少週期。具有與 Rqb_sz 相同的編碼
Xx_pmb_pri1	PMB 優先等級 1
Xx_pmb_req2	PMB 請求 2-參考以下的背對背請求
Xx_pmb_init_id2	PMB 接收器 ID 2
Xx_pmb_sz2	PMB 大小 2
Xx_pmb_pri2	PMB 優先等級 2

表 7 － 資料匯流排主單元至資料匯流排裁決器

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（41）

Dts_imb_gnt_xx	IMB 准予
Dts_pmb_gnt_xx	PMB 准予

表 8 － 資料匯流排裁決器至資料匯流排主單元

Dts_imb_req_xx	IMB 請求
Dts_pmb_req_xx	PMB 請求

表 9 － 資料匯流排裁決器至資料匯流排僕單元

圖 4（a）及 4（b）分別描述依據本發明之實施例在請求匯流排連接及內部記憶體連接時的訊號流。例如，在圖 4（a）中，請求匯流排指示器依據表 3 傳送請求資訊至請求匯流排裁決器 140。此請求資訊可包括一請求匯流排讀／寫請求。請求匯流排反應器識別訊號，ID，及請求的優先等級。請求匯流排裁決器傳送讀／寫請請求訊號至識別的反應組獲請求匯流排僕單元（表 6），反應於此，反應器傳回備妥指示訊號至請求匯流排裁決器（表 4）。依據備妥指示訊號的接收，請求匯流排裁決器傳送一請求匯流排准予訊號至指導器（表 5）。一旦指導器識別準允訊號，依據表－1－的處理段資訊經由請求匯流排傳送至反應器。爲了達成此目的，匯流排處理段 ID 被指定至特定的處理段。

圖 4（b）使用內部記憶體匯流排 120 的資料連接。因此，一旦在請求匯流排裁決狀態下，建立了資料段資訊及識別，指導器及反應器開始傳送實際的資料。指導器

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4 規格（210×297 公釐）

五、發明說明（42）

依據定義於表7中的訊號將處理段資訊傳送至內部記憶體匯流排裁決器142，處理段資訊包括請求、大小、指導器識別訊號、ID、及優先等級。除了依據表8內部記憶體匯流排裁決器142傳送一請求資訊至反應器。其後，裁決器傳送一準允訊號至指導器，反應於此，實際的資料傳送據表2發生於指導器及反應器間。

圖5（a）描述請求匯流排讀取操作時序圖。圖5（b）描述未立即給予核准之讀取請求的時序圖。對於寫入操作，請求匯流排處理段識別訊號，ID，由反應器所提供。最後，圖5（d）描述資料匯流排傳送操作的時序圖。對於一讀取處理段，資料匯流排主單元爲讀取反應器，而資料匯流排僕單元爲指導器。

資料傳送開關112被規劃以提供由指導器所作成的背－對－背請求。如時序圖所示，傳送一請求及接收一准許訊號的間隔爲2個週期。在A0（或D0）週期中，裁決器140偵測來自匯流排主單元的請求。然而，在A1（或D1）週期中，匯流排主單元較佳的係維持其請求訊號以及其他供與裁決器的訊號－維持此訊號直到接收一准許。依此，裁決器140無法由這些訊號辨別主單元是否要做出第二請求。

爲了提供一背－對－背請求，由匯流排主單元供給至裁決器140的第二組訊號被提供，使得主單元可將訊號傳送至正處理第二請求的裁決器。如果主單元欲實施另一請求，同時等待其第一請求的獲准，其維持其第二組訊號

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 43）

。如果裁決器１４０在目前的週期中將匯流排准予至一主單元，當逾期後的週期中實施裁決時，其必須從主單元查驗第二組訊號。當主單元接收此第一請求的准許時，其將載送第二組請求訊號之訊號線的所有資訊傳送至載送第一組請求訊號的訊號線。此操作需要裁決器未立即准予第二請求。

來自ＲＱＢ僕單元之備妥訊號亦以類似的理由加以複製。當ＲＱＢ裁決器１４０傳送一請求予僕單元時，一開始，更新的備妥訊號爲２個週期之後。然而，在Ａ１週期時，由於僕單元尚未見到請求，僕單元無法更新其備妥訊號。其後，裁決器１４０無法從此備妥訊號分辨僕單元是否接收另一請求。

從ＲＱＢ僕單元至ＲＱＢ裁決器１４０的第二組備妥訊號被提供，使得裁決器可分辨僕單元是否可接收第二組備妥訊號。一般而言，第一組備妥訊號表示是否至少可接受一個請求，且第二組備妥訊號表示是否至少可接受二個請求。如果裁決器１４０在目前的週期中正將一請求傳送予僕單元，當在下一個週期實施裁決時，其必須由僕單元的角度來檢視第二組備妥訊號。

須知讀寫均有其備妥訊號。ＲＱＢ僕單元可具有不同的佇列結構（訊號佇列、分開的讀，寫佇列等）。ＲＱＢ裁決器１４０得知僕單元的佇列規劃，以判斷是否在寫入後，查看第一及第二讀取備妥訊號，以及在讀取後，判斷是否查看第一及第二寫入備妥訊號。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明（44）

圖6（a）描述請求匯流排主單元執行一背－對－背請求的時序圖。圖6（b）描述當第二請求尚未立即獲准時，處理器記憶體匯流排主單元執行一背－對－背請求的時序圖。最後，圖6（c）描述在一寫入請求後，請求匯流排僕單元接收一讀取請求的時序圖，並假設請求匯流排僕單元具有均一的讀寫佇列。

資料流送器

現在詳細的說明資料流送器的操作。資料流送器係用以在多媒體處理器100中移動預定的緩衝資料。這些依據可區分之系統規劃的資料移動可發生於具有不同頻寬需求之記憶體或輸入／輸出（I／O）裝置中。因此，與多媒體處理器100有關之任何實質的記憶體皆可利用資料流送器122傳送及接收資料。這些記憶單元包括外部SDRAM記憶體128，資料快取108，固定功能單元106，連接至輸入輸出（I／O）匯流排132的輸入／輸出裝置，及可由主或第二PCI匯流排控制器130所存取的主記憶體。依據本發明一實施例，資料流送器122在軟體控制下實施資料傳輸，雖然本發明並不限於此範圍。爲了達成此目的，可以一命令發出定義於多媒體處理器100位址空間內之兩元件間的資料傳送操作。

圖7描述依據本發明一實施例的資料流送器122方塊圖，然而本發明並不限於此。資料流送器122經由一

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（45）

資料傳送開關介面７１８耦合至資料傳送開關１１２。資料流送器１２２中的傳送引擎７０２係用以控制資料流送器１２２的資料傳送操作。如以下將詳細說明者，傳送引擎７０２執行一管線控制邏輯以處理多媒體處理器１００間不同元件的同時資料傳輸。

傳送引擎可反應來執行使用者的程式，傳送引擎在此如同描述一資料傳輸操作之描述器。通道由預定記憶體（稱作通道狀態記憶體７０４）位置之狀態位元所定義。依據本發明一實施例，通道狀態記憶體７０４支援６４個通道。如圖７所示，通道狀態記憶體７０４耦合於傳送引擎７０２。在任何給定的時間，此６４個通道中的多數通道被致動，並要求服務。每一作動的通道以一描述元的型態操作。資料流送器１２２配置一或二個通道來作資料傳輸操作。這些通道配置予某些資料傳輸操作，直到資料從其原始的位址傳送至多媒體處理器１００之目的位址。如其後將詳細描述者，資料流送器１２２配置一個通道來輸入／輸出記憶體傳輸，並配置兩個通道予記憶體以供記憶體的資料傳輸。

傳送引擎７０２耦合至資料傳送開關介面７１８，用以提供資料傳送開關請求訊號予資料傳送開關１１２。資料傳送開關介面７１８被規劃來處理發出的資料讀取請求，以及由傳送引擎7.０２所產生之描述元。其亦處理由資料送傳開關１１２至內部先進先出緩衝器７１６之適當暫存器的進入資料。資料傳送開關７１８並處理由資料流送

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（46）

器１２２所提供的輸出資料。

資料流送器１２２並包括一緩衝記憶體７１４，其依據本發明一實施例爲一４ＫＢ的ＳＲＡＭ記憶體，並用於本發明的多媒體處理器１００中，雖然本發明並不限於此一觀點。依據本發明一實施例，緩衝記憶體７１４包括雙埠的雙記憶體儲存體７１４（ａ）及７１４（ｂ）。處理６４通道，緩衝記憶體７１４之資料流送器，可分成６４個小緩衝空間。

緩衝記憶體７１４中的資料陣列，被組織成每條線８個位元組，且藉由遮罩技術每次存取８個位元組。然而，在操作時，４ｋＢ的記憶體被分割成小的緩衝器，每一緩衝器用來結合資料傳輸操作。因此，資料傳輸操作利用資料流送器１２２中的一資料通道，此通道係由一個或兩個通道及一個緩衝器來定義。對於記憶體－對－記憶體傳輸而言，利用了兩個通道，然而，對於Ｉ／Ｏ－對－記憶體傳輸而言，則利用一個通道。每一小緩衝器的大小係可變的，且由資料傳輸特性所指定。

依據本發明一實施例，資料移動操作係依據預定的區塊大小來實施。源區塊大小"k"意指：當目的通道已從緩衝記憶體７１４移出"k"個位元組時，源通道須觸發資料。區塊大小爲３２個位元組的倍數，雖然本發明的範圍並不限於此。

緩衝記憶體７１４係由一有效－位元記憶體來達成，其８個位元組之的每條線維持８位元。此有效位元的值係

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（47）

用以指示特定的位元是否有效。每當對應配置的緩衝器被填滿時，即進行一次有效位元的檢驗。此排除每次傳輸一區塊時，重新將緩衝記憶體初始化的必要性。然而，每當緩衝器被配置予一資料緩衝通道時，有效位元陣列中的對應位元即被歸零。

緩衝記憶體７１４耦合於一資料流送器緩衝控制器７０６，並由其加以控制。緩衝控制器７０６並耦合至傳送引擎７０２，及ＤＭＡ控制器１３８，且被規劃以處理從傳送引擎及ＤＭＡ控制器所接收之讀取及寫入請求。緩衝控制器７０６利用儲存於緩衝狀態記憶體７０８中的資料來完成其工作。緩衝控制器７０６保持帶進及帶出緩衝器之一定數量的位元組。資料流送緩衝控制器７０６並實施一管線邏輯以處理６４個緩衝器，並管理緩衝記憶體７１４之讀取及寫入。

緩衝狀態記憶體７０８係用來保持資料通道中所使用之緩衝器的狀態資訊。如前所述，緩衝狀態記憶體支持６４個個別緩衝器的ＦＩＦＯｓ。

ＤＭＡ控制器１３８耦合至Ｉ／Ｏ匯流排１３２。依據本發明一實施例，ＤＭＡ控制器１３８係用來在欲發出ＤＭＡ請求之Ｉ／Ｏ裝置中作裁決。其亦提供將ＤＭＡ請求帶入資料流送器緩衝控制器以及將資料從Ｉ／Ｏ裝置返回的緩衝。關聯至ＤＭＡ控制器１３８的裁決器係由一循環演算法優先裁決器７１０所管理。裁決器７１０裁決實體輸入／輸出控制器、ＰＩＯＣ　１２６及ＤＭＡ控制器

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（48）

間之Ｉ／Ｏ資料匯流排的使用。

依據本發明一實施例，資料流送器１２２處理資料快取１０８，以作爲可存取的記憶元件且允許直接對資料快取１０８作讀寫存取。如其後將詳細描述者，每當一通道描述指定一資料快取操作時，資料流送器１２２係規劃以保持快取的一致性。多媒體處理器１００之其他元件發出對資料快取進行讀寫請求的能力，適合於資料的運用，其中由ＣＰＵ　１０２及１０４所使用的資料係預先備妥的。由於在ＣＰＵ　１０２或１０４使用資料前，應用程式可填入所需的資料，因而快取的觸發率大大的提昇。

如前所述，依據本發明一實施例之資料流送器１２２，係依據使用者指定的軟體來操作，且軟體例用多個應用程式介面或ＡＰＩ，及資料庫的呼叫等。爲了達成此目的，可程式輸入／輸出控制器ＰＩＯＣ　１２６作爲多媒體處理器１００之其他元件及資料流送器１２２間的介面。因此，用來與資料流送器１２２通訊的命令，在最低層被轉換成資料流送器空間中的ＰＩＯ讀取及寫入。因此，任何可產生此ＰＩＯ讀取及寫入操作的元件可與資料流送器１２２通訊。依據本發明一實施例，這些區塊包括固定功能單元１０６、中央處理單元１０２、１０４、及經由如ＰＣＩ匯流排耦合至多媒體處理器１００的主中央處理單元。

依據本發明一實施例，資料流送器１２２佔據５１２ Kbytes的ＰＩＯ（實體記憶體）位址空間。每一資料流送

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（49）

器通道狀態記憶體至少在4K位元組的資料頁中佔去64個位元組。每一資料流送器通道狀態記憶體係位於分離的4K位元組資料頁中，以提供保護，然本發明的範圍並不限於此。

表10描述用於不同裝置的位址範圍。例如，位置18的位元係用來在傳送引擎702及資料流送器122之其他內部元件中作選擇。其他的元件包括緩衝記憶體所使用的資料RAM，伴隨資料RAM之有效RAM位元，資料流送器緩衝控制器及DMA控制器。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（ 50）

起始的 PIO 偏移位址	結束之 PIO 偏移位址	使用部分
0x00000	0x3FFFF	傳送引擎通道狀態記憶體及其他的使用者命令
0x40000	0x40FFF	DS 緩衝資料 Ram
0x41000	0x41FFF	DS 緩衝有效 Ram
0x42000	0x42FFF	DS 緩衝控制器
0x43000	0x43FFF	DMA 控制器
0x44000	0x44FFF	資料流送器 TLB(轉換側視緩衝器),其實施位址轉換表的的快取機制，一如一般目的的處理器。多媒體處理器 100 包括用於二個叢集及資料流送器之三個 TLB。

表－１０－資料流送器的ＰＩＯ位址映射

當位元８具有０值，ＰＩＯ位址屬於傳送引擎７０２。

表１１如何對傳送引擎７０２的內部操作做位元１７：０的內插。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（ 51）

位元	名稱	描述
18	傳送引擎的選取	1=NOT 傳送引擎 PIO 操作,參考上表。 0=傳送引擎 PIO 操作。
17:12	通道數目	此欄選取通道數 0 至 63
11:9	未使用	
8:6	TE 內部區及使用者介面呼叫	0=通道狀態記憶體 1 1=通道狀態記憶體 2 2=紀錄表 3=ds_kick-開始一資料傳輸操作 4=ds_continue 5=ds_check_status 6=ds_freeze 7=ds_unfreeze
5:0	在 TE 區中的位址選擇	使用者介面呼叫轉化爲區域中的所有位址

表－１１－傳送引擎解碼

當位元１８的值爲１時，ＰＩＯ位址屬於料流送器緩衝控制器７０６，並關聯至緩衝狀態記憶體，如表１２所示。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4 規格（210×297 公釐）

五、發明說明（ 52）

位元	名稱	描述
63:19	PIO區域指定及DS裝置的選取	PIO裝置的選擇
18:12	DS內部元件的選取	1000010
11	BSM選取	0=>BSM1　1=>BSM2
10:0	暫存器的選取	在每一緩衝器中選擇一64位元暫存器

表－１２－資料流送器緩衝控制器解碼器

接下來，將詳盡的描述依據本發明一實施例，資料流送器１２２之每一單元的內部結構。

傳送引擎

圖８描述劇本發明一實施例之傳送引擎７０２的方塊圖，然而本發明並不限於此。傳送引擎７０２的主要元件包括一操作排程器７４２，其耦合至一擷取段７４４，且此擷取段７４４又耦合至一產生及更新段７４６，此產生及更新段７４６耦合至寫回後段７４８。元件７４２至７４８定義傳送引擎的執行管線。一循環演算法優先排程器７４０係用以選取適當的通道及其對應的通道狀態記憶體。

如其後將詳細描述者，準備執行之通道的相關資訊儲

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（53）

存於通道狀態記憶體７０４中，其依據本發明一實施例，分成兩個通道狀態記憶體儲存體７０４（ａ）及７０４（ｂ）。優先排程器７４０實施具有４個優先等級之備妥通道的循環演算法排程。爲了達成此目的，在一循環演算法配置中擷取具有較高優先等級的通道。如果沒有較高等級的通道則考慮具有較低等級的通道。

優先排程器７４０每兩個週期拾取一通道，並將其展現於操作排程器之另一排程位準。

操作排程器７４２被規劃，每次接收四個操作，且每此執行一操作。這四個操作包括：可程式輸入／輸出，ＰＩＯ，可程式輸入／輸出控制器的操作，ＰＩＯＣ，１２６；來自資料傳送開關介面７１８之輸入描述單元程式；來自資料塊請求介面佇列之通道資料塊請求，該請求由資料流送器控制器７０６所填入；及來自優先排程器７４０之備妥通道。

參考圖１３及１４的詳細說明，源描述元程式定義至緩衝器記憶體７１４之特定之資料傳送操作，且目的描述單元程式定義從緩衝器記憶體７１４至一目的位置之資料傳送操作。進一步的，緩衝器針對儲存於通道狀態記憶體中之對應的源通道發出一資料區塊請求，以指示接收之位元組的各數。操作排程執行工作之優先順序從最高至最低依次爲，ＰＩＯ操作、進入描述單元、資料塊請求、及備妥通道。

操作排程所選取的操作資訊被轉換至擷取段７４４。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 54）

擷取段係用以從通道狀態記憶體７０４收回位元，該位元爲實施所選操作所需者。例如，如果操作排程拾取一備妥的通道，必須讀取通道的區塊計數位元及爆發的大小以決定資料傳送操作所需之請求的數目。

產生及更新段７４６被執行數次，執行數目同等於請求的數目，且資料傳送操作必須產生來自擷取段的該操作。例如，如果目的通道之轉換爆發大小爲４，則產生及更新段７４６被執行４個週期，且每一週期產生一請求。如另一例的情形，如果爲.ＰＩＯ至通道狀態記憶體７０４之寫入操作，則產生及更新段執行一次。在其後更詳盡的描述中，於資料傳送開關介面中，產生及更新段７４６所產生的讀／寫請求被加至請求佇列ＲＱＱ７６４。

通道狀態記憶體７０４必須在大部分由傳送引擎７０２所執行之操作後更新。例如，當通道在產生及更新段７４６完成產生請求時，則決定資料區塊數，並將其寫回至通道狀態記憶體７０４中，以初始具有最小內爆發延遲值之內爆發之延遲計數。參考表１３中的通道狀態記憶體結構，將對此部份做詳細的說明。

通道狀態記憶體

資料流送器１２２中，６４個通道的相關資訊儲存於通道狀態記憶體７０４中。在資料搬移操作前，以及搬移操作的同時，資料流送器１２２利用通道狀態記憶體７０４中的資料，來達成其資料移動的工作。表１３—

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（55）

19描述定義通道狀態記憶體的欄位。這些表並顯示不同欄位的位元位置以及當通道針對一資料轉換而做配置時，前述位元位置的初始值。

依據本發明一實施例，通道狀態記憶體704被分成兩個部分，704（a）及704（b）。通道狀態記憶體704（a）具有四個64位元的值，分別參考至位址0x00，0x08，0x10，0x18。通道狀態記憶體704（b）具有三個64位元的值，分別參考至位址0x00，0x08及0x10。

位元	名稱	初始值
15:0	控制	xxx(無關)
31:16	計數	xxx
47:32	寬度	xxx
63:48	節距	xxx

表 -13-通道狀態記憶體1（偏移位址0x00）

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 56）

位元	名稱	初始值
31:0	資料位址	xxx(無關)
47:32	爆發大小	設成 DTS 請求的數目,通道必須在每次排程規劃下產生(使用較大的爆發大小以使背-對-背請求進入記憶體控制佇列)
63:48	剩餘的寬度計數	xxx

表－１４－通道狀態記憶體１（偏移位址０ｘ０８）

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（57）

位元	名稱	初始值
15:0	剩餘的爆發計數(RBC)	0
31:16	剩餘的區塊計數(RCCNT)	0
35:32	狀態	0
39:36	內部爆發延遲(IBD)	必須被初始化。指定成 8 個週期的倍數,如,值 n=>此通道之前,8n 個週期的最小延遲,可視爲優先排程器的排程
45:40	緩衝器 ID	指定至此通道的緩衝器 id
47:46	DTS 命令(CMD)	用於 DST 訊號線的值。 位元 47:1 表示配置於 decach 中,0 表示沒有配置 位元 46:如果設爲 1 表示 PIO 定址
48	描述元重取緩衝有效(DPBV)	0
49	描述元有效	0
51:50	通道優先權	介於 0 至 3 表示通道的優先等級 0=>最高優先權 1=>最低優先權
52	作動旗標(A)	0
53	第一描述元(FD)	0
54	沒有其他的描述元	0
55	描述元形態	0=>格式 1 0=>格式 2
59:56	內部爆發延遲計數(IDBC)	0
63:60	保留	xxx

表－15－通道狀態記憶體1（偏移位址0x10）

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 58）

位元	名稱	初始值
7:0	位址空間 id(ASID)	應用程式之 asid 使用此一通道
8	TLB 模式	0=>不使用 TLB 3=>使用 TLB
10:9	DTS 優先	從此通道將請求之 DTS 優先等級設定予使用者之請求 0=>最高 3=>最低
12:11	快取模式	DTS 上的存取模式 位元 12:x 位元 11:1=>一致 0=>不一致
16:13	方法遮罩	快取存取之通道遮罩。 1=>使用方法 位元 13:資料快取中之方法 0 位元 14:通道 1 位元 15:通道 2 位元 16:通道 3
28:17	緩衝位址指標(BAP)	對應至緩衝器的起始位址,指定了 12 個位元
29	讀/寫(RW)	1=>源通道(讀) 0=>目的通道(寫)
35:30	緩衝器起始位址(BSA)	設定於 BSM1 中者
41:36	緩衝器結束位址(BSA)	設定於 BSM2 中者
42	有效感應	0

表－16－通道狀態記憶體 1（偏移位址 0x18）

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 59）

位元	名稱	初始值
31:0	下一個描述元的位址	xxx(任一值)
47:32	控制字元	xxx
63:48	計數	xxx

表－17－通道狀態記憶體2（偏移位址0x00）

位元	名稱	初始值
15:0	寬度	xxx(任一值)
31:16	節距	xxx
63:32	資料本地位址	xxx

表－18－通道狀態記憶體2（偏移位址0x08）

位元	名稱	初始值
31:0	基本位址	xxx(任一值)
63:32	新的指標位址	xxx

表－19－通道狀態記憶體2（偏移位址0x10）

通道所達成之資料傳輸的頻寬是依據以下四個參數：內部通道優先等級；最小內部爆發延遲；傳輸爆發大小；及資料傳輸優先開關等級。當配置一通道時，系統便考量此四個參數。通道特徵並包括三個由系統所使用的參數。這些參數包括基本位址，塊取通路置換遮罩（其後將詳細描述），及描述元取得模式位元。接下來將說明這些參數

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（60）

。

通道優先等級：資料流送器122硬體，支持四個內部通道優先等級（0爲最高等級，而3爲最低等級）。此硬體依照優先順序以循環演算法，進行通道的排程。對於有關記憶體－記憶體轉換的通道而言，較佳的是指定相同的等級予兩個通道，以在兩側以相同的速度維持資料的傳輸。較佳的，掛上高頻I／O裝置的通道被設定成較低階的優先等級，而掛上低頻I／O裝置的通道被設定成較高階的優先等級。此通道很難加入排程池中，惟一旦加入，則立即並加以排程並開始服務，且因此不致由高頻寬，高優先的通道排除在數個週期之外。

最小內爆發延遲：此參數有關在任何通道重新加入排程池之前，必須通過的最小週期數。此延遲量爲8個週期的倍數。此參數可用來有效的防堵在一段時間內具有較長服務時間之高優先級通道，並允許低優先通道的排入。

轉換的爆發量：一旦排入通道，則於再次排入前，指示可產生於資料傳送開關上之實際請求數的轉換爆發量參數。就源通道而言，此表示將資料帶入緩衝器的請求數。就目的通道而言，其爲使用緩衝器內的資料所傳出之資料封包的數目。此參數愈大時，特定通道的服務時間愈長。每一請求可要求最多32個位元組，且每次傳輸32個位元組的資料。通道保持排定的請求，直到其轉換爆發量的計數值停止，在指示元中遇到一停止位元，且無其他的指示元，而或直到需要從記憶體取得指示元。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（61）

ＤＴＳ優先等級：在資料傳送開關上，對請求匯流排裁決器或記憶體資料匯流排裁決器所提出每一的請求均伴隨著請求器的優先等級。兩個裁決器支持四個優先等級，且用於通道轉換的優先等級係預先在通道狀態中加以規劃。當從同一通道獲得多個請求以在控制佇列中彼此相鄰，便使用較高的優先等級（０爲最高的等級，而３爲最低者）。

基本位址，通道遮罩及描述元取得模式：就記憶體－記憶體的移動而言，資料路徑結構的輸入是選擇式的。如果其值爲ｎｕｌｌ，則系統對不同的參數，假設某些預定值。這些預定值顯示於下表中。

當請求一記憶體－Ｉ／Ｏ或Ｉ／Ｏ－記憶體路徑時，系統提供一資料路徑結構。此允許設定用以指出系統的布林變數，其轉換屬於一Ｉ／Ｏ轉換，且因此將不需通道的配置。對於軟體控制的系統而言，處理核心傳回資料路徑結構，此路徑結構中填入有實際設定的參數值，並填入應用程式啓動時的通道識別。如果路徑包括一Ｉ／Ｏ裝置，則亦傳回緩衝器識別。應用程式將此緩衝器識別傳至乎叫該Ｉ／Ｏ裝置的裝置驅動程式。裝置驅動程式利用此值來備妥Ｉ／Ｏ裝置，以開始將資料傳送至資料流送器緩衝器。如果使用者應用程式未符合所獲得之ＤＳ路徑源型態（參數），則可將路徑關閉並於稍後再試。

描述元程式

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（62）

資料傳輸係依據兩種型態的描述元，如指定於通道狀態記憶體欄位中之格式1描述元以及格式2描述元。依據本發明一實施例，格式1描述元係依據3D圖形及視頻影像應用中之許多資料轉換的特性而加以定義。

一般而言，如圖12所示，像素資訊以相同的配置儲存在分散的位置上，且這些分散的位置係即將被顯示者。通常需要以資料聚集操作來加以處理，其中"n"段資料或像素由n個位置收集，從記憶體空間中"起始源資料位置＝x"開始之此n個位置被集中至以"起始目的資料位置＝y"開始之一連續位置中。每一段收集的資料爲10位元組寬，且與下一段資料間的間隔爲22個位元組（節距）。爲了達成圖12中的轉換，需設定兩個分離的描述元，一個提供予用以處理由源記憶體至緩衝記憶體714（圖7）之轉換的源通道，另一個則供予用以處理由緩衝記憶體至目的記憶體之轉換的目的通道。

圖13描述依據本發明一實施例，格式1描述元的資料結構220。描述元的大小爲16個位元組，包括兩個8位元組字元。以下說明描述元的不同欄位以及如何在資料轉換的操作中利用每一欄位。

1．下一個描述元：開始的32個位元保持另一描述元的位址。而對於複雜的轉換圖樣，或無法以單一描述元描述之圖樣，得以將許多描述元鏈結在一起

2．描述元控制欄位。此欄位的16個位元解說如下：

〔15：14〕－未使用

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（63）

〔１３〕－中斷主ＣＰＵ（完成此描述元時）

〔１２〕－中斷多媒體處理器１００的ｃｐｕ（完成此描述元時）

〔１１：９〕－保留予軟體來使用

〔８〕－沒有其他的描述元（當此描述元爲此資料鏈的最後一描述元時，設定此欄位）

〔７：４〕－資料擷取模式（對於所有擷取的資料或由此描述元所傳送的資料）

〔７〕：快取模式０＝＞一致，１＝＞不一致

〔６〕：１＝＞使用通道遮罩，０＝＞不使用通道遮罩

〔５〕：１＝＞配置於資料快取內，０＝＞不配置於資料快取內

〔４〕：１＝＞資料位於ＰＩＯ空間內，０＝＞資料非位於ＰＩＯ空間內

〔３〕－如果設爲１則禁止再次擷取

〔２〕－在此描述元的結尾處停止，則設爲０

〔１：０〕－描述元的格式

００：格式１

０１：格式２

１０：控制描述元

一致位元指出是否需對傳進傳出之資料，檢查資料快取。依據本發明一較佳實施例，除非系統已判斷出資料並

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明（64）

未由ＣＰＵｓ１０２或１０４帶入快取中，否則最好不要將此位元關閉。關閉此位元將會使旁通快取１０８提昇效能，由於其將降低快取的負載，並減少讀寫的潛伏時間（如果選擇不配置於快取內的規劃，依據資料快取佇列的填滿度，可減少１２－１８個週期）。

當資料快取１０８具有多個通道時，則利用通道遮罩。例如在依據本發明一實施例中，資料快取１０８具有四個通道，每一通道爲４Ｋ位元組。在本文中，資料快取中的每一通道定義成分離的記憶體空間，而規劃來儲存一特定型態的資料。在所有由目前資料快取之描述元所發出的處理段中，"使用通道遮罩"位元簡單的指示出通道遮罩是否被使用。

僅當設定一致位元時，**錯誤！找不到參照來源。**配置"，"未配置"位元方有意義。基本上，當使用者希望就一致性的理由來檢查料快取，且不希望資料在資料快取中結束時，非配置即相當有用。當使用者從記憶體中預先載入一些資料至資料快取，則必需在ｃｐｕ開始計算前，設定其配置。

表２０顯示在資料擷取模式下，描述元控制欄位之位元７：４中，一致及配置位元之不同值所採取的動作。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（65）

記憶體轉換存取模式

命令-模式	快取	快取
讀取描述元及源資料(如 cpu 負載)一致地-配置	從資料快取中讀取	從記憶體讀取且配置快取線
讀取描述元及源資料一致地-未-配置	從資料快取中讀取	從記憶體讀取且不配置快取線
讀取描述元及源資料非一致地-未-配置	乎略快取	直接從記憶體讀取且不配置快取線
寫入目標資料(如儲存單元)一致地-配置	將資料寫入快取並設定髒(dirty)旗標	配置一資料快取線且將資料寫入快取線。非記憶體處理段，
寫入目地資料一致地-非-配置	將資料寫入快取並設定髒(dirty)旗標	將其直接寫入記憶體且不配置快取
寫入目地資料非一致地-非-配置	忽略快取	將資料其直接寫入記憶體且不配置快取

表－20－

現在繼續說明描述元，當從ＰＩＯ（程式化的Ｉ／Ｏ）位址空間傳送資料，或傳送資料至ＰＩＯ位址空間時，需要ＰＩＯ位元。例如，資料流送器１２２可用來讀取資料零送器衝記憶體（其位於ＰＩＯ位址空間）。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（66）

停止位元用於與資料流送器１２２同步。當設定停止位元後，資料流送器１２２會在完成所有由描述元所指定之資料的傳輸後停止通道。當設定"沒有其他描述元"的位元後，資料流送器亦會停止。

當資料流送器通道擷取一描述元並執行時，其立刻再擷取下一個描述元。藉由設定"再擷取禁止"位元，使用者可禁止此一再擷取的程序。然而，僅當停止位元亦設定時，此禁止程序方爲有效。亦即，當未停止時，嘗試禁止再擷取的程序是無意義者。

如以下所列，並非所有資料擷取模式位元的組合皆爲有效。例如，僅當資料快取被鎖定時，"配置"及"使用通道遮罩"會具有意義，且由於資料快取並未允許ＰＩＯ存取任意組合，其中ＰＩＯ＝１且其他位元均＝１的組合便未加以使用。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 67）

一致	使用-通道 -遮罩	配置	PIO空間	
0	0	0	1	有效PIO
1	-	-	1	無效
-	1	-	1	無效
-	-	1	1	無效
0	0	0	0	有效-非-一致
0	1	-	-	無效
0	-	1	-	無效
1	0	0	0	有效-一致 無-配置
1	0	1	0	有效-一致 配置
1	1	0	0	有效一致 配置,遮罩

3．計數：表示使用此描述元所傳送的資料。

4．寬：從一給定位置取得之位元組數目。

5．節距：將最後位元組轉換至下一位元組的偏移距離。目標位址爲循序的，因此節距爲0。節距爲一指定值，可使聚集的資料在記憶體中反向移動。

6．資料位置之位址：此描述元之第一位元組可配置的位址。例如1，就資料源側而言，爲"x"，而就目標傳送側而言，此位址爲"y"。在通道所使用之每一資料位置的位址中先加入一基準位址。此基準位址值儲存於資料狀態記憶體中。當通道由 ds_open_path()呼叫所啓動時，此基準值被設爲0。使用者可利用控制描述元來更改此值（描述如

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（68）

後）。

下表２１顯示對於從ＳＤＲＡＭ１２８將資料傳送至資料快取１０８的操作，亦即，快取預載操作，資料源及目標傳送之描述元如何加以設定。

資料源的控制字元指示一致的資料操作，但並未加以配置。由於沒有其他的描述元，且當完成此資料的傳送後，通道便自動地停止，因此停止位元並未設定。"沒有其他描述元"的位元必須加以設定。

源描述元	位元	說明
0:31 下一個描述元	0	僅一個描述元
34:47 計數	N	
48:63 控制字元	0x0100	格式 1,無配置,一致,沒有其他描述元
64:79 節距	+22	
80:95 寬	10	
96:127 資料位址	X	

表－２１－源描述元

表２２中，目標描述元的控制字元，藉由一個一致的參考值，指出資料快取爲目標單元，且若參考值遺失的話，必須將其配置於快取中。至於資料源的情形，由於當傳送完成後，下一個描述元的欄位爲０，通道會自動地停止，因此並未設定停止位元。且在資料源的情形中，"沒有其

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 69）

他的描述元"被設定。

目的描述元	位元	說明
0:31 下一個描述元	0	僅一個描述元
34:47 計數	1	將資料集中在一連續的資料段中
48:63 控制字元	0x0120	格式 1,一致,配置,沒有其他描述元
64:79 節距	0	僅一段資料
80:95 寬	10n	
96:127 資料位址	Y	

表－２２－目標描述元

格式２描述元：圖１４描述依據本發明一實施例之格式２描述元的資料結構２４０。在許多方面，依據格式２描述元之資料的搬移操作類似於格式１描述元的操作情形。然而，與格式１描述元不同之處，在於對每一資料區塊提供一特殊之用以傳送的資料位置位址。再者，格式２描述元的資料結構並未利用節距欄位。格式２描述元係用於一種資料傳送的操作，其中傳送多個相同寬度的資料段，但資料段間並未具有相同的節距。

據此，格式２描述元的第一欄包括下一個描述元的位址。計數欄包括傳送資料段的數目。控制欄的說明相同於

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 70）

格式1描述元者，如之前參考圖13所討論的內容。寬度欄指定傳送資料段的寬度。依據本發明一實施例，在一致存取的況下，格式2描述元排列成16個位元組的範圍，而對於非一致存取的情況，排列成8個位元組的範圍。格式2描述元的長度可從16個位元組至4個位元組的倍數。

資料傳送開關介面

圖9描述依據本發明一實施例之資料傳送開關（DTS）介面718的方塊圖。然而，本發明的範圍並不限於此。可理解，資料傳送開關介面爲所有多媒體處理器100的元件所利用，且這些元件經由資料傳送開關112（圖1（a））來傳送料。

DTS介面718包括匯流排請求器760，其耦合於資料傳送開關112的請求匯流排118。匯流排請求器760包括一請求發送器762，用以提供請求訊號至匯流排佇列（RQQ）764。請求匯流排佇列764爲先進先出FIFO緩衝器，其具先到先服務的原則保持資料及描述元的請求。

請求匯流排佇列764的其他輸入埠係用以接收讀／寫請求，此讀／寫請求係經由產生及更新段746，由傳送引擎702所產生。讀取請求包括資料及通道描述元的請求。寫入請求包括對傳出資料的請求。

發送器762係用以傳送一請求訊號至資料傳送開關請求匯流排裁決器140。當傳送獲准時，匯流排請求器

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（71）

760傳送包含於先進先出請求佇列764的上端請求。經過一些週期後，未由資料傳送開關請求匯流排裁決器140獲准的請求，從請求佇列764的前端移除，並加至其末端。因此，當特定的匯流排僕單元或反應器未備妥時，資料傳送操作可避免不理想的延遲。如上所述，對不同反應器的請求係對應至不同的通道。因此，從佇列中移除請求的機制係依據本發明之一實施例而加以設計，使得一通道不會阻礙其他通道的前向進程。

資料傳送開關介面亦包括一接收引擎772，其包括一處理器記憶體匯流排（PMB）接收FIFO緩衝器776，一PMB記錄表778，一內部記憶體匯流排（IMB）接收FIFO774及一OMB記錄表780。PMB接收FIFO緩衝器776的一輸出埠耦合於資料開關緩衝控制器（DSBC）706，並耦合至傳送引擎702的操作排程器742。類似地，IMB接收FIFO774的一輸出埠耦合於資料開關緩衝控制器706，並耦合至傳送引擎702的操作排程器742。發送器762的輸出埠耦合於處理器記憶體匯流排（PMB）記錄表778的一輸入埠，並耦合至內部記憶體匯流排（IMB）記錄表780的一輸入埠。PMB記錄表778的另一輸入埠被規劃從料匯流排114接收資料。類似地，IMB記錄表780的另一輸入埠被規劃從料匯流排120接收資料。

處理器記憶體匯流排（PMB）記錄表778或內部

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 72）

記憶體匯流排（ＩＭＢ）記錄表７８０，個別儲存對應於未完成之讀取請求的索引。這些索引包括針對讀取請求而產生之處理段識別訊號（ＩＤ）、指定予每一讀取請求之對應的緩衝識別訊號（ＩＤ）、對應的緩衝器位址及其他用以處理接收資料所需的資訊。

先進先出緩衝器７７６及７７４係用以保持返回的資料，直到當緩衝資料返回而此資料由資料流送緩衝控制器７０６所接收，或當從一記憶體位址取得描述元而由傳送引擎７０２所接收。

當資料表７７８及７８０填滿時，發送器７６２便停止不動。其接著將傳送引擎７０２停止。依據本發明一實施例，資料表７７８及７８０支持每一匯流排之８個未處理的請求。藉由儲存返回資料之緩衝位址的資料表，可處理未排序的資料返回。如之後參考資料流送控制器將詳細說明者，儲存於緩衝記憶體７１４中的每一位元組包括一有效位元指示訊號，其結合至緩衝控器中的一對應邏輯，並確保未排序的資料返回可正確的加以處理。

資料傳送開關介面７１８亦包括一傳輸引擎７８２，其包括一處理器記憶體匯流排（ＰＭＢ）傳輸引擎７６６及一內部記憶體匯流排（ＩＭＢ）傳輸引擎７７０，兩者皆爲先進先出ＦＩＦＯ匯流排。緩衝器７６８被規劃來個別地從傳送引擎７６６及７７０接收請求訊號，並將資料傳送至資料匯流排裁決器１４０及１４２。每一傳送引擎並規劃以從資料流送緩衝控制器７０６接收資料並將資料

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 73）

傳送至對應的資料匯流排。

在操作的過程中當對請求匯流排１１８的請求係用於讀取資料時，則當發送器從請求匯流排裁決器１４０接收一准予時，發送器７６２提供位址至請求匯流排１１８。發送器７６２並在重排表７７８及７８０中，製作一進入點，以對未決的請求保持追蹤。如果請求係用作資料的寫入，發送器放出位址至請求匯流排１１８，並將請求排入內部ＦＩＦＯ緩衝器７１６（圖７）以供資料流送緩衝控制器７０６來使用，其檢視此佇列，並服務資料寫入的請求，此部份將在其後，參考資料流送緩衝控制器７０６而更詳盡的加以描述。

圖１０爲依據本發明一實施例，資料流送緩衝控制器７０６之方塊圖，然而本發明並不限於這些觀點。資料流送緩衝控制器７０６管理緩衝記憶體７１４並處理由傳送引擎７０２所產生的讀／寫請求，以及由圖１之ＤＭＡ控制器１３８及ＰＩＯ控制器１２６所產生的請求。

資料流送緩衝控制器７０６包括兩個管線，用以處理與緩衝有關的功能。資料流送緩衝控制器７０６的第一處理管線，參考至處理器記憶體匯流排，（ＰＭＢ），管線，及參考至內部記憶體匯流排（ＩＭＢ）管線之第二管線。除了ＰＭＢ管線處理傳送引擎的資料請求外，每一管線的操作皆相同，該傳送引擎的資料請求被傳至處理器記憶體匯流排１１４，且ＩＭＢ管線處理傳送引擎資料請求，此資料請求傳出至內部記憶體匯流排１２０。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（74）

如圖１０所示，每一管線係規劃來接收三個分離的資料輸入。爲了達成此目的，資料流送緩衝控制器７０６包括一處理記憶體匯流排ＰＭＢ管線操作排程器８０２，其規劃來接收三個輸入訊號，依次如下（１）所有來自可程式輸入／輸出（ＰＩＯ）控制器１２６的請求訊號；（２）從處理器記憶體匯流排（ＰＭＢ）接收之資料訊號，此訊號接收至資料傳送開關７１８之ＦＩＦＯ緩衝器７７６（圖９）—且這些資料訊號用以寫入緩衝記憶體７１４中，一旦特定通道之緩衝記憶體７１４內的適當資料塊被填滿時，便可取回些資料訊號；及（３）傳送引擎讀取訊號指示，用以從緩衝記憶體７１４將特定通道之適當資料取回。接著，將取回的資料，經由資料流送器１２２的資料傳送開關介面７１８，傳送至其目的位址，如圖１至圖９所示。

操作排程器８０２指定一執行順序，以接收上述的操作請求。依據本發明一實施例，可程式輸入／輸出ＰＩＯ操作被給予最高的優先等級，接著爲用以從緩衝記憶體７１４取回資料的緩衝器讀取操作，而最低優先等級者則是將資料寫入緩衝記憶體７１４中的緩衝器寫入操作。因而，在圖９所討論之適當的ＦＩＦＯ緩衝器中，讀取操作越過寫入操作。當資料被指定一目的記憶體時，或已從一目的記憶體抵達時，在其由緩衝器記體７１４傳送，或被寫入緩衝器記體７１４之前，需要先做調整。

操作排程器的輸出埠８０２耦合於擷取段８０４的輸

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明（75）

入埠。擷取段804的其他輸入埠耦合至緩衝狀態記憶體708的輸出埠。

一旦操作排程器802決定下一個操作，擷取段804從緩衝器狀態記憶體708取回適當的緩衝器記憶體資訊，以便讀、寫至對應的通道緩衝器，此緩衝器爲緩衝器記憶體714的一部分。

擷取段804的一輸出埠耦合至記憶體管線段806，此管線段806用以處理讀取及寫入請求至緩衝器記憶體714。記憶體管線段806的一輸出埠耦合至緩衝器狀態記憶體708，以便更新有關一對應緩衝器之緩衝器狀態記憶體暫存器，此緩衝器係在資料傳送操作中針對一個或兩個通道而作配置。記憶體管線段806並耦合至緩衝器記憶體714以將資料寫入緩衝器記憶體內，並從緩衝器記憶體接收資料。記憶體管線段806的一輸出埠耦合於處理器記憶體匯流排（PMB）傳送引擎766，以便將由緩衝器記憶體714取回的資料傳送至資料傳送開關718，而經由資料傳送開關112進一步地傳輸至目的位址。記憶體管線段806的另一輸出埠耦合至可程式輸入／輸出（PIO）控制器126，以便將由緩衝器記憶體714取回的資料傳送至目的輸入／輸出裝置，此裝置耦合於多媒體處理器100。

資料流送器緩衝器控制器706亦包括一內部記憶體匯流排（IMB）管線操作排程器808，此排程器808係規劃以接收三個輸入訊號，依次如下（1）所有

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（76）

來自ＤＭＡ控制器７１２的請求；（２）從內部記憶體匯流排（ＩＭＢ）接收之資料訊號，此訊號接收至資料傳送開關７１８之ＦＩＦＯ緩衝器７７６（圖９）—且這些資料訊號用以寫入緩衝記憶體７１４中，一旦特定通道之緩衝記憶體７１４內的適當資料塊被填滿時，便可取回些資料訊號；及（３）傳送引擎讀取訊號指示，用以從緩衝記憶體７１４將特定通道之適當資料取回。接著，將取回的資料，經由資料流送器１２２的資料傳送開關介面７１８，傳送至其目的位址，如圖１至圖９所示。

操作排程器８０２指定一執行順序，以接收上述的操作請求。依據本發明一實施例，ＤＭＡ請求被給予最高的優先等級，接著爲用以從緩衝記憶體７１４取回資料的緩衝器讀取操作，而最低優先等級者則是將資料寫入緩衝記憶體７１４中的緩衝器寫入操作。因而，在圖９所討論之適當的ＦＩＦＯ緩衝器中，讀取操作越過寫入操作。當資料被指定一目的記憶體時，或已從一目的記憶體抵達時，在其由緩衝器記體７１４傳送，或被寫入緩衝器記體７１４之前，需要先做調整。

操作排程器的輸出埠８０８耦合於擷取段８１０的輸入埠。擷取段８１０的其他輸入埠耦合至緩衝狀態記憶體７０８的輸出埠。

一旦操作排程器８０２決定下一個操作，擷取段８０４從緩衝器狀態記憶體７０８取回適當的緩衝器記憶體資訊，以便讀、寫至對應的通道緩衝器，此緩衝器爲緩

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（77）

衝器記憶體７１４的一部分。

擷取段８１０的一輸出埠耦合至記憶體管線段８１２，此管線段８０６用以處理讀取及寫入請求至緩衝器記憶體７１４。記憶體管線段８１２的一輸出埠耦合至緩衝器狀態記憶體７０８，以便更新有關一對應緩衝器之緩衝器狀態記憶體暫存器，此緩衝器係在資料傳送操作中針對一個或兩個通道而作配置。記憶體管線段８１２並耦合至緩衝器記憶體７１４以將資料寫入緩衝器記憶體內，並從緩衝器記憶體接收資料。記憶體管線段８１２的一輸出埠耦合於處理器記憶體匯流排（ＰＭＢ）傳送引擎７６６，以便將由緩衝器記憶體７１４取回的資料傳送至資料傳送開關７１８，而經由資料傳送開關１１２進一步地傳輸至目的位址。記憶體管線段８１２的另一輸出埠耦合至ＤＭＡ控制器７１２，以便將由緩衝器記憶體７１４取回的資料傳送至目的輸入／輸出裝置，此裝置耦合於多媒體處理器１００。

由於緩衝器記體７１４爲雙埠的形式，上述的每一管線可在未連接的情況下，存取緩衝器記憶體儲存體７１４（ａ）及７１４（ｂ）。如上所述，依據本發明一實施例，緩衝器記憶體爲４ＫＢ的ＳＲＡＭ記憶體。資料陣列被組織成每條線８個位元組，且一次便存取８個位元組。緩衝器記憶體７１４被分成多個較小的緩衝器部分，其中在資料傳送操作的過程中，每一緩衝器部分被配置到特殊的通道。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 78）

緩衝器記憶體７１４伴隨一有效位元記憶體，此記憶體在緩衝器記憶體中之每條８位元組線保持８位元。有效位元值係用以指示特定之位元組是否爲有效。每當配置的緩衝器一填滿時，有效位元便變更。此移除在資料傳送操作中，每當使用配置之緩衝器部份時，需重新加以初始的需要。然而，每當配置一緩衝器予一路徑，有效位元陣列中的對應位元必須被初始成零。

緩衝器狀態記憶體

如前所述，緩衝狀態記憶體７０８保持其所支援之６４個緩衝器的狀態。每一緩衝器狀態包括１２８位元的欄位，此１２８位元的欄位又分爲兩個６４位元的次欄位，分別參照至記憶體一（ＢＳＭ１）及記憶體二（ＢＳＭ２）。表２３及２４描述緩衝狀態記憶體的位元及欄位。

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明（79）

緩衝狀態記憶體1（0x00）

位元	名稱	初始值
11:0	初始輸入指標	初始化至緩衝器起始位址。亦即，總共12個位元，其中包括6個緩衝器起始位址(BSA)位元，及附加之6個0[BSA][000000]
23:12	初始輸入指標	被初始成緩衝器起始位址
29:24 35:30	緩衝器末端位址(BEA) 緩衝器起始位址(BSA)	以較高的6個位元來初始，其中其起始及結束位址分別包括12個緩衝器位址元，亦即指定至64個位元組中。實際之緩衝器起始位址係藉由附加6個0至緩衝器起始位址而獲得，且結束位址係藉由附加6個1至緩衝器結束位址而獲得。 例1:64位元組的緩衝器，由緩衝器的起始處開始 BSA=000000 BEA=000000 實際起始位址爲000000000000 實際結束位址爲000000111111 例2:128位元組的緩衝器，由緩衝器的64*11位元組處開始 BSA=001011 BEA=001100 實際起始位址爲001011000000 實際結束位址爲001100111111

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 80）

41:36	輸出資料區塊大小	指定於多個32個位元組中。其位元組數必需在實際致動輸出通道，以將**錯誤！找不到參照來源。**輸出資料區塊大小"的位元組數傳出緩衝器前，藉由輸入通道或輸入i/o裝置帶入 0=>0位元組 1=>32位元組 2=>64位元組等
47:42	輸入資料區塊大小	類似於輸出資料區塊大小，但用以觸發輸入(源)通道，當輸入資料區塊的位元組數已被移出緩衝器
53:48	輸出通道id	若存在的話，介於0及63間，代表連接於此緩衝器的輸出通道，如輸出通道記憶體旗標所指示者。
59:54	輸入通道id	若存在的話，介於0及63間，代表連接於此緩衝器的輸入通道，如輸入通道記憶體旗標所指示者。
60	輸出通道記憶旗標	用來指示此傳送方向是否由一通道或一I/O裝置所表示。0=>I/O,I=>通道
61	輸入通道記憶旗標	用來指示此傳送方向是否由一通道或一I/O裝置所表示。0=>I/O,I=>通道
63:62	保留	Xx

表－23－

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（81）

緩衝器狀態記憶體2（0x00）

位元	名稱	初始值
11:0	目前的輸入計數	0
23:12	目前的輸出計數	0
24	輸入有效樣態	0
25	輸出有效樣態	0
26	最後輸入抵達	0
63:27	保留	Xxx

表－24－

DMA控制器

圖11描述依據本發明一實施例之DMA控制器138，然而本發明並不限於此一觀點。如上所述，DMA控制器138耦合至輸入／輸出緩衝器132以及資料流送器緩衝控制器706。

優先權裁決器202係用以接收來自一個或多個I／O裝置之直接記憶體存取的DMA請求，這些I／O裝置耦合至I／O匯流排132。

一進入DMA請求緩衝器204耦合至I／O匯流排132，並用以從I／O裝置接收適當之已獲准的請求資料。每一I／O裝置指明一請求資料，包括一期望緩衝器記憶體的緩衝器識別，位元組數及傳送的型態，如輸入至緩衝器或從緩衝器輸出。每一請求儲存於進入DMA請求緩衝器204中，以定義一DMA請求佇列。DMA請求

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 82）

緩衝器２０４的一輸出埠耦合至資料流送器緩衝控制器７０６，如圖１０所示。

一進入ＤＭＡ資料緩衝器２０６亦耦合至Ｉ／Ｏ匯流排１３２，並用以接收Ｉ／Ｏ裝置所傳出的資料，其中該裝置的請求已獲准且其請求資料已提供至進入ＤＭＡ請求緩衝器２０４。ＤＭＡ資料緩衝器２０６的一輸出埠耦合至資料流送器緩衝控制器７０６，如圖１０所示。

一輸出ＤＭＡ資料緩衝器２０８亦耦合至Ｉ／Ｏ匯流排１３２，並用以傳送Ｉ／Ｏ裝置所傳出的資料。輸出ＤＭＡ資料緩衝器２０８係用以接收來自資料流送器緩衝控制器７０６的資料，如圖１０所示。

因而，在操作過程中，ＤＭＡ控制器１３８執行兩個重要的功能。首先，其在多個Ｉ／Ｏ欲做出ＤＭＡ請求的裝置間進行裁決。接著，其提供對ＤＭＡ請求及傳送至資料流送器緩衝控制器之資料的緩衝，並提供經由Ｉ／Ｏ匯流排１３２傳送至Ｉ／Ｏ裝置之資料的緩衝。每一ＤＭＡ的傳送係由耦合至Ｉ／Ｏ匯流排１３２的Ｉ／Ｏ裝置所發出。做出ＤＭＡ請求的Ｉ／Ｏ裝置，首先請求優先權裁決器２０２存取Ｉ／Ｏ匯流排，以傳送資料。裁決器２０２利用Ｉ／Ｏ裝置所指定的ＤＭＡ優先權值來在不同Ｉ／Ｏ裝置間進行裁決。依據裝置的優先權便可裁決衝突中的請求。

較佳的，向ＤＭＡ控制器１３８提出的裝置請求每週期全線進行一次。裁決器２０２利用一具有四個優先等級

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（83）

之循環演算法優先權排程器配置。一旦請求中的Ｉ／Ｏ裝置從裁決器２０２接收一獲准訊號，其提供請求的資料至ＤＭＡ請求緩衝器２０４。如果請求爲一輸出請求，則其直接提供至資料流送器緩衝控制器７０６。如果關聯至請求資料內之緩衝器識別的緩衝器，其容量不足以容納傳送的資料，資料流送器緩衝控制器通知ＤＭＡ控制器１３８，而ＤＭＡ控制器１３８接著將一ＮＡＣＫ指示傳送回Ｉ／Ｏ裝置。

如果來自一請求Ｉ／Ｏ裝置之請求係用來作資料的輸出，當ＤＭＡ控制器在Ｉ／Ｏ資料匯流排上獲得一週期，其將訊號傳送至Ｉ／Ｏ裝置以在Ｉ／Ｏ匯流排１３２上提供其資料。當資料流送器緩衝控制器察知緩衝器溢位或下溢時，資料流送器緩衝控制器產生一中斷訊號。中斷訊號接著傳送至處理器，其控制多媒體處理器１００的操作。

ＤＭＡ控制器１３８利用每一請求的緩衝識別，以經由資料流送器緩衝控制器７０６對路徑的緩衝進行存取，資料流送器緩衝控制器７０６將請求的位元移進或移出緩衝器，並更新緩衝器的狀態。

現在參考圖１５（ａ）至１５（ｃ）詳細地說明資料流送器之通道功能的例子，其中描繪了資料流送器１２２之不同步驟的流程圖。

反應於資料傳送操作的請求，首先在步驟３０２中，ds_open_path 命令將通道狀態初始化。在步驟３０４中，檢查建立一資料路徑的可用資源，且反應於資料傳送操作的

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（84）

請求，配置一緩衝記憶體及一個或兩個通道。

在步驟３０６中，依據表２３及２４所述的值，新資料路徑的適當值被寫入緩衝器狀態記憶體７０８中。在步驟３０８時，在緩衝記憶體７１４中重設有效位元，這些位元係對應至配置之資料ＲＡＭ的一部分，並且將用於緩衝操作者。在步驟３１０中，每一對應於通道狀態記憶體位置之配置的通道，依據表１３－１９，在通道狀態記憶體７０４中被初始化。

一旦依據步驟３０２至３１０定義資料通道，初始化的通道在步驟３１２中被致動。依據本發明一實施例，通道的致動可以 ds_kick 命令由軟體來呼叫。此呼叫在內部傳送至一通道 ds_kick 操作，此操作係一非快取的ＰＩＯ位址寫入，該位址由表１０－１２之ＰＩＯ映圖所指定。儲存於通道狀態記憶體中的值爲描述元的位址，如描述元２２０（圖１３）或描述元２４０（圖１３）。

在步驟３１４中，傳送引擎７０２從ＰＩＯ控制器１２６接收通道作動訊號，並反應此訊號，將描述元的位址寫入通道狀態記憶７０４中的對應位置。在步驟３１６中，傳送引擎判斷通道作動訊號是否爲源通道者。如果是，在步驟３１８中，緩衝器的大小值被寫入剩餘的資料區塊計數（ＲＣＣＮＴ）欄位中，如表１５所示。源通道之剩餘資料區塊的計數值指示此資料傳送器之緩衝器記憶體中，未用空間的數量，亦即可安全地由通道擷取至緩衝器內的位元組數。目的通道之剩餘資料區塊的計數值指示緩

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（85）

衝器內的有效位元組數，亦即可安全地由通道傳出的位元組數。

最後，在步驟320中，傳送引擎702將表15所述之通道狀態記憶體內，對應位置中的有效旗標開啓。用於配置源通道之通道狀態記憶體704中的內部爆發延遲欄位亦設爲0。

在步驟324中，通道提供有一操作排程器742（圖8）。傳送引擎702的操作排程器對每一通道進行排程操作（圖8），當通道具有0的內部爆發延遲時，其有效旗標被開啓，且對應的剩餘資料塊計數值（RCCNT）爲非零值。

當輪到通道程序時，傳送引擎702在步驟326開始一描述元擷取操作。當描述元經由資料傳送開關介面718（圖9）而送達時，接收引擎772將抵達的描述元發送至傳送引擎702。在步驟328中，描述元的值被寫入通道狀態記憶體704之配置的通道位置中。在步驟330中，源通道備妥以開始將資料傳送至緩衝記憶體714中的配置緩衝器內。

當源通道被排定後，其開始重新擷取下一個描述元，且在步驟332中，產生資料的讀取請求訊號，其被加入圖9之資料傳送開關介面718的請求緩衝器佇列RQQ764中。依據本發明一實施例，下一個描述元的重新擷取可由使用者來禁止，禁止的方式係設定圖13及14之控制字元描述元中的停止及重新擷取位元。再者，當"最後

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 86）

描述元"位元被設定於目前描述元的控制字元中時，不實施重新擷取。

加入請求佇列764中的讀取請求數係依據幾個參數。例如，一個參數爲寫入通道狀態記憶體中的爆發大小值，其係針對目前服務的通道。爆發大小指定資料傳送的大小，此大小由一請求命令加以初始設定。另一參數爲剩餘資料區塊計數值。例如，以3，ff的爆發大小而言，爆發大小爲64位元組，且因此可核准兩個請求，由於依據本發明一實施例，每一個資料傳送開關的請求不會超過32個位元組。另一參數爲寬度、節距、及描述元中的計數欄位。例如，如果寬度爲8個位元組，且節距爲32個位元組，計數值爲4，則爆發大小爲3且剩餘資料區塊計數值RCCNT爲64，通道將會產生3個8位元組長的讀取請求。接著，其將取得下一個通道排程，以產生最後的請求，此最後的請求可滿足描述元對第四個計數的需求。

一旦通道完成其讀取請求，在步驟334中，剩餘資料區塊的計數值適當地減少。內部爆發延遲計數欄位被設定成一可區分的最小值。在步驟338中，此欄位每8個週期減少一次。當步驟340中，此欄位的值爲0，通道被重新排定以繼續其服務。

在步驟342中，通道被在次排定。在上述的例子中，通道產生一請求以產生第一個8位元組。當在步驟344完成描述元時，有效旗標被關閉，且通道不再被優

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明（87）

先等級排程器７４０加以考慮，直到表１５中的有效旗標欄位再次被設定，例如，由一資料通道連續操作命令ds_ocntinue所設定。如果未設定停止位元，在步驟３４６時，通道將檢查是否重取的描述元已經抵達。如果描述元已經抵達，在步驟３５０中，其會將重取描述元複製至目前的位置，且在步驟３５２中，開始對下一個描述元進行擷取操作。

傳送引擎７０２連續對此通道產生取請求，直到超過爆發的大小；剩餘資料區塊計數ＲＣＣＮＴ已被用盡；遇到停止位元；下一個描述元尚未到達；或最後描述元已經抵達。

參考圖１５（ａ），在步驟３１６中，當目前考量的通道爲目的通道時，執行步驟３８０，其中由於剩餘資料區塊計數欄位的值爲０，因此通道不會立即排定，一如源通道。在步驟３８２中，目的通道等待，直到源通道側以將足夠的資料數傳送至其配置的緩衝器。如前所述，將資料提供至配置之緩衝器的資料源可以是另一通道或一輸入／輸出Ｉ／Ｏ裝置。資料流送緩衝控制器７０６（圖１０）維持對進入資料的追蹤。當進入資料的位元組數超過輸出資料區塊的計數值，如表２３所示者，其將資料區塊計數傳送至該通道之傳送引擎７０２（圖８）。傳送引擎７０２將此值加入通道狀態記憶體７０４內，適當通道位置之目標通道的ＲＣＣＮＴ欄位中。在步驟３８４中，當此事件發生時，目標通道備妥來進行排定。因而，在步驟

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（88）

386中，傳送引擎702產生經由資料傳送開關介面718，對資料傳送開關112的寫入請求。

依據本發明一實施例，寫入請求的產生方式係依據上述產生讀取請求的相同原理。因此，考量的參數，包括爆發大小、剩餘資料區塊的計數值、及如寬度及節距之描述元的欄位。

一旦寫入請求位址已提供至請求匯流排，在步驟388中，資料傳送開關介面718將請求前傳至資料緩衝器控制器706。如上所述，反應於此，資料流送緩衝控制器706（圖10）從緩衝器記憶體714移除所需的位元組數，排列取回的資料並將其放回圖9的傳送引擎782中。

資料快取

以下將詳盡的描述依據本發明一實施例資料快取108的結構及操作，然而本發明並不限於此實施例的範圍。

圖17描述耦合至記憶體匯流排114'之資料快取108的方塊圖。記憶體匯流排114'已在之前加述及。依據本發明一實施例，資料快取108可耦合至資料傳送開關112，且因而經由收發器116耦合至處理器記憶體匯流排114及內部記憶體匯流排120。

資料快取108包括一標籤記憶體目錄536，用以儲存記憶體位置之位址標籤位元。資料快取記憶體538

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（89）

耦合至標籤記憶體以儲存存於主外部記憶體中的拷貝資料。標籤記憶體目錄536及資料快取記憶體538皆可分別藉由裁決器532及534來存取。每一標籤記憶體目錄536及資料快取記憶體538的一輸入埠係用以接收"寫入"資料，其後將對此"寫入"資料作詳細的說明。進一步的，每一標籤記憶體目錄536及資料快取記憶體538的另一輸入埠係用以接收"讀取"資料，其後將對此"讀取"資料作詳細的說明。

再填控制單元540，亦即資料快取控制器540，係用以實施快取方法的固定設定。快取方法係用以實施快取108之操作所選用的規則。其中的一些方法爲習知的，且描述於 J.Handy, 資料快取記憶體手冊(Academic Press, Inc 1993)，且合併於此處以作參考。一般而言，這些方法包括直接映射 vs. N-Way 快取，write-through vs. write-back 配置，線大小配置及監控。

上述快取中的"way"或"儲存體"係有關快取的組合。例如，N－way或N－儲存體快取可將來自主記憶體位置的資料儲存至N的快取位置中的任一位置。對於一多－way配置，每一way或儲存體包括其本身的標籤記憶體目錄及資料記憶體（未顯示）。當way或儲存體的數目增加，對應至儲存在每一儲存體資料記憶體之資料的標籤記憶體目錄位元數亦增加。再者，直接映射快取爲一1－way快取，由於任何主記憶體位置僅可映射至符合設定位元之單一的快取位置。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（90）

監控特徵係有關於匯流排１１４'之通訊的監管程序，以維持一致性。依據本發明一實施例，監控單元５４４耦合至記憶體匯流排１１４'以監管匯流排１１４'之通訊。監控單元５４４耦合至重填控制器５４０及外部存取控制器５４２。當記憶體匯流排的處理遇到一位址，其在資料快取１０８中重複兩次，監控單元５４４偵測監控的事件，並依據寫入策略（write-back或write-through）及系統協定的一致性而採取適當的動作。依據本發明一實施例，資料快取１０８藉由資料流送器１２２在資料傳送操作上實施一監控功能。

再次回到重填控制器５４０的描述，重填控制器的一輸出埠分別經由裁決器５３２及５３６耦合至標籤記憶體５３６及資料記憶體５３８。重填控制器５４０的另一輸出埠耦合至標籤記憶體５３２的寫入輸入埠。重填控制器５４０的另一輸出埠耦合至快取資料記憶體５３８的寫入輸入埠。

重填控制器５４０的另一輸出埠包括耦合至記憶體匯流排１１４'的匯流排請求埠，以提供匯流排請求訊號；當資料快取１０８欲將快取線的內容寫入對應的外部記憶體位置時，write-back資料埠耦合至記憶體匯流排１１４'以提供write-back資料；填入資料位址埠耦合至記憶體匯流排１１４'，以提供快取線的資料位址，其內容係用於外部記憶體位置。

重填控制器５４０的輸入埠用以從資料記憶體５１６

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明（91）

的讀取輸出埠接收資料訊號。重填控制器５４０的第二輸入埠用以接收來自資料記憶體５１６的標籤資料。重填記憶體５４０的另一輸入埠係用以從中央處理單元１０２的指令單元接收一下載／儲存的位址訊號。

依據本發明一實施例，資料快取１０８並包括一外部存取控制器５４２。外部存取控制器５４２允許資料快取１０８作爲多媒體處理系統１００中其他模組的僕模組。因而，系統１００中的任一模組作爲匯流排主單元，以依據中央處理單元１０２所實施的相同存取原則，存取資料快取１０８。

外部存取控制器５４２的輸出埠分別經由裁決器５３２及５３４耦合至標籤記憶體５３６及快取資料記憶體５３２。外部存取控制器５４２的另一輸出埠耦合至快取資料記憶體５３８的寫入輸入埠。最後，外部存取控制器５４２的一輸出埠耦合至記憶體匯流排１１４'以提供匯流排主單元的資料請求。

外部存取控制器５４２的一輸出埠係用以從快取資料記憶體５３８接收資料。外部存取控制器５４２的另一輸出埠包括一存取請求埠，耦合於記憶體匯流排１１４'用以從其他的匯流排主單元接收存取請求；一請求的資料位址埠，耦合於記憶體匯流排１１４'，用以接收有關匯流排主單元之請求的資料位址；及儲存資料埠，耦合於記憶體匯流排１１４'，用以由匯流排主單元所提供的資料，以及欲儲存於資料快取１０８中的資料。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（92）

記憶體匯流排114'並經由一記憶體控制器124耦合至DRAM128。進一步的記憶體匯流排114'耦合至直接記憶體存取控制器138。中央處理單元102的一輸出埠分別經由裁決器532及534耦合至標籤記憶體536及快取資料記憶體538，以便提供對應至載入及儲存操作的位址。中央處理單元102的另一輸出埠耦合至快取資料記憶體538的寫入輸入埠以提供對應至儲存操作的資料。最後，中央處理單元102的輸入埠耦合至快取資料記憶體的538的輸出埠以接收對應至載入操作的資料。

現在參考圖18描述重填控制器540的操作。在步驟560中，重填控制器開始其操作。在步驟562中，藉由比較標籤值以及來自中央處理單元102之載入或儲存位址的高位元，重填控制器540判斷是否觸發或漏失對資料快取單元108的請求。

在步驟564中，如果再反應一請求時，發生快取的漏失，重填控制器540行至步驟568，並判斷是否需以外部記憶體DRAM128之對應記憶體內容來置換的快取線。在步驟570時，重填控制器判斷快取108是否利用write-back的方法。如果是，重填控制器540藉由發出一儲存請求訊號至記憶體控制器124，提供被置換至DRAM128的快取線。在步驟572，重填控制器540經由將資料位址埠填入記憶體控制器540，以發出對漏失快取線的讀取請求訊號。在步驟

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（93）

574中，重填控制器540接收填入的資料，並將其寫入快取資料記憶體538，同時修改標籤記憶體536。

重填控制器540接著行進至步驟576，並反應一載入請求，提供請求資料至中央處理單元102。在變換的實施例中，重填控制器540反應來自中央處理單元102的儲存請求，將一資料寫入快取資料記憶體538中。在步驟578中，重填控制器540反應由中央處理單元102所提供之儲存操作，將資料寫入外部記憶體，如DRAM128。

如果在步驟564中，判斷出反應來自中央處理單元102之載入或儲存請求而發生回應，重填控制器540行至步驟566並提供自快取資料記憶體538的一快取線，以供讀取或寫入操作。如上所述，重填控制器540接著行至步驟576。

現在參考圖19說明依據本發明一實施例，與重填控制器540結合操作之外部存取控制器580的操作情形。

在步驟580中，外部存取控制器，反應於匯流排主單元的存取請求而開使操作。依據本發明一實施例，匯流排主單元可以是圖1（a）所描述的任一模組，且可發出存取請求，一如有關資料流送器122及資料傳送開關112的說明。在步驟582中，外部存取控制器542等待任一匯流排主單元的讀取或寫入請求。

一旦外部存取控制器542接收一請求，其行至步驟

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（94）

584以判斷匯流排主單元是否已請求一讀取或寫入操作。如果爲一讀取請求，外部存取控制器542行至步驟586以判斷是否發生一觸發或漏失。如果反應於讀取請求而發生一快取觸發，外部存取控制器行至步驟604並將請求的資料提供至匯流排主單元。

然而，如果反應於讀取請求而發生快取漏失，外部存取控制器行至步驟588並觸發重填控制器540，使得重填控制器540獲得請求的資料，並於步驟590將資料填入快取中。在重填資料後，在步驟604中，外部存取控制器542將請求的資料提供至匯流排主單元。

如果在步驟584中，外部存取控制器判斷匯流排主單元請求將資料寫入資料快取108，其行至步驟592以判斷發生快取觸發或快取漏失。反應於快取觸發，外部存取控制器542行至步驟596並允許匯流排主單元將請求的資料寫入資料快取記憶體538。

然而，在步驟592中，發生快取漏失，外部存取控制器行至步驟594並判斷快取資料記憶體中的哪一快取線需要被外部記憶體，如DRAM128的內容所置換。接著，外部存取控制器行至步驟598。如果資料快取實施一 write-back 方法，外部存取控制器在步驟598中從資料快取記憶體538提供被置換的快取線，並經由記憶體匯流排114'發出儲存請求至記憶體控制器124。

其後，外部存取控制器542行至步驟602，將請求的資料寫入快取資料記憶體，並據此修改標籤記憶體

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明（95）

536。

如前所述，外部存取控制器542明顯的增進許多應用程式的快取觸發率，其中可事先預測中央處理單元所需的資料。例如，就許多3D圖形的應用程式而言，有關特徵映射的資訊儲存在外部記憶體，如DRAM128中。由於可預測哪一資訊將由中央處理單元102所使用，其利益在於在中央處理單元102實際地使用此資訊前，可先將此資訊傳送至資料快取108。在此情況下，當中央處理單元102請由一特徵映射的資訊時，對應的資料已存在於資料快取中，並因而發生快取觸發。

三維圖形處理

參考圖1（a），依據本發明一實施例，固定功能單元106與資料快取記憶體108，中央處理單元102、104及外部記憶體128，以降低的頻寬延遲實施3D繪圖，然而本發明並不限於此範圍。

圖20描述多媒體處理器108的方塊圖，其中包含了用以實施3D繪圖處理的主要元件。因此，依據本發明一實施例，固定功能單元106包括一可程式輸入／輸出控制器618，其提供固定功能單元中其他元件的控制命令。固定功能單元中的其他元件包括VGA繪圖控制器603，其耦合至多媒體處理器100，且用以將圖形處理成VGA模式。二維（2D）邏輯單元605耦合至可程式輸入／輸出控制器，並用以處理二維的圖形。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（96）

固定功能單元106並包括一三維（3D）單元611，其利用一 bin-based 圖形處理演算法，此演算法將詳述於後。基本上，依據本發明一實施例，3D單元處理資料單元，如資料區塊、tiles或bin。每一tile爲螢幕畫面的一小部分。因此，依據本發明一實施例的3D單元，較佳的係利用一 binning 處理以將3D物件繪至一多媒體處理器100的對應緩衝記憶體空間。由於多媒體處理器晶片中的資料傳送可以相當高的頻寬來完成，因此可避免使用外部記憶體來執行繪圖演算的瓶頸。

3D單元611包括一3D tile光柵器607，其亦耦合至可程式輸入／輸出控制器618，且用以實施繪圖處理的工作。依據操作模式，3D tile光柵器607的兩個主要的工作包括 bining 及光柵化，此部分將參考圖21及22詳加描述於後。

3D單元611包括一3D特徵控制器609，其亦耦合至可程式輸入／輸出控制器618，並由其控制。如其後參考圖23將詳述者，3D特徵控制器驅動3D單元611將使用的特徵像素位址。因此，依據導出的位址，3D特徵控制器609產生由資料流送器122所使用的頻道描述元以從一本地記憶體，如SDRAM128獲得一適當的特徵像素，一如前述資料流送器122的操作情形。

3D單元611並包括一3D特徵濾波單元610，其耦合至可程式輸入／輸出控制器618，並由其控制。

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明（97）

如其後參考圖２４及２５將詳述者，濾波單元６１０係用以實施特徵濾波操作，如雙－線性（１通）及三－線性（２通）內插操作，並結合色彩陰暗調和及累積調和。

固定功能單元１０６包括一視頻定標器單元６１２，其耦合至可程式輸入／輸出控制器６１８，並由其控制。視頻定標器單元６１２係利用多個水平及垂直的標籤來上、下縮放視頻資料。視頻定標器單元６１２將輸出像素供應至顯示更新單元２２６（圖１（ｂ））用以在顯示幕上顯示３Ｄ物件。如其後將詳加描述者，依據本發明一實施例，特徵濾波器的一些功能係依據視頻定標器的相同原理。如此，依據本發明一實施例，視頻定標器６１２與特徵濾波器６１２共用一些功能。

固定功能單元１０６包括一資料傳送開關介面６１４，其允許固定功能單元的不同元件與資料傳送開關１１２及資料流送器１２２交互作用。資料傳送開關介面６１４依據圖9之資料傳送開關介面７１８的相同原理來操作。資料快取介面６１６允許固定功能單元１０６存取資料快取單元１０８。

圖２０描述資料快取１０８的不同元件，其係關於依據本發明一實施例的３Ｄ圖形處理操作。然而，爲了清楚起見，圖１６至１９所討論之資料快取１０８的其他特徵及元件並未顯示於圖２０中。再者，雖然前述的描述中，資料快取１０８的元件係位於資料快取中，應可了解，依據本發明另一實施例，這些元件亦可配置於資料快取外。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（98）

資料快取１０８包括一三角形建立緩衝器６２０，其用以儲存計算結果，以獲得三角形的參數，如三角形每邊的斜率。資料快取１０並包括一光柵器建立緩衝器６２２，其用以儲存每一三角形的額外參數，如螢幕座標、特徵座標、陰影色彩、景深及其偏微分參數。資料快取１０８包括一景深 tile 緩衝器,亦即 tile Z 緩衝器６２８，用以儲存 tile中所有像素的景深值。

資料快取１０８並包括一重填控制器５４０及外部存取控制器５４２，一如參考圖１７－１９所述者。再者，如先前參考圖１（ａ）所述者，中央處理單元１０２，１０４耦合至資料快取１０８。圖２０中所述的額外元件包括資料傳送開關１１２，資料流送器１２２，記憶體控制器１２４及ＳＤＲＡＭ１２８，一如先前參考圖１－１５所述者。Ｉ／Ｏ匯流排１３２係用以提供訊號至顯示更新單元２２６，其提供顯示訊號至一影像顯示裝置，如監視器（未顯示）。依據本發明一實施例，視頻定標器６１２直接耦合至顯示更新單元２２６。

如其後將詳細描述者，依據本發明一實施例，螢幕上所有三角形的幾何及光線轉換係由ＶＬＩＷ中央處理單元１０２所實施。３Ｄ　單元６１１係用以識別所有的 bins 或 tiles 及所有與 tiles 將交的三角形。更特定的，３Ｄ三角形光柵器６０７辨別每一 tile 中的三角形。其後，對於每一 bin 或 tile，ＶＬＩＷ中央處理單元１０２實施一三角形建立測試以計算每一三角形的參數，如每一三角形的側邊

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 99）

斜率。

3D三角形光柵器607並光柵化所有與bin或tile相交的三角形。3D特徵控制器607計算一bin或tile中所有像素的位址特徵。

一旦獲得特徵像素的位址，資料流送器122從SDRAM128獲得對應之特徵像素資訊。3D特徵濾波器610實施取得之特徵像素的雙－線性及三－線性內插。資料流送器122因而將每一tile或bin之處理的影像資料寫入一訊框緩衝器。因而，訊框緩衝器在DRAM128中定義一陣列，其包括一影像之所有像素的強度／色彩值。圖形顯示裝置可存取此陣列，以決定每一像素的顯示強度／色彩。

圖21爲依據本發明一實施例，3D三角形光柵器607的方塊圖。爲了清楚起見，圖21描述當3D三角形光柵器607在一binning模式下操作時，所發生的訊號流，此將在其後詳加描述。

資料快取108耦合至3D三角形光柵器607，以提供binning操作所需的資訊。資料快取108中的兩個用於binning操作的緩衝器爲建立緩衝器622及tile索引緩衝器630。

3D三角形光柵器607包括一格式轉換單元632，用以從資料快取108接收三角形建立資訊。格式轉換單元632將自資料快取108所接收的參數從浮點數轉換成固定點數。螢幕座標內插器634接著耦合至格式轉

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 100）

換器６３２，以提供正由３Ｄ三角形光柵器６０７所處理之像素的ｘ，ｙ座標。Binning單元６４４係用以從內插器６３４接收ｘ，ｙ座標，並實施一 binning 操作，如參考圖２６將更進一步描述者。Binning 單元並耦合至 tile 索引緩衝器６３０。Binning單元６４４所計算的資訊，經由資料流送器１２２，被提供至記憶體１２８中的 tile 資料緩衝器６４６。

在操作時，３Ｄ三角形光柵器６０７自資料快取１０８讀取三角形每一頂點的座標。其後，三角形光柵器辨別所有與每一 bin 或 tile 相交的三角形,並包括稱爲 tile 索引及 tile 資料的資料結構。

如前所述，在光柵器前，處理整個螢幕之所有三角形的幾何及光線。接著對每一 bin 或 tile 重複地執行設定及光柵化處理。Binning 的程序包括將輸出影像分離成相同大小的方塊。依據本發明一實施例，每一 bin 或 tile 的大小爲１６×１６像素所定義的方形面積。每一方形被光柵化並接著移至最後訊框緩衝器。爲了正確的對一 bin 實施光柵化處理，與 bin 相交之所有三角形的相關資訊需加以提供。爲了達成上述的要求，因而在 binning 程序前，必須先獲得螢幕中所有三角形的設定及光柵化資料。

Binning 包括沿著三角形每一邊取點的程序，並辨別三角形之像素所屬的所有 bin。因此，一開始程序辨別代表三角形上頂點的像素，隨後沿著三角形的左右側邊來辨別與水平掃描線相交的其他像素，以獲得像素所屬之對應的 bin

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 101）

。一旦辨別了 bin ，處理之三角形的識別號碼及三角形ＩＤ關聯至識別的 bin 。

索引緩衝器６３０較佳的是２維的陣列，其對應至螢幕上正處理之 bin 數。對於一定的螢幕解析度，此 bin 係一定。因此， tile 索引緩衝器６３０包括 tile 資料緩衝器６４６中對第一三角形ＩＤ的一索引。依據本發明一實施例， Tile 資料緩衝器爲本地記憶體中２５６Ｋ大小的靜態陣列。 Tile 資料緩衝器６４６包括一三角形索引，及指到下一三角形的指標。因此，依據本發明一實施例，隨著資料鏈結，可找到給定 bin 的所有三角形。

圖２６說明依據本發明一實施例，一示例三角形，如８６１上的 binning 操作情形，然而本發明並不限於此一範圍。三角形８６１被分成兩個次三角形，並具有通過中間頂點Ｂ的水平線。如圖２６所示，三角形８６１在水平方向及垂直方向跨過多個像素，而定義一三角形的窗口。 Binning 單元６４４一條線一條線地跨過這些像素。因此，在步驟８６２中， binning 單元６４４處理包括三角形之上頂點的直線。在跨距的程序中，最左側像素的ｘ座標爲ＡｘＸＡＣ或交點ＸＡＣ，而最右側像素的ｘ座標爲ＡｘＸＡＢ或交點ＸＡＢ。交點ＸＡＣ爲邊ＡＣ與下一個跨線之交點的ｘ座標，而交點ＸＡＢ爲邊ＡＢ與下一個跨線之交點的ｘ座標。爲了得到這些像素所屬的 bin ， binning 單元６４４利用以下的條件

X=[min2(Ax,Cross XAC),max2(Ax,Cross XAB)]，其中

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 102）

X 爲每一掃描線上，三角形所含的 x 範圍。

在步驟８６４中，binning單元６４４利用以下的條件

X=[min2(Cross XAC,Cross XAC+dxdy AC),max2(Cross XAB,Cross XAB+dxdy AB)]

隨後跨距之邊ＡＣ及ＡＢ間每一交點的 x 座標由下式導出

CrossXAC=CrossXAC+dxdy AC

CrossXAB=CrossXAB+dxdy AB

其中，dxdyAC 爲三角形８６１之邊ＡＣ的斜率，且 dxdyAB 爲三角形８６１之邊ＡＢ的斜率。重複步驟８６４，直到跨距包括中間的頂點Ｂ。其後，binning 單元行至步驟８６６。

在步驟８６６中，最右側像素的 x 座標爲三個參數的最大值，如

X=[min2(Cross XAC,Cross XAC+dxdy AC),max3(Cross XAB,Bx,Cross XAB)]，其中 CrossXBC 爲ＢＣ及下一個跨距之交點的 x 座標。其後，bining 單元６４４實施步驟８６８，其中持續的將 dxdyAC 及 dxdyBC 加至 CrossXAC 及 CrossXBC 直到跨距包括底部的頂點Ｃ，如

X=[min2(Cross XAC,Cross XAC+dxdy AC),max2(Cross XBC, Cross XBC+dxdyBC)],及

CrossXAC=CrossXAC+dxdy AC

CrossXBC=CrossXBC+dxdy BC

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（103）

最後，在步驟８７０中，binning單元６４４最後像素所屬的bin s，如

X=[min2(Cross XAC,Cx),max2(Cross XBC, Cx)]。

在前述步驟８６２至８７０中，binning單元６４４儲存每一三角形各邊像素之所有bin的ＩＤ。Binning程序的結果爲，tile索引緩衝器６３０及tile資料緩衝器６４６均被填入。當每一bin或tile均處理後，此允許３Ｄ單元６１１取回跨過一bin的三角形。圖２２說明光柵化模式中的３Ｄ三角形光柵器６０７。光柵化模式中所使用的資料結構可重複使用資料快取記憶體１０８，其中在binning模式中使用到tile索引緩衝器６３０。因此，在光柵化之前，tile索引緩衝器６３０的內容被寫至本地記憶體ＤＲＡＭ１２８中。３Ｄ三角形光柵器６０７包括一特徵座標內插器６３６，其耦合至格式轉換器６３２，且利用內插處理，來獲得三角形內的特徵座標資料。一色彩內插器６１８耦合至格式轉換器６３２，且利用內插法，來獲得三角形內的色彩座標資料。景深內插器６４０亦耦合至格式轉換器６３２，且用以獲得三角形之像素的景深。依據本發明一實施例，當執行一bin時，bin中的三角形很可能位於重疊的層中。層是可在深度方向上與另一層分離的表面。３Ｄ三角形光柵器６０７以由前至後的方式來處理各層，且避免在連續的層內光柵化完成的三角形。藉由僅光柵化可見的像素，可省去大量的處理及計算。因此，光柵器６０７以一bin一bin的方式排序多個層。由於一bin

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 104）

內，平均三角形的各數爲１０，排序處理並不會花上很長的時間。依據本發明一實施例，此排序在建立或光柵化任何三角形之前發生。

較佳的是，僅在每一三角形的平均景深或Ｚ值上未儲存Bin中的三角形。對於大的三角形，景深內插器６４０獲得三角形的中間Ｚ值。Ｚ有效暫存器６４２耦合至景深內插器６４０以追蹤前述儲存於資料快取１０８之景深 tile 緩衝器６２８內的有效景深值。

如圖２２所示，在光柵化模式中，用於資料快取１０８內的緩衝器爲片段索引６５０、光柵器建立緩衝器６２２、特徵座標 tile(tile T)６２４、色彩 tile(tile T)６２６、及景深 tile(tilez)６２８，其提供用於抗－隱去或α調和的片段（ fragment ）。

片段（ fragment ）產生器６４８耦合至記憶體１２８的四個緩衝空間，包括片段鏈結緩衝器６５２、片段緩衝器的特徵座標６５４、片段緩衝器的色彩６５６、及片段緩衝器的深度６５８。記憶體中，這些緩衝器的操作係基於資料快取１０８之緩衝器的相同原理。光柵器建立緩衝器６２２耦合至格式轉換器６３２，以提供光柵化程序所需的三角形參數。再者，特徵座標 tile ６２４耦合至特徵座標內插器６３６。類似地，色彩 tile ６２６耦合至色彩內插器６３８，且景深ｔｉｌｅ６２８耦合至景深內插器６４０。景深 tile ６２８保持 bin 中每一正處理之三角形的有效景深值。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 105）

因此，在操作時，３Ｄ三角形光柵器６０７從資料快取光柵化建立緩衝器，讀取對應至三角形每一頂點之三角形建立資料，包括螢幕座標、特徵座標、陰影色彩、景深及其偏微分ｄＲ／ｄＸ，ｄＲ／ｄＹ等。就這些偏微分而言，例如，Ｒ爲陰影色彩的紅色分量，且ｄＲ／ｄＸ代表在ｘ方向上移動一個像素所產生的Ｒ差值。ｄＲ／ｄＹ代表在ｙ方向上移動一個像素所產生的Ｒ差值。利用Ｚ緩衝器，僅可見三角形或其部分的結果可儲存於特徵座標tile６２４及色彩tile６２６中。因此，每一像素的Ｚ值儲存於tile６２８中。Ｚ值表示像素離使用者眼睛的深度。因此，Ｚ值表示像素是否被另一物體所隱藏。

結果爲，特徵座標tile６２４儲存特徵的相關資訊，如特徵映射位址及大小，以及tile的特徵座標。特徵座標內插器６３６以固定的點來內插特徵座標，並以相同的固定點格式，儲存於特徵座標tile中。類似地，色彩tile６２６定義一資料結構，用以儲存像素之ＲＧＢＡ陰影色彩。因此，依據本發明一實施例，光柵化後所提供的特徵及色彩資訊關聯至可見的像素。

圖２３描述依據本發明一實施例，一３Ｄ特徵控制器６０９的方塊圖，其用以產生定址的特徵像素。３Ｄ特徵控制器包括一格式轉換器６３２、耦合於一記憶體位址計算器６６４。記憶體位址計算器的輸出埠又耦合於特徵快取標籤檢查單元６６６的輸入埠，其接著耦合至一位址映射產生器６６８及資料流送器描述元產生器６７０。３Ｄ

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 109

特徵控制器６０９耦合至資料快取１０８。

在３Ｄ特徵控制器６０９產生特徵位址時，資料快取１０８利用位址映射緩衝器６６０，特徵座標 tile ６２４及色彩 tile ６６２。因此，位址映射產生器６６８提供位址映射至資料快取１０８的位址映射緩衝器６６０。再者，特徵座標 tile ６２４將光柵化程序中所產生的特徵座標提供至記憶體位址計算器６６４。色彩 tile ６６２將色彩資料提供至記憶體位址計算器６６４。

反應於資料快取１０８所提供的資訊，３Ｄ特徵控制器６０９計算必要之特徵像素的記憶體位址。接著，３Ｄ特徵控制器６０９查閱快取標籤６６６以檢查特徵像素是否位於資料快取１０８，參照於特徵快取６６７，中的預定部位。如果快取處發，３Ｄ特徵控制器６０９將快取位址儲存於資料快取１０８之另一資料結構中，其參照至位址映射６６０。否則，３Ｄ特徵控制器儲存漏失的快取線位址，一如資料流送器描述元，使得資料流送器１２２可從記憶體１２８將資料線移至特徵快取６６７。在快取－漏失的情況下，位址映射６６０亦被寫入。

儲存於位址映射緩衝器６６０中的資料在特徵像素濾波的後段程序中被加以使用。因此，位址映射緩衝器６６０係用以指示特徵像素位址至像素的映射。儲存於位址映射緩衝器６６０中的陣列爲 bin 中像素的靜態陣列，且包含指向像素緩衝器內一位置的指標，以指示哪一４×４特徵像素區塊可應用於給定的像素。所需濾波器的型態亦儲

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 107）

存於位址映射緩衝器６６０內。

圖２４說明依據本發明一實施例之３Ｄ特徵濾波器６１０。３Ｄ特徵濾波器６１０包括一特徵像素擷取單元９４２，用以從位址映射緩衝器６６０接收特徵像素資訊。由特徵像素擷取單元９４２所接收的資訊接著提供至特徵快取６６７以指示特徵快取６６７中，下一個需被濾波的特徵像素。

３Ｄ特徵濾波器６１０並包括一調色單元９４４，用以接收來自特徵快取６６７的特徵像素。當特徵快取中的值指示特徵色彩的索引，調色單元９４４從資料快取內的資料表，取得具有索引的特徵色彩。調色單元９４４的輸出埠耦合至水平內插器９４６，其接著耦合至一垂直內插器９４８。水平內插器９４６及垂直內插器９４８用以從位址映射緩衝器６６０接收係數參數。垂直內插器９４８的輸出埠耦合至一三－線性內插器９５０，其從色彩 tile ６６２接收第一內插操作的係數，並從色彩緩衝器９３０接收第二內插操作的係數。

依據本發明一實施例，共有兩種係數。一係數係用來作雙－線性內插，並指示如何內插四個鄰近特徵像素色彩的加權值。另一係數則用來作三－線性內插，並指示如何內插兩個鄰近特徵像素色彩的加權值。

內插器９５０的輸出埠耦合至陰影色彩調和單元９５２。陰影色彩調和單元９５２亦用以從色彩 tile ６２２接收色彩值。陰影色彩調和單元９５２的輸出埠耦合至

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 109

色彩 tile ，並耦合至累積調和單元９５４。依據本發明一實施例，累積調和單元９５４的輸出埠耦合至資料快取１０８中一累積緩衝器９３４的輸入埠。

在操作時，３Ｄ特徵濾波器６１０實施雙－線性特徵濾波。利用儲存於位址映射緩衝器６６０中的記憶體位址，從特徵快取６６７讀取輸入的特徵像素。雙－線性濾波的結果在色彩 tile ６２２中加以調和，並寫回至色彩 tile ６２２中以作爲最後的特徵色彩。當指定一累積時，最後的色彩被調和至累積緩衝器９３４中的一累積色彩中。

爲了實施三－線性濾波，需要兩次操作。在第一操作中，３Ｄ特徵濾波器將雙－線性的濾波結果儲存至色彩緩衝器９３０中。再第二操作中，調和儲存於色彩緩衝器９３０中的色彩與另一雙－線性的濾波色彩，而產生最後的三－線性結果。

藉由在調色模式中，致動３Ｄ特徵濾波器６１０，而從資料快取１０８載入調色單元９４４的內容。

雙－線性及三－線性濾波器利用一程序以獲得多個鄰近特徵像素的加權總合。依據本發明一實施例，實施鄰近特徵像素之水平內插及垂直內插以獲得特徵像素資料。例如，垂直特徵像素的各數可以爲３，且垂直特徵像素的各數可以爲５。濾波程序係利用特定的係數來實施。因此，濾波程序定義爲１５個特徵像素的加權值，且濾波之特徵像素的最後輸出Ｔ定義爲：

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 109

$$Tx=k11Txy+\ k12Txy+\ k13Txy+2$$

$$Tx+1=k21Tx+1y+\ k22Tx+1y+1=\ k23Tx+1y+2$$

$$Tx+2=k31Tx+2y+\ k32Tx+2y+1=\ k33Tx+2y+2$$

$$Tx+3=k41Tx+3y+\ k42Tx+3y+1=\ k43Tx+3y+2$$

$$Tx+4=k51Tx+4y+\ k52Tx+4y+1=\ k53Tx+4y+2$$

其中T爲對應於擷取之特徵像素的特徵像素資訊。依據本發明一實施例，由於垂直內插的結果與前一次計算的結果相同，當內插點與前一點位於相同的格子時，不需實施垂直內插。另一方面，由於格子點上縮放特徵像素的相對位置可能不同，因而係數設定亦不同，即使特徵像素位於前一點的相同格子內，仍需重新做水平的內插計算。

因此，如上所述，特徵像素濾波的主要操作爲乘法及加法。如圖２５ａ及２５ｂ所示，依據本發明一實施例，這些功能可與視頻定標器６１２共同使用。視頻定標器６１２包括匯流排介面８２０，其耦合至處理器記憶體匯流排１１４，且用以傳送請求並接收像素資訊至該處。固定功能記憶體８２８耦合至匯流排介面單元８２０，並利用資料流送器１２２從記憶體１２８接收ＹＣｂＣｒ像素資料。固定功能記憶體８２８儲存預定的像素部分，此部份較佳的係大於內插所需的部分，而能降低記憶體１２８及視頻定標器６１２間的交通量。

源影像緩衝器８２２耦合至固定功能記憶體８２８，且用以接收足以實施內插操作的像素資料。像素位址控制

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 119

器８２６產生一像素資料位址，此位址係從固定功能記憶體８２８所接收，以供內插操作。一垂直源資料平移暫存器８２４耦合至源影像緩衝器８２２，並用以平移內插程序中所使用之乘法及加法操作的像素資料。當視頻定標器６１２實施３Ｄ特徵濾波器６１０的鑢波操作時，垂直源資料平移暫存器８２４用以儲並平移存乘法及加操作的特徵像素資料。

水平源資料平移暫存器８３０儲存由乘法及加法電路８３４所導出之中間的垂直內插像素。水平資料平移暫存器８３０可再度用來做乘法及加法操作。

係數儲存單元８４４用以儲存內插操作之預先指定的係數。因此，當視頻定標器６１２實施３Ｄ特徵濾波器６１０之一濾波操作時，係數儲存單元８４４儲存特徵像素的濾波係數，且當視頻定標器６１２實施一縮放操作時，係數儲存單元８４４儲存像素的內插係數。

座標加法器８４６耦合至一選擇器８４０，以控制用於乘法及加法操作之適當係數的取回。座標加法器８４６接著耦合至一ｘ，ｙ基礎位址，此位址對應至起始像素或特徵像素的座標。一Δ單元８５０在非縮放的原始像素平面上，對於期望縮放的像素座標提供垂直及水平方向的差分運算。

依據本發明一實施例，如圖２５ｂ所示，乘法及加法單元８３４用以實施乘法及加法運算，雖然本發明並不限於此範圍。因此，乘法及加法單元８３４包括多個像素及

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 111）

係數暫存器８５２及８５４，此係數暫存器８５２及８５４的值經由一加法器８６０，並由乘法器８５６做乘法運算而產生一數值。

一輸出像素先進先出ＦＩＦＯ緩衝器８４２用以儲存導出的像素，以依據視頻定標器控制暫存器的值，輸出至一顯示更新單元２２６，或輸出至資料快取１０８。

在操作時，依據本發明一實施例，視頻定標器６１２利用資料流送器１２２，從記憶體１２８讀取ＹＣｂＣｒ像素資料，並將這些資料置放於固定功能記憶體８２８中。奇後，利用像素位址控制器８２６，從固定功能記憶體８２８，讀取對應至Ｙ，Ｃｂ，Ｃｒ像素資料的適當位元。取得的資料被寫入源影像緩衝器８２２之三個源影像緩衝空間中，且對應至Ｙ，Ｃｂ，Ｃｒ的資料。

垂直及水平內插的序列係依據縮放因子。依據本發明一實施例，在視頻定標器６１２中存在有三個乘法及加法單元８３４，而能同時實施三個垂直及三個水平的內插。

圖２７的流程圖總結了３Ｄ圖形處理中的步驟，一如參考圖２０－２６所述者。因此，在步驟８８０中，ＶＬＩＷ處理器１０２藉由計算一訊框內所有三角形的螢幕座標、色彩、及binning參數來計算幾何資料。在步驟８８２中，藉由提供 binning 指示訊號至３Ｄ三角形光柵器６０７，固定功能單元被致動而進行ｂｉｎｉｎｇ操作。binning的結果爲，所有bin的tile索引及tile資料皆於步驟８８４中被加以計算。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 112）

在步驟８８６中，對於訊框中的所有bin，開始三角形之可見像素的建立及內插。因此，ＶＬＩＷ１０２在步驟８８８計算三角形建立資料。在步驟８９０中，藉由步驟８９２中以內插模式致動３Ｄ三角形光柵器，使３Ｄ三角形光柵器對三角形中的每一像素，計算執行繪圖所需的參數，包括ｘ，ｙ，ｚ，ＲＧＢＡ，〔ｓ，ｔ及ｗ〕。ｓ，ｔ及ｗ參數爲爲同質的特徵座標，且用於透視修正中。同質的特徵座標指示出一像素對應至哪一特徵像素。

對於bin中的所有像素，ＶＬＩＷ１０２計算對應至ｓ，ｔ及ｗ計算之每一像素的特徵座標，ｓ，ｔ及ｗ的計算係由３Ｄ三角形光柵器所獲得。在步驟８９６中，３Ｄ特徵控制器６０９計算特徵位址。在步驟８９８中，資料流送器１２２反應於計算的特徵位址，從記憶體１２８取得特徵像素。當資料流送器１２２取得對應至一bin的特徵像素時，ＶＬＩＷ處理器１０２計算對應下一個bin之ｕ，ｖ座標。由於資料快取１０８的結構，使得此一計算得以實施。依據本發明一實施例，資料快取１０８的結構允許藉由固定功能單元，來存取快取。

在步驟９００中，視頻定標器６１２結合３Ｄ特徵濾波器６１０而致動，以在一部份取得之濾波器上，實施特徵像素濾波。

依據本發明一實施例，在步驟９０２至９１２中，依據步驟８９４至９００的相同原理，３Ｄ圖形單元在一片段中，對所有的像素實施抗－隱去及α調和。在步驟９１４

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（113）

中，利用資料流送器122將資料傳送至本地記憶體空間，如一DRAM128，由固定單元所導出的資料儲存於訊框緩衝器內。

因此，本發明允許利用多媒體處理器內的資料快取來實施 binning 程序，並將有關每一 bin 中的資料儲存至資料快取中。再者，依據本發明一觀點，在取得特徵像素之前，首先辨別三角形的可見像素，因此僅從本地記憶體取回對應的特徵像素。

雖然已描述本發明的特定技術特徵，但熟悉相關技術之人應可理解，可有多種改良、替代、變化或等效的實施。因而，所附的實施例係用以涵蓋所有落於其範圍內的改良及變化。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

A5
B5

四、中文發明摘要（發明之名稱：積體式多媒體系統）

一種積體多媒體系統具有在一積體電路中之多媒體處理器。系統包含一耦合多媒體處理器於的第一主處理器系統。一第二區域處理器系統被設於該多媒體處理器用以控制該多媒體處理器的運作。一資料傳送切換器被設於多媒體處理器該中並耦合於該第二區域處理器，其將資料傳送至多媒體處理器的不同模組。一固定功能單元被設於該多媒體處理器中，耦合於該第二區域處理器及該資料傳送切換器並被構建以執行三維圖形運算。

一資料流路被耦合至資料傳送切換器，並被構建以依照對應的通道分配排定設於多媒體處理器中的多數模組間的同步資料傳送。一介面單元被耦合至該資料流路且具有多數輸入／輸出（I／O）裝置驅動單元。一多工器被耦合至該介面單元並提供選定數量的I／O裝置驅動單元與外部I／O裝置之間將由輸出接腳的存取。多數外部I／O裝置被耦合至該多媒體處理器。

英文發明摘要（發明之名稱：AN INTEGRATED MULTIMEDIA SYSTEM）

An integrated multimedia system has a multimedia processor disposed in an integrated circuit. The system comprises a first host processor system which is coupled to the multimedia processor. A second local processor is disposed within the multimedia processor which controls the operation of the multimedia processor. A data transfer switch is disposed within the multimedia processor and coupled to the second processor which transfers data to various modules of the multimedia processor. A fixed function unit is disposed within the multimedia processor, coupled to the second processor and the data transfer switch and configured to perform three dimensional graphic operations.

A data streamer is coupled to the data transfer switch, and configured to schedule simultaneous data transfers among a plurality of modules disposed within the multimedia processor in accordance with the corresponding channel allocations. An interface unit is coupled to the data streamer and has a plurality of input/output (I/O) device driver units. A multiplexer is coupled to the interface unit and provides access between a selected number of I/O device driver units and external I/O devices via output pins. A plurality of external I/O devices are coupled to the multimedia processor.

（請先閱讀背面之注意事項再填寫本頁各欄）

裝 訂 線

經濟部中央標準局員工消費合作社印製

90年8月24日 修正補充

六、申請專利範圍

第88117910號專利申請案

中文申請專利範圍修正本

民國90年8月修正

1．一種具有設在積體電路中的多媒體處理器的積體式多媒體系統，該系統包含：

一第一主處理器系統耦合至該多媒體處理器；

一第二區域處理器設在多媒體處理器中以控制該多媒體處理器的運作；

一資料傳送切換器設於該多媒體處理器中並耦合至該第二處理器以傳送資料到該多媒體處理器的各種不同的模組；

一固定功能單元被設於多媒體處理器中，該固定功能單元被耦合至該第二處理器及該資料傳送切換器且被配置以執行三度空間繪圖運作；

一資料資料流路被耦合至該資料傳送切換器，且被配置以遵照通道分配安排排定在系統的各種不同的模組之間的同步的資料傳送；

一界面單元被耦合至具有多數個輸入／輸出（I／O）裝置驅動單元的該資料流路；

一多工器被耦合至該界面單元以提供在被選擇的數量的該I／O裝置驅動單元與外部I／O裝置之間經由輸出接腳的通路；及

多數個外部I／O裝置被耦合至該多媒體處理器。

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

2．如申請專利範圍第1項的系統，其中該外部I／O裝置被該I／O裝置驅動單元中的一對應者所控制。

3．如申請專利範圍第2項的系統，其中該外部I／O裝置中之一是NTSC解碼器。

4．如申請專利範圍第2項的系統，其中該外部I／O裝置中之一是NTSC編碼器。

5．如申請專利範圍第2項的系統，其中該外部I／O裝置中之一爲被配置以解調變無線通訊信號的解調器單元。

6．如申請專利範圍第5項的系統，其中該解調器單元遵照一傳送通道界面安排與該多媒體處理器溝通。

7．如申請專利範圍第2項的系統，其中該多媒體處理器提供影像信號和三度空間繪圖信號至一外部影像顯示裝置。

8．如申請專利範圍第2項的系統，其中該外部I／O裝置是一ISDN界面。

9．如申請專利範圍第2項的系統，其中該外部I／O裝置是聲音編碼器和解碼器（CODEC）單元。

10．一種積體式多媒體系統，具有設在積體電路中的多媒體處理器處理，該系統包含：

一處理器設在該多媒體處理器中以控制該多媒體處理器的運作；

一資料傳送切換器設於該多媒體處理器中並耦合至該處理器以傳送資料到該多媒體處理器的各種不同的模組；

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

一固定功能單元被設於多媒體處理器中，該固定功能單元被耦合至該第二處理器及該資料傳送切換器且被配置以執行三度空間繪圖運作；

一資料資料流路被耦合至該資料傳送切換器，且被配置以遵照通道分配安排排定在系統的各種不同的模組之間的同步的資料傳送；

一界面單元被耦合至具有多數個輸入／輸出（Ｉ／０）裝置驅動單元的該資料流路；

一多工器被耦合至該界面單元以提供在被選擇的數量的該Ｉ／０裝置驅動單元與外部Ｉ／０裝置之間經由輸出接腳的通路；及

多數個外部Ｉ／０裝置被耦合至該多媒體處理器。

１１．如申請專利範圍第１０項的系統，其中該外部Ｉ／０裝置被該Ｉ／０裝置驅動單元中的一對應者所控制。

１２．如申請專利範圍第１１項的系統，其中該外部Ｉ／０裝置中之一是ＮＴＳＣ解碼器。

１３．如申請專利範圍第１１項的系統，其中該外部Ｉ／０裝置中之一是ＮＴＳＣ編碼器。

１４．如申請專利範圍第１１項的系統，其中該外部Ｉ／０裝置中之一爲被配置以解調變無線通訊信號的解調器單元。

１５．如申請專利範圍第１４項的系統，其中該解調器單元遵照一傳送通道界面安排與該多媒體處理器溝通。

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

16．如申請專利範圍第11項的系統，其中該多媒體處理器提供影像信號和三度空間繪圖信號至一外部影像顯示裝置。

17．如申請專利範圍第11項的系統，其中該外部I／0裝置是一ISDN界面。

18．如申請專利範圍第11項的系統，其中該外部I／0裝置是聲音編碼器和解碼器（CODEC）單元。

（請先閱讀背面之注意事項再填寫本頁）

訂

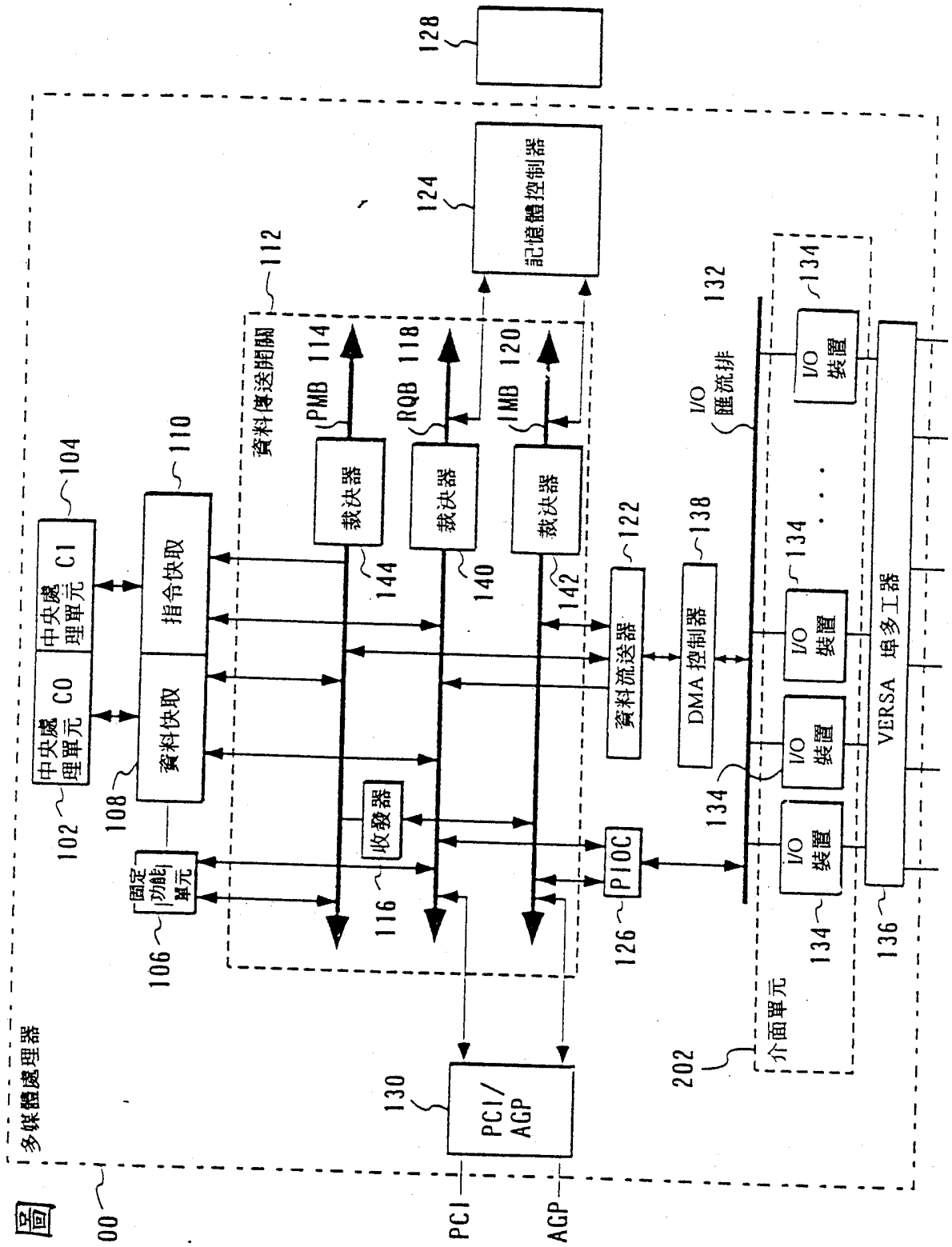
線

經濟部智慧財產局員工消費合作社印製

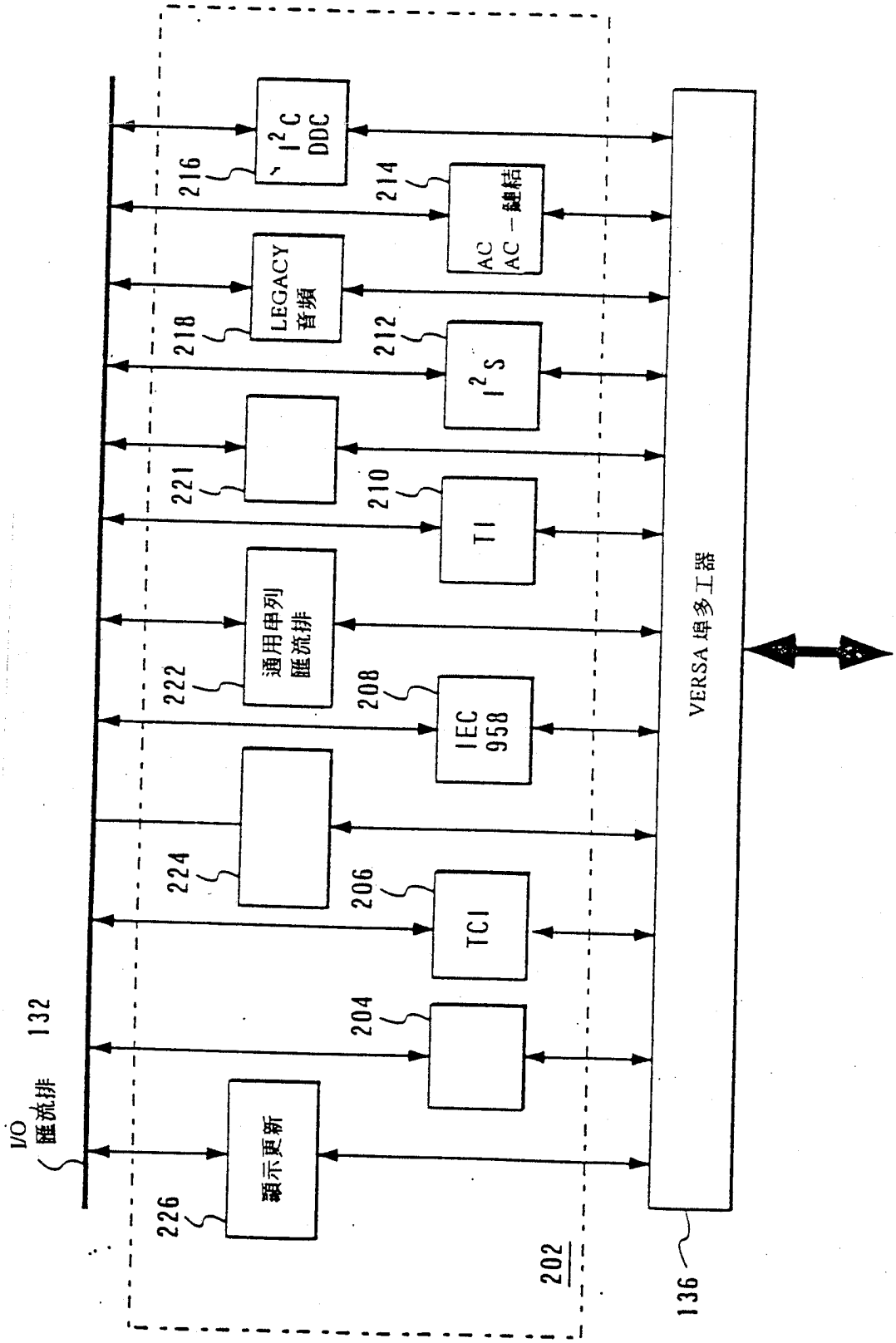
90年8月24日修正補充

735174

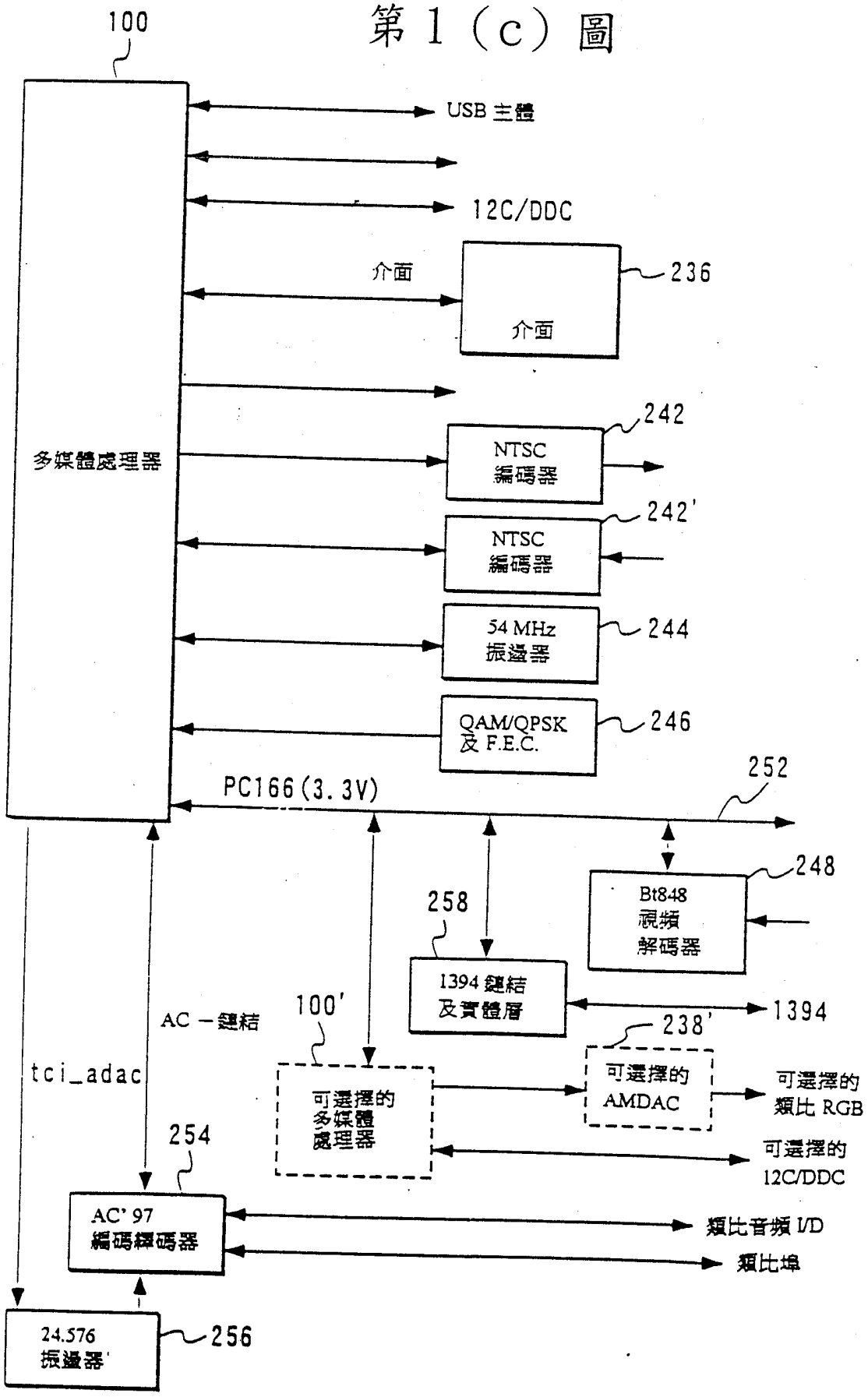
第 1（a）圖



第1(b)圖

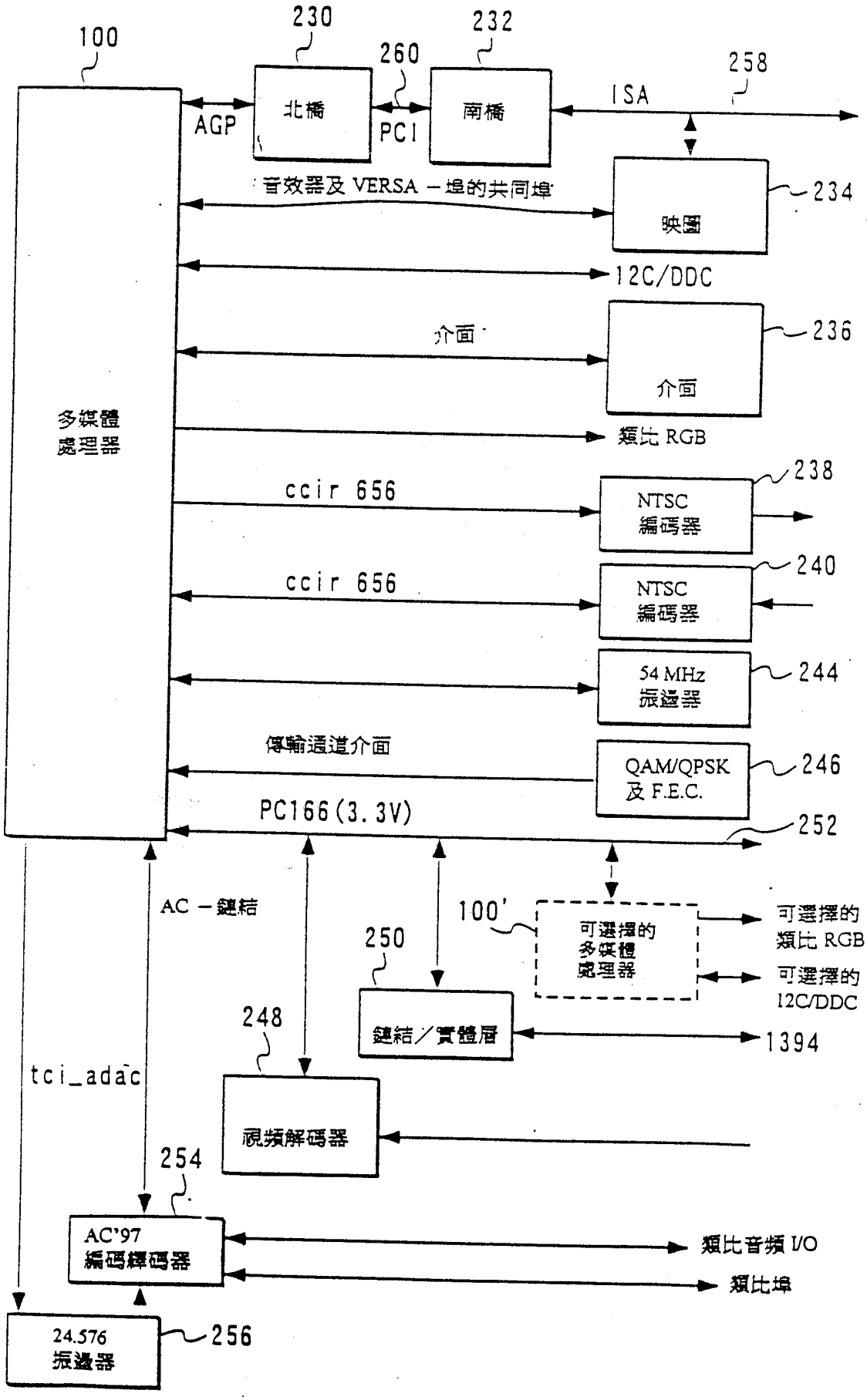

I/O 匯流排 132
顯示更新
226
204
TCI
206
224
IEC 958
208
通用串列匯流排
222
TI
210
221
I²S
212
LEGACY 音頻
218
AC AC－鍵結
214
I²C DDC
216
202
VERSA 埠多工器
136

第 1 (c) 圖


100
USB 主體
12C/DDC
介面
介面
236
多媒體處理器
242
NTSC 編碼器
242'
NTSC 編碼器
54 MHz 振盪器
244
QAM/QPSK 及 F.E.C.
246
PC166 (3.3V)
252
248
Bt848 視頻 解碼器
258
1394 鏈結 及實體層
1394
AC－鏈結
100'
238'
tci_adac
可選擇的 多媒體 處理器
可選擇的 AMDAC
可選擇的 類比 RGB
254
可選擇的 12C/DDC
AC' 97 編碼解碼器
類比音頻 I/D
類比埠
24.576 振盪器
256

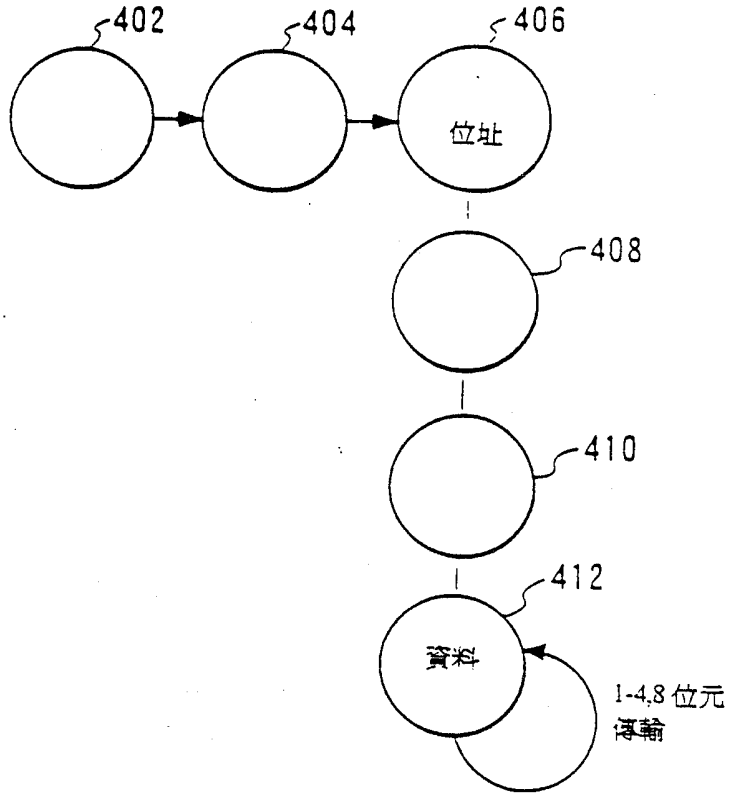
年 月 日 修正補充

第1(d)圖

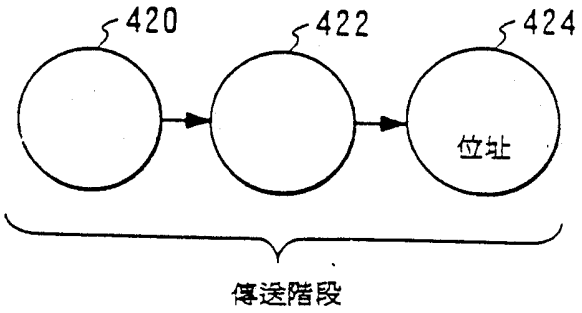


90年8月29日 修正補充

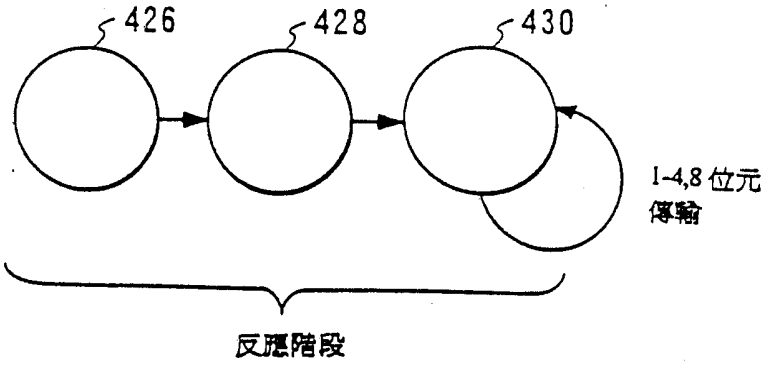
第 2 圖



第 3 (a) 圖

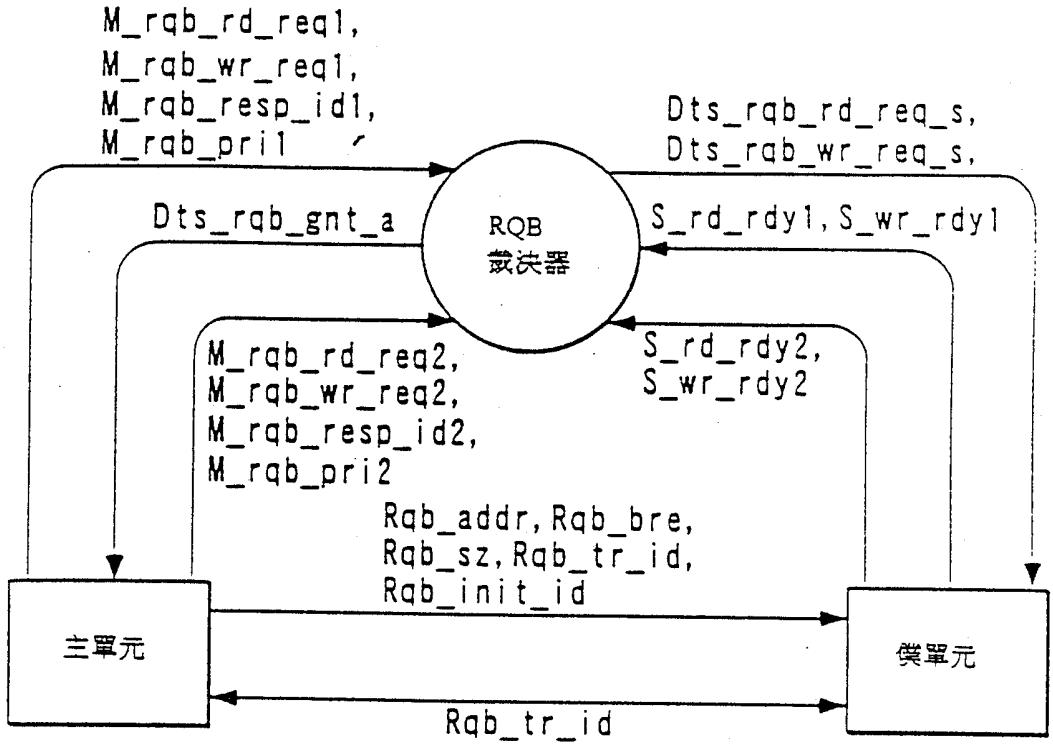


第 3 (b) 圖

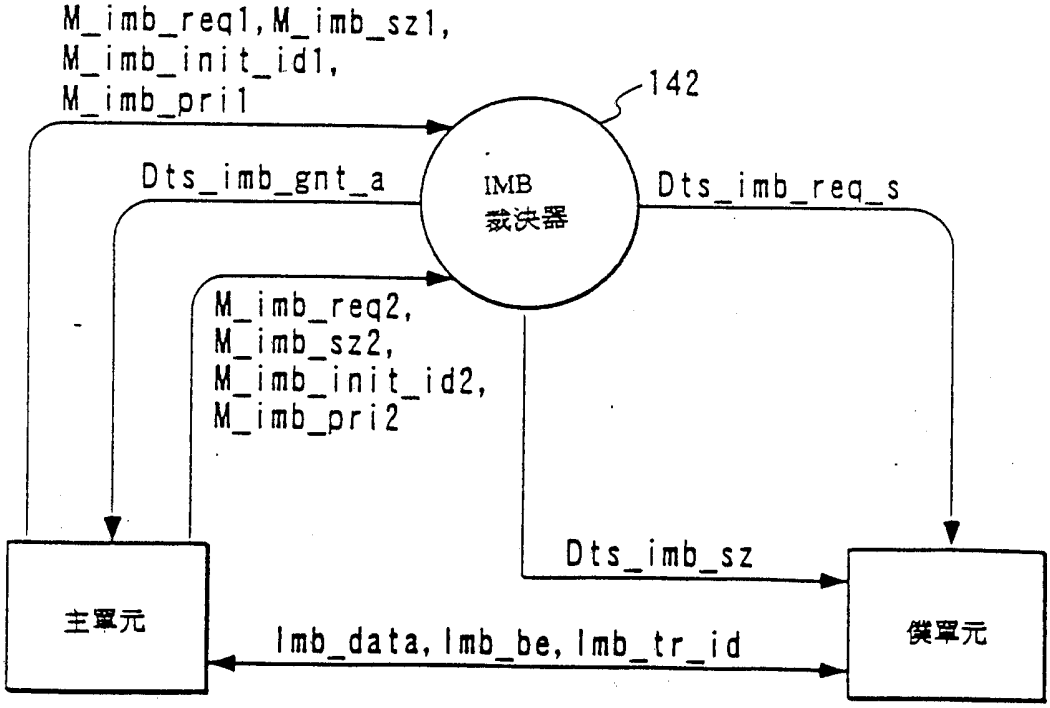


90年8月29日 修正補充

第4(a)圖

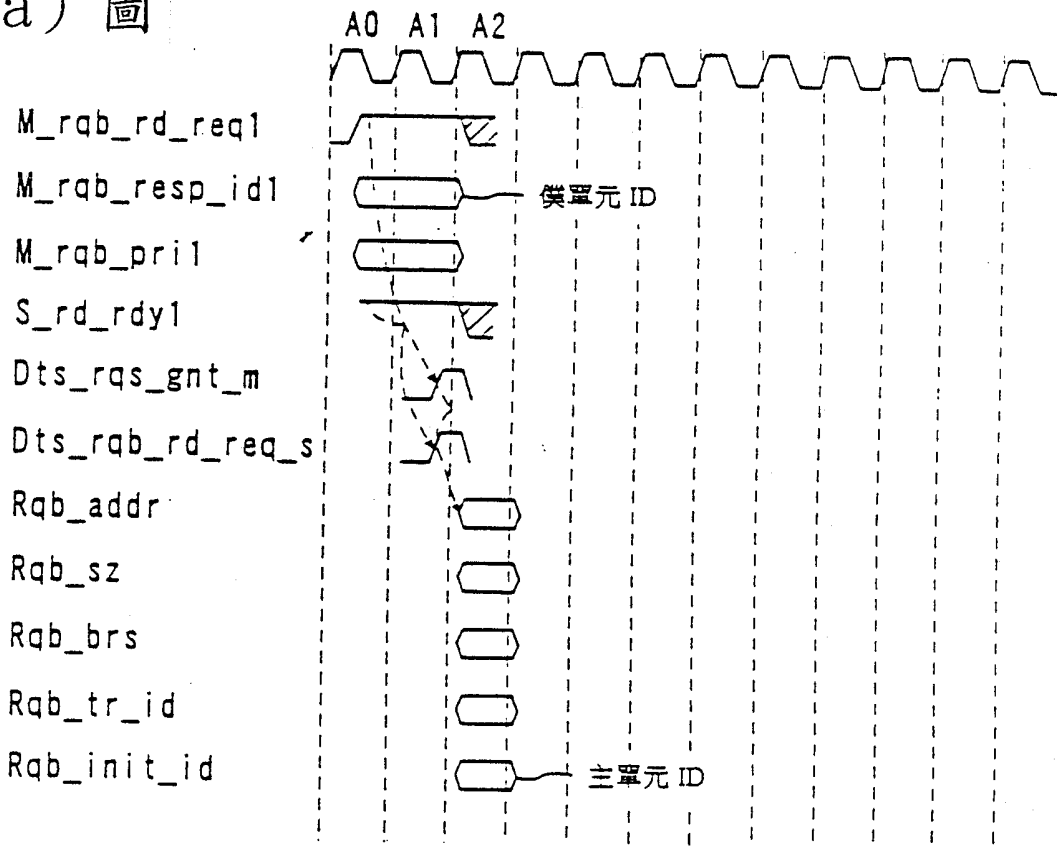


第4(b)圖

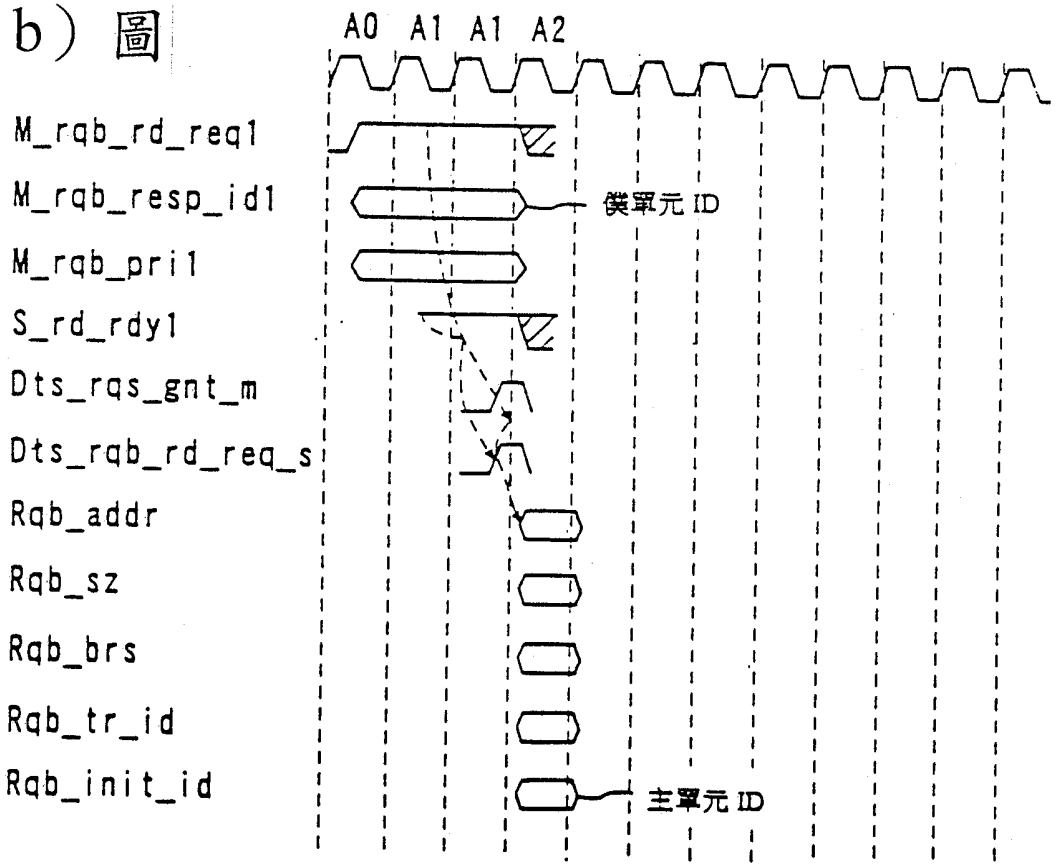


90年8月24日修正補充

第5(a)圖

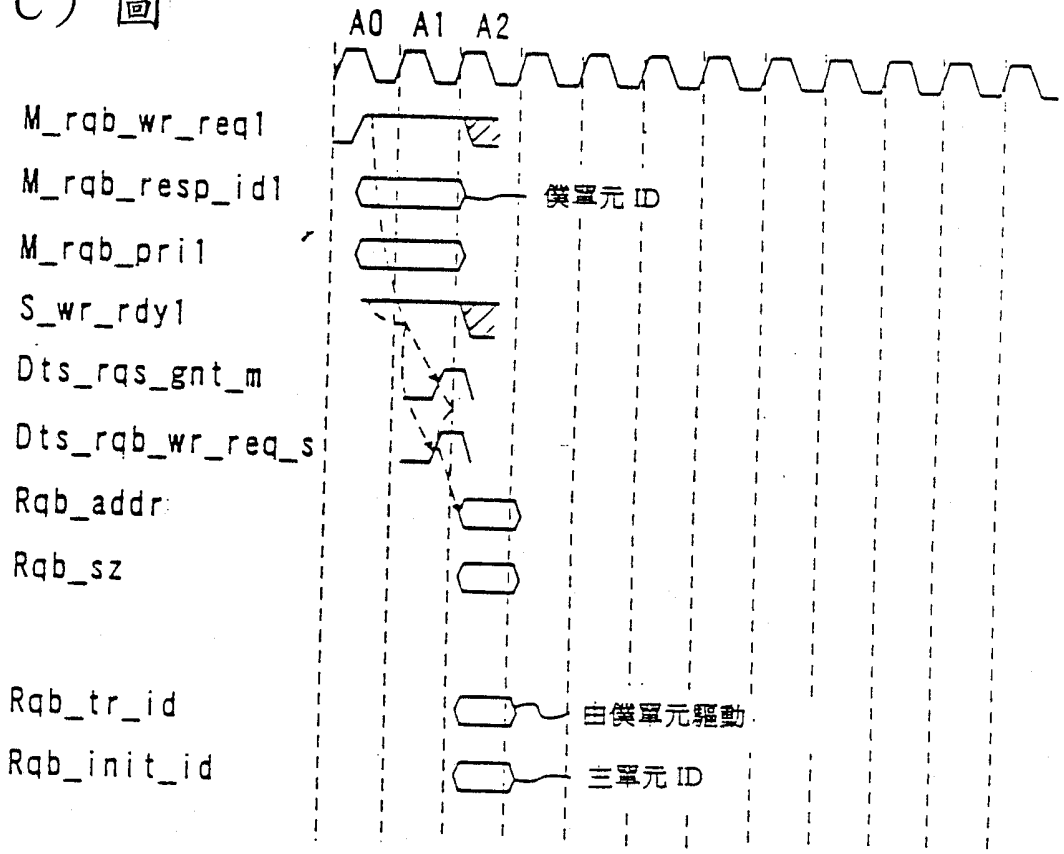


第5(b)圖

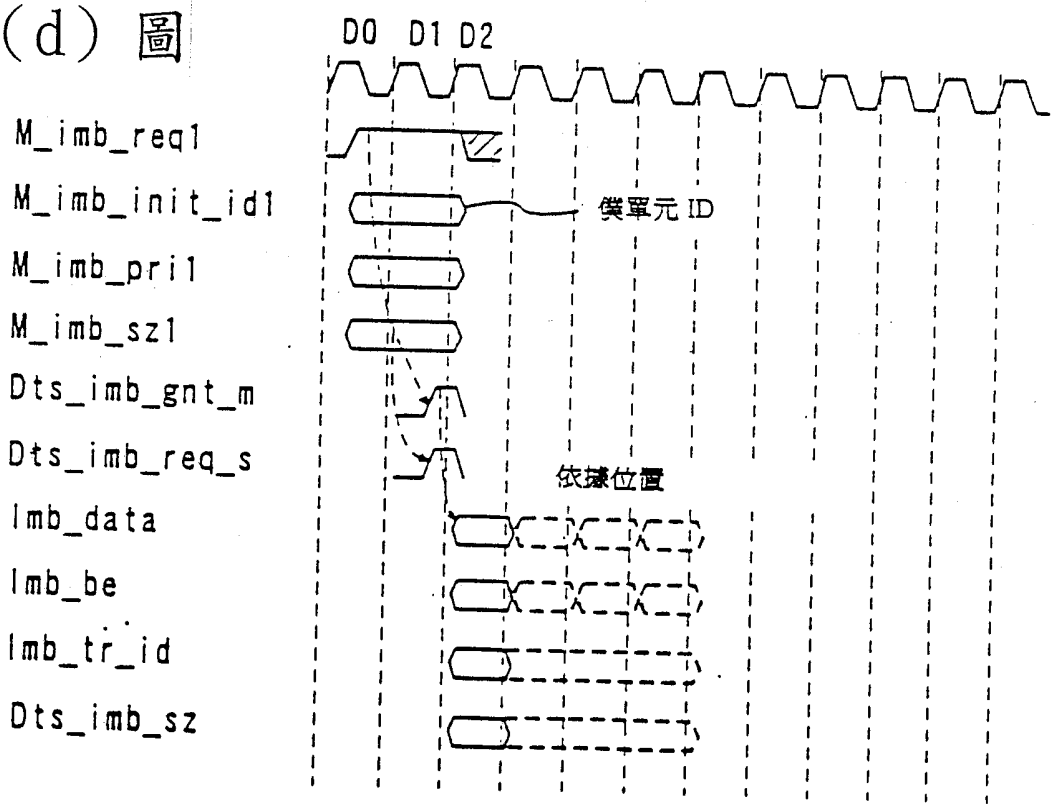


9.8.24 修正補充

第5(c)圖

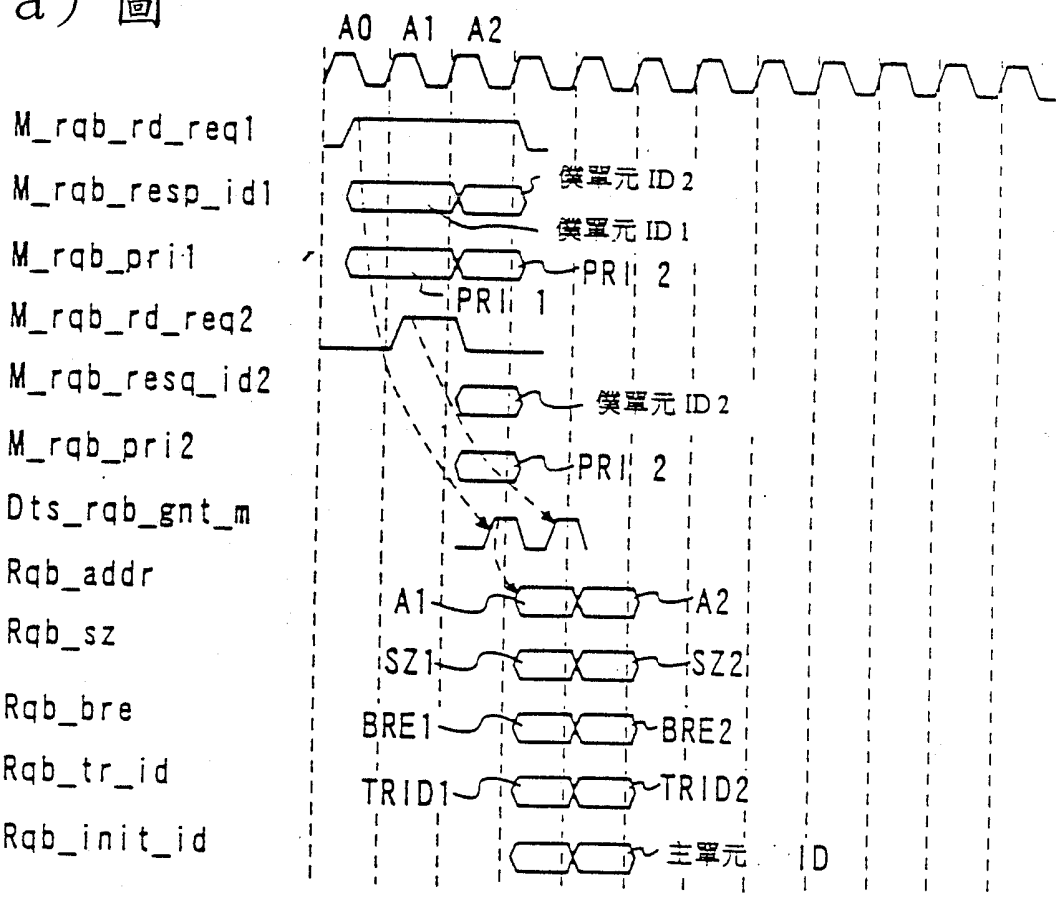


第5(d)圖

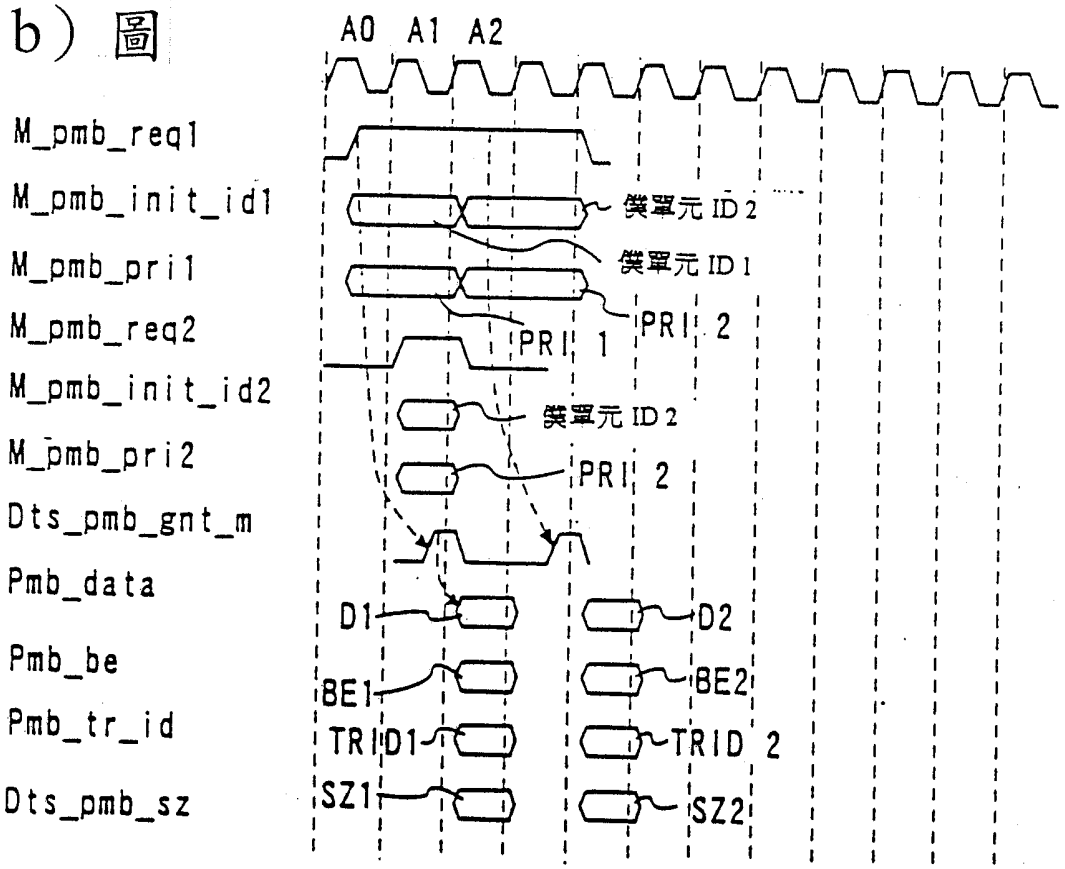


90.8.29

第 6 (a) 圖

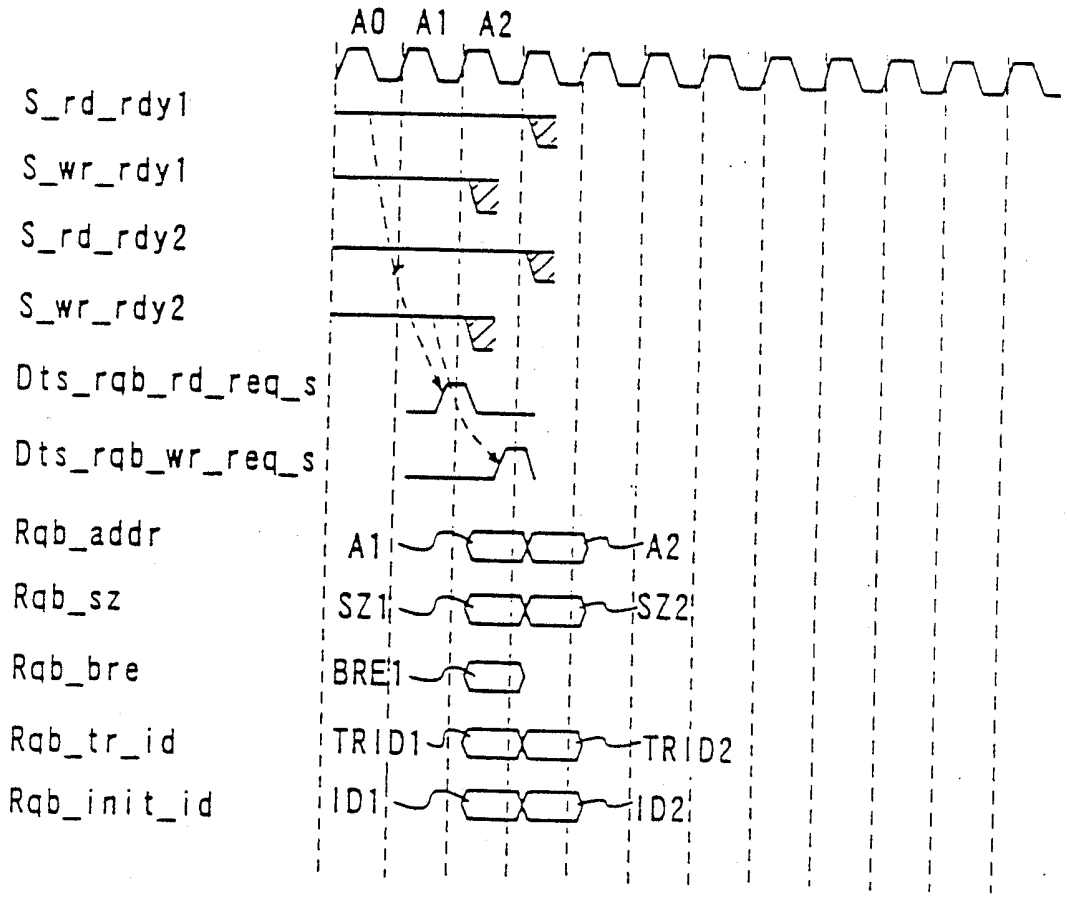


第 6 (b) 圖

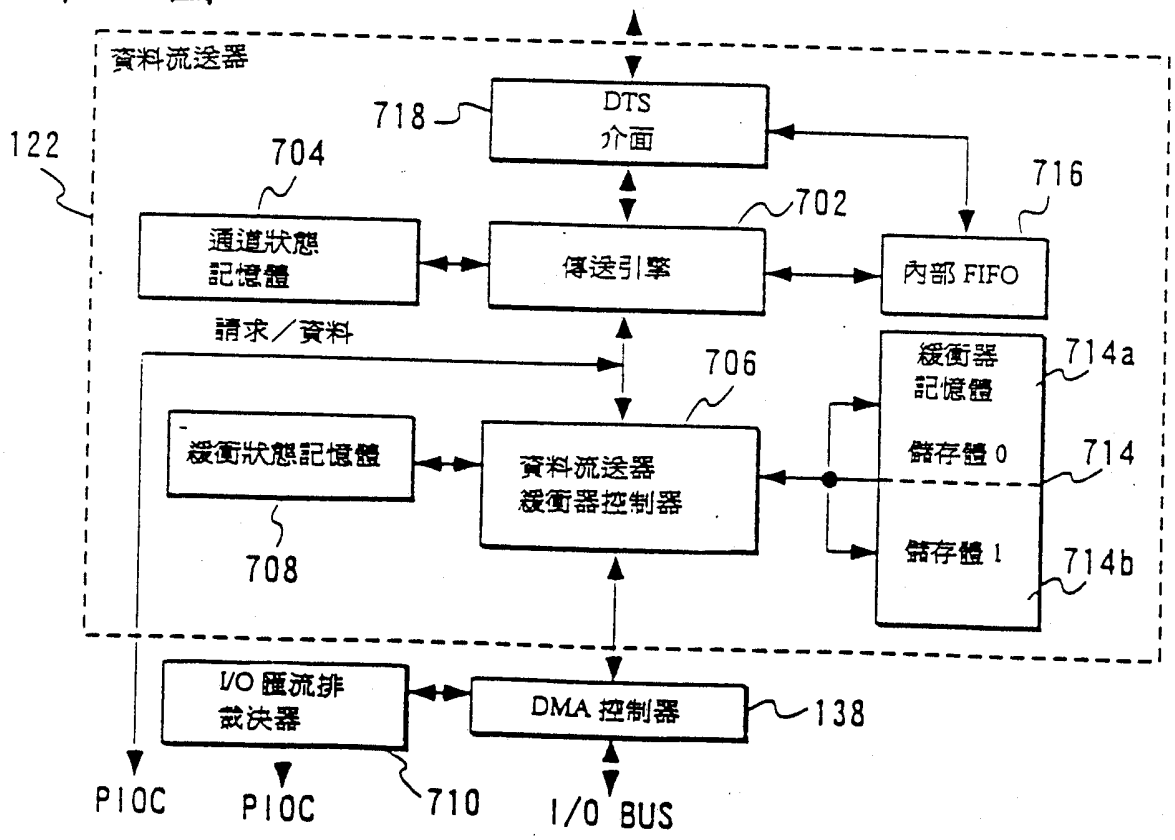


90 8 24

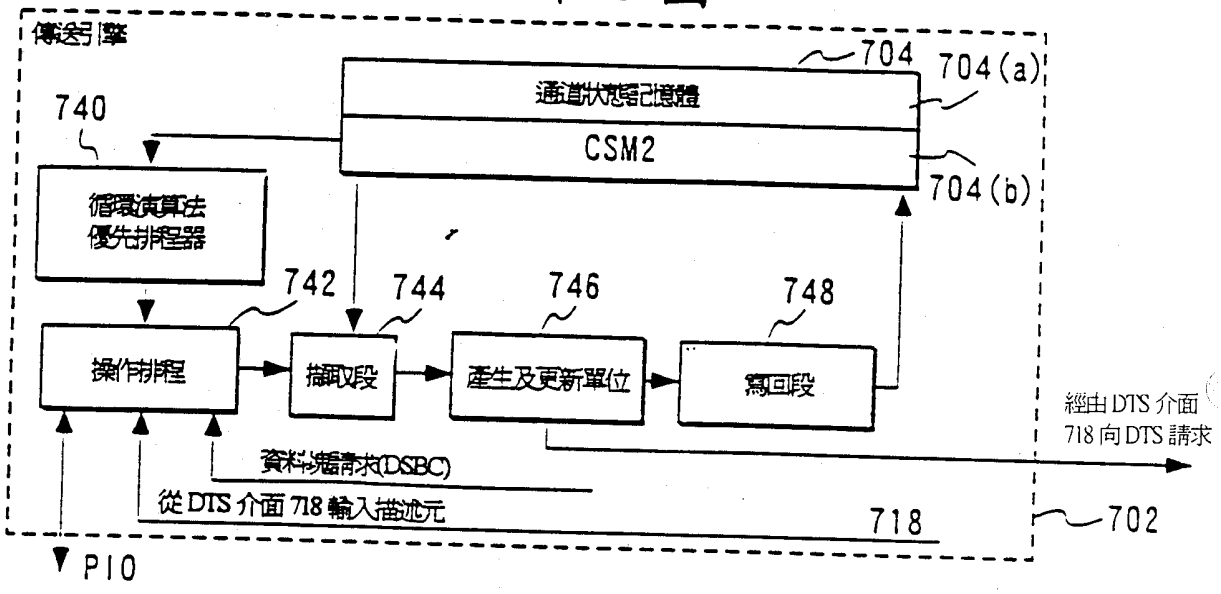
第 6 (c) 圖



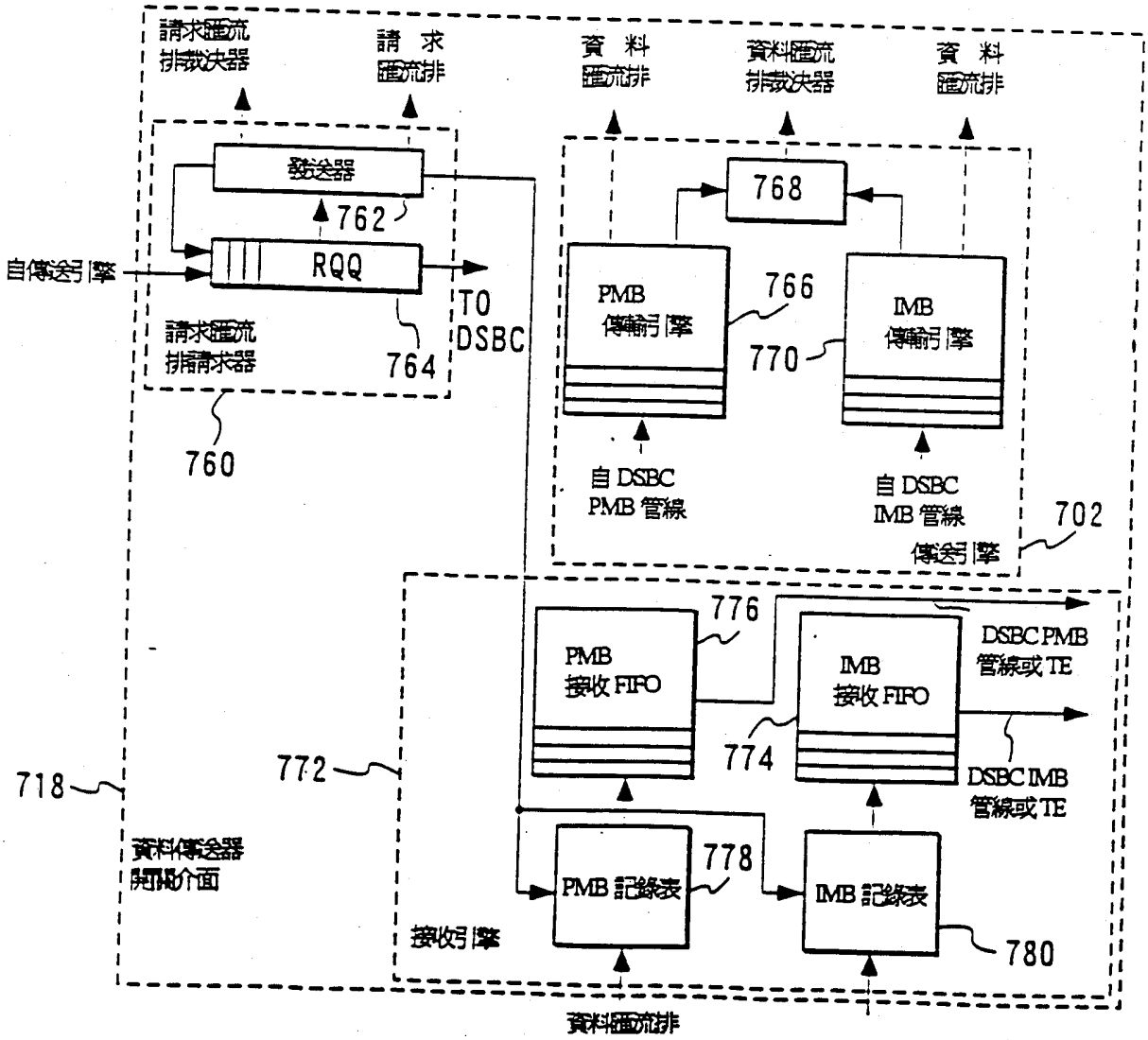
第 7 圖



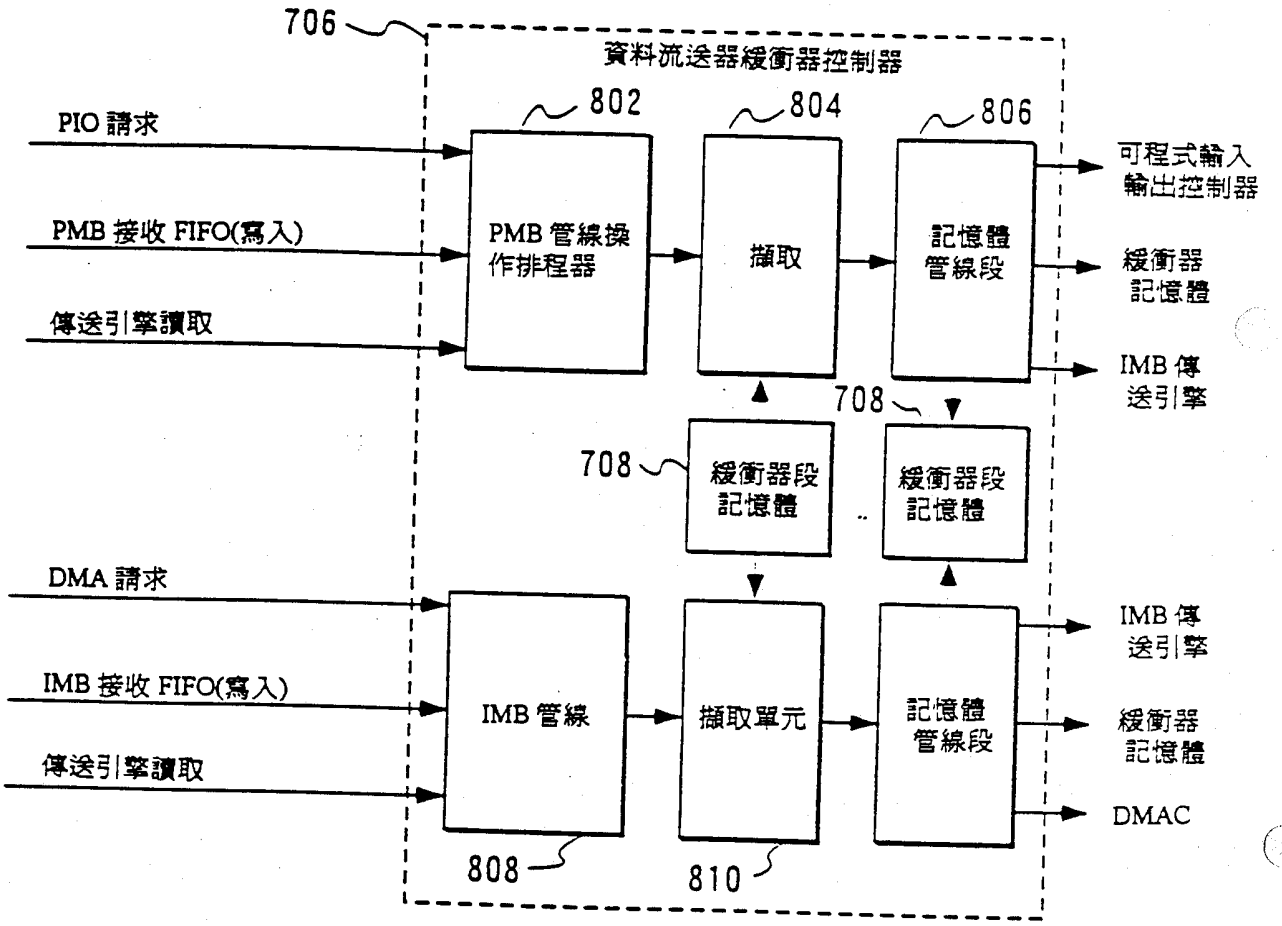
第 8 圖


傳送引擎
704
704(a)
通道狀態記憶體
CSM2
704(b)
740
循環演算法
優先排程器
742
744
746
748
操作排程
擷取段
產生及更新單位
寫回段
經由 DTS 介面
718 向 DTS 請求
資料塊請求(DSBC)
從 DTS 介面 718 輸入描述元
718
702
PIO

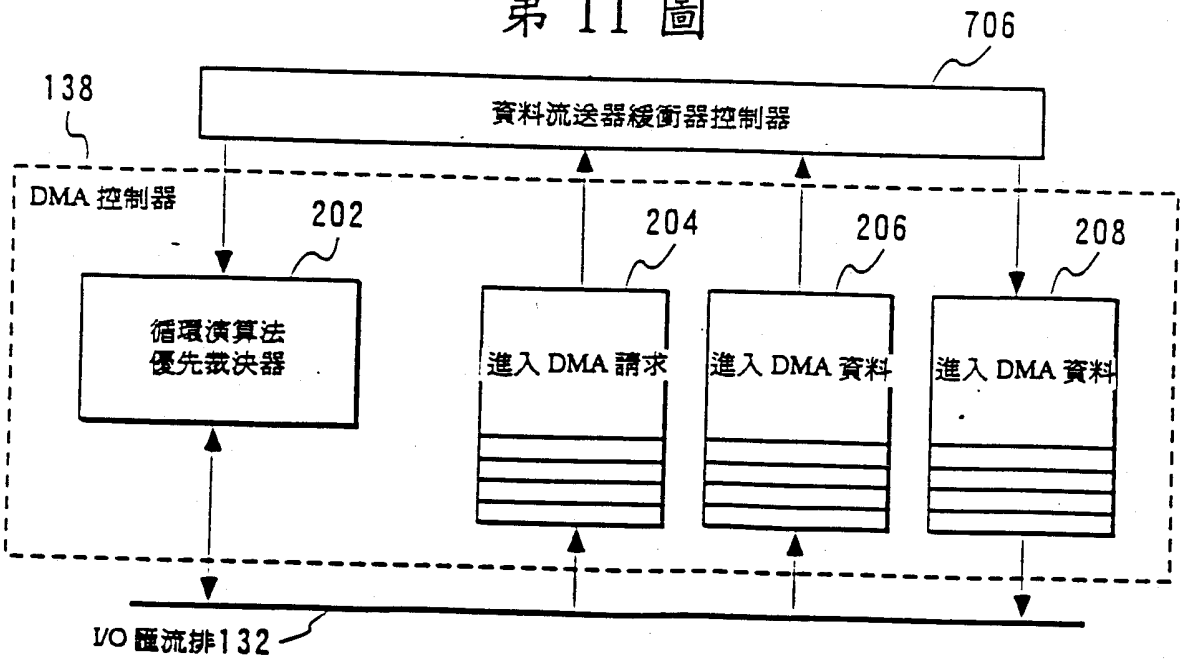
第 9 圖


請求匯流
排裁決器
請 求
匯流排
資 料
匯流排
資料匯流
排裁決器
資 料
匯流排
發送器
762
RQQ
自傳送引擎
TO
DSBC
請求匯流
排請求器
764
760
768
PMB
傳輸引擎
766
IMB
傳輸引擎
770
自 DSBC
PMB 管線
自 DSBC
IMB 管線
傳送引擎
702
776
PMB
接收 FIFO
IMB
接收 FIFO
DSBC PMB
管線或 TE
774
DSBC IMB
管線或 TE
772
718
資料傳送器
開關介面
PMB 記錄表
778
IMB 記錄表
780
接收引擎
資料匯流排

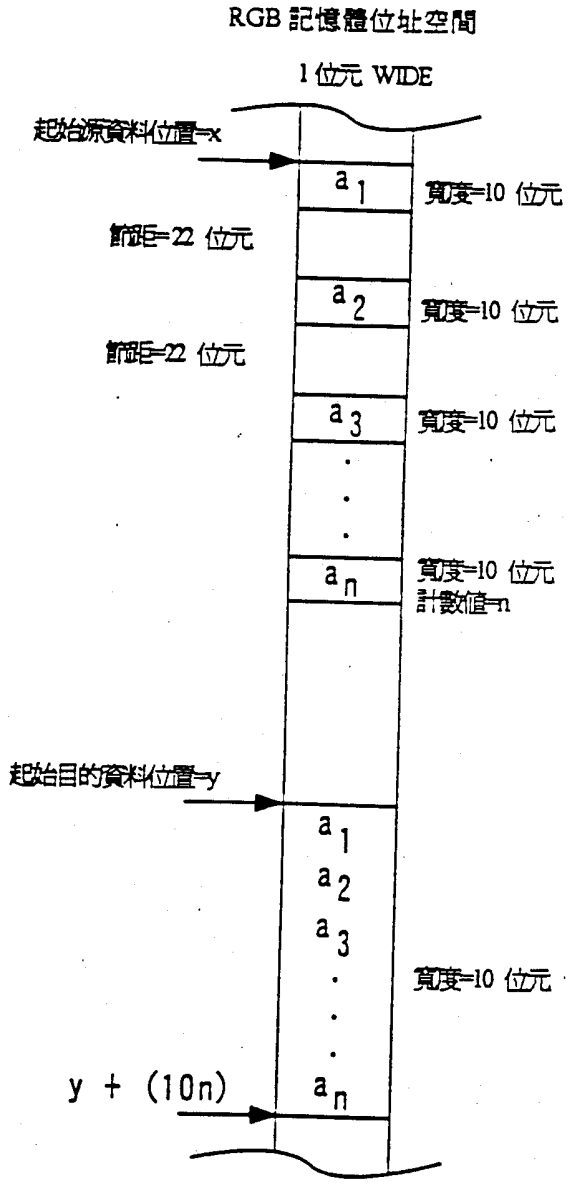
第 10 圖


706
資料流送器緩衝器控制器
802
804
806
PIO 請求
PMB 接收 FIFO(寫入)
傳送引擎讀取
PMB 管線操作排程器
擷取
記憶體管線段
可程式輸入輸出控制器
緩衝器記憶體
IMB 傳送引擎
708
708
緩衝器段記憶體
緩衝器段記憶體
DMA 請求
IMB 接收 FIFO(寫入)
傳送引擎讀取
IMB 管線
擷取單元
記憶體管線段
IMB 傳送引擎
緩衝器記憶體
DMAC
808
810

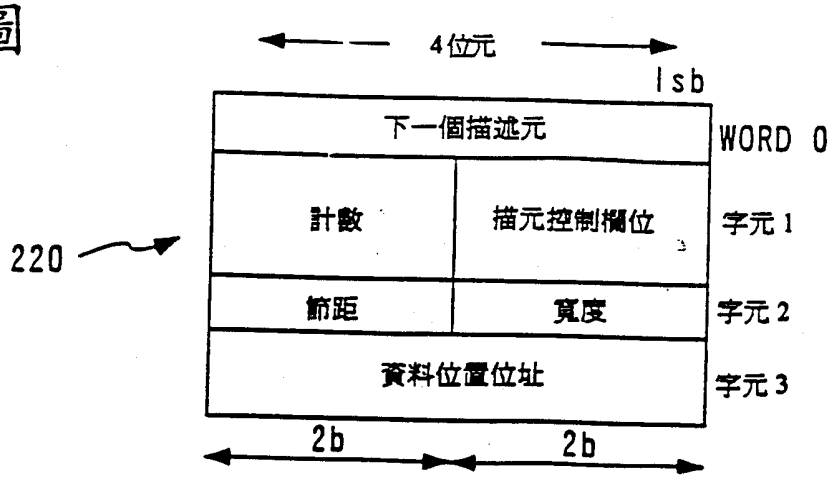
第 11 圖


706
138
資料流送器緩衝器控制器
DMA 控制器
202
204
206
208
循環演算法優先裁決器
進入 DMA 請求
進入 DMA 資料
進入 DMA 資料
I/O 匯流排 132

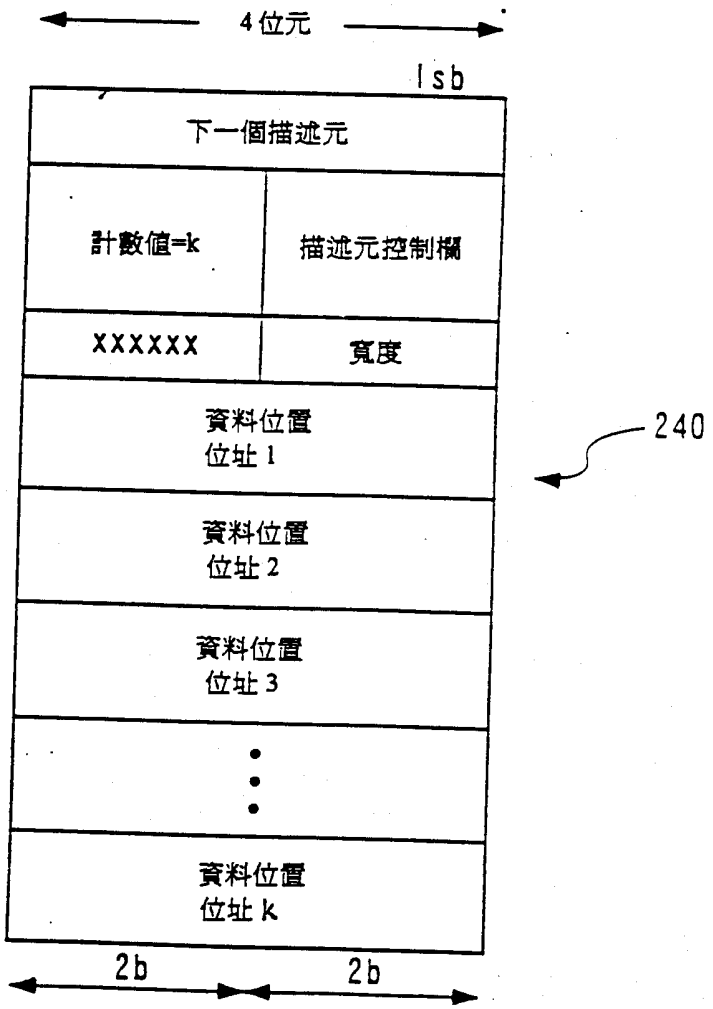
第 12 圖


RGB 記憶體位址空間
1 位元 WIDE
起始源資料位置=x
a 1
寬度=10 位元
節距=22 位元
a 2
寬度=10 位元
節距=22 位元
a 3
寬度=10 位元
a n
寬度=10 位元
計數值=n
起始目的資料位置=y
a 1
a 2
a 3
寬度=10 位元
y + (10n)
a n

第 13 圖

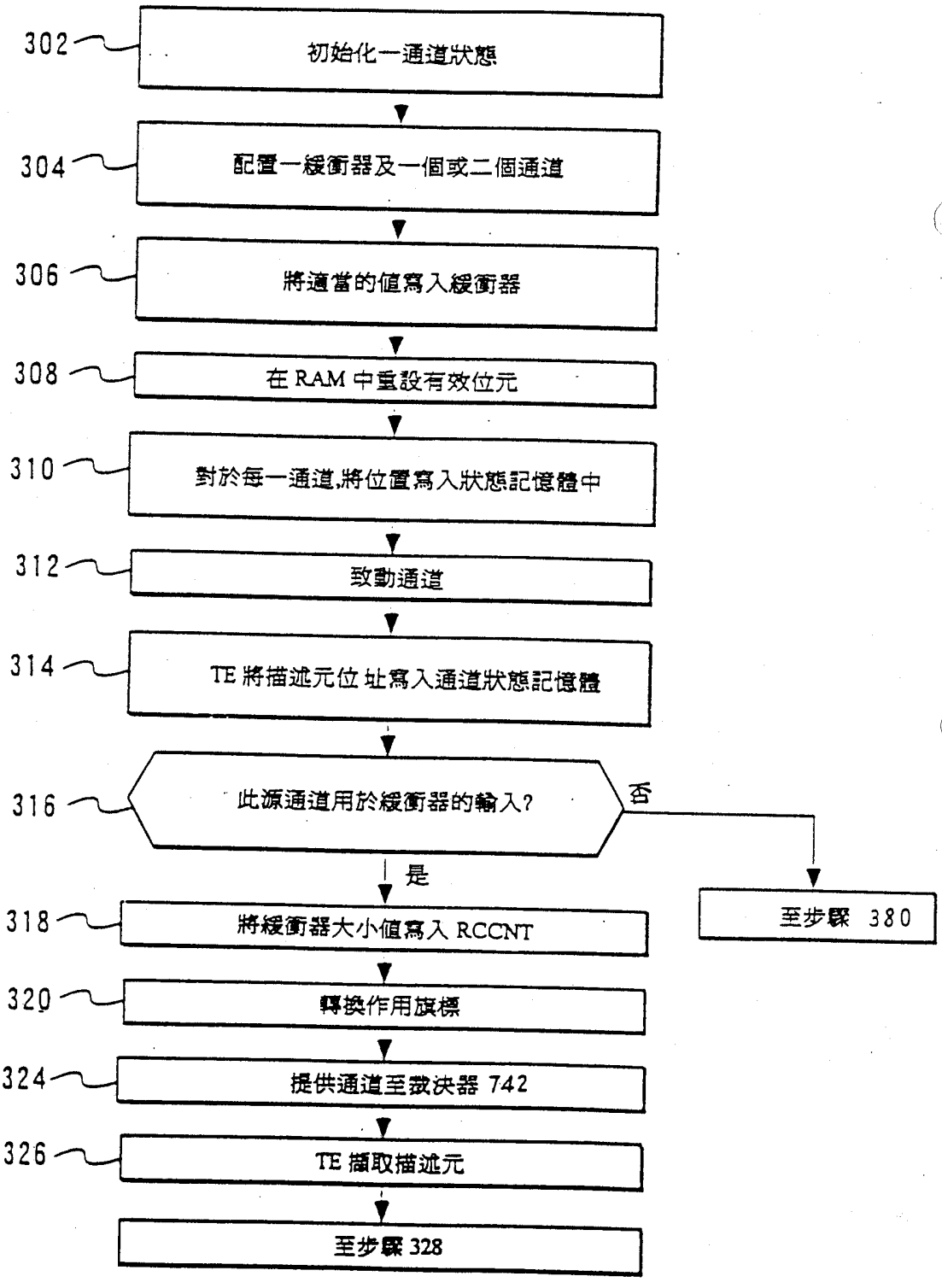

4位元
lsb
下一個描述元
WORD 0
計數
描述控制欄位
字元 1
220
節距
寬度
字元 2
資料位置位址
字元 3
2b
2b

第 14 圖


4位元
lsb
下一個描述元
計數值=k
描述元控制欄
XXXXXX
寬度
資料位置
位址 1
資料位置
位址 2
資料位置
位址 3
資料位置
位址 k
240
2b
2b

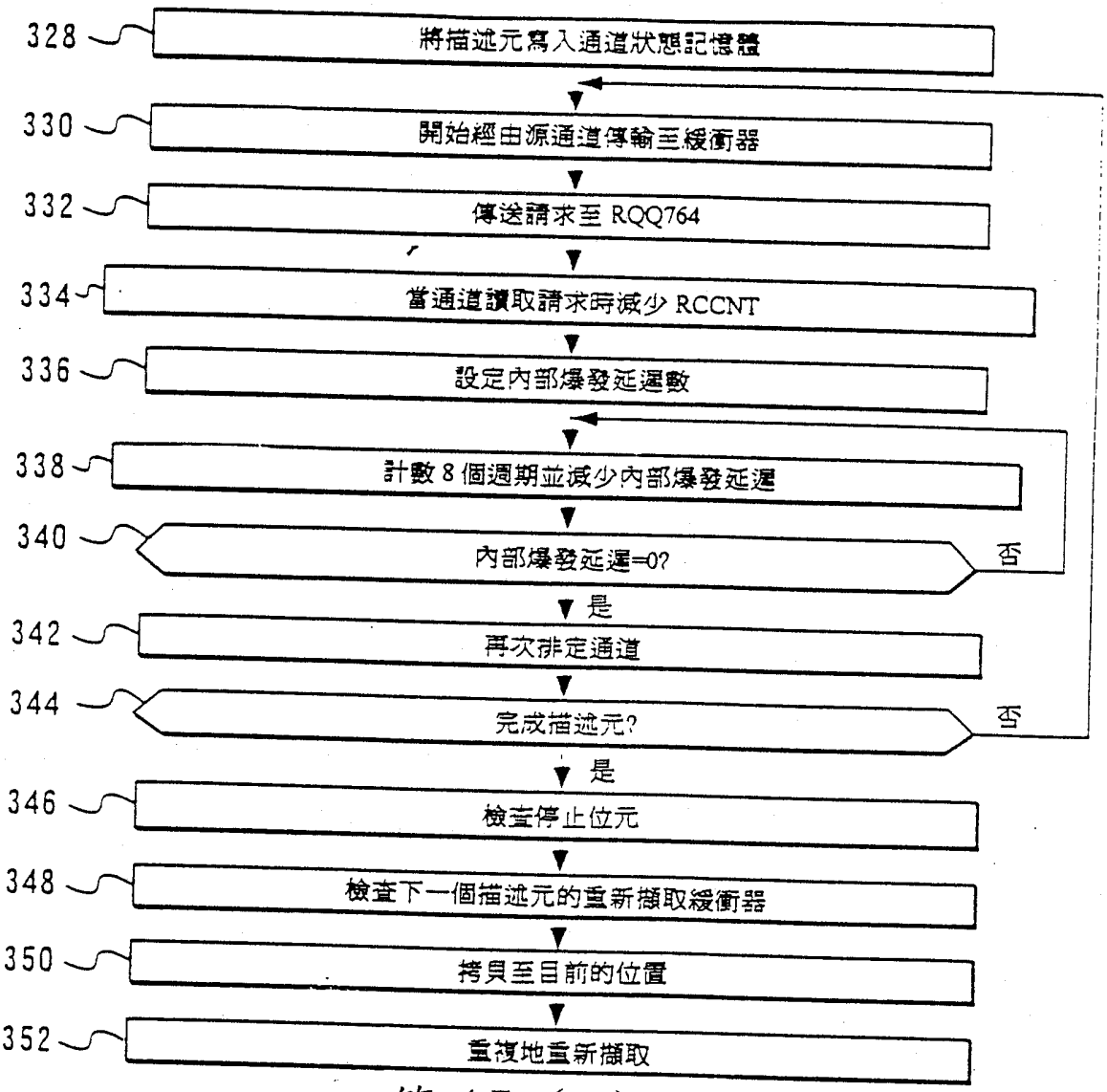
90年8月24日修正補充

第 15（a）圖

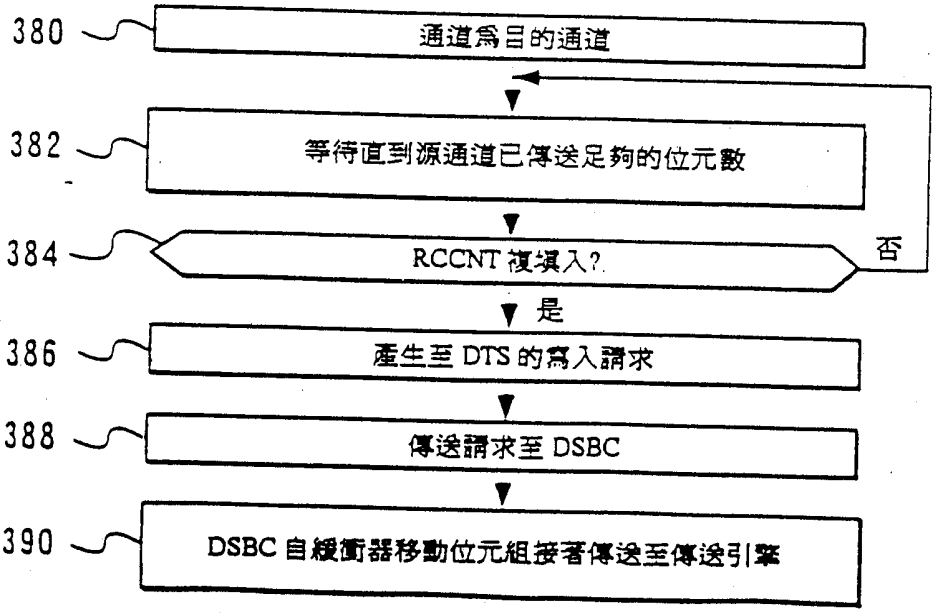


90年8月29日 修正 補充

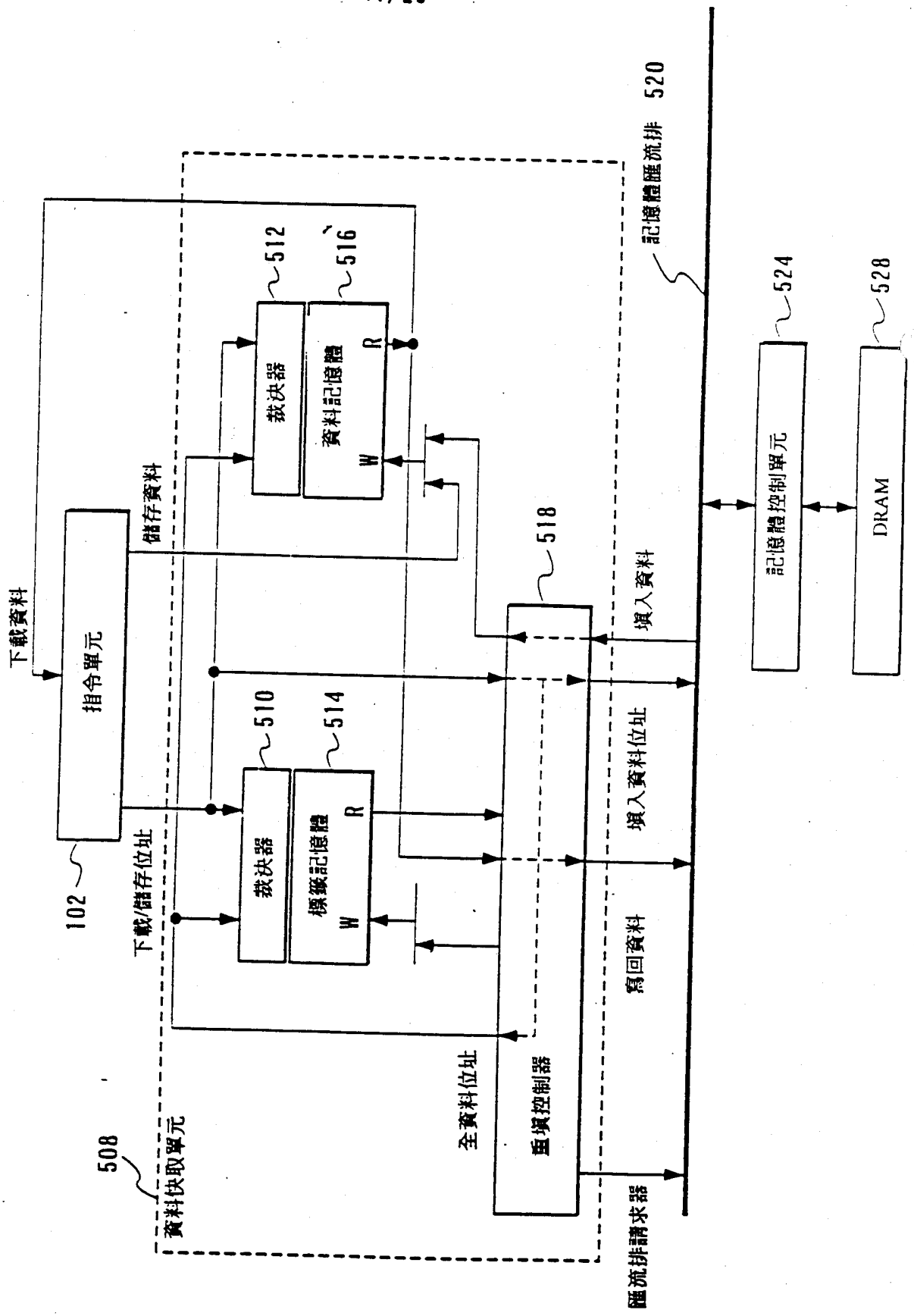
第 15（b）圖



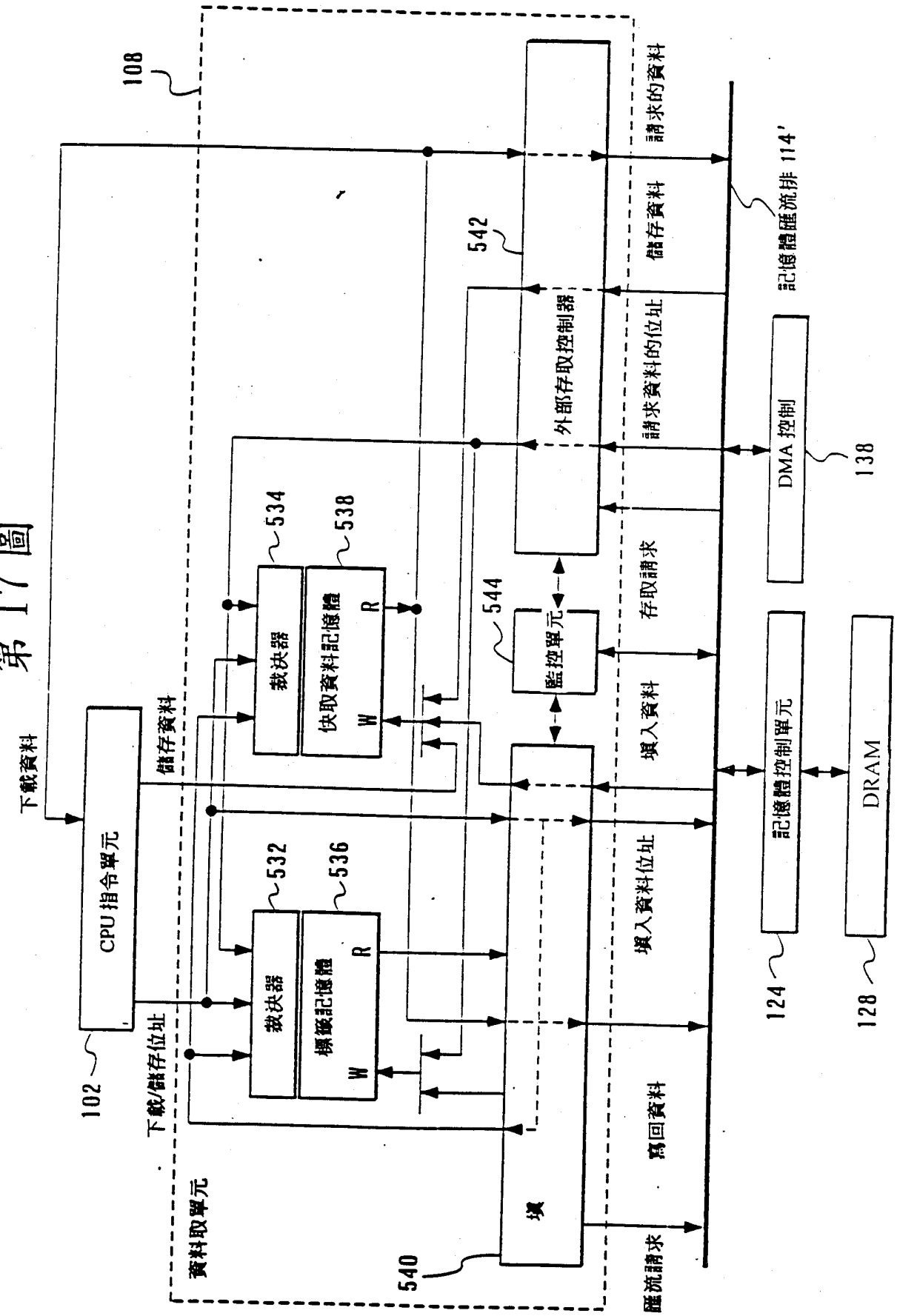
第 15（c）圖



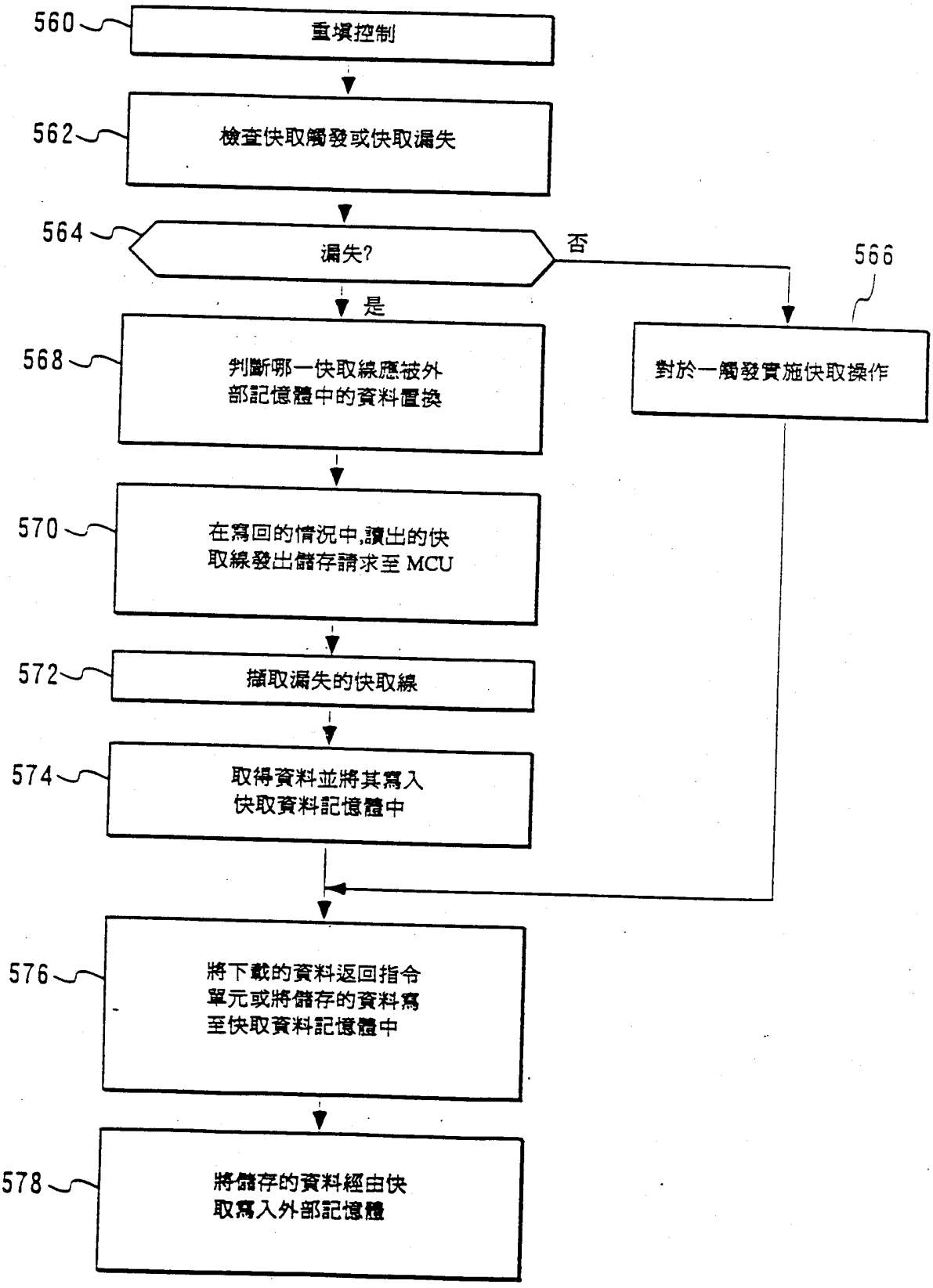
第 16 圖


508
資料快取單元
102
指令單元
下載資料
儲存資料
下載/儲存位址
510
裁決器
514
標籤記憶體
W
R
512
裁決器
516
資料記憶體
W
R
518
重填控制器
全資料位址
寫回資料
填入資料
填入資料位址
匯流排請求器
520
記憶體匯流排
524
記憶體控制單元
528
DRAM

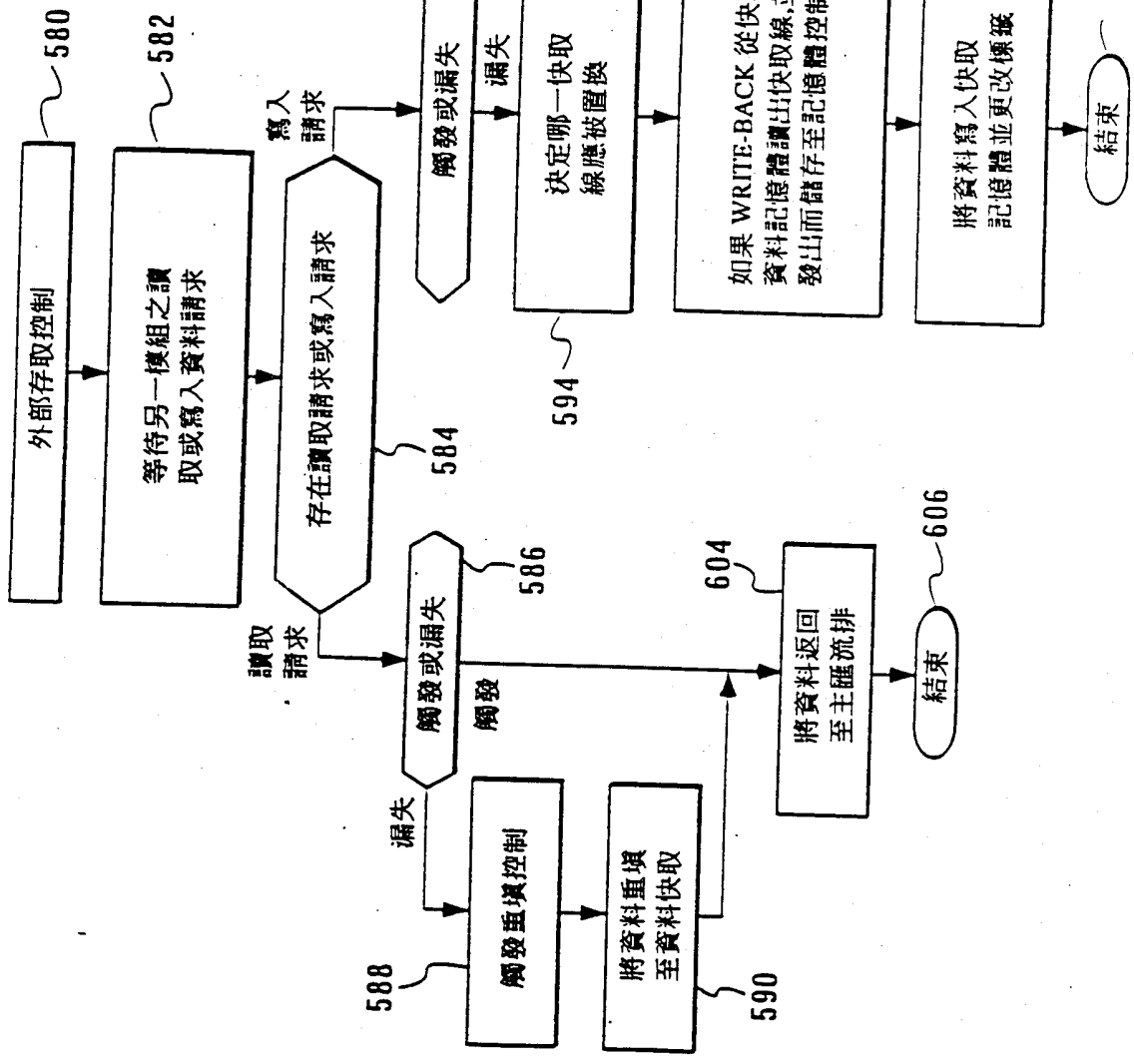
第 17 圖


108
下載資料
儲存資料
CPU 指令單元
102
下載/儲存位址
資料取單元
裁決器
532
標籤記憶體
W
R
536
裁決器
534
快取資料記憶體
W
R
538
544
監控單元
542
外部存取控制器
請求資料的位址
儲存資料
請求的資料
記憶體匯流排 114'
DMA 控制
138
存取請求
填入資料
填入資料位址
寫回資料
匯流請求
540
記憶體控制單元
124
DRAM
128

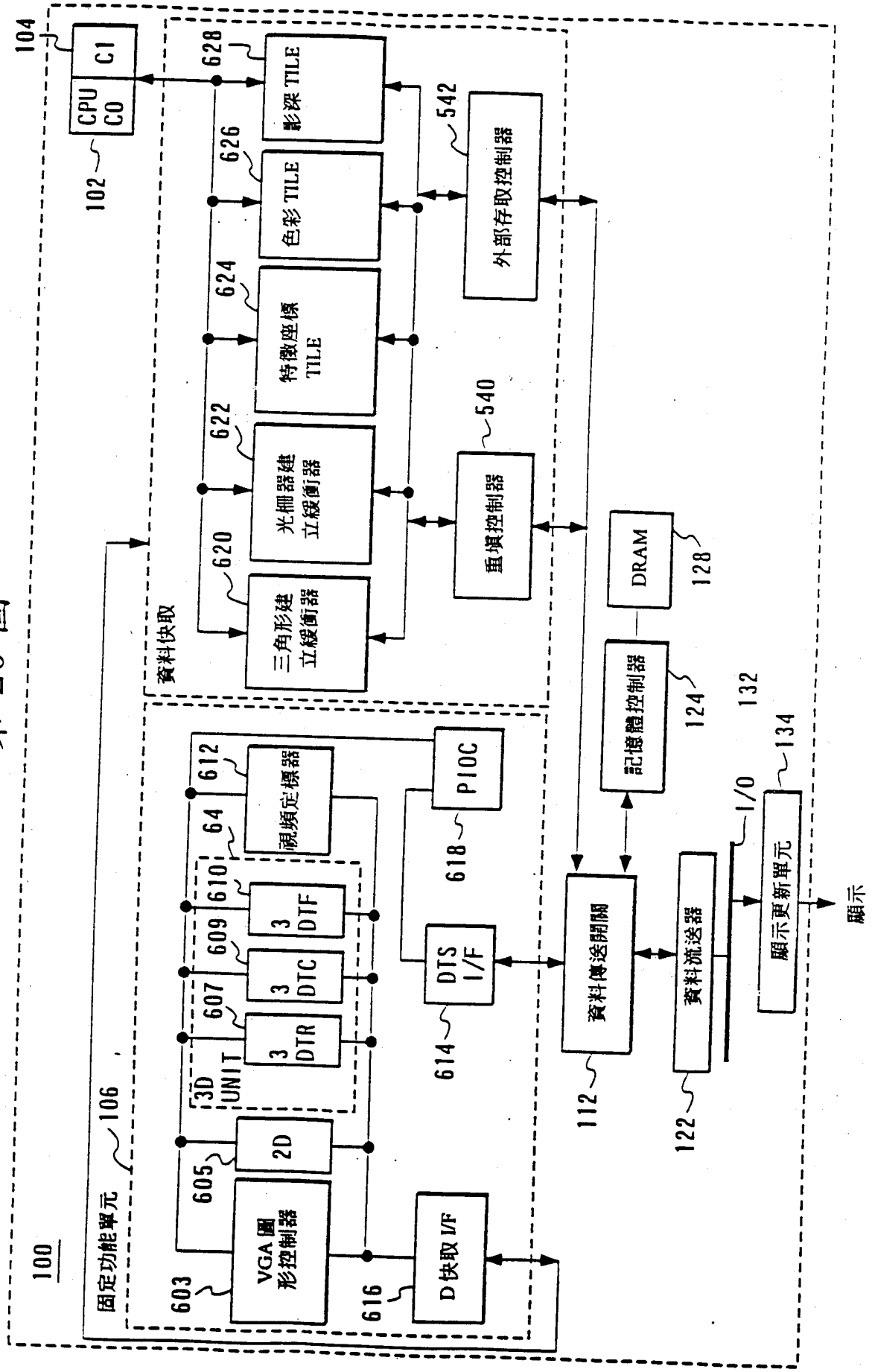
第 18 圖


560
重填控制
562
檢查快取觸發或快取漏失
564
漏失?
否
是
566
對於一觸發實施快取操作
568
判斷哪一快取線應被外部記憶體中的資料置換
570
在寫回的情況中,讀出的快取線發出儲存請求至 MCU
572
擷取漏失的快取線
574
取得資料並將其寫入快取資料記憶體中
576
將下載的資料返回指令單元或將儲存的資料寫至快取資料記憶體中
578
將儲存的資料經由快取寫入外部記憶體

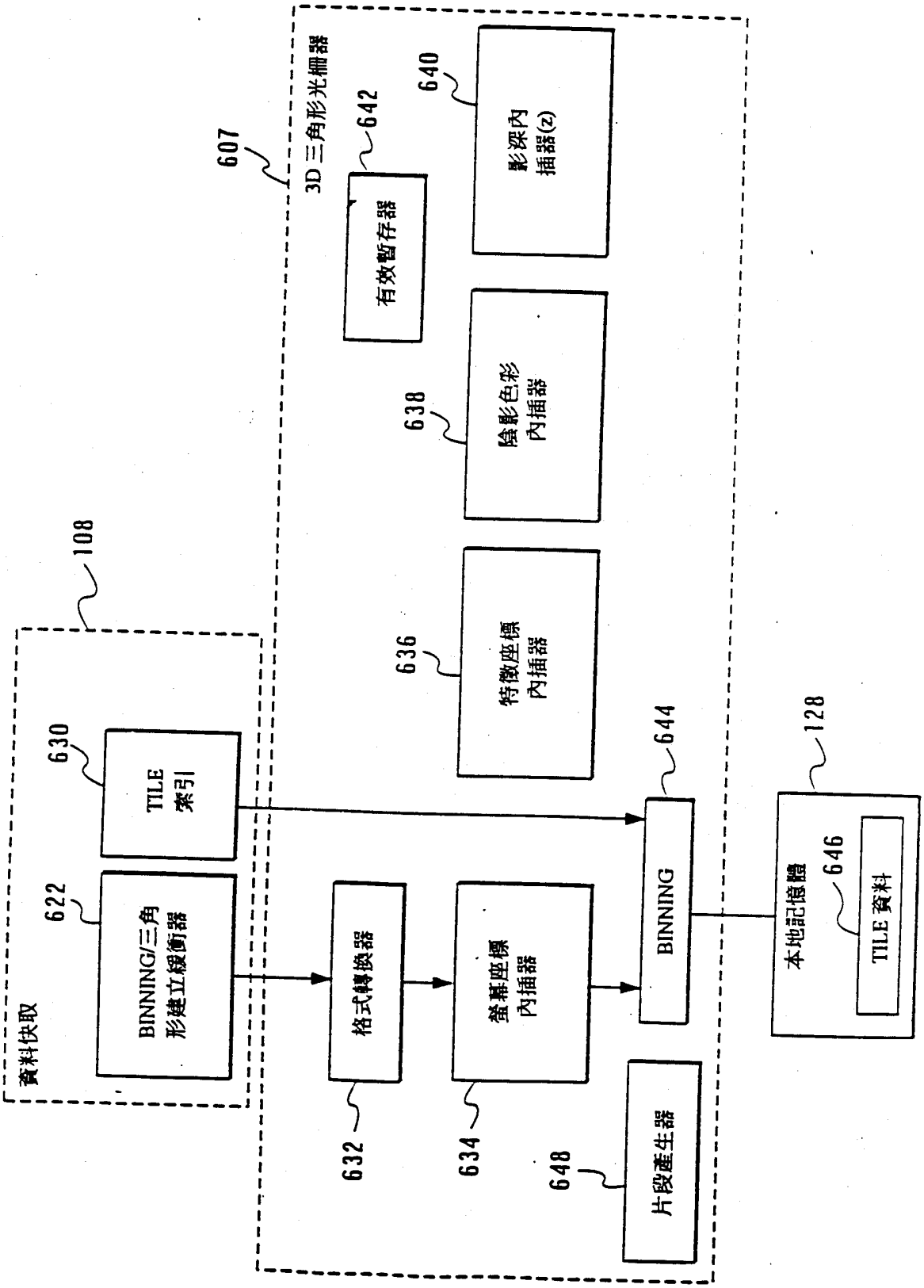
第 19 圖


外部存取控制
580
等待另一模組之讀取或寫入資料請求
582
存在讀取請求或寫入請求
584
讀取請求
寫入請求
觸發或漏失
586
觸發
漏失
觸發重填控制
588
將資料重填至資料快取
590
觸發或漏失
592
觸發
漏失
決定哪一快取線應被置換
594
將請求的資料寫入快取記憶體
596
如果 WRITE-BACK 從快取資料記憶體讀出快取線,並發出而儲存至記憶體控制器
598
將資料寫入快取記憶體並更改標籤
602
結束
608
將資料返回至主匯流排
604
結束
606

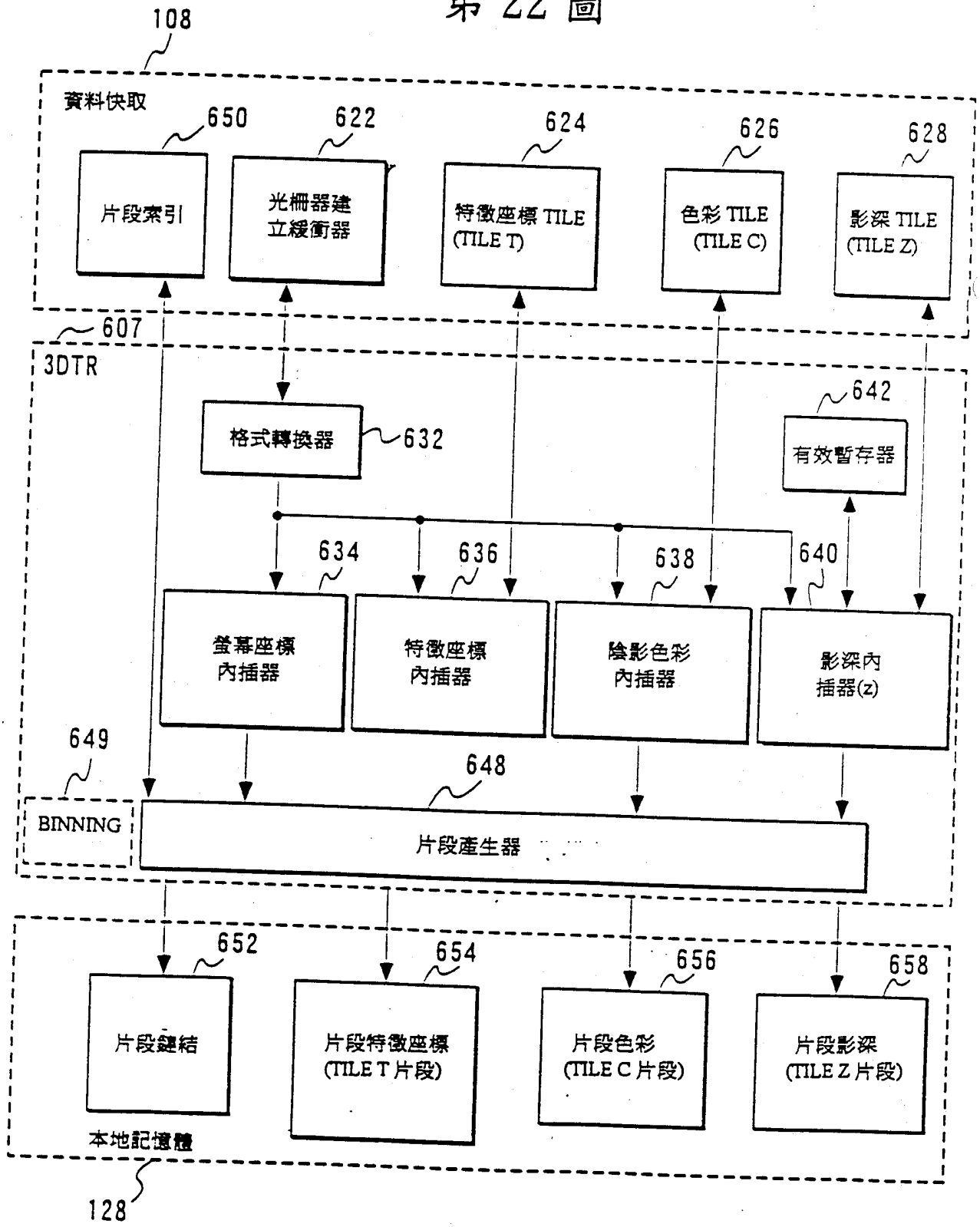
第 20 圖


100
固定功能單元
106
104
CPU C0
C1
102
資料快取
三角形建立緩衝器
620
光柵器建立緩衝器
622
特徵座標 TILE
624
色彩 TILE
626
影深 TILE
628
外部存取控制器
542
重填控制器
540
3D UNIT
605
VGA 圖形控制器
603
2D
3 DTR
607
3 DTC
609
3 DTF
610
64
視頻定標器
612
D 快取 I/F
616
DTS I/F
614
PIOC
618
資料傳送開關
112
記憶體控制器
124
DRAM
128
資料流送器
122
I/O
132
顯示更新單元
134
顯示

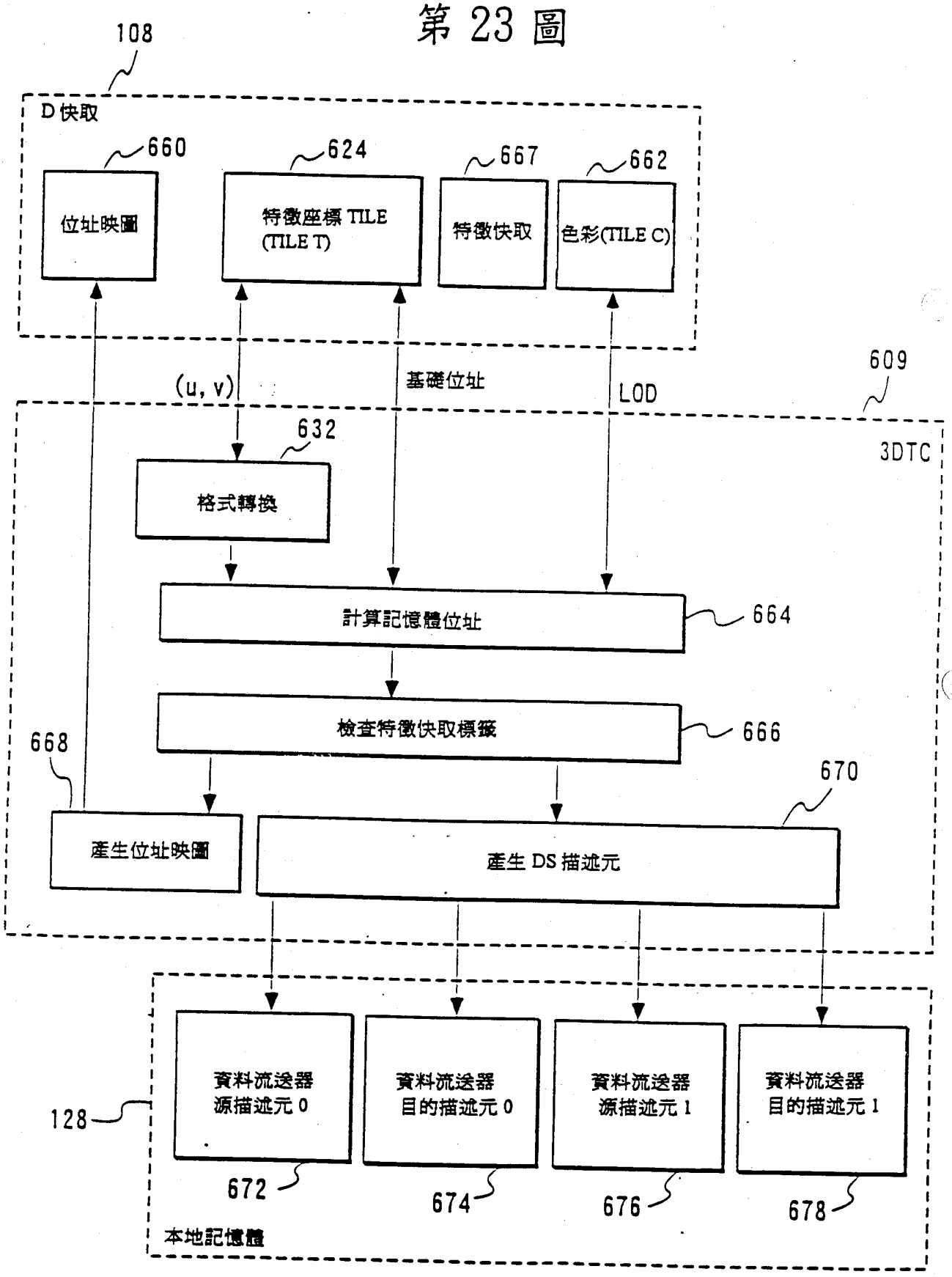
第 21 圖


607
3D 三角形光柵器
108
資料快取
630
TILE 索引
622
BINNING/三角形建立緩衝器
632
格式轉換器
634
螢幕座標內插器
636
特徵座標內插器
638
陰影色彩內插器
642
有效暫存器
640
影深內插器(z)
644
BINNING
128
本地記憶體
646
TILE 資料
648
片段產生器

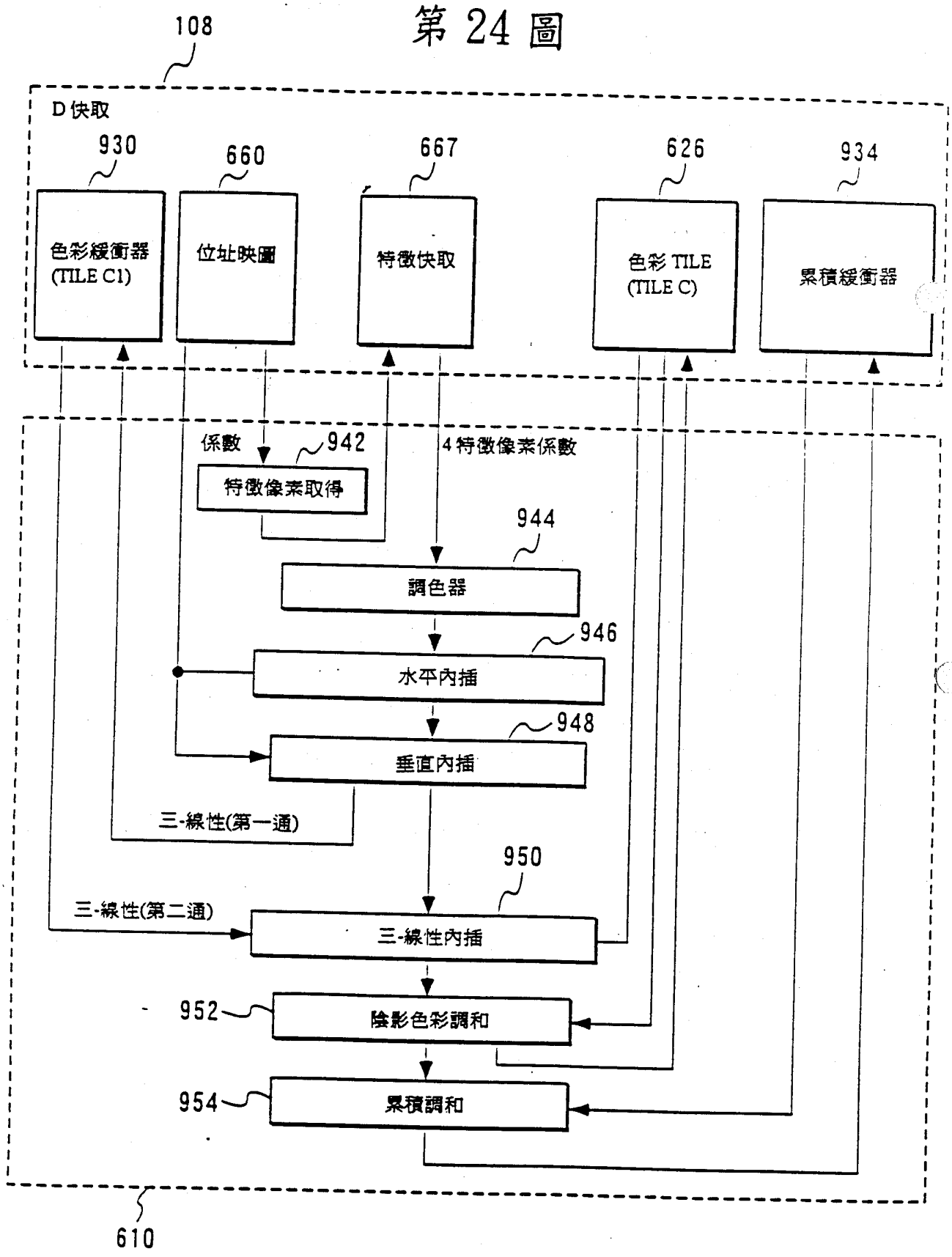
第 22 圖


108
資料快取
650
622
624
626
628
片段索引
光柵器建立緩衝器
特徵座標 TILE (TILE T)
色彩 TILE (TILE C)
影深 TILE (TILE Z)
607
3DTR
642
格式轉換器
632
有效暫存器
634
636
638
640
螢幕座標內插器
特徵座標內插器
陰影色彩內插器
影深內插器(z)
649
648
BINNING
片段產生器
652
654
656
658
片段鍵結
片段特徵座標 (TILE T 片段)
片段色彩 (TILE C 片段)
片段影深 (TILE Z 片段)
本地記憶體
128

第 23 圖

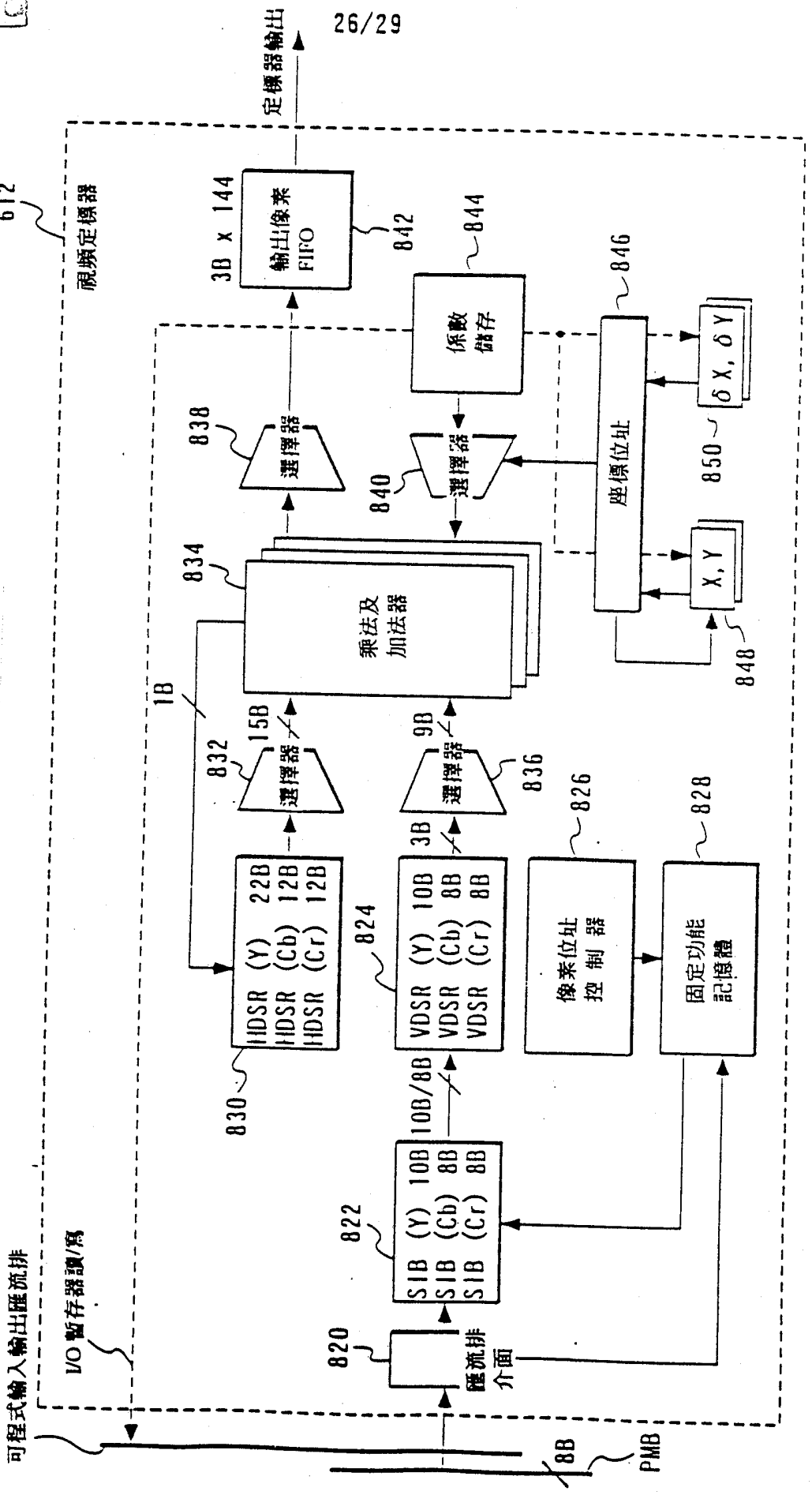

108
D 快取
660
624
667
662
位址映圖
特徵座標 TILE (TILE T)
特徵快取
色彩(TILE C)
(u, v)
基礎位址
LOD
609
3DTC
632
格式轉換
計算記憶體位址
664
檢查特徵快取標籤
666
668
670
產生位址映圖
產生 DS 描述元
128
資料流送器 源描述元 0
資料流送器 目的描述元 0
資料流送器 源描述元 1
資料流送器 目的描述元 1
672
674
676
678
本地記憶體

第 24 圖


108
D 快取
930
660
667
626
934
色彩緩衝器 (TILE C1)
位址映圖
特徵快取
色彩 TILE (TILE C)
累積緩衝器
係數
942
4 特徵像素係數
特徵像素取得
944
調色器
946
水平內插
948
垂直內插
三-線性(第一通)
950
三-線性(第二通)
三-線性內插
952
陰影色彩調和
954
累積調和
610

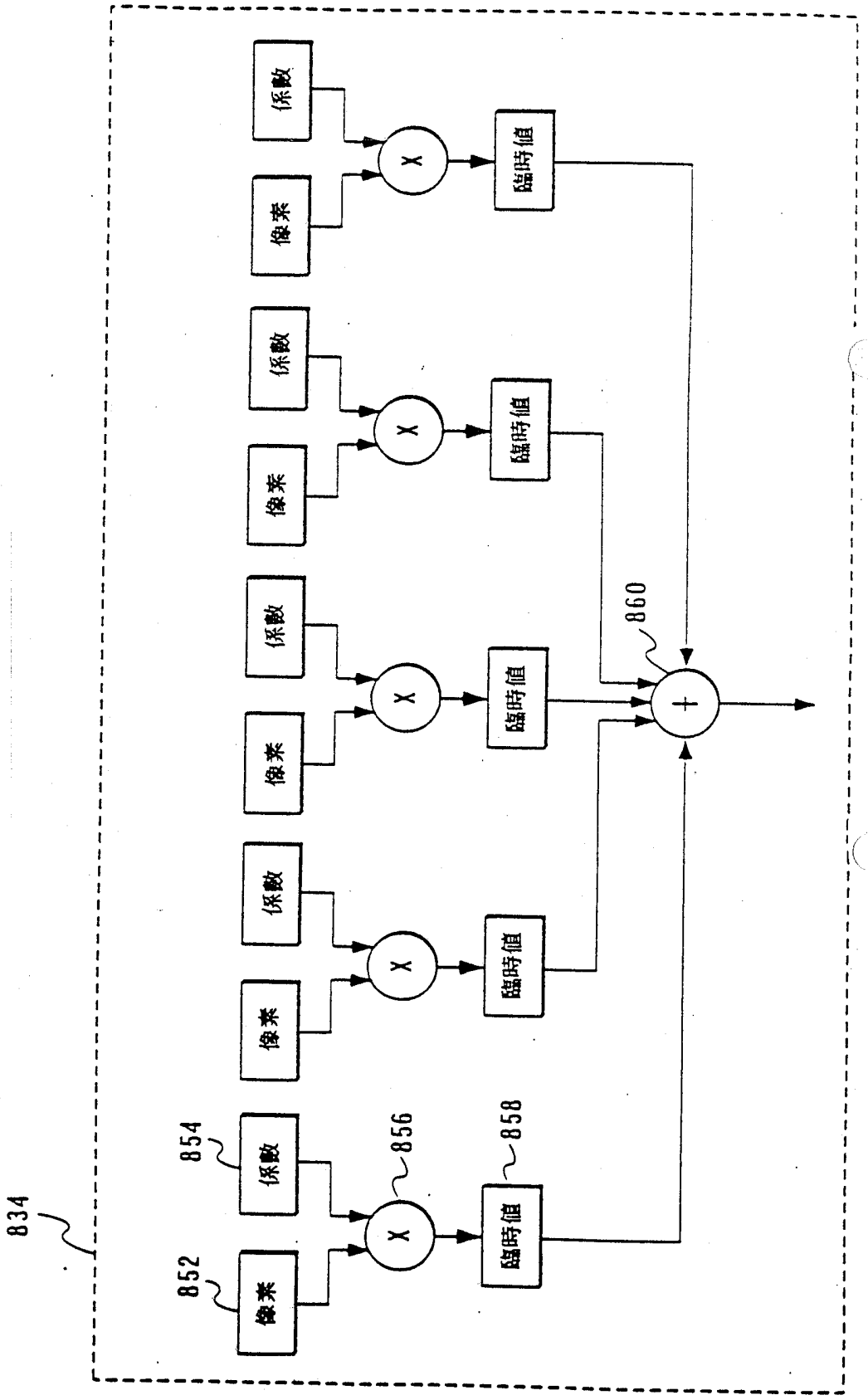
90年8月29日修正補充

第25（a）圖



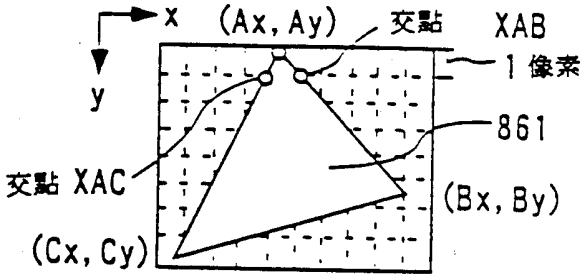
90年8月24日 修正補充

第25（b）圖

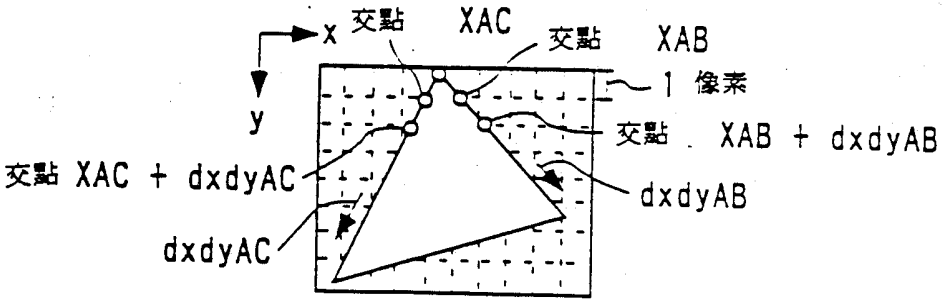


第 26 圖

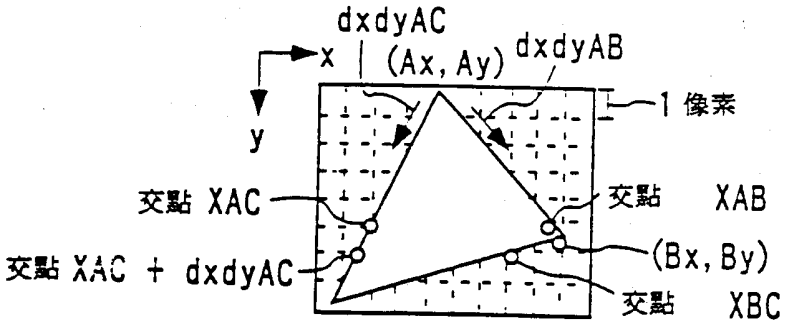
STEP 862



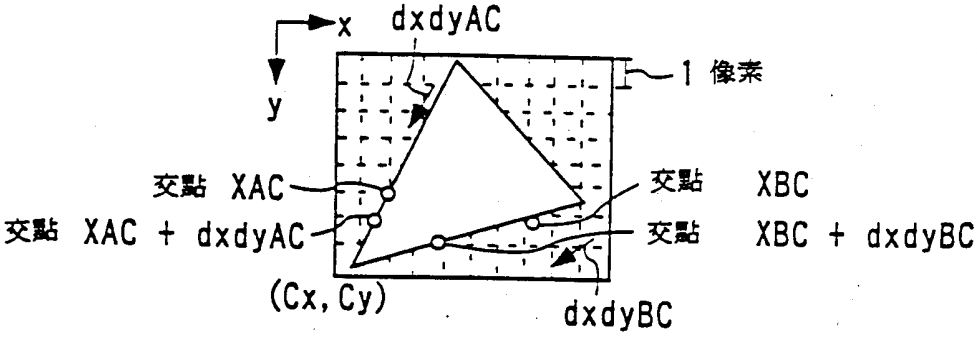
STEP 864



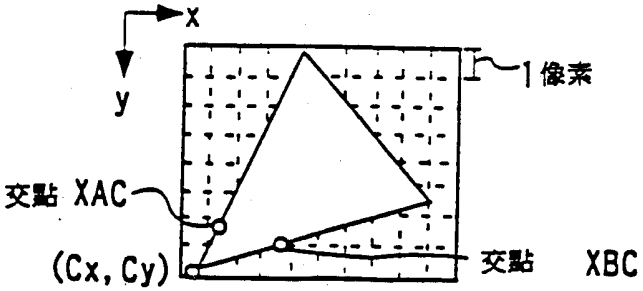
STEP 866



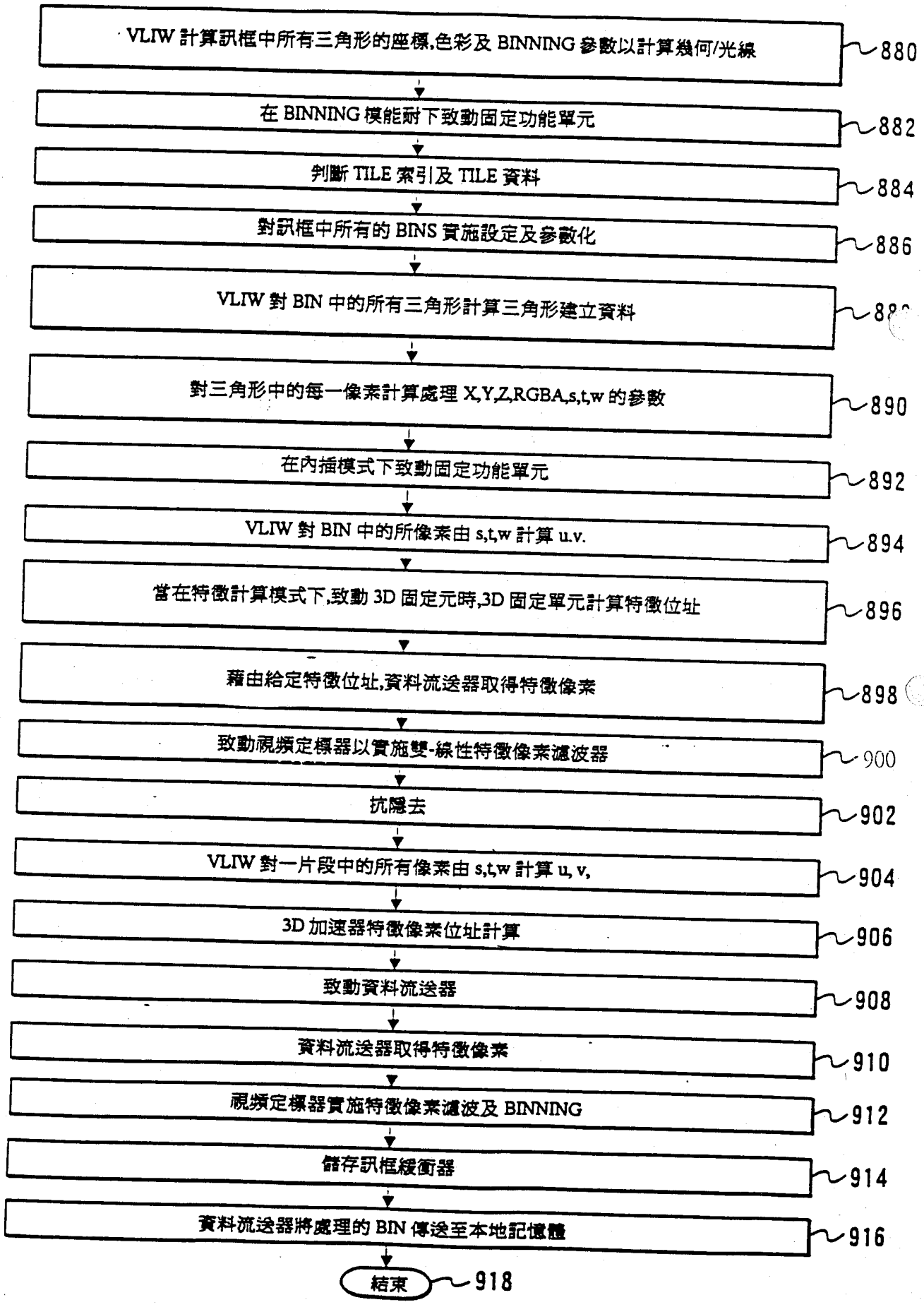
STEP 868



STEP 870



第 27 圖


VLIW 計算訊框中所有三角形的座標,色彩及 BINNING 參數以計算幾何/光線
880
在 BINNING 模態耐下致動固定功能單元
882
判斷 TILE 索引及 TILE 資料
884
對訊框中所有的 BINS 實施設定及參數化
886
VLIW 對 BIN 中的所有三角形計算三角形建立資料
88
對三角形中的每一像素計算處理 X,Y,Z,RGBA,s,t,w 的參數
890
在內插模式下致動固定功能單元
892
VLIW 對 BIN 中的所像素由 s,t,w 計算 u.v.
894
當在特徵計算模式下,致動 3D 固定元時,3D 固定單元計算特徵位址
896
藉由給定特徵位址,資料流送器取得特徵像素
898
致動視頻定標器以實施雙-線性特徵像素濾波器
900
抗隱去
902
VLIW 對一片段中的所有像素由 s,t,w 計算 u, v,
904
3D 加速器特徵像素位址計算
906
致動資料流送器
908
資料流送器取得特徵像素
910
視頻定標器實施特徵像素濾波及 BINNING
912
儲存訊框緩衝器
914
資料流送器將處理的 BIN 傳送至本地記憶體
916
結束
918

90年8月24日 修正補充

六、申請專利範圍

第88117910號專利申請案

中文申請專利範圍修正本

民國90年8月修正

1．一種具有設在積體電路中的多媒體處理器的積體式多媒體系統，該系統包含：

一第一主處理器系統耦合至該多媒體處理器；

一第二區域處理器設在多媒體處理器中以控制該多媒體處理器的運作；

一資料傳送切換器設於該多媒體處理器中並耦合至該第二處理器以傳送資料到該多媒體處理器的各種不同的模組；

一固定功能單元被設於多媒體處理器中，該固定功能單元被耦合至該第二處理器及該資料傳送切換器且被配置以執行三度空間繪圖運作；

一資料資料流路被耦合至該資料傳送切換器，且被配置以遵照通道分配安排排定在系統的各種不同的模組之間的同步的資料傳送；

一界面單元被耦合至具有多數個輸入／輸出（I／O）裝置驅動單元的該資料流路；

一多工器被耦合至該界面單元以提供在被選擇的數量的該I／O裝置驅動單元與外部I／O裝置之間經由輸出接腳的通路；及

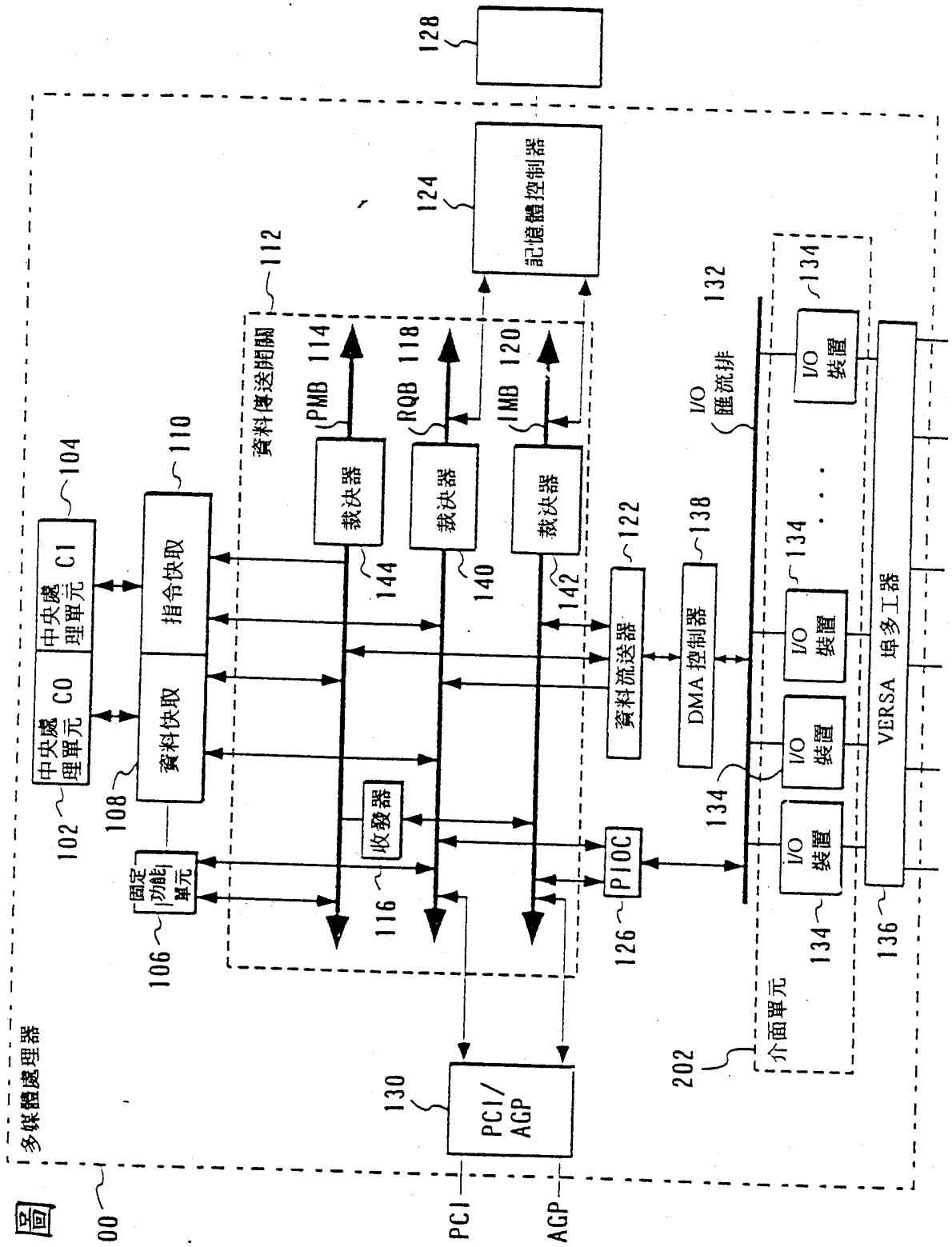
多數個外部I／O裝置被耦合至該多媒體處理器。

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部智慧財產局員工消費合作社印製

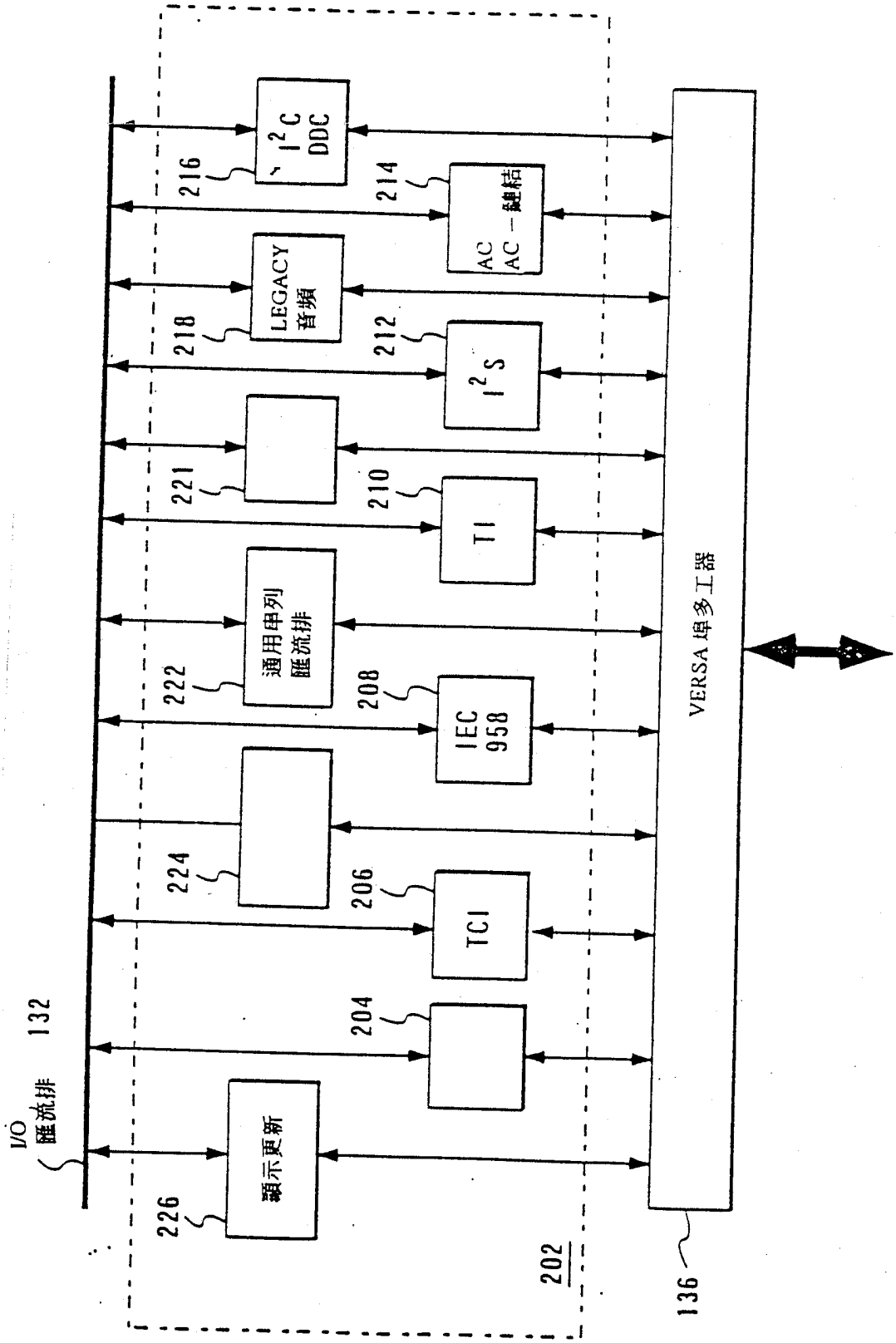
90年8月24日修正補充

735174

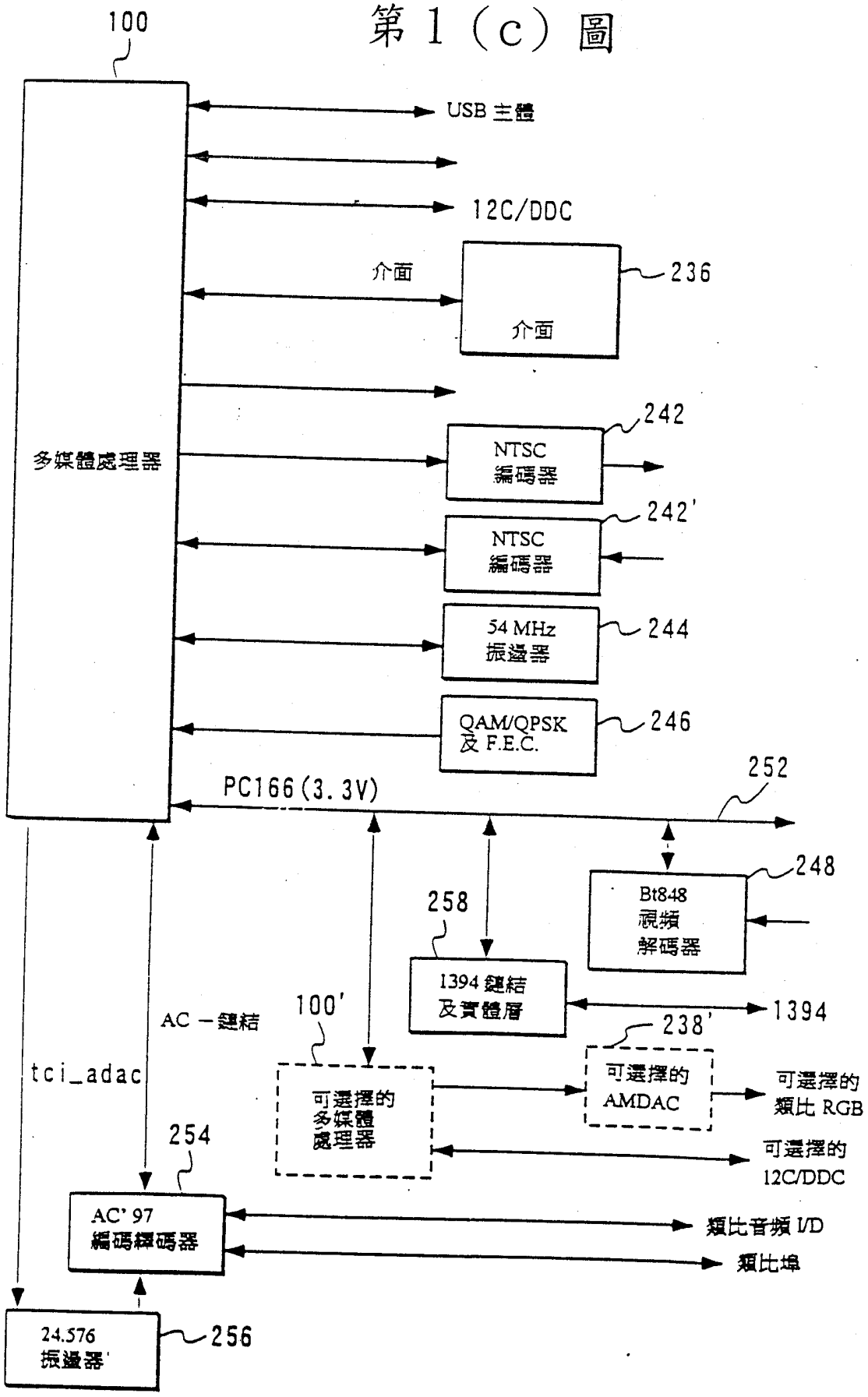
第 1（a）圖



第1(b)圖

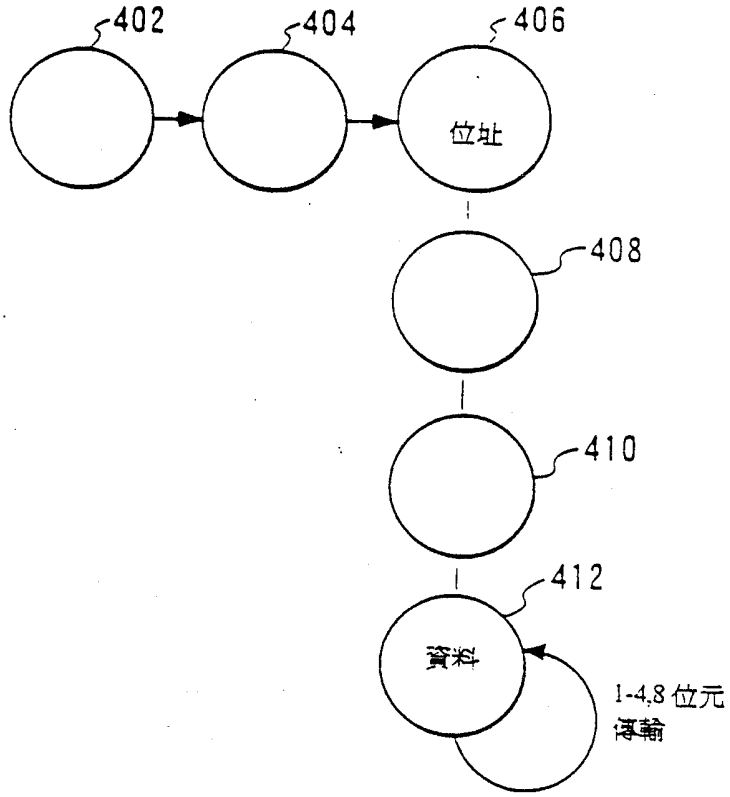

I/O 匯流排 132
顯示更新
226
204
TCI
206
224
IEC 958
208
通用串列匯流排
222
TI
210
221
I²S
212
LEGACY 音頻
218
AC AC－鍵結
214
I²C DDC
216
202
VERSA 埠多工器
136

第 1 (c) 圖

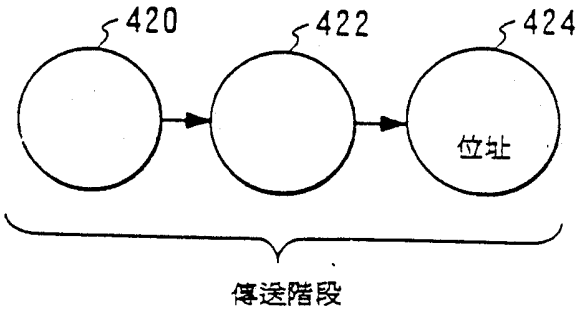

100
USB 主體
12C/DDC
介面
介面
236
多媒體處理器
242
NTSC 編碼器
242'
NTSC 編碼器
54 MHz 振盪器
244
QAM/QPSK 及 F.E.C.
246
PC166 (3.3V)
252
248
Bt848 視頻 解碼器
258
1394 鏈結 及實體層
1394
AC－鏈結
100'
238'
tci_adac
可選擇的 多媒體 處理器
可選擇的 AMDAC
可選擇的 類比 RGB
254
可選擇的 12C/DDC
AC' 97 編碼解碼器
類比音頻 I/D
類比埠
24.576 振盪器
256

90年8月29日 修正補充

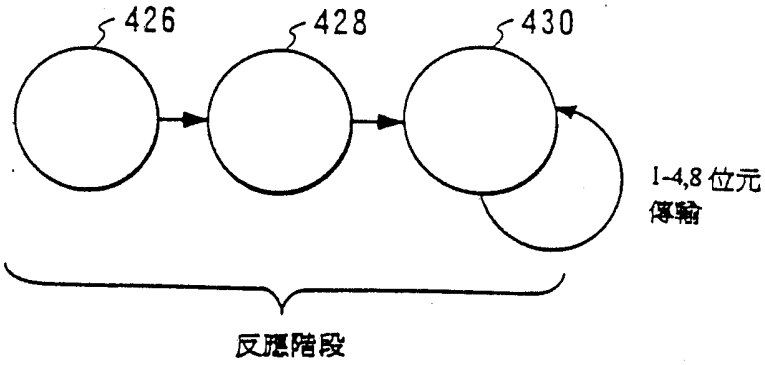
第 2 圖



第 3 (a) 圖

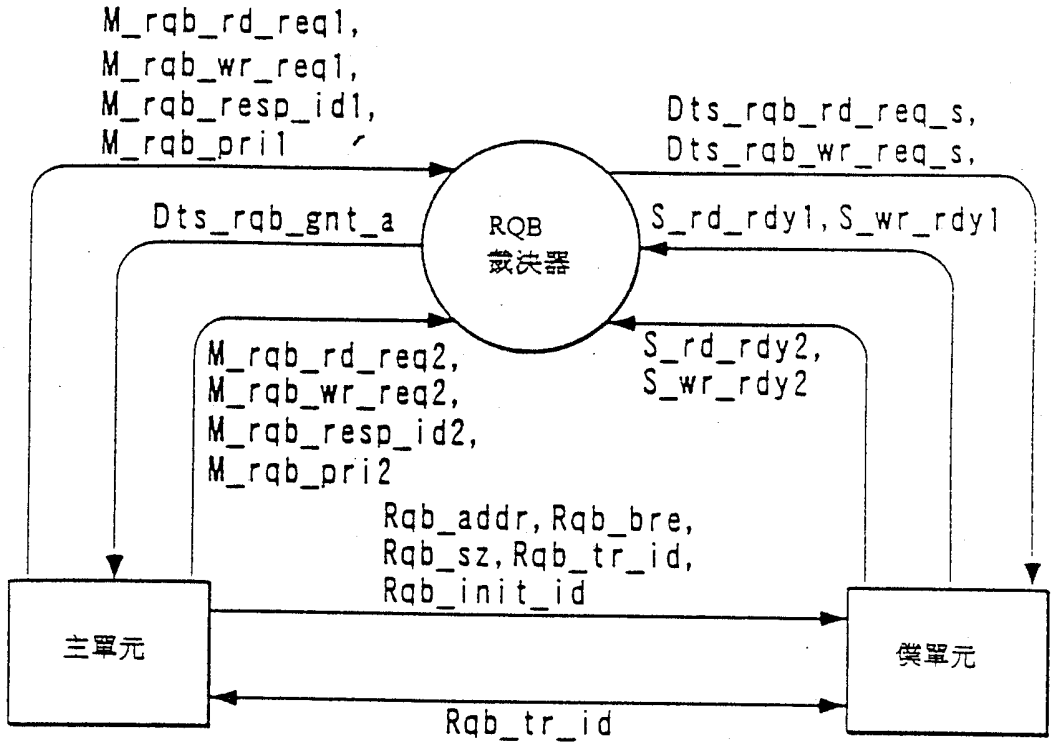


第 3 (b) 圖

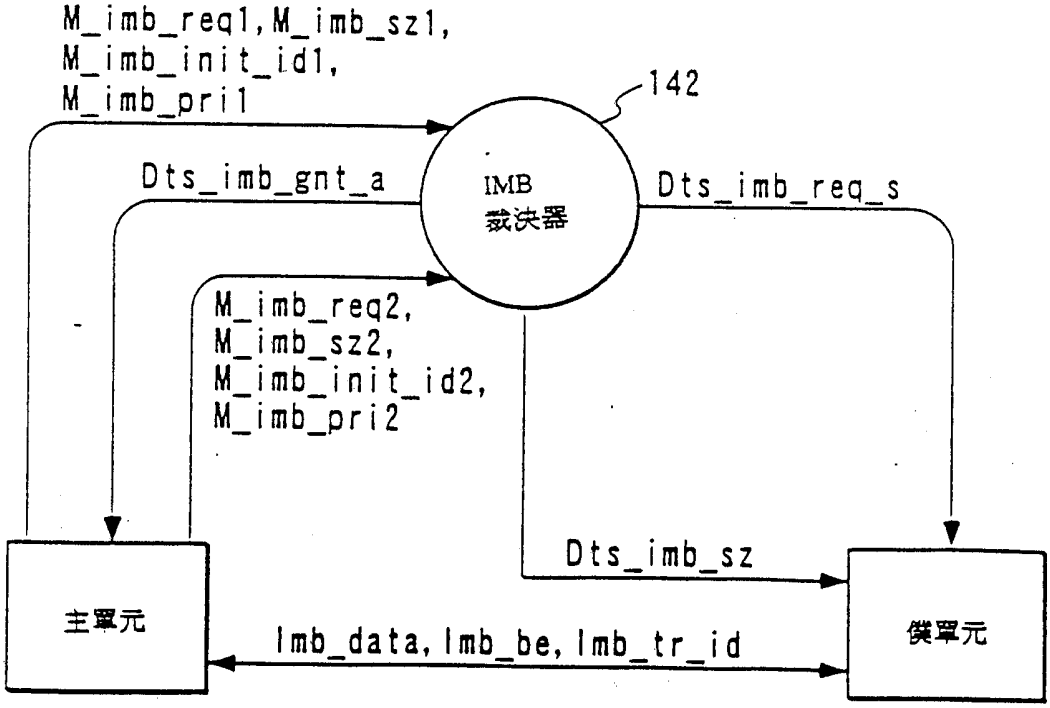


90年8月29日 修正補充

第4(a)圖

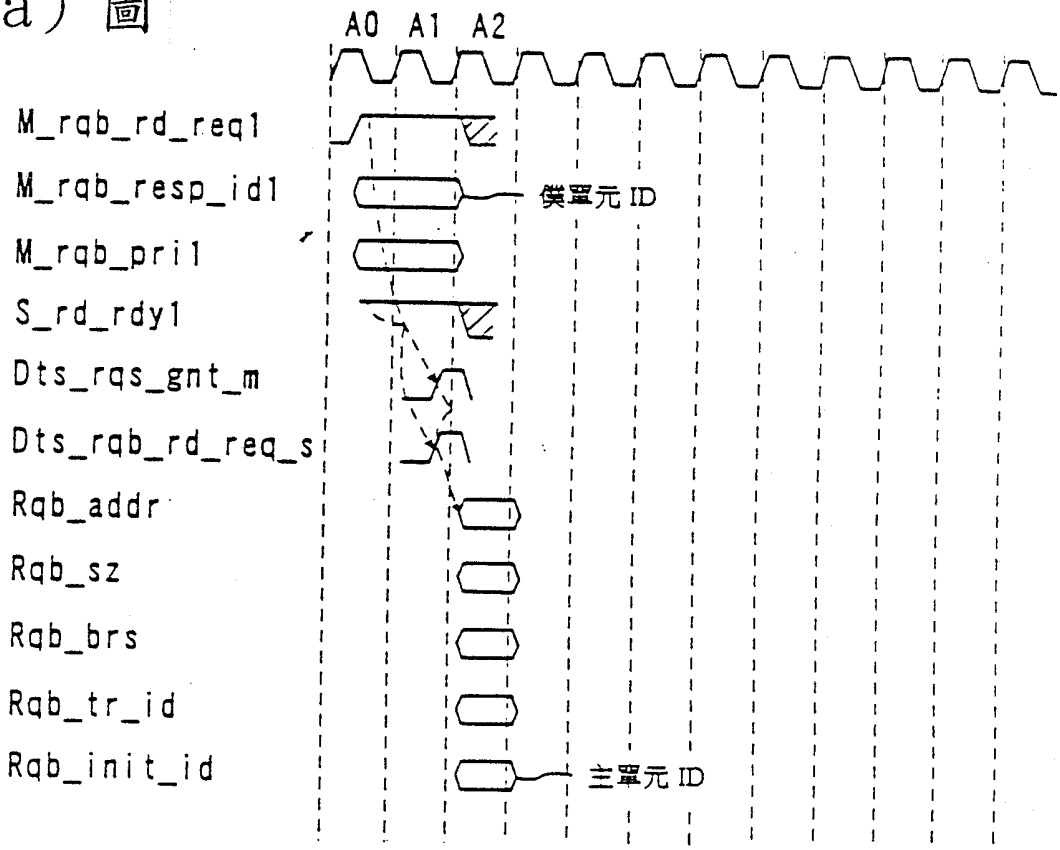


第4(b)圖

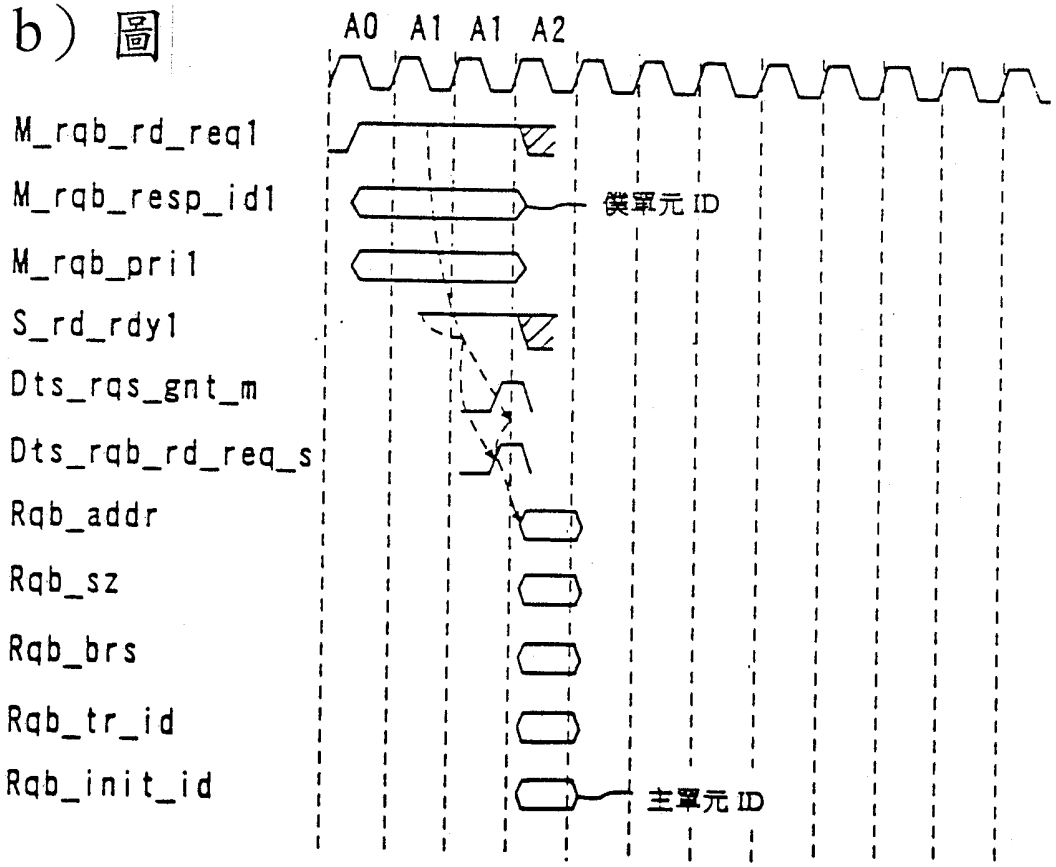


90年8月24日修正補充

第5(a)圖

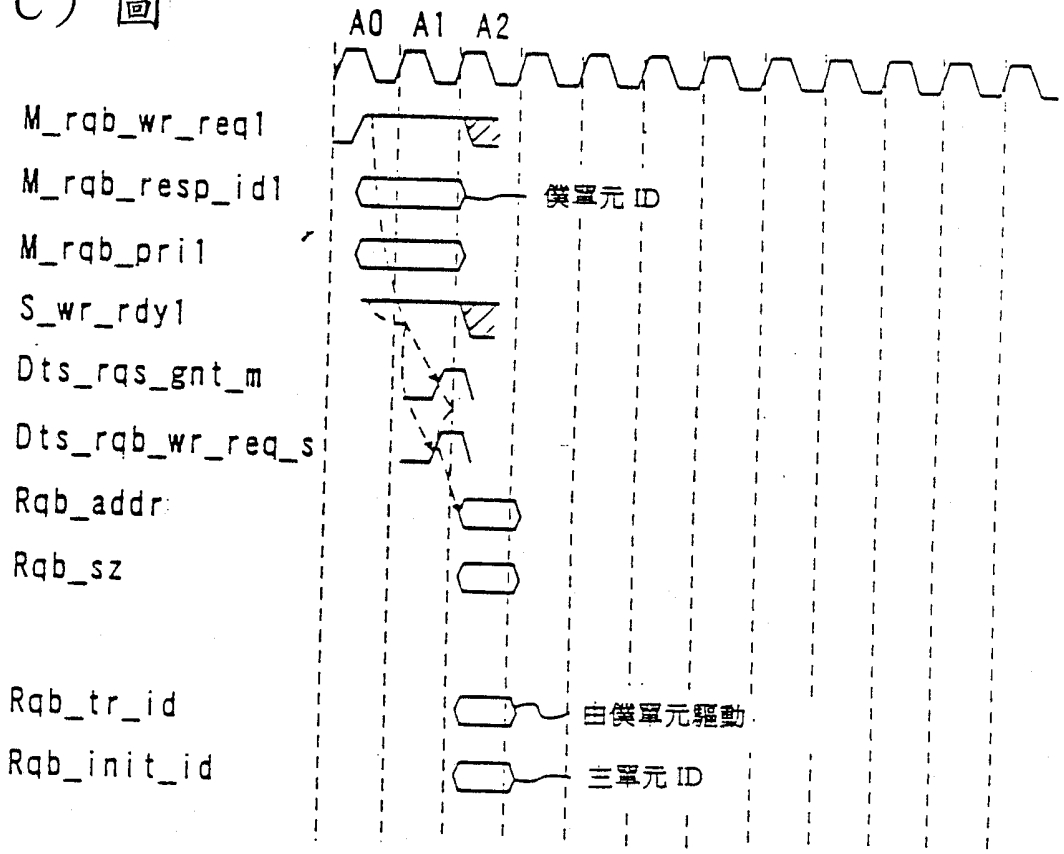


第5(b)圖

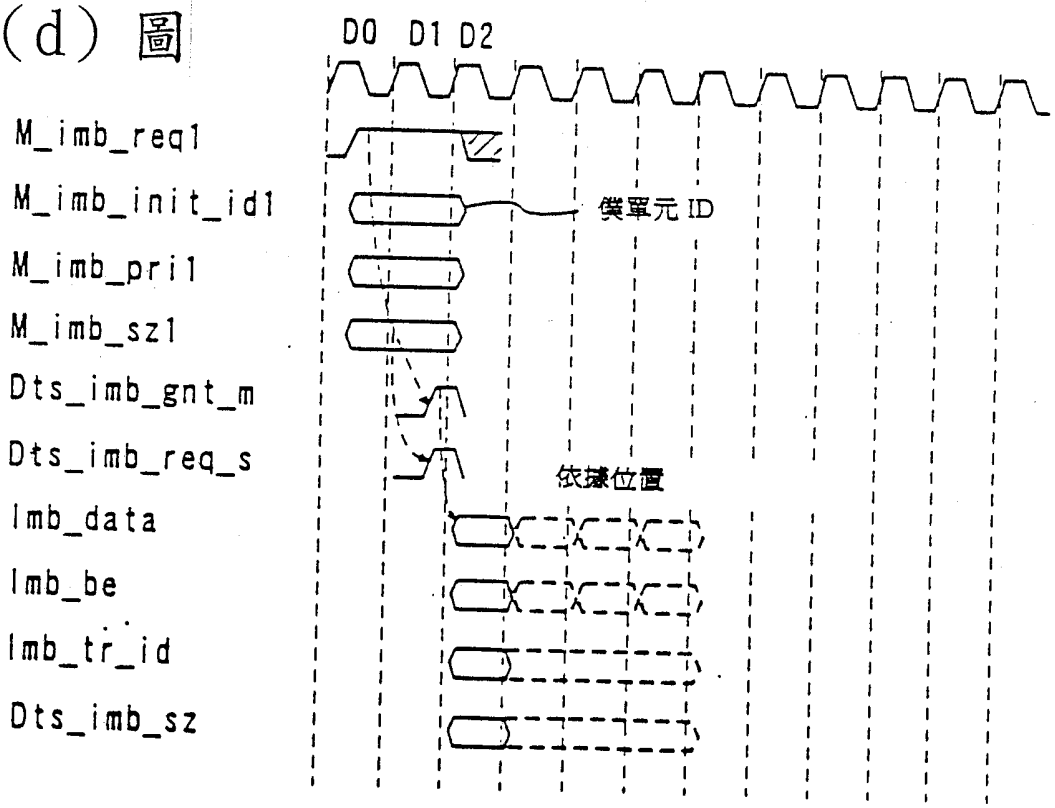


9.8.24 修正補充

第5(c)圖

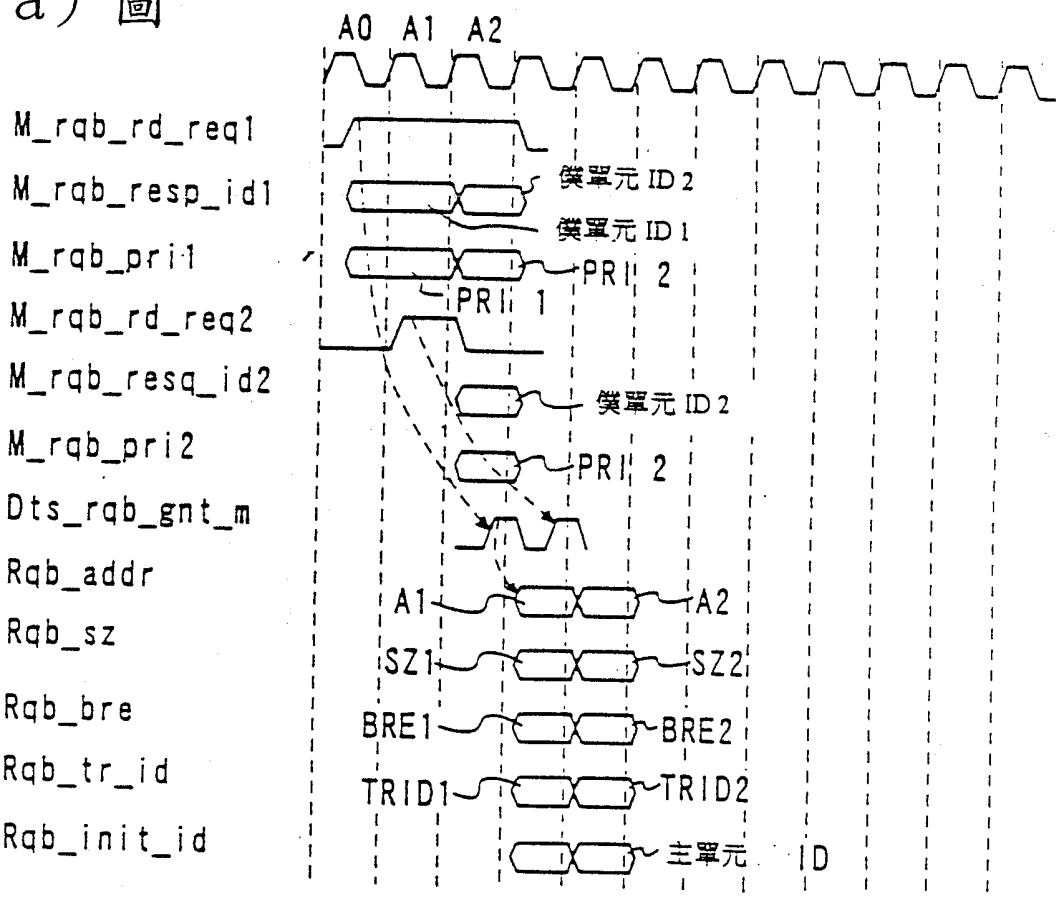


第5(d)圖

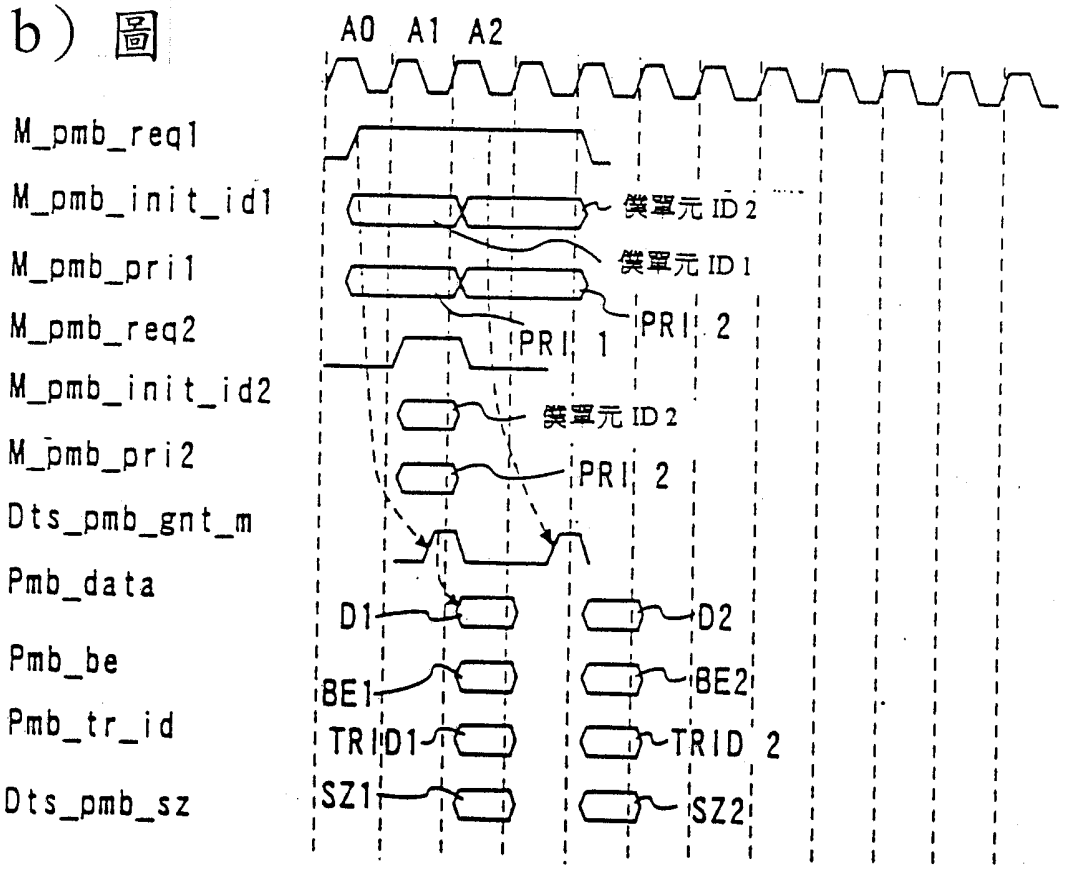


90.8.29

第 6 (a) 圖

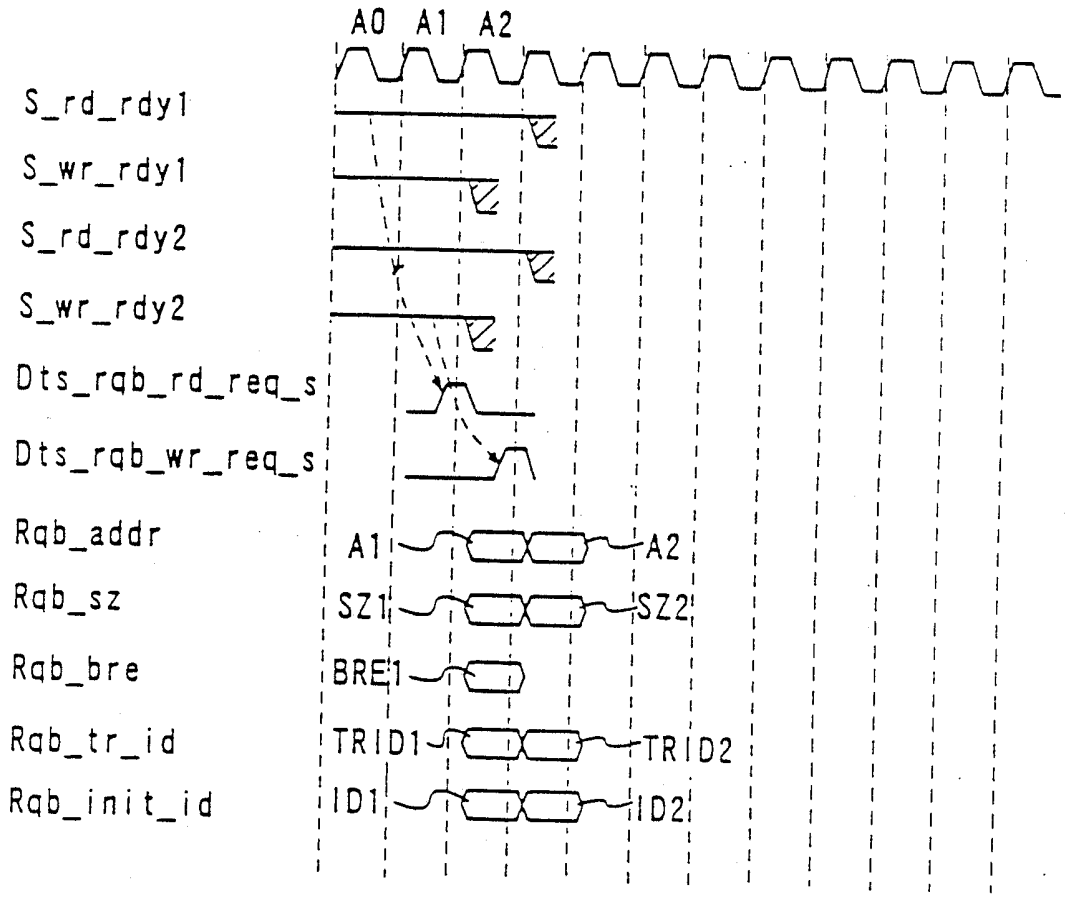


第 6 (b) 圖

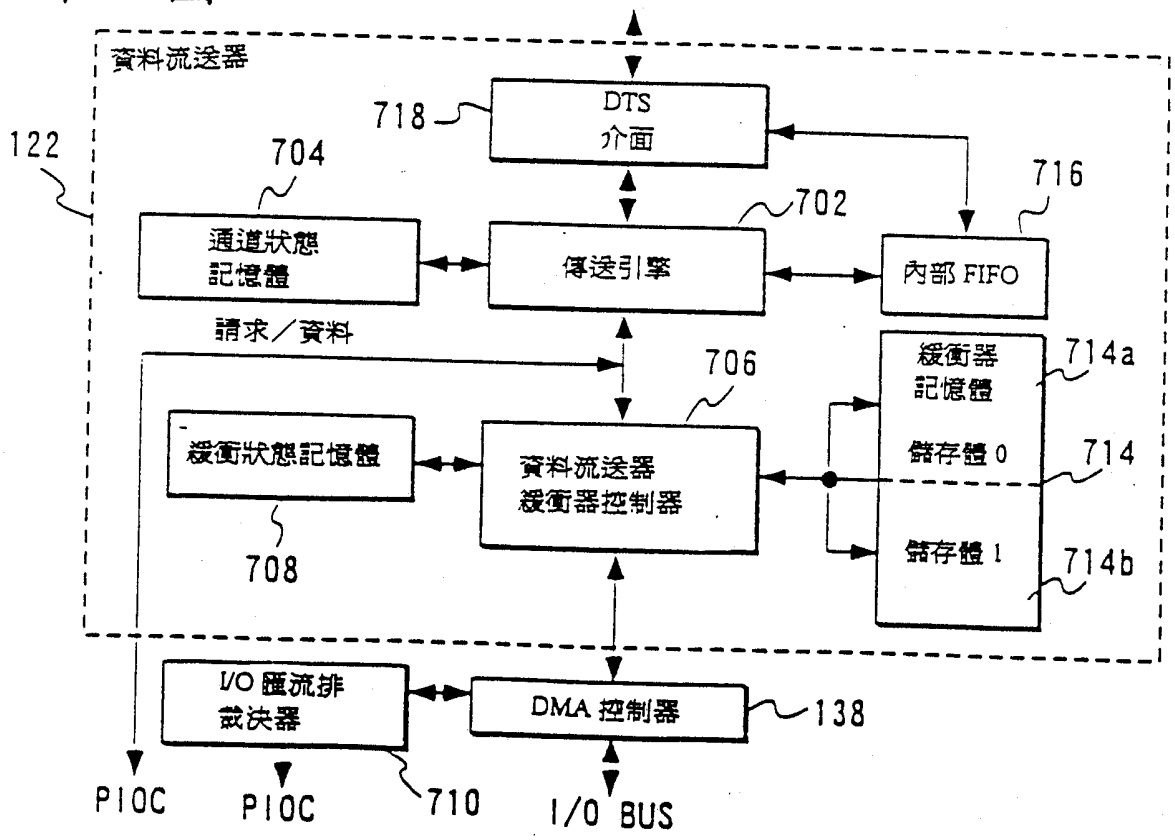


90 8 24

第 6 (c) 圖

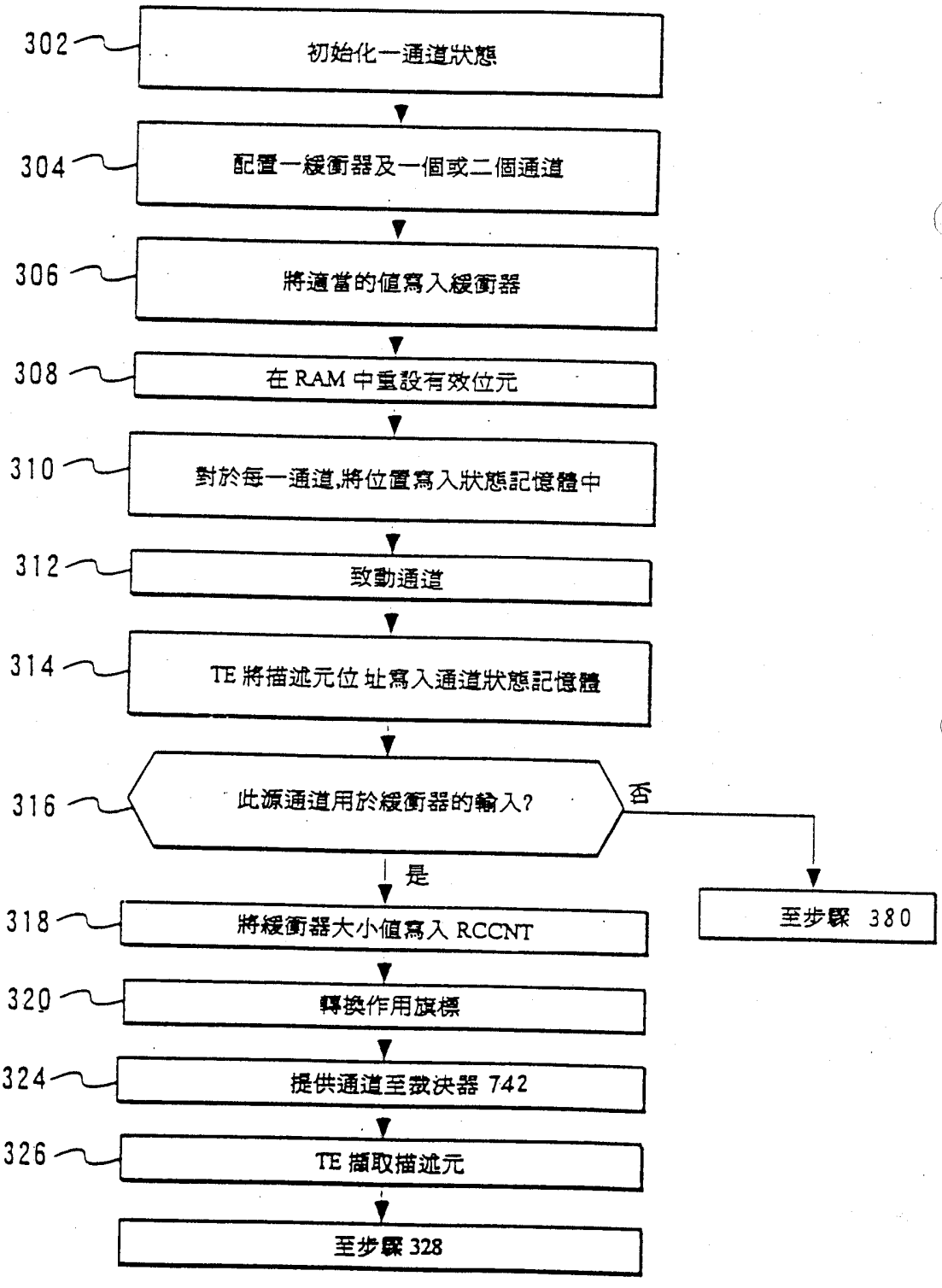


第 7 圖



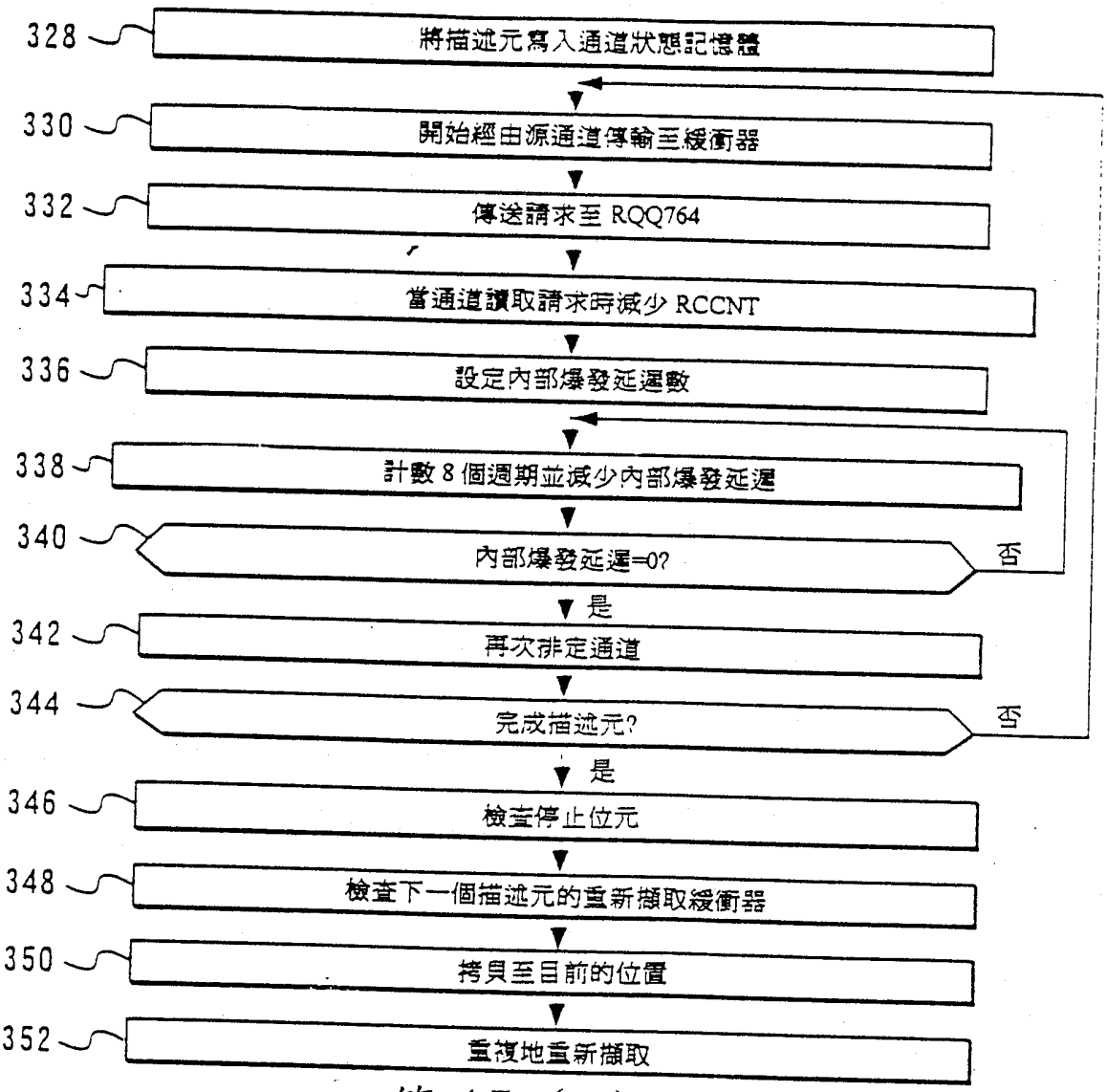
90年8月24日修正補充

第 15（a）圖

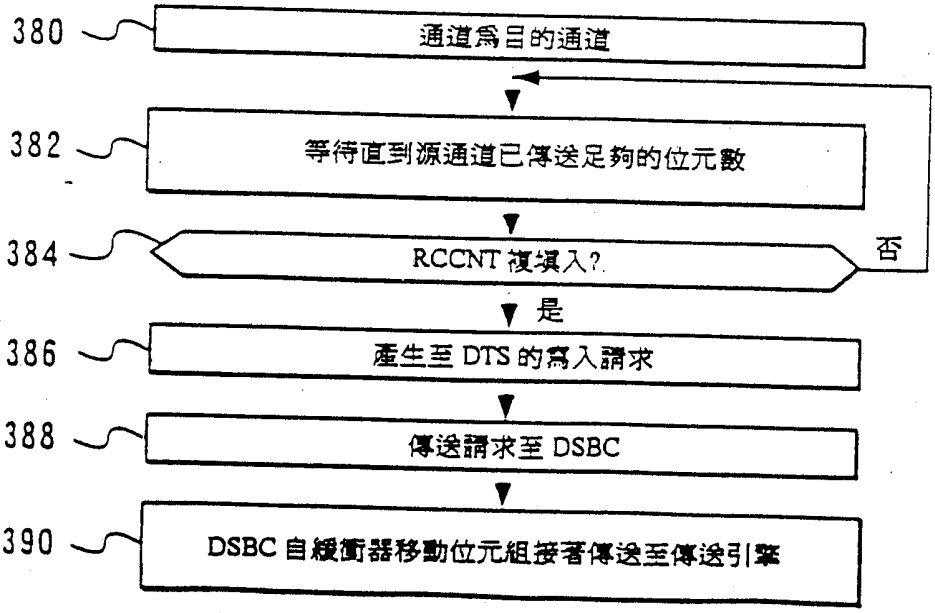


90年8月29日 修正 補充

第 15（b）圖

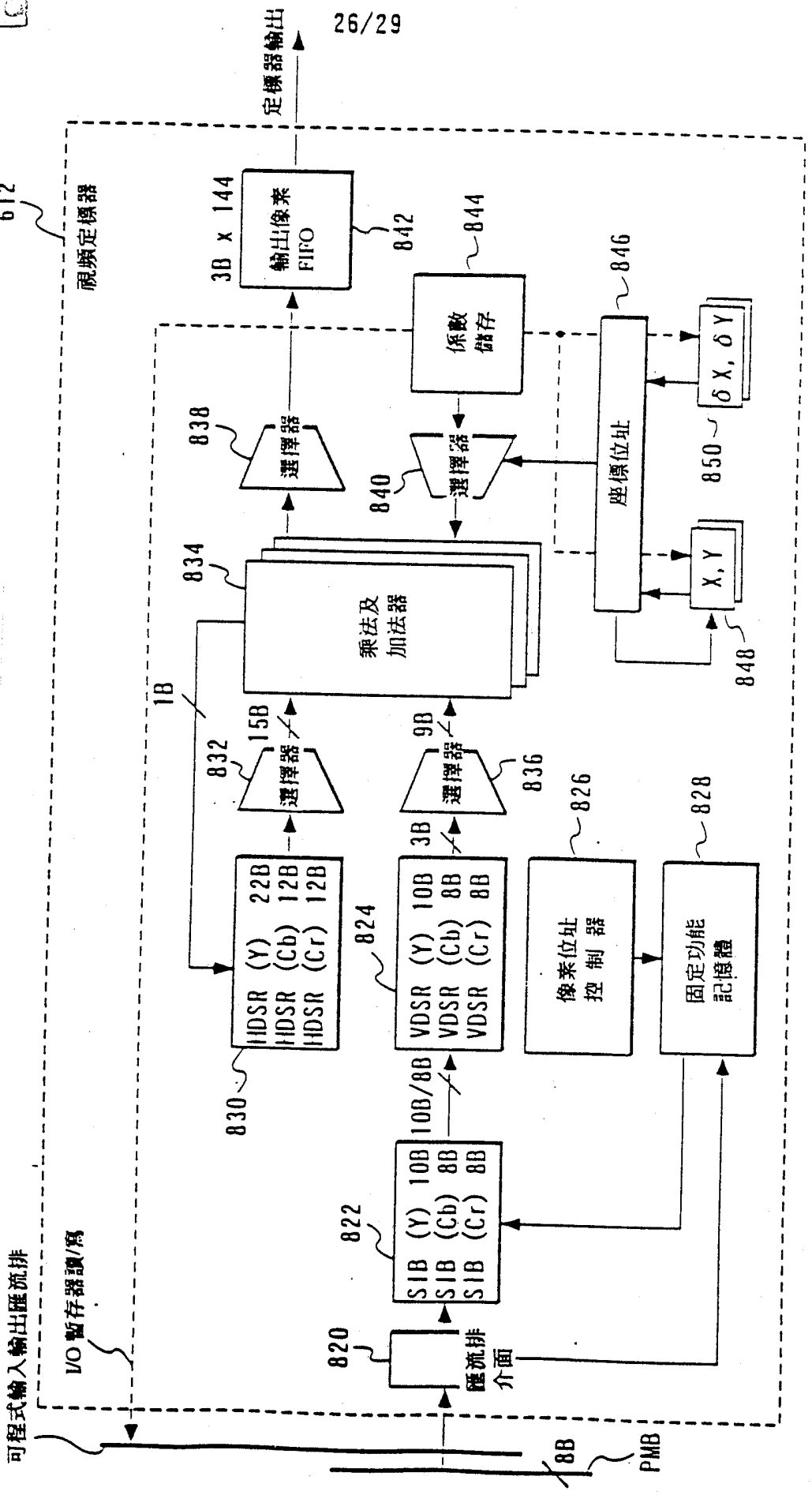


第 15（c）圖



90年8月29日修正補充

第25（a）圖



90年8月24日 修正補充

第25（b）圖

