



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0098440
(43) 공개일자 2008년11월07일

(51) Int. Cl.

G06F 7/483 (2006.01) G06F 7/499 (2006.01)
G06F 7/57 (2006.01) G06F 1/26 (2006.01)

(21) 출원번호 10-2008-7023592

(22) 출원일자 2008년09월26일

심사청구일자 2008년09월26일

번역문제출일자 2008년09월26일

(86) 국제출원번호 PCT/US2007/062908

국제출원일자 2007년02월27일

(87) 국제공개번호 WO 2007/101216

국제공개일자 2007년09월07일

(30) 우선권주장

11/363,118 2006년02월27일 미국(US)

(71) 출원인

캘콤 인코포레이티드

미국 캘리포니아 샌디에고 모어하우스
드라이브5775 (우 92121-1714)

(72) 발명자

도크저, 케네쓰 알렌

미국 27519 노쓰 캐롤라이나 캐리 월코트 웨이
1108

(74) 대리인

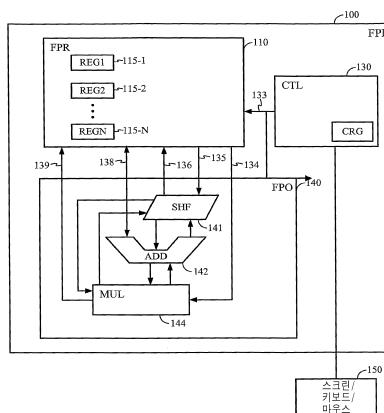
남상선

전체 청구항 수 : 총 24 항

(54) 선택가능한 하위 정밀도에 대하여 감소된 전력 요구조건들을 가지는 부동 소수점 프로세서

(57) 요 약

본 발명은 주어진 정밀도를 가지는 부동 소수점 프로세서를 사용하여 부동 소수점 연산을 수행하기 위한 방법 및 장치에 관한 것이다. 하나 이상의 부동 소수점 수들에 대한 부동 소수점 연산을 위해 하위정밀도가 선택된다. 상기 하위 정밀도의 선택은 상기 하나 이상의 부동 소수점 수들의 각각에 대하여 하나 이상의 초과 비트을 발생한다. 전력은 다른 경우에 상기 하나 이상의 초과 비트들을 저장하거나 처리하기 위해 사용될 상기 부동 소수점 프로세서 내의 하나 이상의 컴포넌트들로부터 제거되며, 상기 하나 이상의 컴포넌트들로부터 제거된 전력으로 부동 소수점 연산이 수행된다.

대 표 도 - 도1

특허청구의 범위

청구항 1

최대 정밀도를 가지는 부동 소수점(floating-point) 프로세서를 사용하여 부동 소수점 연산을 수행하는 방법으로서,

하나 이상의 부동 소수점 수들에 대한 상기 부동 소수점 연산을 위해 상기 최대 정밀도 미만의 하위 정밀도(subprecision)을 선택하는 단계 - 상기 하위 정밀도의 선택은 상기 하나 이상의 부동 소수점 수들의 각각에 대하여 하나 이상의 초과 비트들을 발생시킴 - ;

다른 경우에 상기 하나 이상의 초과 비트들을 저장하거나 처리하기 위해 사용될 상기 부동 소수점 프로세서 내의 하나 이상의 컴포넌트들로부터 전력을 제거하는 단계; 및

상기 하나 이상의 컴포넌트들로부터 제거된 전력으로 상기 부동 소수점 연산을 수행하는 단계를 포함하는 방법.

청구항 2

제 1항에 있어서,

다수의 저장 엘리먼트들을 가지는 부동 소수점 레지스터를 사용하는 단계를 더 포함하며,

상기 하나 이상의 초과 비트들은 상기 저장 엘리먼트들 중 하나 이상의 저장 엘리먼트들에 저장되고, 상기 전력이 제거된 하나 이상의 컴포넌트들은 상기 하나 이상의 초과 비트들에 대한 저장 엘리먼트들을 포함하는 것을 특징으로 하는 방법.

청구항 3

제 2항에 있어서,

상기 부동 소수점 연산을 수행하기 위한 로직을 가지는 부동 소수점 연산자를 사용하는 단계를 더 포함하며,

상기 전력이 제거된 하나 이상의 컴포넌트들은 다른 경우에 상기 하나 이상의 초과 비트들을 처리하기 위해 사용될 상기 로직의 일부분을 포함하는 것을 특징으로 하는 방법.

청구항 4

제 1항에 있어서,

상기 부동 소수점 연산을 수행하기 위한 로직을 가지는 부동 소수점 연산자를 사용하는 단계를 더 포함하며,

상기 전력이 제거된 하나 이상의 컴포넌트들은 다른 경우에 상기 하나 이상의 초과 비트들을 처리하기 위해 사용될 상기 로직의 일부분을 포함하는 것을 특징으로 하는 방법.

청구항 5

제 4항에 있어서,

상기 부동 소수점 연산은 덧셈을 포함하는 것을 특징으로 하는 방법.

청구항 6

제 5항에 있어서,

상기 로직의 일부분으로부터의 실행(carry-out)이 제로가 되게 하는 단계를 더 포함하는 것을 특징으로 하는 방법.

청구항 7

제 4항에 있어서,

상기 부동 소수점 연산은 곱셈을 포함하는 것을 특징으로 하는 방법.

청구항 8

최대 정밀도를 가지는 부동 소수점 프로세서로서,

하나 이상의 부동 소수점 수들에 대한 부동 소수점 연산을 위해 상기 최대 정밀도 미만의 하위 정밀도를 선택하도록 - 상기 하위 정밀도의 선택은 상기 하나 이상의 부동 소수점 수들의 각각에 대하여 하나 이상의 초과 비트들을 발생시킴 - 구성되고, 다른 경우에 상기 하나 이상의 초과 비트들을 저장하거나 처리하기 위해 사용될 상기 부동 소수점 프로세서 내의 하나 이상의 컴포넌트들로부터 전력을 제거하도록 추가로 구성되는 부동 소수점 제어기; 및

상기 부동 소수점 연산을 수행하도록 구성된 부동 소수점 연산자를 포함하는 부동 소수점 프로세서.

청구항 9

제 8항에 있어서,

다수의 저장 엘리먼트들을 가지는 부동 소수점 레지스터를 더 포함하고,

상기 하나 이상의 초과 비트들은 상기 저장 엘리먼트들 중 하나 이상의 엘리먼트들에 저장되며,

상기 전력이 제거될 수 있는 하나 이상의 컴포넌트들은 상기 하나 이상의 초과 비트들에 대한 저장 엘리먼트들을 포함하는 것을 특징으로 하는 부동 소수점 프로세서.

청구항 10

제 9항에 있어서,

상기 부동 소수점 연산자는 상기 부동 소수점 연산을 수행하기 위한 로직을 포함하며,

상기 전력이 제거될 수 있는 하나 이상의 컴포넌트들은 다른 경우에 상기 하나 이상의 초과 비트들을 처리하기 위해 사용될 상기 로직의 일부분을 포함하는 것을 특징으로 하는 부동 소수점 프로세서.

청구항 11

제 8항에 있어서,

상기 부동 소수점 연산자는 상기 부동 소수점 연산을 수행하기 위한 로직을 포함하며,

상기 전력이 제거될 수 있는 하나 이상의 컴포넌트들은 다른 경우에 상기 하나 이상의 초과 비트들을 처리하기 위해 사용될 상기 로직의 일부분을 포함하는 것을 특징으로 하는 부동 소수점 프로세서.

청구항 12

제 11항에 있어서,

상기 부동 소수점 연산자는 부동 소수점 덧셈기를 포함하는 것을 특징으로 하는 부동 소수점 프로세서.

청구항 13

제 12항에 있어서,

상기 부동 소수점 연산자는 전력이 제거될 때 상기 로직의 일부분으로부터의 실행(carry-out)이 제로가 되게 하도록 추가로 구성되는 것을 특징으로 하는 부동 소수점 프로세서.

청구항 14

제 11항에 있어서,

상기 부동 소수점 연산자는 부동 소수점 곱셈기를 포함하는 것을 특징으로 하는 부동 소수점 프로세서.

청구항 15

최대 정밀도를 가지는 부동 소수점 프로세서로서,

다수의 부동 소수점 수들을 저장하도록 구성된 다수의 저장 엘리먼트들을 가지는 부동 소수점 레지스터;

상기 부동 소수점 레지스터 내에 저장된 상기 부동 소수점 수들 중 하나 이상의 부동 소수점 수들에 부동 소수점 연산을 수행하도록 구성된 부동 소수점 연산자; 및

상기 하나 이상의 부동 소수점 수들에 대한 부동 소수점 연산을 위해 상기 최대 정밀도 미만의 하위 정밀도를 선택하도록 - 상기 하위 정밀도의 선택은 상기 하나 이상의 부동 소수점 수들의 각각에 대하여 하나 이상의 초과 비트들을 발생시킴 - 구성된 부동 소수점 제어기를 포함하며,

상기 하나 이상의 초과 비트들은 상기 부동 소수점 레지스터의 상기 하나 이상의 저장 엘리먼트들 내에 저장되고,

상기 부동 소수점 제어기는 상기 하나 이상의 초과 비트들에 대한 상기 저장 엘리먼트들로부터 전력을 제거하도록 추가로 구성되는 부동 소수점 프로세서.

청구항 16

제 15항에 있어서,

상기 부동 소수점 연산자는 상기 부동 소수점 연산을 수행하도록 구성된 로직을 포함하며,

상기 부동 소수점 제어기는 다른 경우에 상기 하나 이상의 초과 비트들을 처리하기 위해 사용될 상기 로직의 일부분으로부터 전력을 제거하도록 더 구성되는 것을 특징으로 하는 부동 소수점 프로세서.

청구항 17

제 16항에 있어서,

상기 부동 소수점 연산자는 부동 소수점 덧셈기를 포함하는 것을 특징으로 하는 부동 소수점 프로세서.

청구항 18

제 17항에 있어서,

상기 부동 소수점 연산자는 전력이 제거될 때 상기 로직의 일부분으로부터의 실행(carry-out)이 제로가 되게 하도록 추가로 구성되는 것을 특징으로 하는 부동 소수점 프로세서.

청구항 19

제 16항에 있어서,

상기 부동 소수점 연산자는 부동 소수점 곱셈기를 포함하는 것을 특징으로 하는 부동 소수점 프로세서.

청구항 20

최대 정밀도를 가지는 부동 소수점 프로세서로서,

다수의 부동 소수점 수들을 저장하도록 구성된 부동 소수점 레지스터;

상기 부동 소수점 레지스터 내에 저장된 상기 부동 소수점 수들 중 하나 이상의 부동 소수점 수들에 부동 소수점 연산을 수행하도록 구성된 로직을 가지는 부동 소수점 연산자;

상기 하나 이상의 부동 소수점 수들에 대한 부동 소수점 연산을 위해 상기 최대 정밀도 미만의 하위 정밀도를 선택하도록 - 상기 하위 정밀도의 선택은 상기 하나 이상의 부동 소수점 수들의 각각에 대하여 하나 이상의 초과 비트들을 발생시킴 - 구성되고, 다른 경우에 상기 하나 이상의 초과 비트들을 저장하거나 처리하기 위해 사용될 상기 로직의 일부분으로부터 전력을 제거하도록 추가로 구성되는 부동 소수점 제어기를 포함하는 부동 소수점 프로세서.

청구항 21

제 20항에 있어서,

상기 부동 소수점 레지스터는 상기 부동 소수점 수를 저장하도록 구성된 다수의 저장 엘리먼트들을 포함하며,

상기 하나 이상의 초과 비트들은 상기 하나 이상의 엘리먼트들에 저장되며,

상기 부동 소수점 제어기는 상기 하나 이상의 초과 비트들에 대한 저장 엘리먼트들로부터 전력을 제거하도록 추가로 구성되는 것을 특징으로 하는 부동 소수점 프로세서.

청구항 22

제 20항에 있어서,

상기 부동 소수점 연산자는 부동 소수점 덧셈기를 포함하는 것을 특징으로 하는 부동 소수점 프로세서.

청구항 23

제 22항에 있어서,

상기 부동 소수점 연산자는 전력이 제거될 때 상기 로직의 일부분으로부터의 실행(carry-out)이 제로가 되게 하도록 추가로 구성되는 것을 특징으로 하는 부동 소수점 프로세서.

청구항 24

제 20항에 있어서,

상기 부동 소수점 연산자는 부동 소수점 곱셈기를 포함하고,

상기 전력은 상기 부동 소수점 곱셈기 내에서의 부분곱(partial product)들을 포함하는 엘리먼트들의 일부분들로부터 제거되는 것을 특징으로 하는 부동 소수점 프로세서.

명세서

기술 분야

<1> 본 발명은 주어진 정밀도를 가지는 부동 소수점 프로세서를 사용하여 부동 소수점 연산을 수행하기 위한 방법 및 장치에 관한 것이다.

배경 기술

<2> 부동 소수점 프로세서들은 높은 속도로 특정 수학 연산들, 예컨대 곱셈, 나눗셈, 삼각 함수들 지수 함수들을 수행하는 계산 유니트들을 특징으로 한다. 따라서, 강력한 계산 시스템들은 종종 메인 프로세서 또는 보도 프로세서의 일부로서 부동 소수점 프로세서들을 통합한다. 숫자의 부동 소수점 표현은 공통적으로 부호부, 지수부 및 가수부를 포함한다. 부동 소수점 숫자의 값을 구하기 위해, 가수에는 지수가 제곱된 밑수(컴퓨터에서 공통적으로 2)가 곱해진다. 부호부는 결과 값에 적용된다.

<3> 부동 소수점 프로세서의 정밀도는 가수를 표현하기 위해 사용되는 비트들의 개수에 의해 한정된다. 가수에서 많은 비트들이 사용될수록, 정밀도는 높아진다. 부동 소수점 프로세서의 정밀도는 일반적으로 특정 애플리케이션에 따라 결정된다. 예를 들어, ANSI/IEEE-754 표준(하기에서 공통적으로 최신식 컴퓨터들)은 1-비트 부호부, 8-비트 지수부 및 23-비트 가수부를 가지는 32-비트 단일 포맷을 규정한다. 가수부의 23개 부분 비트들 만이 32-비트 인코딩시 저장되며, 이진 소수점의 좌측에는 바로 정수 비트가 수반된다. IEEE-754는 또한 1-비트 부호부, 11-비트 지수부 및 53-비트 가수부를 가지는 64-비트 이중 포맷을 규정한다. 단일 인코딩과 유사하게, 가수부의 52개 부분 비트들만이 64-비트 인코딩시 저장되고, 이진 소수점의 좌측에는 바로 정수 비트가 수반된다. 정밀도가 높아질수록 정확성도 높아지지만, 공통적으로 전력 소비가 증가한다.

<4> 부동 소수점 대수 연산들의 수행은 부동 소수점 프로세서들이 공통적으로 단일 포맷 또는 단일 및 이중 포맷들 모두에 의해 제공되는 정밀도에 제한되기 때문에 계산에 있어 비효율적일 수 있다. 몇몇 애플리케이션들이 상기 타입의 정밀도를 필요로 하지만, 다른 애플리케이션들은 필요로하지 않을 수 있다. 예를 들어, 몇몇 그래픽 애플리케이션들은 16-비트 가수부만을 필요로 할 수 있다. 상기 그래픽 애플리케이션들에 대하여, 16 비트 정밀도 이상의 정확성은 불필요한 전력 소비를 발생하는 경향이 있다. 이는 특히 몇가지 예를 들어 무선 전화기들, 개인 디지털 보조장치들(PDA), 랩톱들, 게임 콘솔들, 휴대폰들 및 카메라들과 같이 전력 수요가 많은 배터리 등작 디바이스들과 관련된다. 만약 애플리케이션이 항상 일정한 감소된 정밀도를 요구하는 것으로 공지되면, 부동 소수점 프로세서는 감소된 정밀도로 설계되고 구성될 수 있다. 그러나, 범용 프로세서들에 대

하여 공통적인 상황은 CD 그래픽을 생성하는 것과 같은 특정 애플리케이션에 대하여 감소된 정밀도가 수용가능할 수 있고, 예컨대 위성 위치측정 시스템(GPS) 기능을 구현하는 다른 애플리케이션들에 대하여 증가된 정밀도가 요구될 수 있다는 것이다. 따라서, 부동 소수점 포맷의 감소된 정밀도 또는 하위 정밀도가 선택가능한 부동 소수점 프로세서가 당업계에 요구된다. 전력 관리 기술들은 부동 소수점 프로세서가 선택된 하위 정밀도를 지원하는데 필요한 것보다 더 많은 전력을 소비하지 않도록 하는데 사용될 수 있다.

발명의 상세한 설명

<5>

정밀도 포맷을 가지는 부동 소수점(floating-point) 프로세서를 사용하여 부동 소수점 연산을 수행하는 방법의 양상이 개시된다. 상기 방법은 하나 이상의 부동 소수점 수들에 대한 상기 부동 소수점 연산을 위해 하위 정밀도(subprecision)을 선택하는 단계를 포함하고, 상기 하위 정밀도의 선택은 상기 하나 이상의 부동 소수점 수들의 각각에 대하여 하나 이상의 초과 비트를 발생한다. 상기 방법은 또한 다른 경우에 상기 하나 이상의 초과 비트들을 저장하거나 처리하기 위해 사용될 상기 부동 소수점 프로세서 내의 하나 이상의 컴포넌트들로부터 전력을 제거하는 단계 및 상기 하나 이상의 컴포넌트들로부터 제거된 전력으로 상기 부동 소수점 연산을 수행하는 단계를 포함한다.

<6>

정밀도 포맷을 가지는 부동 소수점 프로세서의 일 양상이 개시된다. 상기 부동 소수점 프로세서는 하나 이상의 부동 소수점 수들에 대한 부동 소수점 연산을 위해 상기 최대 정밀도 미만의 하위 정밀도를 선택하도록 구성된 부동 소수점 제어기를 포함하고, 상기 하위 정밀도의 선택은 상기 하나 이상의 부동 소수점 수들의 각각에 대하여 하나 이상의 초과 비트들을 발생하며, 부동 소수점 제어기는 다른 경우에 상기 하나 이상의 초과 비트들을 저장하거나 처리하기 위해 사용될 상기 부동 소수점 프로세서 내의 하나 이상의 컴포넌트들로부터 전력을 제거하도록 추가로 구성된다. 부동 소수점 프로세서는 추가로 상기 부동 소수점 연산을 수행하도록 구성된 부동 소수점 연산자를 포함한다.

<7>

정밀도 포맷을 가지는 부동 소수점 프로세서의 또다른 양상이 개시된다. 부동 소수점 프로세서는 다수의 부동 소수점 수들을 저장하도록 구성된 다수의 저장 엘리먼트들을 가지는 부동 소수점 레지스터 및 상기 부동 소수점 레지스터 내에 저장된 상기 부동 소수점 수들 중 하나 이상의 부동 소수점 수들에 부동 소수점 연산을 수행하도록 구성된 부동 소수점 연산자를 포함한다. 부동 소수점 프로세서는 또한 상기 하나 이상의 부동 소수점 수들에 대한 부동 소수점 연산을 위해 상기 최대 정밀도 미만의 하위 정밀도를 선택하도록 구성된 부동 소수점 제어기를 포함하며, 상기 하위 정밀도의 선택은 상기 하나 이상의 부동 소수점 수들의 각각에 대하여 하나 이상의 초과 비트들을 발생하고, 상기 하나 이상의 초과 비트들은 상기 부동 소수점 레지스터의 상기 하나 이상의 저장 엘리먼트들 내에 저장되고, 상기 부동 소수점 제어기는 상기 하나 이상의 초과 비트들에 대한 상기 저장 엘리먼트들로부터 전력을 제거하도록 추가로 구성된다.

<8>

정밀도 포맷을 가지는 부동 소수점 프로세서의 또다른 양상이 개시된다. 부동 소수점 프로세서는 다수의 부동 소수점 수들을 저장하도록 구성된 부동 소수점 레지스터 및 상기 부동 소수점 레지스터 내에 저장된 상기 부동 소수점 수들 중 하나 이상의 부동 소수점 수들에 부동 소수점 연산을 수행하도록 구성된 로직을 가지는 부동 소수점 연산자를 포함한다. 부동 소수점 프로세서는 또한 하나 이상의 부동 소수점 수들에 대한 부동 소수점 연산을 위해 상기 최대 정밀도 미만의 하위 정밀도를 선택하도록 구성된 부동 소수점 제어기를 포함하고, 상기 하위 정밀도의 선택은 상기 하나 이상의 부동 소수점 수들의 각각에 대하여 하나 이상의 초과 비트들을 발생하며, 상기 부동 소수점 제어기는 다른 경우에 상기 하나 이상의 초과 비트들을 저장하거나 처리하기 위해 사용될 상기 로직의 일부분으로부터 전력을 제거하도록 추가로 구성된다.

<9>

부동 소수점 프로세서 및 부동 소수점 연산들을 수행하는 방법의 다른 실시예들은 상기 부동 소수점 프로세서와 부동 소수점 연산 수행 방법의 다양한 실시예들이 설명을 위해 도시되고 개시되는 하기의 실시예에 의해 당업자에게 용이하게 인식될 것임이 이해 되어야 한다. 구현되는 것과 같이, 부동 소수점 프로세서 및 부동 소수점 연산 방법의 다른 및 서로 다른 실시예들이 가능하며, 상기 실시예들을 설명하기 위해 사용되는 세부 사항들은 다양한 점에서 수정될 수 있다. 따라서, 도면 및 실시예는 제한이 아니라 설명을 위한 것으로 간주될 것이다.

실시예

<14>

하기에 설명되 실시예는 첨부된 도면과 함께 본 개시물의 다양한 실시예들을 설명하기 위한 것이나, 본 개시물이 실행될 수 있는 실시예들만을 표현하도록 의도되지 않는다. 실시예는 본 개시물의 충분한 이해를 허용하기 위해 특정 세부 내용들을 포함한다. 그러나, 본 개시물은 상기 특정 세부 내용들 없이 실행될 수 있음이 당업자에 의해 인식될 것이다. 몇몇 경우들에서, 공지된 구조들 및 컴포넌트들은 본 개시물의 개념들을 더 명확화

게 설명하기 위해 블럭도 형태로 도시된다.

- <15> 부동 소수점 프로세서의 적어도 일 실시예에서, 하나 이상의 부동 소수점 연산들에 대한 정밀도는 특정 포맷의 정밀도로부터 감소될 수 있다. 또한, 부동 소수점 프로세서가 선택된 하위 정밀도를 지원하는데 필요한 것 보다 많은 전력을 소비하지 않도록 하기 위해 전력 관리 기술들이 사용될 수 있다. 수학적 연산들을 수행하도록 부동 소수점 프로세서에 제공되는 명령들은 프로그램 가능한 제어 필드를 포함할 수 있다. 제어 필드는 부동 소수점 포맷의 하위 정밀도를 선택하고, 전력 소비를 관리하기 위해 사용될 수 있다. 부동 소수점 포맷의 하위 정밀도를 특정 연산에 대하여 요구되는 정도로 선택하고, 따라서 선택된 하위 정밀도를 지원하도록 부동 소수점 프로세서의 전력 소비를 감소시킴으로써, 더 큰 효율 뿐만 아니라 상당한 전력의 절약이 달성될 수 있다.
- <16> 도 1은 선택가능한 하위 정밀도를 가지는 부동 소수점 프로세서(FPP)(100)의 일 예를 설명하는 기능 블럭도이다. 부동 소수점 프로세서(100)는 부동 소수점 레지스터 파일(FPR;110), 부동 소수점 제어기 (CTL;130), 및 부동 소수점 수학 연산자(FPO;140)를 포함한다. 부동 소수점 프로세서(100)는 메인 프로세서, 보조 프로세서 또는 버스나 다른 채널을 통해 메인 프로세서에 접속된 개별 엔티티의 일부로서 구현될 수 있다.
- <17> 부동 소수점 레지스터 파일(110)은 임의의 적절하 저장 매체가 될 수 있다. 도 1에 도시된 실시예에서, 부동 소수점 레지스터 파일(110)은 몇몇 어드레싱 가능한 레지스터 위치들(115-1(REG1), 115-2(REG2), ..., 115-N(REGN))을 포함하며, 상기 위치들은 각각 부동 소수점 연산에 대한 피연산자(operand)를 저장하도록 구성된다. 피연산자들은 예를 들어, 메모리로부터의 데이터 및/또는 이전의 부동 소수점 연산들의 결과를 포함할 수 있다. 부동 소수점 프로세서에 제공되는 명령들은 메인 메모리로부터 연산자들을 이동시키는데 사용된다.
- <18> 도 2는 도 1과 관련하여 설명되는 것과 같이 선택가능한 하위 정밀도를 가지는 부동 소수점 프로세서(100)에서 사용되는 부동 소수점 레지스터 파일(110)에 대한 데이터 구조의 일 예를 개략적으로 설명한다. 도 2에서 설명되는 실시예에서, 부동 소수점 레지스터 파일(110)은 16개의 어드레싱 가능한 레지스터 위치들을 포함하며, 각각의 레지스터 위치는 편의를 위해 도 2의 참조 부호(200)를 사용하여 참조된다. 각각의 레지스터 위치(200)는 IEEE-754 32-비트 단일 포맷으로 32-비트 이진 부동 소수점 수를 저장하도록 구성된다. 특히, 각각의 레지스터 위치(200)는 1-비트 부호부(202), 8-비트 지수부(204) 및 24-비트 분수부(206)를 포함한다. 그러나, 부동 소수점 프로세서(100)의 다른 실시예들은 IEEE 32-비트 단일 포맷(IEEE 64-비트 이중 포맷을 포함하지만 그에 제한되지 않음)과는 상이하게 포맷화되는 부동 소수점 레지스터 파일(110)을 포함할 수 있고 및/또는 서로 다른 개수의 레지스터 위치들을 포함할 수 있다.
- <19> 도 1을 다시 참조하여, 부동 소수점 제어기(130)는 제어 신호(133)를 사용하여 부동 소수점 연산들의 하위 정밀도를 선택하기 위해 사용될 수 있다. 제어 레지스터(CRG;137)는 예컨대 하나 이상의 명령들의 제어 필드 내에서 전송되는 하위 정밀도 선택 비트들과 함께 로딩될 수 있다. 하기에서 상세히 설명되는 방식으로, 하위 정밀도 선택 비트들은 피연산자들의 정밀도를 감소시키기 위해 부동 소수점 제어기(130)에 의해 사용될 수 있다. 하위 정밀도 선택 비트들은 부동 소수점 프로세서(100)의 일부분들을 턴 오프하기 위해 사용될 수 있다. 예를 들어, 하위 정밀도 선택 비트들은 선택된 하위 정밀도에 대하여 요구되지 않는 비트들에 대한 부동 소수점 레지스터 엘리먼트들로부터 전력을 제거하기 위해 사용될 수 있다. 일련의 스위치들은 부동 소수점 연산자(140) 내의 부동 소수점 레지스터 엘리먼트들 및 로직에서 전력을 제거하고 인가하기 위해 사용될 수 있다. 부동 소수점 레지스터(110) 및 부동 소수점 연산자(140) 내부 또는 외부의 스위치들은 전계 트랜지스터들 또는 임의의 다른 타입의 스위치들이 될 수 있다.
- <20> 부동 소수점 연산자(140)는 부동 소수점 연산들을 수행하도록 구성된 하나 이상의 컴포넌트들을 포함할 수 있다. 상기 컴포넌트들은 부동 소수점 덧셈 및 뺄셈 명령들을 실행하도록 구성된 부동 소수점 덧셈기(ADD;142) 및 부동 소수점 곱셈 명령들을 실행하도록 구성된 부동 소수점 곱셈기(MUL;144)과 같은 계산 유니트들을 포함할 수 있지만 이에 제한되지 않는다. 도 1에 도시된 것과 같이, 부동 소수점 연산자(140) 내의 계산 유니트들, ADD(142) 및 MUL(144)의 각각은 계산 유니트들 사이 및 각각의 계산 유니트와 부동 소수점 레지스터 파일(110) 사이에서 피연산자들이 전달되도록 하는 방식으로 서로 및 부동 소수점 레지스터 파일(110)에 접속된다. 부동 소수점 연산자는 설명되는 것과 같이 개별 접속들(134, 135, 136, 137, 138, 139)을 통해 부동 소수점 레지스터에 접속될 수 있거나 버스 또는 임의의 다른 적절한 결합을 통해 접속될 수 있다. 부동 소수점 프로세서(100)의 적어도 하나의 실시예에서, 계산 유니트들(ADD(142) 및 MUL(144)) 중 임의의 유니트의 출력은 임의의 다른 계산 유니트의 입력이 될 수 있다. 부동 소수점 레지스터 파일(110)은 중간 결과들 뿐만 아니라 부동 소수점 연산자(140)로부터 출력된 결과들을 저장하기 위해 사용될 수 있다.
- <21> 덧셈기(142)는 부동 소수점 포맷으로 표준 대수 연산들을 수행하도록 구성된 종래의 부동 소수점 덧셈기가 될

수 있다. 곱셈기(144)는 부동 소수점 곱셈을 수행하도록 구성된 종래의 부동 소수점 곱셈기가 될 수 있다. 곱셈기(144)는 예를 들어, 부스(Booth) 또는 변형된 부스 알고리즘을 사용하여 구현할 수 있고, 부분곱(partial product)들을 생성하는 부분곱 생성 로직 및 부분곱들을 가산하는 다수의 실행-저장 덧셈기들을 포함할 수 있다.

<22> 도 1에는 간단함을 위해 덧셈기(142) 및 곱셈기(144) 만이 도시되지만, 부동 소수점 연산자(140)는 또한 당업계에 공지되고 부동 소수점 수학 연산의 다른 타입을 실행하도록 구성되는 다른 계산 유니트들(비도시)을 포함할 수 있다. 상기 계산 유니트들은 부동 소수점 나눗셈 명령들을 수행하도록 구성된 부동 소수점 나눗셈기, 부동 소수점 제곱근 도출 명령들을 수행하도록 구성된 부동 소수점 제곱근 도출 명령들, 부동 소수점 지수 명령들을 실행하도록 구성된 부동 소수점 지수 연산자, 대수 함수들을 계산하기 위한 명령들을 수행하도록 구성된 부동 소수점 대수 연산자 및 삼각 함수들을 계산하기 위한 명령들을 수행하도록 구성된 부동 소수점 삼각 연산자를 포함하지만 이에 제한되지 않는다.

<23> 부동 소수점 프로세서(100)의 서로 다른 실시예들은 전술된 계산 유니트들 중 단 하나 또는 몇몇 또는 전부를 포함할 수 있다. 예를 들면, 덧셈기(142) 및 곱셈기(144)는 입력된 피연산자들을 정렬하는 정렬기들 및 결과를 표준 포맷으로 쉬프트하는 정규화기들, 특정 라운딩 모드에 기초하여 결과를 라운딩하는 라운더들과 같은 하나 이상의 공지된 종래의 서브 유니트들을 포함할 수 있다. 비트-인버터들, 곱셈기들, 카운터들 및 조합 로직 회로들과 같은 공지된 회로 엘리먼트들이 덧셈기(142) 및 곱셈기(144)에 포함된다.

<24> 도 1에서 설명되는 것과 같이, 부동 소수점 연산자(140)는 부동 소수점 레지스터 파일(110)에 결합되어 요구되는 부동 소수점 연산의 각각의 명령에 대하여 관련된 계산 유니트, 즉 덧셈기(142) 또는 곱셈기(144)가 부동 소수점 레지스터 파일(110)로부터 하나 이상의 위치들 REG1, ..., REGN에 저장된 하나 이상의 피연산자들을 수신할 수 있도록 한다.

<25> 부동 소수점 레지스터 파일(110)로부터 피연산자들을 수신하면, 부동 소수점 연산자(140) 내의 하나 이상의 계산 유니트들은 부동 소수점 제어기(130)에 이해 선택된 하위 정밀도로 수신된 피연산자들에 대하여 요구되는 부동 소수점 연산의 명령을 실행할 수 있다. 도 1에 도시된 것과 같이, 출력은 저장을 위해 부동 소수점 레지스터에 다시 전송될 수 있다.

<26> 부동 소수점 프로세서(100)의 실시예에서, 소프트웨어 선택가능 모드는 프로그램 제어하에 또는 전술된 것과 같이, 부동 소수점 연산들의 정밀도를 감소시키기 위해 사용될 수 있다. 부동 소수점 프로세서(100)에 제공되는 명령들은 하위 정밀도 선택 비트들을 포함하는 프로그램가능한 제어 필드를 포함할 수 있다. 하위 정밀도 선택 비트들은 제어 레지스터(137)에 기록되며, 상기 제어 레지스터(137)는 차례로 부동 소수점 연산 동안 각각의 피연산자에 대한 가수의 비트 길이를 제어한다. 선택적으로, 하위 정밀도 선택 비트들은 도 1에 도시된 모니터 스크린/키보드 또는 마우스(150)를 포함하지만 이에 제한되지 않는 임의의 적절한 사용자 인터페이스로부터 직접 제어 레지스터(137)에 기록될 수 있다. 부동 소수점 프로세서(100)의 또 다른 실시예에서, 하위 정밀도 선택 비트들은 메인 프로세서 또는 그 동작 시스템으로부터 직접 제어 레지스터(137)로 기록될 수 있다. 부동 소수점 제어기(130) 내에 도시된 제어 레지스터(137)는 자립형 엔티티로서 상주하거나, 또 다른 엔티티에 통합되거나, 다수의 엔티티들에 분포될 수 있다.

<27> 하위 정밀도 선택 비트들은 부동 소수점 연산의 정밀도를 감소시키기 위해 사용될 수 있다. 이는 다양한 방식들로 달성될 수 있다. 일 실시예에서, 부동 소수점 제어기(130)는 전력이 하위 정밀도 선택 비트들에 의해 규정되는 정밀도를 충족하기 위해 요구되지 않는 분수부의 초과 비트들에 대한 부동 소수점 레지스터로부터 제거되도록 할 수 있다. 예를 들어, 만약 부동 소수점 레지스터 파일 내의 각각의 위치가 23-비트 분수부를 포함하고, 부동 소수점 연산을 위해 요구되는 하위 정밀도가 10-비트이면, 분수부의 단 9개의 공통적으로 최상위 비트들(MSB)이 요구되며, 숨겨진 비트 또는 정수 비트가 10번째 비트를 형성한다. 전력은 나머지 14개 분수 비트들을 유지하기 위해 부동 소수점 레지스터 엘리먼트들로부터 제거될 수 있다. 만약 하나 이상의 명령들에 대한 하위 정밀도가 16-비트들로 증가되면, 가수부의 15개 MSB들이 요구된다. 후자의 경우에, 전력은 분수부의 8개 최하위 비트들(LSB)에 대한 부동 소수점 레지스터 엘리먼트로부터 제거될 수 있다.

<28> 또한, 초과 가수 비트들에 상응하는 부동 소수점 연산자(140) 내의 로직은 전력을 요구하지 않는다. 따라서, 선택된 하위 정밀도의 결과로서 사용되지 않고 유지되는 부동 소수점 연산자(140) 내의 로직으로의 전력을 제거함으로써 전력의 절약이 달성될 수 있다.

<29> 도 3A는 전력이 부동 소수점 연산자 내의 로직에 선택적으로 인가되는 부동 소수점 덧셈의 일 예를 설명하는 개

념도이다. 특히, 도 3A는 각각 선택된 하위 정밀도를 특징으로 하고 함께 가산되는 2개의 입력 부동 소수점 수들(302, 304)을 사용하는 부동 소수점 덧셈 연산을 개념적으로 설명한다. 간략함을 위해 2개의 수들(302, 304)은 미리 정렬되어 어떤 쉬프팅도 수행되지 않도록 한다. 완전한 정밀도 모드에서 부동 소수점 덧셈 동작은 도 3A에 도면 부호 310₁, 310₂, ..., 310_i, ..., 310_n으로 표시되는 연속 단계들을 통해 수행된다. 표준 변환에 따라, 부동 소수점 레지스터는 각각이 수를 형성하는 비트들을 최우측 LSB로부터 최좌측 MSB의 순서대로 저장한다. 도 3A에서 우측에서 좌측으로 이동하는 각각의 연속 단계들은 선행하는 단계들에서 발생된 비트들과 비교하여 증가된 중요도(significance)를 가지는 비트들을 수반한다.

<30> 도 3A에 도시된 예에서, 선택된 하위 정밀도는 선(305)으로 표시된다. 전력은 선(305)의 우측으로 각 단계를 구현하는데 사용되는 로직으로부터 제거될 수 있다. 최종의 전력 다운된 단계(310_i)로부터의 실행 C는 제로가 된다. 전력은 라인(305)의 좌측에 각각의 단계를 구현하는데 사용되는 로직에만 제공된다. 도 3A에서, 부동 소수점 연산자의 활성 단계들에 제공되는 전력 제공 비트들은 도면 부호(322)를 사용하여 X 표시들로 도시되는 반면, 전력이 제거되어 단계들에 제공되는 전력 비제공 비트들은 도면 부호(324)를 사용하여 원형 표시들로 도시된다.

<31> 도 3B는 전력이 부동 소수점 연산자 내의 로직에 선택적으로 인가되는 부동 소수점 곱셈 연산의 일 예를 설명하는 개념도이다. 부동 소수점 곱셈 연산은 도 1에 도면 부호(144)로 도시된 부동 소수점 곱셈기 MUL에서 수행된다. 곱셈기 내에서 상당수의 로직은 전원이 다운될 수 있고, 따라서 상당한 전력을 절약할 수 있다. 도 3B에 도시된 이진 곱셈은 쉬프트된 부동 소수점 수들의 일련의 덧셈이다. 설명되는 실시예에서, 이진 곱셈은 쉬프트 및 가산 기술을 사용하여 k-비트 피곱셈수(402) 및 k-비트 곱셈수(404) 사이에 수행된다. 쉬프트 및 가산 기술은 부스 알고리즘 또는 변형된 부스 알고리즘 곱셈기로 대체될 수 있다.

<32> 부동 소수점 덧셈의 경우에서와 같이, 부동 소수점 곱셈은 도 3B에 410-1, ..., 410-m으로 도시된 일련의 단계들에서 수행된다. 간단함을 위해, 부스 알고리즘이 사용된다고 가정할 때, 하나의 부분곱이 곱셈기(404) 내의 모든 비트들에 대하여 생성되며, 부분곱(420-i)은 상응하는 단계(410-i) 동안 생성된다. 만약 곱셈기의 값이 0이면, 상응하는 부분곱은 0으로만 구성되고, 만약 비트의 값이 1이면, 상응하는 부분곱은 피곱셈수의 카피(copy)가 된다. 각각의 부분곱(420-i)은 그와 연관되는 곱셈기 비트의 합수로서 좌측 쉬프트되며, 이후에 동작은 다음 단계로 이동하다. 각각이 부분곱은 쉬프트된 수로 보여질 수 있다. 곱셈기 내의 비트 0과 연관된 부분곱은 좌측 쉬프트된 제로 비트들이고, 비트 1과 연관된 부분곱은 좌측 쉬프트된 1 비트이다. 부분곱들 또는 쉬프트된 부동 소수점 수들(420-i)은 곱셈을 위한 출력 값(430)을 생성하기 위해 함께 가산된다.

<33> 도 3B에 도시된 실시예에서, 제어기(130)에 의한 요구되는 감소된 정밀도의 선택은 선 405을 사용하여 표시된다. 도 3A와 함께 설명된 부동 소수점 덧셈의 경우에서와 같이, 전력은 선(405)의 우측에서 단계들을 구현하는데 사용되는 로직으로부터 제거될 수 있다. 전력은 오직 선택된 하위 정밀도를 지원하기 위해 실제 필요한 단계들, 즉 라인(405) 좌측의 단계들에만 인가된다. 도 3B에서, 전력 제공 로직에 제공되는 비트들은 X들로 도시되는 반면, 전력 비제공 단계들에 제공되는 비트들은 원들로 도시된다.

<34> 도 3B에 도시된 것과 같이, 제 1 부분곱(420-1)에 대하여, 도면 부호(402)를 사용하여 도시된 비트들의 개수 N에 대한 로직은 전력이 제공되지 않는다. 제 2 부분곱에 대하여, N-1개 비트들에 대한 로직은 전원이 제공되지 않는다. m-번째 부분곱 또는 쉬프트된 부동 소수점 수(420-m)에 대하여, 도면 부호(414)를 사용하여 도시된 개수(N-m+1)의 비트들에 대한 로직은 전원이 제공되지 않는다. 비트들의 개수 N는 나머지 단계들의 정밀도에 악영향을 미치지 않도록 선택된다.

<35> 전술된 부동 소수점 곱셈으로부터 발생된 출력값은 함께 곱해지는 2개의 입력 값들(402, 404)의 폭들의 합과 동일한 폭(비트들의 개수)을 갖는다. 출력값(430)은 선택된 하위 정밀도로 끝수가 버려질 수 있고(truncated), 즉 선택된 정밀도 미만인 출력 값(430)의 임의의 비트들이 선택된 정밀도를 특징으로 하는 끝수가 버려진 출력 수를 생성하기 위해 끝수가 버려질 수 있다. 선택적으로, 출력값(430)은 선택된 정밀도를 가질 수 있다. 선택된 정밀도보다 중요하지 않은 출력 비트들에는 전력이 제공되지 않을 수 있다.

<36> 본 명세서에서 개시된 실시예와 관련하여 다양하게 설명되는 논리 유니트들, 블러들, 모듈들, 회로들, 엘리먼트들 및/또는 컴포넌트들은 범용 프로세서, 디지털 신호 처리기(DSP), 응용 집적 회로(ASIC), 현장 프로그램 가능한 게이트 어레이(FPGA), 또는 다른 프로그램 가능한 로직 디바이스, 이산 게이트 또는 트랜지스터 로직, 이산 하드웨어 요소들, 또는 본 명세서에 개시된 기능을 수행하도록 설계된 그들의 임의의 조합의 일부인 부동 소수점 프로세서에서 구현되거나 수행될 수 있다. 범용 프로세서는 마이크로프로세서가 될 수 있지만, 선택적으로

프로세서는 임의의 종래의 프로세서, 제어기, 마이크로제어기, 또는 상태 기계가 될 수 있다. 프로세서는 또한 예를 들어, DSP 및 마이크로프로세서의 조합, 복수의 마이크로프로세서, DSP 코어와 결합된 하나 이상의 마이크로프로세서, 또는 임의의 다른 구성과 같은 컴퓨팅 장치들의 조합으로서 실행될 수 있다.

<37> 본 명세서에 개시된 실시예와 관련하여 설명되는 방법 또는 알고리즘의 단계는 하드웨어에서, 프로세서에 의해 실행되는 소프트웨어 모듈에서, 또는 그들의 조합에서 즉시 구현될 수 있다. 소프트웨어 모듈은 RAM 메모리, 플래시 메모리, ROM 메모리, EPROM 메모리, EEPROM 메모리, 레지스터들, 하드디스크, 제거가능한 디스크, CD-ROM 또는 임의의 다른 저장 매체 형태로 당업자에게 공지된다. 예시적인 저장 매체는 저장매체로부터 정보를 판독하고 정보를 기록할 수 있는 프로세서에 접속된다. 선택적으로, 저장 매체는 프로세서의 필수 구성요소이다. 프로세서 및 저장 매체는 ASIC 내에 상주할 수 있다. ASIC은 사용자 터미널 내에 상주할 수 있다. 선택적으로, 프로세서 및 저장 매체는 사용자 디바이스내에서 이산요소들로서 상주할 수 있다.

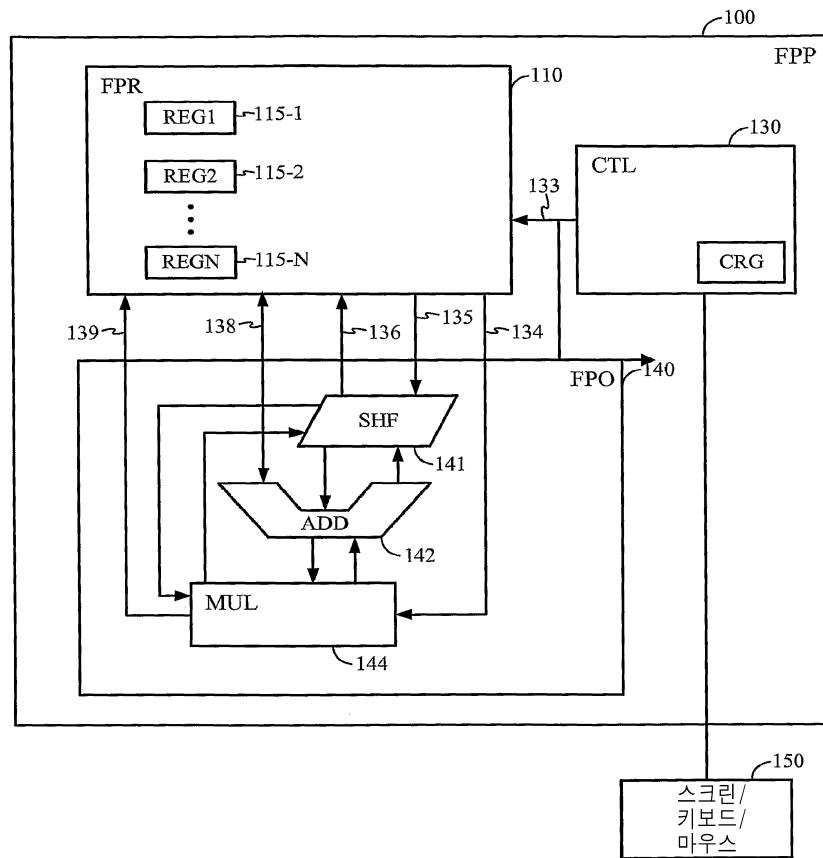
<38> 개시된 실시예의 전술된 설명은 당업자가 본 발명을 구현하고 이용하기에 용이하도록 하기 위하여 제공되었다. 이들 실시예에 대한 여러 가지 변형은 당업자에게 자명하며, 여기서 한정된 포괄적인 원리는 본 발명의 사용 없이도 다른 실시예에 적용될 수 있다. 따라서, 본 발명은 설명된 실시예에 한정되는 것이 아니며, 여기에 개시된 원리 및 신규한 특징에 나타낸 가장 넓은 범위에 따른다. 단수의 엘리먼트에 대한 참조는 특정하게 언급되지 않는한 "하나 및 단 하나"를 의미하기 위한 것이 아니라 "하나 이상"을 의미한다. 당업자에게 공지되거나 추후 공지될 본 개시물을 통해 설명된 다양한 실시예들의 엘리먼트들에 대한 모든 구조적 및 기능적 등가물들은 본 명세서에서 참조로 통합되고 청구항에 의해 함축된다. 또한, 본 명세서에 개시된 내용중 어느 것도 상기 개시물이 청구항들에 명백하게 언급되는지에 상관없이 대중에게 제시될 수는 없다. 엘리먼트들이 단어 "수단"을 사용하여 언급되거나 방법 청구항에서 상기 엘리먼트들이 "단계"를 사용하여 언급되지 않는다면, 35 U.S.C. § 112 제 6 항의 규정에서 고려되지 않는다.

도면의 간단한 설명

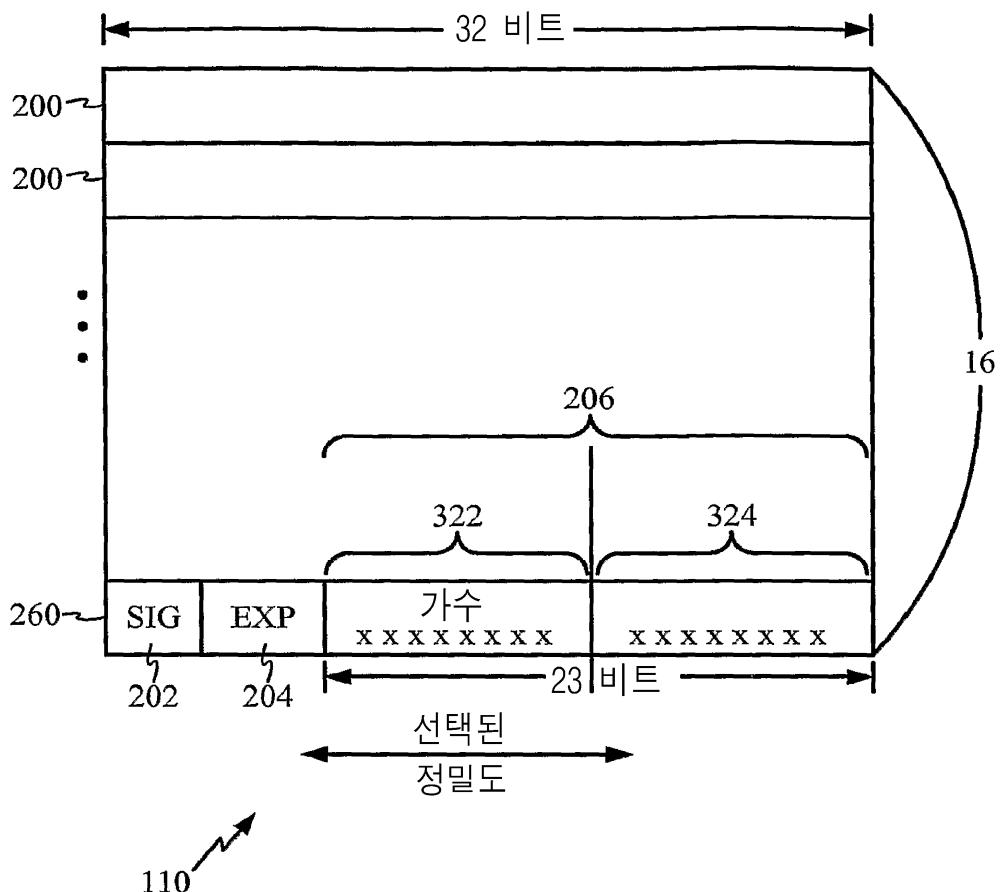
- <10> 도 1은 선택가능한 하위 정밀도를 가지는 부동 소수점 프로세서의 일 예를 도시하는 기능 블럭도이다.
- <11> 도 2는 선택가능한 하위 정밀도를 가지는 부동 소수점 프로세서에서 사용되는 부동 소수점 레지스터 파일의 일 예의 도식적 설명이다.
- <12> 도 3A는 선택가능한 하위 정밀도를 가지는 부동 소수점 프로세서를 사용하여 수행되는 부동 소수점 덧셈의 일 예를 설명하는 개념도이다.
- <13> 도 3B는 선택가능한 하위 정밀도를 가지는 부동 소수점 프로세서를 사용하여 수행되는 부동 소수점 곱셈의 일 예를 설명하는 개념도이다.

도면

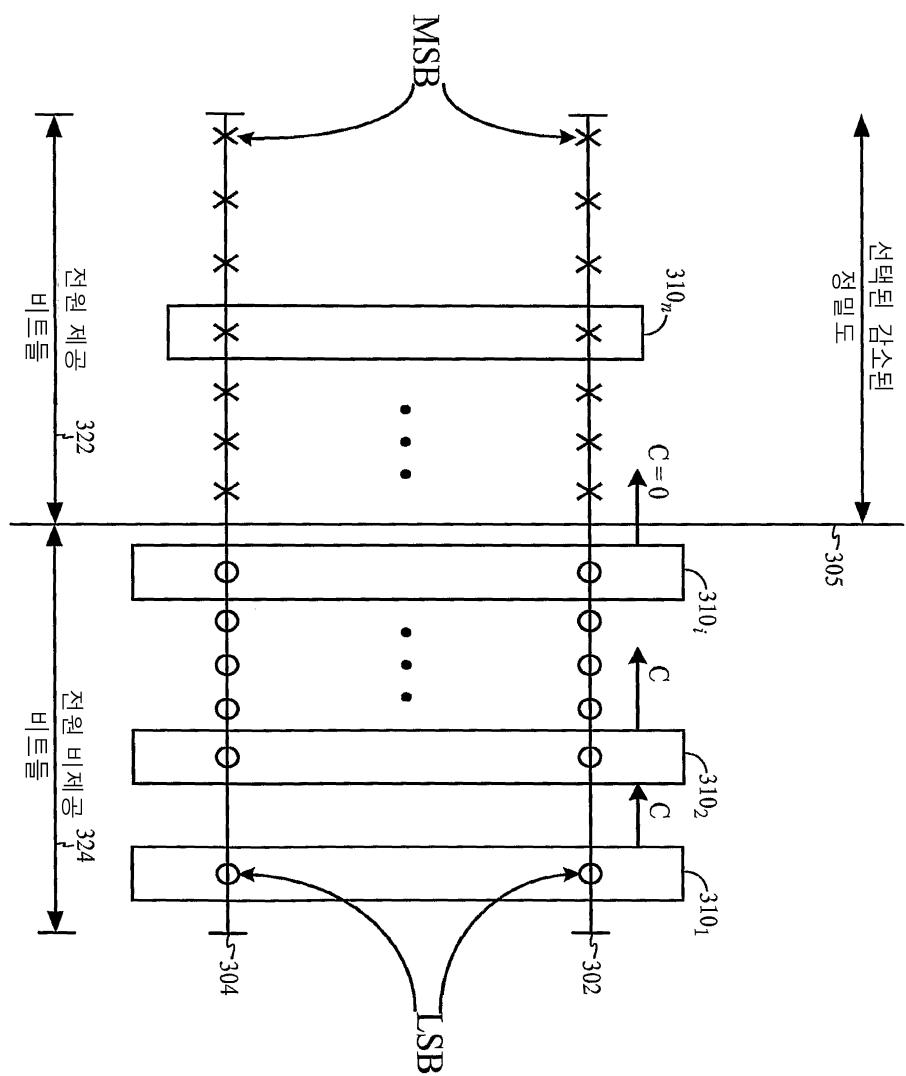
도면1



도면2



도면3A



도면3B

