

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4179483号
(P4179483)

(45) 発行日 平成20年11月12日(2008.11.12)

(24) 登録日 平成20年9月5日(2008.9.5)

(51) Int.Cl. F I
 H O 1 L 29/786 (2006.01) H O 1 L 29/78 6 1 2 B
 H O 1 L 29/78 6 2 3 A

請求項の数 8 (全 13 頁)

(21) 出願番号	特願平8-50887	(73) 特許権者	000153878
(22) 出願日	平成8年2月13日(1996.2.13)		株式会社半導体エネルギー研究所
(65) 公開番号	特開平9-219527		神奈川県厚木市長谷398番地
(43) 公開日	平成9年8月19日(1997.8.19)	(74) 代理人	100082669
審査請求日	平成14年8月30日(2002.8.30)		弁理士 福田 賢三
		(74) 代理人	100095337
			弁理士 福田 伸一
		(74) 代理人	100061642
			弁理士 福田 武通
		(74) 代理人	100095061
			弁理士 加藤 恭介
		(72) 発明者	張 宏勇
			神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内

最終頁に続く

(54) 【発明の名称】 表示装置の作製方法

(57) 【特許請求の範囲】

【請求項1】

薄膜トランジスタを含むアクティブマトリクス回路と、前記アクティブマトリクス回路の周辺に形成されたショートリングとを有する表示装置の作製方法であって、

前記薄膜トランジスタの活性層を構成する第1の半導体膜を形成すると同時に、前記ショートリングとなる領域の下部に第2の半導体膜を形成し、

前記第1の半導体膜上に前記薄膜トランジスタのゲイト絶縁膜を形成すると同時に、前記第2の半導体膜上に絶縁膜を形成し、

前記ゲイト絶縁膜上にゲイト電極を形成すると同時に、前記絶縁膜上に前記ショートリングを形成し、

前記ゲイト電極をマスクとして前記第1の半導体膜に不純物イオンを注入して不純物領域を形成すると同時に、前記ショートリングをマスクとして前記第2の半導体膜に不純物イオンを注入して不純物領域を形成することによって、

前記不純物領域が形成された前記第2の半導体膜と、前記絶縁膜と、前記絶縁膜を介して前記第2の半導体膜と重なる前記ショートリングとによって構成されるMOS容量を形成することを特徴とする表示装置の作製方法。

【請求項2】

請求項1において、前記不純物領域は、N型不純物領域であることを特徴とする表示装置の作製方法。

【請求項3】

請求項 1 又は 2 において、前記第 1 及び第 2 の半導体膜は、結晶性珪素膜でなることを特徴とする表示装置の作製方法。

【請求項 4】

請求項 1 乃至 3 のいずれかーにおいて、前記ゲイト電極は、アルミニウム膜を含むことを特徴とする表示装置の作製方法。

【請求項 5】

請求項 4 において、前記アルミニウム膜は、スカンジウムを含むことを特徴とする表示装置の作製方法。

【請求項 6】

請求項 1 乃至 5 のいずれかーにおいて、前記ゲイト電極及び前記ショートリングの上方に層間絶縁膜を形成し、

前記 M O S 容量を形成する前記絶縁膜の膜厚は、前記層間絶縁膜の膜厚よりも薄いことを特徴とする表示装置の作製方法。

【請求項 7】

請求項 6 において、前記 M O S 容量を形成する前記絶縁膜は酸化珪素を含み、前記層間絶縁膜は樹脂を含むことを特徴とする表示装置の作製方法。

【請求項 8】

請求項 1 乃至 7 のいずれかーにおいて、前記表示装置は液晶表示装置であることを特徴とする表示装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本明細書で開示する発明は、周辺駆動回路を内蔵したアクティブマトリクス型のフラットパネルディスプレイの構造に関する。

【0002】

【従来の技術】

従来より、周辺駆動回路を内蔵したアクティブマトリクス型の液晶表示装置が知られている。これは、薄膜トランジスタ（T F T と称する）でもって構成される画素領域を構成するアクティブマトリクス回路と、やはり薄膜トランジスタで構成されるこのアクティブマトリクス回路を駆動するための周辺駆動回路と、をガラス基板（または石英基板）上に集積化した構成を有している。

【0003】

例えば V G A パネルにおいては、約 30 万個の薄膜トランジスタが同一のガラス基板または石英基板上に集積化される。また E W S パネルの場合、約 130 万個の薄膜トランジスタが同一のガラス基板または石英基板上に集積化される。

【0004】

このような構成においては、薄膜トランジスタに一つでも不良であると、点欠陥や線欠陥が形成されてしまう。

【0005】

ディスプレイは、見た目でその性能が判断される。従って、上記の点欠陥や線欠陥が存在する場合、商品としては不良品となってしまう。

【0006】

ガラス基板や石英基板を用いる場合、その絶縁性が高く、またその面積が大きいことから、静電気による破壊（静電破壊）の問題が特に顕在化する。

【0007】

例えば液晶パネルの形成に際しては、各種薄膜の成膜やエッチングにプラズマを用いた工程が多用される。これらプラズマを用いた工程においては、後述するようにパルス状の静電気が発生する。また、ラビング工程のようにプラズマ工程以外の場合において静電気が発生してしまう工程も存在している。

【0008】

10

20

30

40

50

前述したように薄膜トランジスタを構成する各種薄膜の成膜やエッチングに際しては、プラズマCVD法やプラズマエッチング法で代表されるプラズマ工程が多用される。しかし、使用される基板の絶縁性が高いということから、このプラズマ工程において、局所的に放電が生じてしまう現象が起こる。

【0009】

そしてこの放電に起因すると見られる不良が発生してしまう。具体的には、各種静電破壊や静電気が原因と見られる薄膜トランジスタの動作不良が発生してしまう。これらの不良は、アクティブマトリクス型の液晶表示装置やその他アクティブマトリクス型のフラットパネル型のディスプレイの生産歩留りを低下させる大きな要因となる。

【0010】

【発明が解決しようとする課題】

上述の各種不良の発生について、本発明者が数々の実例を解析した結果、以下の知見が得られた。

【0011】

まず、静電気や局所的な高電圧が印加されてしまうことによる不良の発生形態は、以下の2つに大別できる。

【0012】

第1の形態は、静電パルスによるものである。静電パルスによる不良の種類としては、コンタクト不良と絶縁膜の絶縁破壊とがある。

【0013】

コンタクト不良は以下のようなメカニズムによって発生する。まず、プラズマCVD法による薄膜の成膜時やRIE法によるプラズマエッチング時において、局所的な放電が起こる。この放電は、絶縁性の基板を用いた試料が面積であり、そもそも局所的な放電が起こりやすい状態が実現されていることに加えて、パターン表面の凹凸やパターン面積の違い、さらに膜質の微妙な違い、さらにパーティクルの存在等の些細な要因により発生する。

【0014】

上記の局所的な放電の結果、特定の微小な部分に高電圧が瞬間的に加わる。この時、配線の一部分に局所的に電圧が誘起され、静電パルスが発生する。この静電パルスは瞬間的に発生するものであり、その誘起される電圧の先頭値が極めて大きなものとなる。

【0015】

そして、この静電パルスに起因して、薄膜トランジスタと配線（または電極）のコンタクト部分に瞬間的に大電流が流れる。この瞬間的な大電流が流れることにより、コンタクト部分が高い温度に発熱する。そしてこのことにより、コンタクトが破壊される。このコンタクトの破壊は永久的なものであり、一般には修復は困難である。

【0016】

また絶縁膜の破壊は、静電パルスに起因する瞬間的な大電流が配線や電極に流れることにより、本来絶縁機能を維持しなければならない絶縁膜に局所的な強電界が加わり、その部分において絶縁性が破壊されることによる。この絶縁性の破壊も永久的なものであり、一般には修復が困難である。

【0017】

第2の形態は、プラズマ誘起による静電気の発生によるものである。これは、成膜やエッチング等のプラズマが用いられる工程において、基板上的配線パターン形状の不均一性（面積の違いや段差）に起因する。この工程においては、プラズマ放電中にパターン間に局所的な電位差が瞬間的に誘起される。

【0018】

この局所的な電位差は、導電性パターン同士、あるいは導電性パターンと絶縁基板との間に局所的な放電を引き起こす。そしてこのことに起因して薄膜トランジスタのジャンクション（PI接合やNI接合）に損傷が与えられ、薄膜トランジスタの動作が不良となる。

【0019】

10

20

30

40

50

この局在的な放電による薄膜トランジスタのジャンクションに対する損傷は、加熱処理等によって修復することができる場合がある。従ってこの場合の不良は半永久的なものを見ることができる。

【 0 0 2 0 】

本明細書で開示する発明は、上述した各種静電破壊による不良の発生を抑制し、液晶パネルの生産歩留りを向上させる技術を提供することを課題とする。

【 0 0 2 1 】

【課題を解決するための手段】

本明細書で開示する発明は、上述の解析結果に基づくものである。本明細書で開示する発明は、基本的に2つの構成からなる。第1の構成は、静電パルスの発生を抑制する手段を提供するものである。また、第2の構成はプラズマによって誘起される静電気の発生を抑制する手段を提供するものである。

【 0 0 2 2 】

本明細書で開示する発明においては、静電パルスの発生を抑制するための構成として、液晶パネルの周囲に瞬間的な電気パルスを吸収する保護容量（キャパシタ）を配置する。

【 0 0 2 3 】

液晶パネルに代表されるアクティブマトリクス型のフラットパネルディスプレイの作製工程においては、各配線パターンの電位差を無くすためにショートリングと呼ばれる配線が配置される。このショートリングは、最終的には回路から切り離される。そして、完成品の段階では配線としての機能は持たない。

【 0 0 2 4 】

前述の電気パルスを吸収するためのキャパシタ（保護容量）の電極の一方は、このショートリングに接続される。即ち、ショートリングに誘起される電気パルスを上記保護容量に吸収させる構成とする。

【 0 0 2 5 】

ショートリングはアクティブマトリクス回路を構成するソース配線とゲイト配線の全てに接続されている。従って、アクティブマトリクス回路のどこかに電気パルスの侵入があっても上記の保護容量に電気パルスは吸収される。また、電気パルスが大きく保護容量によって完全に吸収されなくても、その影響を弱めることができる。

【 0 0 2 6 】

なお一般にショートリングは、アクティブマトリクス回路を駆動するための周辺駆動回路を構成する薄膜トランジスタのゲイト電極の全てに連結した構成にはなっていない。しかし、周辺駆動回路ブロックに近い領域に上記保護容量を配置すれば、外部からの電気パルスをそこで吸収し、周辺駆動回路に電気パルスが進入することを抑制することができる。また、周辺駆動回路に侵入する電気パルスを弱めることができる。

【 0 0 2 7 】

また、本明細書に開示する発明においては、プラズマによって誘起される静電気を防ぐ手段として、この静電気を放電させる放電パターンをショートリングとアクティブマトリクス回路部、さらにショートリングと周辺駆動回路部との間に配置する。

【 0 0 2 8 】

本発明者らの解析によれば、主に面積の大きい導電性パターンからプラズマによって誘起される静電気が発生しやすい。

【 0 0 2 9 】

液晶パネルの作製工程中における最大の面積を有する導電性パターンは、ショートリングである。即ち、ショートリングは、各配線間の電位差をなくし、不要な放電を抑制するためのものであるが、一方では、ショートリング自身が静電気の発生を招いてしまう要因ともなっている。

【 0 0 3 0 】

ショートリングに電圧が誘起されると、それが基になって局在的に静電気が生じてしまう。

10

20

30

40

50

【0031】

そこで、本明細書に開示する発明においては、ショートリングとアクティブマトリクス回路部、さらにショートリングと周辺駆動回路部との間にプラズマ誘起された静電気を消滅させる放電パターン（ガードリングと称する）を配置する。

【0032】

即ち、ショートリングに誘起された静電気がアクティブマトリクス回路部や周辺駆動回路部に入り込む前に、放電パターンを通過する段階でこの静電気を放電させてしまう構成とする。

【0033】

または、電位差が生じては都合の悪い部分においては、ショートリングと当該回路との間に放電パターンを予め配置する。このようにすることで、回路にはショートリングとの間で生じる電位差の影響が及ばないようにすることができる。

10

【0034】

そして、ショートリングに誘起された静電気によってアクティブマトリクス回路部や周辺駆動回路部に配置された薄膜トランジスタが損傷することを抑制することができる。

【0035】

本明細書で開示する発明の一つは、図1にその一実施形態を示すように、アクティブマトリクス回路108と、該アクティブマトリクス回路を駆動するための周辺駆動回路104と105と、が同一基板101上に配置された構成を有し、前記アクティブマトリクス回路108及び前記周辺駆動回路104と105の周辺は放電パターン112、103、106によって囲まれていることを特徴とする。

20

【0036】

上記構成において、放電パターンのピッチをアクティブマトリクス回路の画素ピッチより小さくすることは有用である。

【0037】

これは、アクティブマトリクス回路に侵入する電気パルスによって、アクティブマトリクス回路において放電が生じないようにするためである。

【0038】

他の発明の構成は、図3にその1実施形態の作製工程を示すように、アクティブマトリクス型の表示装置であって、
同一基板301上にアクティブマトリクス回路（画素部）が配置されており、
前記アクティブマトリクス回路に隣接して容量が形成されており、
前記容量は、
前記アクティブマトリクス回路に配置された薄膜トランジスタのゲート電極310と同一材料でかつ同一層に形成された電極307と、
該電極下の前記薄膜トランジスタのゲート絶縁膜を構成する材料でなる絶縁膜306と、
前記絶縁膜306下の前記薄膜トランジスタの活性層を構成する半導体膜302と、
で構成されていることを特徴とする。

30

【0039】

他の発明の構成は、図3のその実施態様の1つを示すように、
アクティブマトリクス回路（画素部）と、
該アクティブマトリクス回路を駆動するために周辺駆動回路と、
が同一基板301上に配置された表示装置を作製する方法であって、
前記アクティブマトリクス回路を構成する全てのゲート配線と全てのソース配線とに接続されるショートリング307を形成する工程と、
前記アクティブマトリクス回路に配置される薄膜トランジスタの不純物領域319～321、300を不純物イオンの注入によって形成する工程と、
該工程と同時に前記ショートリング307をマスクとして不純物イオンを前記ショートリング下の半導体層302に注入し、前記ショートリング部に容量を形成する工程と、
を有することを特徴とする。

40

50

【0040】

上記構成においては、絶縁膜306を介して電極(ショートリング)307と半導体領域322とが対向する部分で容量が形成される。この容量は、電気パルスを吸収するための保護容量として機能する。

【0041】

他の発明の構成は、図3にその実施態様の1つを示すように、アクティブマトリクス型の表示装置の作製方法であって、ショートリング307の下部に薄膜半導体層302が形成され、前記薄膜半導体層302を利用して容量を形成する工程を有することを特徴とする。

【0042】

他の発明の構成は、図3にその実施態様の1つを示すように、アクティブマトリクス型の表示装置の作製方法であって、ショートリング307の下部に薄膜半導体層302が存在し、アクティブマトリクス回路に配置される薄膜トランジスタの不純物領域319~321、300を形成する工程と同時に前記薄膜半導体層302を利用して容量を形成することを特徴とする。

【0043】

【発明の実施の形態】

図1に示すアクティブマトリクス型の液晶表示装置の作製工程において、100にその拡大図を示すアクティブマトリクス回路108と、周辺駆動回路104や105とを囲むようにしてショートリング102を配置する。このショートリング102は、アクティブマトリクス回路を構成する格子状に配置されたソース線110とゲイト線111の全てに接続される。

【0044】

そしてこのショートリング102を一方の電極として、薄膜トランジスタの活性層を構成するのに用いる半導体を用いてMOS容量107が配置される。このMOS容量107は、外部から誘起されるパルス電圧を吸収する役割を有した保護容量となる。

【0045】

また、ショートリング102とアクティブマトリクス回路108との間に放電パターン112を配置する。この放電パターン112は、104と105で示される周辺駆動回路とアクティブマトリクス回路108との間にも配置される。

【0046】

さらにショートリング102と周辺駆動回路104及び105との間にも放電パターン103及び106が配置される。これらの放電パターンは、ショートリングに誘起されたパルス電圧を放電させ、各回路に電気パルスが侵入することを抑制する役割を有している。

【0047】

これらの放電パターンは、例えば図2の203で示されるような形状を有している。これらの放電パターンは、ショートリングの形成と同時に形成され、かつ必要に応じて電氣的に相互に接続される。

【0048】

また放電パターンのピッチは、回路の配線パターンのピッチより短くすることが有効である。このようにすると、回路中において局在的な放電を行うような電気パルスを予め放電パターンにおいて放電させることができる。

【0049】

【実施例】

〔実施例1〕

本実施例では、本明細書に開示する発明を利用したアクティブマトリクス型の液晶表示装置のアクティブマトリクス回路が形成される基板側の作製工程の概略を示す。

【0050】

図3にアクティブマトリクス基板側の作製工程の概略を示す。図3には、画素部に配置されるNチャネル型の薄膜トランジスタと、周辺回路部に配置されるP及びNチャネル型の

10

20

30

40

50

薄膜トランジスタと、ショートリングが形成される部分に配置される保護容量（電気パルス吸収するための容量）と、を同一基板上に同時に形成する工程が示されている。

【0051】

まず図3（A）に示すガラス基板301上に下地膜として図示しない酸化珪素膜、または酸化窒化珪素膜を成膜する。基板301としては、石英基板を利用することもできる。

【0052】

図示しない下地膜を成膜したら、後に薄膜トランジスタの活性層や容量を構成することになる珪素膜の形成を行う。

【0053】

ここでは、プラズマCVD法または減圧熱CVD法により、まず非晶質珪素膜を成膜する。さらに、加熱処理及び/またはレーザー光の照射により、この非晶質珪素膜を結晶化させ、図示しない結晶性珪素膜を得る。

10

【0054】

そしてこの図示しない結晶性珪素膜をパターニングすることにより、302～305で示されるパターンを形成する。

【0055】

ここで、302はショートリング部に形成される保護容量の一方の電極を構成することになる半導体パターンである。

【0056】

また、303と304とが周辺駆動回路に配置されるPチャネル型の薄膜トランジスタとNチャネル型の薄膜トランジスタの活性層となる半導体パターンである。ここで、303がPチャネル型の薄膜トランジスタの活性層となる。また、304がNチャネル型の薄膜トランジスタの活性層となる。

20

【0057】

また、305が画素部に配置されるNチャネル型の薄膜トランジスタの活性層となる。この画素部に配置される薄膜トランジスタは、マトリクス状に配置された画素電極のそれぞれにスイッチング用に配置される。

【0058】

こうして図3（A）に示す状態を得る。次にゲイト絶縁膜および他部において電気パルス吸収用の保護容量の誘電体を構成する絶縁膜306を成膜する。ここでは、絶縁膜306として酸化珪素膜を1000の厚さにプラズマCVD法を用いて成膜する。（図3（B））

30

【0059】

こうして図3（B）に示す状態を得る。次にゲイト電極を構成するための図示しないアルミニウム膜をスパッタ法でもって成膜する。ここでは、アルミニウム膜でもってゲイト電極を構成する例を示すが、他の金属材料や合金、さらに各種シリサイド材料を用いることもできる。

【0060】

このアルミニウム膜中には、スカンジウムを0.1重量%含有させる。これは、後の加熱が行われる工程において、アルミニウムの異常成長に起因するヒロックやウィスカの発生を抑制するためである。ヒロックやウィスカというのは、アルミニウムの異常成長によって形成される針状あるいは刺状の突起物のことである。

40

【0061】

そしてこのアルミニウム膜をパターニングすることによって、図3（C）に示すアルミニウムでなるパターン307、308、309、310を形成する。

【0062】

ここで、307はショートリングを構成するパターンである。即ち、307はショートリングの断面を示すものといえる。

【0063】

308は周辺駆動回路部に配置されるPチャネル型の薄膜トランジスタのゲイト電極を

50

構成するパターンである。309は周辺駆動回路部に配置されるNチャンネル型の薄膜トランジスタのゲート電極を構成するパターンである。

【0064】

さらに310は、画素部に配置されるNチャンネル型の薄膜トランジスタのゲート電極を構成するパターンである。この画素部に配置される薄膜トランジスタのゲート電極310は、図2に示すようなマトリクス状に配置されたゲート線202から延在して設けられる。

【0065】

307～310で示されるアルミニウムでなるパターンを形成したら、電解溶液中でこれらパターンを陽極とした陽極酸化を行う。この工程において、陽極酸化膜311、312、313、314が形成される。

10

【0066】

この陽極酸化工程においては、電解溶液として酒石酸を含んだエチレングリコール溶液をアンモニア水で中和したものをを用いる。この工程において形成される陽極酸化膜は、緻密な膜質を有し、アルミニウム膜の表面を物理的および電氣的に保護する機能を有している。

【0067】

即ち、この陽極酸化膜は、物理的にはヒロックやウィスカの発生を抑制する機能を有し、また電氣的にはアルミニウムでなるパターンの周囲からの絶縁性を高める機能を有している。

【0068】

20

このようにして図3(C)に示す状態を得る。この状態を得た段階で不純物イオンの注入を行う。

【0069】

まず、活性層303が形成された部分を図示しないレジストマスクで覆った状態において、P(リン)イオンの注入をプラズマドーピング法でもって行う。

【0070】

この結果、ソース及びドレイン領域として機能するN型を有する不純物領域320と319、さらに321と300が形成される。

【0071】

また、315と316の領域もN型を有する不純物領域として形成される。このN型を有する不純物領域315と316の少なくとも一方は、保護容量の電極となる。

30

【0072】

即ち、この保護容量の一方の電極は307であり、他方の電極は315または316またはその両方となる。そして他部においてゲート絶縁膜として機能する絶縁膜306がこの保護容量の誘電体となる。こうしてMOSキャパシタでなる保護容量がN型の薄膜トランジスタの形成と同時に自己整合的に形成される。

【0073】

次に先にPイオンが注入された領域を新たなレジストマスクでマスクして、B(ボロン)イオンの注入を行う。この結果、Pチャンネル型の薄膜トランジスタのソース領域317及びドレイン領域318が自己整合的に形成される。

40

【0074】

こうして図3(C)に示す状態を得る。不純物イオンの注入が終了したら、レーザー光の照射を行い、不純物イオンの注入が行われた領域の活性化を行う。

【0075】

その後、層間絶縁膜329として酸化珪素膜、または窒化珪素膜と酸化珪素膜の積層膜、またはこれらの膜と樹脂膜との積層膜を成膜する。

【0076】

さらに画素部の薄膜トランジスタのドレイン領域にコンタクトホール形成を行い、ITOでなる画素電極330を形成する。

【0077】

50

次に再度のコンタクトホール形成を行い、周辺駆動回路部のPチャネル型の薄膜トランジスタのソース電極323とドレイン電極324を形成する。また同時に周辺駆動回路部のNチャネル型の薄膜トランジスタのソース電極326とドレイン電極325を形成する。また同時に画素部の薄膜トランジスタのソース電極327を形成する。これらの電極はチタン膜とアルミニウム膜の積層膜でもって構成する。

【0078】

なお、ソース電極327は、図2に示すソース線201から延在して形成される。

【0079】

図3に示すような画素部の構成は、マトリクス状に配置された数百万以上の各画素においてそれぞれ同時に形成される。

10

【0080】

〔実施例2〕

本実施例では、プラズマ放電中において局在的な電位差が誘起されることによるショートリングに発生する電気パルスを放電させる放電パターンについて説明する。

【0081】

図2に示すのは、格子状に配置されたソース線201とゲイト線202とを有したアクティブマトリクス型の液晶パネルの一方の基板側の一部である。図には、マトリクス状に配置された薄膜トランジスタ205、206と、この薄膜トランジスタの出力によって駆動される液晶207、208が示されている。

20

【0082】

図2に示すのは、薄膜トランジスタが完成し、各部の配線の形成が終了した段階である。この段階においては、ショートリング204に各ゲイト線は接続されている。また、図示されていないが、ショートリング204から延在した他のショートリング部分には、ソース線201もそれぞれ電氣的に接続されている。

【0083】

図2に示す構成においては、ショートリング204とアクティブマトリクス回路との間を接続する配線に203で示されるような放電パターンが形成されている。

【0084】

この放電パターン203は、プラズマを用いた成膜やエッチング時において、ショートリング204と回路部との間で生じる電位差に起因する電気パルスを放電させる機能を有している。

30

【0085】

この放電パターン203の効果を高めるには、そのピッチをアクティブマトリクス回路の画素ピッチよりも小さくすることが有効である。

【0086】

この放電パターンは、アクティブマトリクス回路の周囲を囲むように配置されている。ここでは、アクティブマトリクス回路とショートリングとを接続する配線に203で示されるような放電パターンを配置する例を示した。

【0087】

しかし、この放電パターンはどこかの配線に必ずしも接続させられている必要は必ずしもない。例えば、電位差を持ちそうな回路と回路の間や、回路と配線の間、さらには電位差を持ちそうな導電性パターン同士の間にも203で示されるような形状を有する放電パターンを配置することは有効である。

40

【0088】

このような場合にも何らかの原因（一般にはプラズマ工程に起因）によって生じる電位差に起因する電気パルスをこの放電パターンが存在することで消滅させることができる。

【0089】

図4にこの放電パターンを取り入れたアクティブマトリクス型の液晶表示装置のTFT基板の顕微鏡写真を示す。図4に示すのは、ガラス基板上に形成された微細なパターンを示す写真である。

50

【 0 0 9 0 】

図 4 には、左上に格子状の配線が形成されたアクティブマトリクス回路が示されている。また、このアクティブマトリクス回路からショートリング（写真には写っていない）へと延在する配線が示されている。

【 0 0 9 1 】

左上に示されるアクティブマトリクス回路において、横方向に延在するのがゲイト線である。また縦方向に延在するのがソース線である。

【 0 0 9 2 】

また図 4 には、ゲイト線及びソース線からアクティブマトリクス回路の外側に延在した領域で電気パルスを放電させるための放電パターンが配置されている状態が示されている。

10

【 0 0 9 3 】

さらに電気パルスが侵入し易い、アクティブマトリクス回路の角の部分に隣接して放電パターンが配置されている。この放電パターンは、写真右下のおよそ 1 / 4 強の領域を占めている。この放電パターンは、アクティブマトリクス回路には直接接続されてはいない。

【 0 0 9 4 】

このような構成とすることで、アクティブマトリクス回路がプラズマ放電に起因する電気パルスによってダメージを受けることを防ぐことができる。

【 0 0 9 5 】

【 発明の効果 】

本明細書に開示する発明を利用することにより、各種静電破壊による不良の発生を抑制し、液晶パネルの生産歩留りを向上させることができる。この技術は、アクティブマトリクス型の液晶表示装置のみではなく、他のアクティブマトリクス型を有するフラットパネルディスプレイに利用することができる。

20

【 図面の簡単な説明 】

【 図 1 】 アクティブマトリクス型の液晶パネルの概要を示す図。

【 図 2 】 アクティブマトリクス回路とそれに接続されたショートリングとを示す拡大図。

【 図 3 】 アクティブマトリクス型の液晶パネルの作製工程を示す断面図。

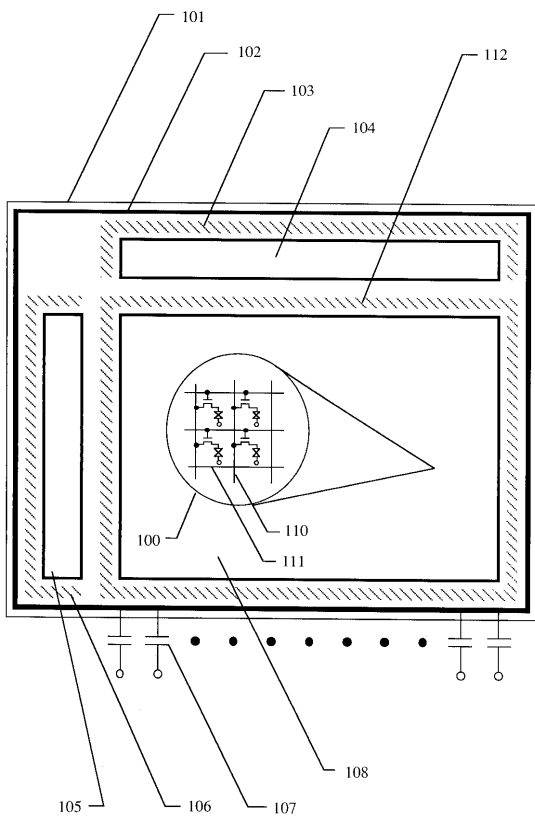
【 図 4 】 基板上に形成された微細なパターンを示す写真。

【 符号の説明 】

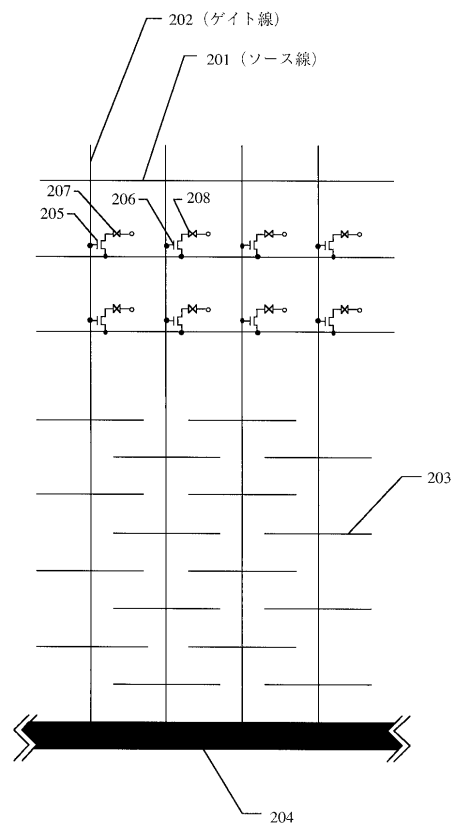
1 0 1	ガラス基板	30
1 0 2	ショートリング	
1 0 3	放電パターン	
1 0 4、1 0 5	周辺駆動回路	
1 0 6	放電パターン	
1 0 7	保護容量	
1 0 8	アクティブマトリクス回路	
1 0 0	アクティブマトリクス回路の拡大部分	
1 1 0	ソース線	
1 1 1	ゲイト線	
1 1 2	放電パターン	40
2 0 1	ソース線	
2 0 2	ゲイト線	
2 0 3	放電パターン	
2 0 4	ショートリング	
2 0 5、2 0 6	薄膜トランジスタ	
2 0 7、2 0 8	液晶	
3 0 1	ガラス基板	
3 0 2	保護容量を構成する半導体パターン	
3 0 3	Pチャネル型の薄膜トランジスタの活性層	
3 0 4、3 0 5	Nチャネル型の薄膜トランジスタの活性層	50

306	ゲイト電極と保護容量の誘電体を構成する絶縁膜	
307	ショートリング	
308、309、310	ゲイト電極	
311、312、313	陽極酸化膜	
314	陽極酸化膜	
315、316	保護容量の一方の電極を形成するN型領域	
317	ソース領域	
318	ドレイン領域	
319	ドレイン領域	
320	ソース領域	10
321	ソース領域	
300	ドレイン領域	
322	半導体領域	
323	ソース電極	
324	ドレイン電極	
325	ドレイン電極	
326	ソース電極	
327	ソース電極	
328	ドレイン電極	
329	層間絶縁膜	20
330	画素電極	

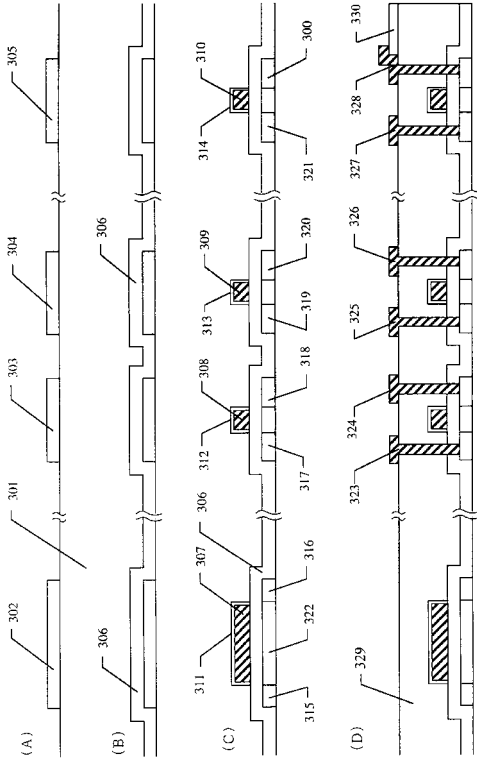
【図1】



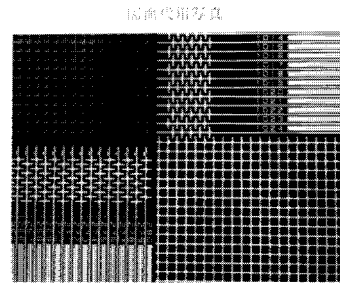
【図2】



【 図 3 】



【 図 4 】



フロントページの続き

(72)発明者 寺本 聡

神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

審査官 綿引 隆

(56)参考文献 特開平07-244292(JP,A)

特開平07-181509(JP,A)

特開平05-303115(JP,A)

特開平05-341311(JP,A)

特開平02-118515(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/336

H01L 29/786