



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I515864 B

(45)公告日：中華民國 105 (2016) 年 01 月 01 日

(21)申請案號：101136584 (22)申請日：中華民國 101 (2012) 年 10 月 03 日

(51)Int. Cl. : H01L25/04 (2014.01) H01L23/52 (2006.01)

(30)優先權：2011/10/03 美國 61/542,495

(71)申請人：英帆薩斯公司 (美國) INVENSAS CORPORATION (US)
美國(72)發明人：柯斯伯 理查 狄威特 CRISP, RICHARD DEWITT (US)；柔伊 華爾 ZOHNI,
WAEL (US)

(74)代理人：閻啟泰；林景郁

(56)參考文獻：

US 6297960

US 7368319

US 2009/0108425

US 2010/0102428A1

審查人員：王榮華

申請專利範圍項數：34 項 圖式數：18 共 62 頁

(54)名稱

具有自封裝中心偏移之端子格柵之短線最小化

STUB MINIMIZATION WITH TERMINAL GRIDS OFFSET FROM CENTER OF PACKAGE

(57)摘要

一種微電子封裝(100)包括覆疊一基板之一第一表面(108)的具有記憶體儲存陣列功能之一微電子元件(130)，該微電子元件具有與該基板中之一孔隙(112)對準的複數個接點(132)。經組態以攜載傳送至該封裝之所有位址信號的第一端子(104)可在一第二基板表面(110)之一第一區(140)內曝露，該第一區安置於該孔隙(112)與該基板之一周邊邊緣之間。該等第一端子可經組態以攜載傳送至該封裝之所有命令信號、記憶體庫位址信號及命令信號，該等命令信號為寫入啟用信號、列位址選通信號及行位址選通信號。

A microelectronic package (100) includes a microelectronic element (130) having memory storage array function overlying a first surface (108) of a substrate, the microelectronic element having a plurality of contacts (132) aligned with an aperture (112) in the substrate. First terminals (104) which are configured to carry all address signals transferred to the package can be exposed within a first region (140) of a second substrate surface (110), the first region disposed between the aperture (112) and a peripheral edge of the substrate. The first terminals may be configured to carry all command signals, bank address signals and command signals transferred to the package, the command signals being write enable, row address strobe, and column address strobe.

指定代表圖：

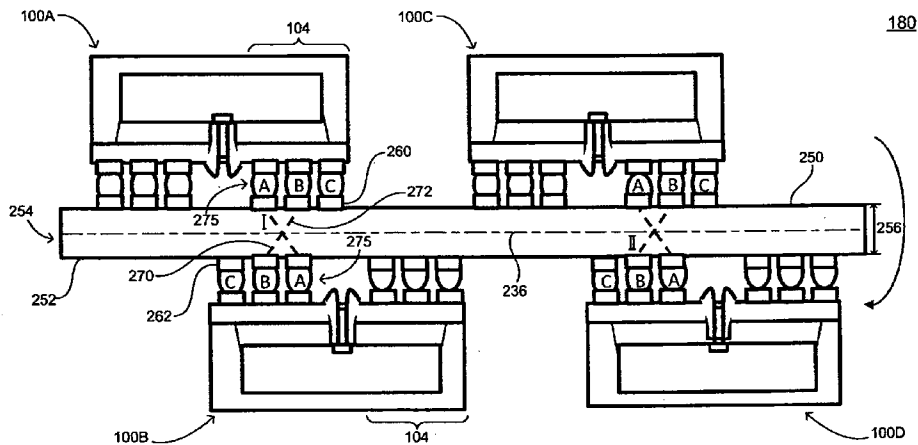


圖10

符號簡單說明：

- 100A . . . 第一微電子封裝
- 100B . . . 第二微電子封裝
- 100C . . . 第三微電子封裝
- 100D . . . 第四微電子封裝
- 104 . . . 第一端子/端子之格柵
- 180 . . . 微電子總成
- 236 . . . 命令-位址匯流排
- 250 . . . 第一表面
- 252 . . . 第二表面
- 254 . . . 電路面板
- 256 . . . 電路面板之厚度
- 260 . . . 第一面板接點
- 262 . . . 第二面板接點
- 270 . . . 導電跡線及導通孔
- 272 . . . 導電跡線及導通孔
- 275 . . . 格柵
- A . . . 端子
- B . . . 端子
- C . . . 端子

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：101136589

※ 申請日：101.10.3

※IPC 分類：H01L 25/00 (2006.01)

H01L 23/12 (2006.01)

一、發明名稱：(中文/英文)

具有自封裝中心偏移之端子格柵之短線最小化

STUB MINIMIZATION WITH TERMINAL GRIDS OFFSET FROM
CENTER OF PACKAGE

二、中文發明摘要：

一種微電子封裝(100)包括覆蓋一基板之一第一表面(108)的具有記憶體儲存陣列功能之一微電子元件(130)，

該微電子元件具有與該基板中之一孔隙(112)對準的複數個接點(132)。經組態以攜載傳送至該封裝之所有位址信號的第一端子(104)可在一第二基板表面(110)之一第一區(140)內曝露，該第一區安置於該孔隙(112)與該基板之一周邊邊緣之間。該等第一端子可經組態以攜載傳送至該封裝之所有命令信號、記憶體庫位址信號及命令信號，該等命令信號為寫入啟用信號、列位址選通信號及行位址選通信號。

三、英文發明摘要：

A microelectronic package (100) includes a microelectronic element (130) having memory storage array function overlying a first surface (108) of a substrate, the microelectronic element having a plurality of contacts (132) aligned with an aperture (112) in the substrate. First terminals (104) which are configured to carry all address signals transferred to the package can be exposed within a first region (140) of a second substrate surface (110), the first region disposed between the aperture (112) and a peripheral edge of the substrate. The first terminals may be configured to carry all command signals, bank address signals and command signals transferred to the package, the command signals being write enable, row address strobe, and column address strobe.

四、指定代表圖：

(一)本案指定代表圖為：第(10)圖。

(二)本代表圖之元件符號簡單說明：

100A	第一微電子封裝
100B	第二微電子封裝
100C	第三微電子封裝
100D	第四微電子封裝
104	第一端子/端子之格柵
180	微電子總成
236	命令-位址匯流排
250	第一表面
252	第二表面
254	電路面板
256	電路面板之厚度
260	第一面板接點
262	第二面板接點
270	導電跡線及導通孔
272	導電跡線及導通孔
275	格柵
A	端子
B	端子
C	端子

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

六、發明說明：

【發明所屬之技術領域】

本發明之標的物係關於微電子封裝及併有微電子封裝之總成。

本申請案主張2011年10月3日申請之美國臨時申請案第61/542,495號的申請日期之權利，該案之揭示內容以引用的方式併入本文中。

【先前技術】

通常將半導體晶片提供為個別已預封裝單元。標準晶片具有扁平矩形本體，其中大的正面具有連接至晶片之內部電路的接點。每一個別晶片通常含於具有連接至晶片之接點之外部端子的封裝中。該等端子(亦即，封裝之外部連接點)又經組態以電連接至電路面板(諸如，印刷電路板)。在許多習知設計中，晶片封裝佔據顯著大於晶片自身之面積的電路面板之面積。如在本發明中參考具有正面之扁平晶片所使用，「晶片之面積」應理解為指代正面之面積。

在「覆晶」設計中，晶片之正面面對封裝介電元件(亦即，封裝之基板)之面，且晶片上之接點藉由焊料凸塊或其他連接元件直接結合至基板之面上之接點。基板又可經由覆疊基板之外部端子結合至電路面板。「覆晶」設計提供相對緊密配置；每一封裝佔據電路面板之等於或稍大於晶片正面之面積的面積，諸如揭示於(例如)共同讓渡之美國專利第5,148,265、5,148,266及5,679,977號之某些實施例中，該等專利之揭示內容以引用的方式併入本文中。某

些發明性安裝技術提供接近或等於習知覆晶結合之緊密性的緊密性。可在等於或稍大於單一晶片自身之面積的電路面板之面積中容納該晶片的封裝通常被稱為「晶片尺度封裝(chip-scale package)」。

在晶片之任何實體配置中，大小為重要考慮因素。隨著攜帶型電子裝置之快速發展，對晶片之更緊密實體配置的需求變得更加強烈。僅藉由實例，通常稱為「智慧型電話」之裝置整合蜂巢式電話與功能強大的資料處理器、記憶體及輔助裝置(諸如，全球定位系統接收器、電子相機及區域網路連接連同高解析度顯示器及相關聯之影像處理晶片)之功能。此等裝置可提供諸如完全網際網路連接性、娛樂(包括全解析度視訊)、導航、電子銀行及其他能力之能力，該等能力全部整合於口袋型裝置中。複雜的攜帶型裝置需要將眾多晶片包裝至小空間中。此外，晶片中之一些具有通常稱為「I/O」的許多輸入及輸出連接件。此等I/O必須與其他晶片之I/O互連。形成互連之組件不應極大地增加總成之大小。類似需要出現於如(例如)資料伺服器(諸如，用於需要效能增加及大小減小之網際網路搜尋引擎中的彼等資料伺服器)中之其他應用中。

含有記憶體儲存陣列之半導體晶片(特定而言，動態隨機存取記憶體晶片(DRAM)及快閃記憶體晶片)通常封裝於單晶片或多晶片封裝及總成中。每一封裝具有用於在封裝中之端子與晶片之間攜載信號、電力及接地之許多電連接件。電連接件可包括不同種類之導體，諸如水平導體(例

如，跡線、樑式引線等)，其相對於晶片之接點承載表面在水平方向上延伸；諸如導通孔之垂直導體，其相對於晶片之表面在垂直方向上延伸；及導線結合作件，其相對於晶片之表面在水平方向及垂直方向兩者上延伸。

習知微電子封裝可併有經組態以主要提供記憶體儲存陣列功能之電子元件，亦即，體現數個主動裝置以提供記憶體儲存陣列功能之微電子元件，該數目大於用以提供任何其他功能之主動裝置的數目。微電子元件可為或包括DRAM晶片，或此等半導體晶片之堆疊電互連總成。通常，此封裝之所有端子置放成鄰近於封裝基板之一或多個周邊邊緣的行之集合，微電子元件安裝至該封裝基板。舉例而言，在圖1中所見之一習知微電子封裝12中，端子之三個行14可鄰近於封裝基板20之第一周邊邊緣16而安置，且端子之其他三個行18可鄰近於封裝基板20之第二周邊邊緣22而安置。習知封裝中之封裝基板20的中心區24不具有端子之任何行。圖1進一步展示封裝內之微電子元件11(諸如，半導體晶片)，該微電子元件11在其面28上具有元件接點26，該等元件接點26經由延伸穿過封裝基板20之中心區24中之孔隙(例如，結合窗)的導線結合作件30與封裝12之端子之行14、18電互連。在一些狀況下，黏接層32可安置於微電子元件11之面28與基板20之間，以加強微電子元件與基板之間的機械連接，其中導線結合作件延伸穿過黏接層32中之開口。

依據前述內容，可對端子在微電子封裝上之定位進行某

些改良以便改良電效能，尤其在包括此類封裝及此類封裝可安裝至且彼此電互連之電路面板的總成中。

【發明內容】

根據本發明之一態樣，一種微電子封裝可包括一基板，該基板具有對置之第一表面及第二表面、在該第一表面與該第二表面之間延伸的一周邊邊緣及在該第一表面與該第二表面之間延伸的一孔隙。該孔隙可具有一軸線，該軸線在該孔隙之一最長尺寸之一方向上延伸且在橫向於該最長尺寸之一方向上相對於該孔隙之一寬度而居中。該軸線可平行於該周邊邊緣，其中該第二表面具有安置於該軸線與該邊緣之間的第一區。

該封裝可包括具有記憶體儲存陣列功能之一微電子元件。該微電子元件可具有面向該基板之該第一表面的一表面及在該微電子元件之該表面處曝露的與該孔隙對準之複數個接點。

複數個端子可在該基板之該第二表面處曝露且經組態以用於將該微電子封裝連接至該封裝外部之至少一組件。引線可電連接於該微電子元件之該等接點與該等端子之間，該等引線具有與該孔隙對準之部分。

該等端子可包括在該基板之該第二表面之該第一區中曝露的第一端子，該等第一端子經組態以攜載傳送至該封裝之所有位址信號。

在一實例中，該微電子元件可體現數個主動裝置以提供記憶體儲存陣列功能，該數目大於用以提供任何其他功能

之主動裝置的數目。

在一實例中，該等第一端子可包括經組態以攜載傳送至該封裝之所有命令信號、記憶體庫位址信號及時脈信號之端子，該等命令信號為寫入啟用信號、列位址選通信號及行位址選通信號，且該等時脈信號為用於對該等位址信號進行取樣之取樣時脈。

在一實例中，該基板可為本質上由在該基板之一平面中具有小於12 ppm/°C之一CTE的一材料組成之一元件。

在一實例中，該基板可包括本質上由在該基板之一平面中具有小於30 ppm/°C之一CTE的一材料組成之一介電元件。

在一實例中，在該第二表面之該第一區中曝露的該等端子中之至少一些可經組態以攜載不同於該等命令信號、該等位址信號及該等時脈信號之信號。

在一實例中，該第二表面具有一第二周邊邊緣，該第二周邊邊緣在該基板之該第一表面與該第二表面之間延伸且與該第一周邊邊緣對置。舉例而言，該第二周邊邊緣可平行於該第一周邊邊緣及該軸線。該第二表面可具有在該軸線與該第二邊緣之間的一第二區。該等端子可進一步包括在該第二表面處在其該第二區中曝露之第二端子。

在一實例中，該等第一端子可包括經組態以攜載傳送至該封裝之所有該等命令信號、該等記憶體庫位址信號及該等時脈信號之端子，該等命令信號為寫入啟用信號、列位址選通信號及行位址選通信號，且該等時脈信號為用於對

該等位址信號進行取樣之取樣時脈。在一實例中，該等第二端子中之至少一些可經組態以攜載不同於該等命令信號、該等位址信號及該等時脈信號之信號。

在一實例中，該等第一端子可配置成不超過三行。

在一實例中，該等行可平行於該孔隙之該軸線。

在一實例中，該等第一端子可配置成不超過兩行。

在一實例中，該等第一端子可配置成平行之第一行及第二行。

在一實例中，該等第一端子可配置成單一行。

在一實例中，該等引線中之至少一些包括延伸穿過該孔隙之導線結合併。

在一實例中，所有該等引線可為延伸穿過該孔隙之導線結合併。

在一實例中，該等引線中之至少一些包括引線結合併。

在一實例中，該微電子元件可為一動態隨機存取記憶體(「DRAM」)積體電路晶片。

在一實例中，該等端子可經組態以用於將該微電子封裝連接至為一電路面板之一外部組件。

根據本發明之一態樣之一種微電子總成可包括一電路面板，該電路面板具有對置之第一表面及第二表面以及在對置之該第一表面及該第二表面中之每一者處曝露的面板接點。第一微電子封裝及第二微電子封裝可分別具有安裝至在該第一表面及該第二表面處曝露之該等面板接點的端子。該電路面板可將該第一微電子封裝之至少一些端子與

該第二微電子封裝之至少一些對應端子電互連。

在一實例中，該第一微電子封裝及該第二微電子封裝中之每一者可包括一基板，該基板具有對置之第一表面及第二表面、在該第一表面與該第二表面之間延伸的一周邊邊緣及在該第一表面與該第二表面之間延伸且具有一軸線的一孔隙，該軸線在該孔隙之長度的一方向上延伸。該第二表面可具有安置於該軸線與該邊緣之間的一第一區。

在一實例中，包括於每一封裝中之一微電子元件可具有面向該基板之該第一表面的一表面及在該微電子元件之該表面處曝露的與該孔隙對準之複數個接點，該微電子元件具有記憶體儲存陣列功能。

該封裝之複數個端子可在該基板之該第二表面處曝露且經組態以用於將該微電子封裝連接至該封裝外部之至少一組件。引線可電連接於該微電子元件之該等接點與該等端子之間，每一引線具有與該孔隙對準之一部分。

該等端子可包括在該基板之該第二表面之該第一區中曝露的第一端子，該等第一端子經組態以攜載傳送至該封裝之所有位址信號。

在一實例中，每一封裝之該微電子元件可體現數個主動裝置以提供記憶體儲存陣列功能，該數目大於用以提供任何其他功能之主動裝置的數目。

在一實例中，每一封裝之該等第一端子可經組態以攜載傳送至該封裝之所有命令信號、記憶體庫位址信號及時脈信號，該等命令信號為寫入啟用信號、列位址選通信號及

行位址選通信號，且該等時脈信號為用於對該等位址信號進行取樣之取樣時脈。

在一實例中，該第一微電子封裝及該第二微電子封裝之該等端子可分別配置於格柵之對應位置處，該等格柵在平行於該第一電路面板表面及該第二電路面板表面之x及y正交方向上在一球間距內彼此對準。

在一實例中，該等格柵可在正交之該x方向及該y方向上彼此對準，使得該等格柵之該等端子彼此重合。

在一實例中，每一格柵之每一位置可由該等端子中之一者佔據。

在一實例中，每一格柵之至少一位置未由一端子佔據。

在一實例中，該第一封裝及該第二封裝之電連接件的短線長度可小於每一封裝之該等第一端子之一最小間距的7倍。

在一實例中，在該第一微電子封裝及該第二微電子封裝之該等第一端子之間的穿過該電路面板之該等電連接件中的至少一些可具有大致為該電路面板之一厚度的一電長度。

在一實例中，該等格柵中之該等第一端子的信號指派在該第一封裝及該第二封裝中之每一者上可為相同的，且該等格柵中之每一者可具有含有第一端子之第一行及第二行。該第一封裝上之端子之該第一行的端子可與該第二封裝之端子之該第二行的端子在x及y正交方向上在一球間距內對準，且該第一封裝上之端子之該第二行的端子可與該

第二封裝之端子之該第一行的端子在x及y正交方向上在一球間距內對準。

在一實例中，連接在該電路面板之該第一表面及該第二表面處曝露的一對電耦接之第一面板接點及第二面板接點的導電元件之總組合長度可小於該等面板接點之一最小間距的7倍。

在一實例中，每一微電子封裝之該等第一端子可安置於端子之單一行的位置處。在此實例中，該電路面板可包括用於所有該等命令信號、該等位址信號、該等記憶體庫位址信號及該等時脈信號之全域投送的不超過一個投送層。

在一實例中，每一微電子封裝之該等第一端子可安置於兩個平行之行之位置處，且其中該電路面板包括用於所有該等命令信號、該等位址信號、該等記憶體庫位址信號及該等時脈信號之全域投送的不超過兩個投送層。

在一實例中，該電路面板可具有用於所有該等命令信號、該等位址信號、該等記憶體庫位址信號及該等時脈信號之全域投送的不超過一個投送層。

根據本發明之一態樣的一種模組可包括：一電路面板；及一或多個微電子封裝，其安裝至該電路面板且經由每一微電子封裝之用於至及自每一微電子封裝之信號之輸送的端子與該電路面板電連接。每一微電子封裝可包括一基板，該基板具有對置之第一表面及第二表面、在該第一表面與該第二表面之間延伸的一周邊邊緣及在該第一表面與該第二表面之間延伸的一孔隙。該孔隙可具有在該孔隙之

長度之一方向上延伸的一軸線，該第二表面具有安置於該軸線與該邊緣之間的第一區。

每一此封裝可包括一微電子元件，該微電子元件可具有面向該基板之該第一表面的一表面及在該微電子元件之該表面處曝露的與該孔隙對準之複數個接點。該微電子元件可具有記憶體儲存陣列功能，且在一實例中，可體現數個主動裝置以提供記憶體儲存陣列功能，該數目大於用以提供任何其他功能之主動裝置的數目。

每一封裝之複數個端子可在該基板之該第二表面處曝露且經組態以用於將該微電子封裝連接至該封裝外部之至少一組件。引線可電連接於該微電子元件之該等接點與該等端子之間，每一引線具有與該孔隙對準之一部分。該等端子可包括在該基板之該第二表面之該第一區中曝露的第一端子，該等第一端子經組態以攜載傳送至該封裝之所有位址信號。在一實例中，該等第一端子可經組態以攜載傳送至該封裝之所有命令信號、記憶體庫位址信號及時脈信號，該等命令信號為寫入啟用信號、列位址選通信號及行位址選通信號，且該等時脈信號為用於對該等位址信號進行取樣之取樣時脈。

在一實例中，一種系統可包括諸如上文所描述之一模組及與該模組電連接之一或多個其他電子組件。該系統可進一步包括一外殼，此模組及其他電子組件係藉由該外殼組裝。

根據一特定實施例之一種微電子總成可包括一電路面

板，該電路面板具有對置之第一表面及第二表面以及在對置之該第一表面及該第二表面中之每一者處曝露的面板接點。第一微電子封裝及第二微電子封裝可分別具有安裝至在該第一表面及該第二表面處曝露之該等面板接點的端子。該電路面板可將該第一微電子封裝之至少一些端子與該第二微電子封裝之至少一些對應端子電互連。

該第一微電子封裝及該第二微電子封裝中之每一者可包括一基板，該基板具有對置之第一表面及第二表面、在該第一表面與該第二表面之間延伸的一周邊邊緣及在該第一表面與該第二表面之間延伸且具有一軸線的一孔隙，該軸線在該孔隙之長度的一方向上延伸。該軸線與該周邊邊緣可平行。該第二表面可具有安置於該軸線與該周邊邊緣之間的第一區。

一微電子元件具有面向該基板之該第一表面的一表面且在該微電子元件之該表面處曝露之複數個接點可與該孔隙對準。在一實例中，該微電子元件可體現數個主動裝置以提供記憶體儲存陣列功能，該數目大於用以提供任何其他功能之主動裝置的數目。

複數個端子可在該基板之該第二表面處曝露且經組態以用於將該微電子封裝連接至該封裝外部之至少一組件。引線可電連接於該微電子元件之該等接點與該等端子之間，每一引線具有與該孔隙對準之一部分。該等端子可包括在該基板之該第二表面之該第一區中曝露的第一端子，該等第一端子經組態以攜載傳送至該封裝之所有命令信號、位

址信號、記憶體庫位址信號及時脈信號，該等命令信號為寫入啟用信號、列位址選通信號及行位址選通信號，且該等時脈信號為用於對該等位址信號進行取樣之取樣時脈。

每一格柵之每一位置可由該等端子中之一者佔據，其中在該第一微電子封裝及該第二微電子封裝之該等第一端子之間的穿過該電路面板之電連接件中的至少一些可具有大約為該電路面板之一厚度的一電長度。該等格柵中之該等第一端子的信號指派在該第一封裝及該第二封裝中之每一者上可為相同的，且該等格柵中之每一者可具有端子之第一行及第二行。該等第一端子可僅安置於該第一行及該第二行之位置處，其中該第一封裝上之端子之該第一行的端子可與該第二封裝之端子之該第二行的端子在x及y正交方向上在一球間距內對準，且該第一封裝上之端子之該第二行的端子可與該第二封裝之端子之該第一行的端子在x及y正交方向上在一球間距內對準。連接在該電路面板之該第一表面及該第二表面處曝露的一對電耦接之第一面板接點及第二面板接點的導電元件之總組合長度可小於該等面板接點之一最小間距的7倍。在一特定實例中，該電路面板可包括用於所有該等命令信號、該等位址信號、該等記憶體庫位址信號及該等時脈信號之全域投送的不超過兩個投送層。

【實施方式】

鑒於相對於圖1描述之說明性習知微電子封裝12，發明者已認識到可進行可幫助改良併有記憶體儲存陣列晶片之

封裝及併有此封裝之總成的電效能之改良。

可進行特別用於微電子封裝(在提供於諸如圖2至圖4中所展示之總成中時)之改良，其中將封裝12A安裝至電路面板之一表面且將另一類似封裝12B與封裝12A對置地安裝至電路面板之對置表面上。封裝12A、12B通常在功能上及機械上彼此等效。在功能上及機械上等效之封裝的其他對12C與12D及12E與12F通常亦安裝至同一電路面板34。電路面板及組裝至電路面板之封裝可形成通常稱為雙列記憶體模組(「DIMM」)之總成的一部分。封裝之每一對置安裝對中的封裝(例如，封裝12A、12B)連接至電路面板之對置表面上的接點，使得每一對中之封裝通常彼此覆疊大於其各別面積之90%。電路面板34內之局域佈線將每一封裝上之端子(例如，標示為「1」及「5」之端子)連接至電路面板上之全域佈線。全域佈線包括用以將一些信號傳導至電路面板34上之連接位點(諸如，位點I、II及III)的匯流排36之信號導體。舉例而言，封裝12A、12B藉由耦接至連接位點I之局域佈線電連接至匯流排36，封裝12C、12D藉由耦接至連接位點II之局域佈線電連接至匯流排，且封裝12E、12F藉由耦接至連接位點III之局域佈線電連接至匯流排。

電路面板34使用看似十字交叉或「鞋帶」型樣之局域互連佈線來電互連各別封裝12A、12B之端子，在該型樣中，靠近封裝12A之一邊緣16的標示為「1」之端子經由電路面板34連接至封裝12B之靠近封裝12B之同一邊緣16的

標示為「1」之端子。然而，如組裝至電路面板34之封裝12B的邊緣16遠離封裝12A之邊緣16。圖2至圖4進一步展示，靠近封裝12A之邊緣22的標示為「5」之端子經由電路面板34連接至封裝12B之靠近封裝12B之同一邊緣22的標示為「5」之端子。在總成38中，封裝12A之邊緣22遠離封裝12B之邊緣22。

每一封裝(例如，封裝12A)上之端子至與該封裝對置安裝之封裝(亦即，封裝12B)上之對應端子之間的穿過電路面板之連接件為相當長的。如在圖3中進一步所見，在類似微電子封裝12A、12B之此總成中，當來自匯流排之同一信號待傳輸至每一封裝時，電路面板34可將匯流排36之信號導體與封裝12A之標記為「1」的端子及封裝12B之標記為「1」的對應端子電互連。類似地，電路面板34可將匯流排36之另一信號導體與封裝12A之標記為「2」的端子及封裝12B之標記為「2」的對應端子電互連。相同連接配置亦可應用於匯流排之其他信號導體及每一封裝之對應端子。電路面板34上之匯流排36與封裝之各別對中的每一封裝(例如，封裝12A、12B(圖2))之間的在板之連接位點I處的局域佈線可呈無端短線之形式。如下文所論述，在一些狀況下，此局域佈線在相對長時可影響總成38之效能。此外，電路面板34亦需要局域佈線來將其他封裝(該對封裝12C與12D及該對封裝12E與12F)之某些端子電互連至匯流排36之全域佈線，且此佈線亦可以相同方式影響總成之效能。

圖4進一步說明具有經指派以攜載信號之端子「1」、「2」、「3」、「4」、「5」、「6」、「7」及「8」之各別對的微電子封裝12A、12B之間的互連。如圖4中所見，因為端子之行14、18分別靠近每一封裝12A、12B之邊緣16、22，所以在方向40上橫越電路面板34所需之佈線可為相當長的，該方向40橫向於端子之行14、18延伸的方向42。認識到，DRAM晶片之長度在每一側上可在10毫米之範圍內，在圖2至圖4中所見之總成38中之電路面板34中的將同一信號投送至兩個對置安裝之封裝12A、12B之對應端子所需的局域佈線之長度之範圍在一些狀況下可在5毫米與10毫米之間，且通常可為約7毫米。

在一些狀況下，電路面板上之連接封裝之端子的相對長之無端佈線可能不會嚴重地影響總成38之電效能。然而，當將信號自電路面板之匯流排36傳送至如圖2中所展示連接至電路面板之封裝之多個對中的每一者時，發明者認識到，自匯流排36延伸至每一封裝上之匯流排36連接至之端子的短線(亦即，局域佈線)之電長度潛在地影響總成38之效能。無端短線上之信號反射可自每一封裝之所連接端子在反向方向上傳播回至匯流排36上，且因此使正自匯流排36傳送至封裝之信號降級。該等影響對於含有當前製造之微電子元件的一些封裝可為可容許的。然而，在以增加之信號切換頻率、低電壓擺動信號或其兩者操作的當前或將來總成中，發明者認識到該等影響可變為嚴重的。對於此等總成，所傳輸信號之穩定時間、振鈴效應(ringing)、抖

動或符號間干擾可增加至不可接受之程度。

發明者進一步認識到，無端短線之電長度通常長於將電路面板上之匯流排36與安裝至電路面板之封裝之端子連接的局域佈線。每一封裝內之自封裝端子至封裝中之半導體晶片的無端佈線增加短線之長度。

在一特定實例中，匯流排36可攜載位址資訊。匯流排可為具有卓越記憶體儲存陣列功能之總成(諸如，DIMM)的命令-位址匯流排。命令-位址匯流排36將電路面板上之命令信號、位址信號、記憶體庫位址信號及時脈信號之集合攜載至連接位點(例如，圖2中所展示之位點I、II及III)。此等命令-位址匯流排信號可接著藉由局域佈線散佈至電路面板之對置表面上的面板接點之各別集合，封裝12A、12B、12C、12D、12E及12F連接至該電路面板。時脈信號為用於對位址信號進行取樣之取樣時脈信號。在一特定實例中，當微電子元件為或包括DRAM晶片時，命令信號為寫入啟用信號、列位址選通信號及行位址選通信號。

因此，本文中所描述之本發明之某些實施例提供一種微電子封裝，該微電子封裝經組態以便准許在第一及第二此等封裝彼此對置地安裝於電路面板(例如，電路板、模組板或卡，或可撓性電路面板)之對置表面上時減小短線之長度。併有彼此對置地安裝於電路面板上之第一微電子封裝及第二微電子封裝的總成可具有各別封裝之間的顯著減小之短線長度。減小此等總成內之短線長度可(諸如)藉由減小穩定時間、振鈴效應、抖動或符號間干擾連同其他者

中之一或多者而改良電效能。此外，亦有可能獲得其他益處，諸如簡化電路面板之結構或降低設計或製造電路面板(或設計電路面板及製造電路面板兩者)之複雜性及成本。

微電子封裝包括基板，該基板具有對置之第一表面及第二表面(亦即，基板之面向相反方向的表面)。周邊邊緣在該第一表面與該第二表面之間延伸。孔隙(例如，結合窗)在該第一表面與該基板之與該第一表面對置的第二表面之間延伸。該孔隙具有在該孔隙之長度方向上延伸的軸線，使得該第二表面之第一區安置於該軸線與該周邊邊緣之間。

微電子元件(例如，半導體晶片)具有面向基板之第一表面的面且具有在其面處曝露之與該孔隙對準的複數個接點。該微電子元件可具有記憶體儲存陣列功能。在一實例中，該微電子元件可體現數個主動裝置以提供記憶體儲存陣列功能，該數目大於用以提供任何其他功能之主動裝置的數目。該微電子元件之該面面向該微電子元件通常(諸如)藉由黏接劑安裝至的基板之第一表面。

微電子封裝具有在基板之第二表面處曝露之端子，該等端子經組態以用於將微電子封裝連接至封裝外部之至少一組件。如本文中所使用，導電元件「在」結構之表面「處曝露」的陳述指示，導電元件可用於與自結構外部朝向表面在垂直於表面之方向上移動之理論點接觸。因此，在結構之表面處曝露之端子或其他導電元件可自此表面突出；可與此表面齊平；或可相對於此表面凹進，且經由結構中

之孔或凹入部曝露。引線電連接於端子與微電子元件之接點之間，每一引線具有與該孔隙對準之一部分。

該等端子包括在基板之第二表面之第一區140中曝露的端子104。第一端子經組態以攜載命令-位址匯流排信號之群組中的全部。由第一端子攜載之信號包括攜載位址資訊之信號。在一實例中，當微電子元件包括或為DRAM晶片時，第一端子可經組態以攜載命令信號、位址信號、記憶體庫位址信號及時脈信號之群組中的全部，其中命令信號為寫入啟用信號、列位址選通信號及行位址選通信號，且時脈信號為用於對位址信號進行取樣之取樣時脈。雖然時脈信號可具有各種類型，但在一實施例中，由第一端子攜載之時脈信號可係作為差分或真及互補時脈信號接收之一或多對差分時脈信號。

如下文將進一步描述，由第一端子攜載之此等信號可為命令-位址匯流排信號，該等命令-位址匯流排信號係在電路面板(諸如，印刷電路板或模組卡)上用匯流排並行地傳送至多個微電子封裝，特定而言，用匯流排傳送至安裝至電路面板之對置表面的第一微電子封裝及第二微電子封裝。對於本文中之某些實施例，藉由將攜載命令-位址匯流排信號之第一端子置放於結合窗112之軸線114與基板之平行於該軸線的周邊邊緣150之間，有可能減小微電子封裝中之附接至電路面板上之命令-位址匯流排信號導體的短線之長度，第一及第二此等微電子封裝在電路面板之對置表面上安裝至該電路面板。當第一封裝及第二封裝安裝

於電路面板之對置之第一表面及第二表面上使得第一封裝上之第一端子的格柵與第二封裝之第一端子的格柵在沿著電路面板之第一表面的x及y正交方向上在一球間距內對準時，電路面板上之此等短線可減小至相對短的長度。當每一封裝上之第一端子之行的數目減小時，電路面板上之短線長度可進一步減小。因此，當第一封裝及第二封裝中之每一者的第一端子配置成單一行時，電路面板中之在每一封裝之對應第一端子之間的連接件可具有與電路面板之厚度大致相同的長度。接著，電路面板上之命令-位址匯流排的信號導體與第一封裝及第二封裝之第一端子之間的短線之長度相對較短；例如，該等短線可具有小於電路面板之厚度的長度。減小連接電路面板上之命令-位址匯流排之信號導體與電連接至電路面板之封裝上之第一端子的短線之長度可改良此總成中之電效能。因此，減小短線長度可幫助減小穩定時間、振鈴效應、抖動或符號間干擾連同其他者中之一或多者。

除上述第一端子之外，微電子封裝亦可具有第二端子106。在一實例中，第二端子可安置於亦安置有第一端子之第一區140中。或者，第二端子中之一些或全部可安置於第二表面之第二區142中，該第二區142在基板之軸線114與基板之與該第一周邊邊緣150對置的第二周邊邊緣152之間。在一實例中，第二端子可包括用於攜載以下各者之端子：至及或自微電子元件之單向或雙向資料信號，及資料選通信號，以及資料遮罩及用以接通或斷開並聯終

端至終端電阻器之ODT或「晶粒上終端電阻(on die termination)」信號。可藉由第一區140或第二區142中之端子攜載諸如晶片選擇、重設、電源供應電壓(例如，Vdd、Vddq)或接地(例如，Vss及Vssq)之信號或參考電位，此等特定信號或參考電位中之任一者皆並非必須由第一區中之端子攜載。在以下之描述中，雖然封裝之經組態以攜載諸如電源或接地之參考電位的端子存在於封裝中，但為了描述之清楚及容易起見，可自諸圖及描述省略該等端子。

因此，根據本發明之一實施例的微電子封裝100說明於圖5、圖6及圖7中。該微電子封裝包括基板102，該基板102可包括介電元件。在一些狀況下，該介電元件可為薄片狀，本質上由聚合材料(例如，樹脂或聚醯亞胺連同其他者)組成。或者，基板可包括具有複合構造之介電元件，諸如，(例如)具有BT樹脂或FR-4構造之玻璃強化環氧樹脂。在一實例中，該介電元件可本質上由在基板之平面中具有小於每攝氏度百萬分之30之熱膨脹係數(「CTE」)的材料組成。在另一實例中，基板可包括支撐元件，該支撐元件由具有小於每攝氏度百萬分之12之相對低CTE的材料形成，端子及其他導電結構安置於該支撐元件上。舉例而言，此低CTE元件可本質上由以下各者組成：玻璃、陶瓷或半導體材料或液晶聚合物材料，或此等材料之組合。

基板具有對置之第一表面108及第二表面110，以及在第一表面與第二表面之間延伸的孔隙112(例如，結合窗)。該孔隙可具有軸線114，該軸線114在最長尺寸(亦即，孔隙

之長度)116之方向上延伸且在平行於第二表面且橫向於長度之方向上相對於孔隙之寬度而居中。該軸線可相對於微電子元件之接點132的一或多個行134而居中，該等接點132與該孔隙對準且在封裝微電子元件之程序期間曝露且可經由該孔隙近接。或者或此外，軸線114亦可在最長尺寸(亦即，微電子元件130之接點132之行134的長度)118之方向上延伸。

該微電子元件可具有記憶體儲存陣列功能。在一實例中，微電子元件130可體現數個主動裝置以提供記憶體儲存陣列功能，該數目大於用以提供任何其他功能之主動裝置的數目。舉例而言，微電子元件可為體現較大數目個主動裝置以提供動態隨機存取記憶體(「DRAM」)儲存陣列功能之半導體晶片。在特定實例中，微電子元件可為專業化DRAM晶片或可為如下特定DRAM晶片：其併有DRAM儲存陣列及其他功能(諸如，處理器功能、信號處理器功能、圖形處理器功能連同其他者)，但存在數目大於用以提供任何其他功能之裝置數目之數個主動裝置(例如，電晶體)以提供記憶體儲存陣列功能。

如圖7中所見，微電子元件130具有面向基板102之第一表面108的面136。黏接劑138可安置於該面136與第一表面108之間以將其結合在一起。如圖5、圖6及圖7中所見，封裝100包括複數個第一端子104且可包括在基板之第二表面110處曝露的第二端子106。舉例而言，該等端子可為導電襯墊、柱桿、接腳或在封裝之第二表面處曝露的任何其他

導電結構，其為微電子封裝上之用於以電及機械方式將封裝連接至封裝外部之另一組件(諸如，連接至電路面板)的端點。該等端子在其上可包括或可不包括結合金屬或結合材料。舉例而言，在圖7中所見之封裝中，第一端子104及第二端子106可包括附接至其之接合元件154，該等接合元件154包括適合於以電及機械方式將該等端子與電路面板之對應接點接合的導電結合金屬或結合材料。在一實例中，該等接合元件可為焊球。

微電子元件之接點132與端子係藉由引線160電連接。如圖7中所展示，引線可包括與孔隙112對準之部分。在一實例中，為了將引線連接至微電子元件之接點132，可將工具插入至孔隙112中以將引線(例如，導線結合併或樑式引線)接合至經曝露且可經由孔隙近接之接點132。舉例而言，引線160可為如圖7中所展示之導線結合併，其中該等導線結合併自接點132穿過孔隙112而延伸至基板之第二表面110處的連接點(未圖示)。或者，如圖8中所展示，該等引線可為連接至端子之樑式引線162，該等樑式引線具有平行於基板102之第二表面110或在該第二表面110處曝露之部分及延伸穿過孔隙112之接合或結合至接點132的部分。在另一實例中，連接至端子104、106之樑式引線164可具有平行於第一表面108或在該第一表面108處曝露之部分且具有接合或結合至接點132之部分。

封裝之第一端子104在基板之第二表面的第一區140中曝露，該第一區140位於軸線114與基板之第一周邊邊緣150

之間，該第一周邊邊緣150平行於軸線114。在微電子元件為動態隨機存取記憶體儲存裝置之實例中，第一端子可經組態以攜載傳送至微電子封裝之所有命令信號、位址信號、記憶體庫位址信號及時脈信號。如上文所提及，當此微電子元件為動態隨機存取記憶體儲存裝置時，「命令信號」為藉由微電子封裝內之微電子元件利用的寫入啟用信號、列位址選通信號及行位址選通信號。「時脈信號」為用作用於對位址信號進行取樣之取樣時脈的彼等信號。舉例而言，如圖5中所見，第一端子可包括時脈信號CK及CKB、列位址選通RAS、行位址選通CAS及寫入啟用信號WE，以及位址信號A0至A15(包括位址信號A0及A15)及記憶體庫位址信號BA0、BA1及BA2。儘管圖5中未特定展示，但安置於第一區140中之端子亦可包括經組態以攜載其他信號(例如，資料信號、資料選通信號、電源或接地電位、ODT或時脈啟用信號連同其他者)之端子。

如圖6中進一步所展示，第一端子可配置成在平行於孔隙之軸線114之方向上延伸的有限數目行。因此，在一實例中，在第一區140中存在端子之三個行104A、104B、104C或更少行。另外，經組態以攜載命令-位址匯流排之上文所提到之信號的第一端子可配置成為第一區140中之端子之總行數的相同數目行。或者，經組態以攜載命令-位址匯流排之上文所提到之信號的第一端子可配置成少於第一區140中之端子之總行數的數目行。舉例而言，參看圖5、圖6及圖7，所有上文所提到之命令-位址匯流排信號

可藉由安置於平行之第一行104A及第二行104B之位置處的第一端子攜載，而端子之第三行104C可經組態以攜載不同於上文所提到之命令-位址匯流排信號之至少一些信號。

端子之一個或兩個或兩個以上行104A、104B、104C可能未必經組態以僅用於攜載上文所提到之命令-位址匯流排信號。因此，上文所提到之命令-位址匯流排信號中的一些有可能藉由第一行104A、第二行104B或第三行104C中之一或多者中的端子攜載，而不同於上文所提到之命令-位址匯流排信號之信號亦藉由第一行104A、第二行104B或第三行104C中之一或多者中的端子攜載。

第二端子106可在第二表面110之第二區142中曝露，該第二區142位於軸線114與基板之與第一周邊邊緣對置的第二周邊邊緣152之間。第二端子可經組態以攜載不同於命令-位址匯流排之上文所提到之信號的信號，例如，資料信號、資料選通信號、電源或接地電位、ODT或時脈啟用信號連同其他者。命令-位址匯流排之上文所提到之信號中的一些或全部亦有可能亦藉由第二端子106攜載，只要存在經組態(亦即，指派)以攜載上文所提到之命令-位址匯流排信號中之每一者的第一端子104(亦即，第一區140中之端子)即可。

如圖6中進一步所見，存在作為基板上之第一端子的任何兩個鄰近平行之行104A、104B之間的最小距離之最小間距154。最小間距156定義為在平行於軸線114之方向158

上延伸穿過各別鄰近行的中心線124A、124B之間的最小距離。最小間距係在垂直於方向158之方向159上，在該方向158上配置特定行(例如，行104A)中之端子。

如圖9中進一步所展示，微電子封裝100中之微電子元件130A可具有替代組態。在此組態中，微電子元件130A可具有接點之兩個或兩個以上行(例如，行134A、134B)，該等接點與孔隙112(圖6)對準且可用於以上述方式藉由引線與端子電連接。如圖9中所展示，該等行中之一者134B可能未經完全填入，使得接點132在行134B內之一或多個位置處缺失。圖9進一步展示，除與孔隙112對準之端子之外，微電子元件亦可具有其他接點，該等其他接點適用於至電源、接地之連接或作為適用於與探測儀器接觸之接點(諸如，用於測試)。

圖10說明第一微電子封裝100A、第二微電子封裝100B、第三微電子封裝100C及第四微電子封裝100D之微電子總成180，該等微電子封裝各自為如上文參看圖5至圖9所描述、如安裝及電連接至分別在電路面板254之對置之第一表面250及第二表面252處的接點260、262之微電子封裝100。電路面板可具有各種類型，諸如用於雙列記憶體模組(「DIMM」)模組中之印刷電路板、待與系統中之其他組件連接的電路板或面板，或主機板連同其他者。電路面板包括經組態以用於電連接微電子封裝之接點。因此，電路面板可經由其上之導電跡線及導通孔(以270、272示意性地展示)電連接分別安裝至第一表面250處之面板接點

260及第二表面252處之面板接點262的封裝100A、100B。電路面板上之導電導通孔及跡線包括與命令-位址匯流排236之信號導體電連接的局域佈線，該等信號導體為電路面板之全域佈線。

在一特定實施例中，電路面板可包括具有小於每攝氏度百萬分之(「ppm/°C」)12之相對低熱膨脹係數(「CTE」)的元件。在一實例中，該低CTE元件可本質上由半導體、玻璃、陶瓷或液晶聚合物材料組成。

在圖10中所展示之實例中，第一封裝100A之第一端子(包括參考符號為「A」及「B」之彼等端子)配置於具有兩個行104A、104B(圖5、圖6及圖7)之端子之格柵275的位置處。此格柵因而可為第一封裝上之端子之較大格柵104的子集，該格柵104亦包括端子(包括在圖10中參考符號為「C」之端子)之第三行104C。第三行中之端子無需經組態以攜載命令-位址匯流排之信號。類似地，第二封裝100B之第一端子(包括參考符號為「A」及「B」之彼等端子)配置於具有兩個行104A、104B之第一端子之格柵275中。此格柵因而可為第二封裝100B上之端子之較大格柵104的子集，該格柵104亦包括端子(包括在圖10中參考符號為「C」之端子)之第三行104C。再次，第二封裝100B之第三行104C(圖5、圖6及圖7)中之端子無需經組態以攜載命令-位址匯流排之信號。在一實例中，端子之每一格柵可經完全填入，亦即，存在佔據每一格柵之每一位置的端子。或者，每一格柵之一或多個位置可未由端子佔據。

如自圖10顯見，當第一封裝100A與電路面板組裝在一起時，第一封裝100A之包括含有第一端子之兩個行104A、104B的格柵可與第二封裝100B之包括含有第一端子之兩個行104A、104B的格柵在平行於電路面板之表面250的x及y正交方向上在一球間距內對準。具體而言，「在一球間距內」指代不大於封裝100上之端子的鄰近行之間的最小間距156(圖6)之距離。在一特定實例中，每一封裝100A、100B之含有兩個行104A、104B(含有第一端子)的格柵可彼此重合。

如自圖10顯而易見，電路面板254上的連接第一封裝100A之標示為「A」的第一端子中之一者與第二封裝100B之標示為「A」之對應第一端子所需的佈線可為相對短的。具體而言，當每一封裝上之每一格柵275具有兩個行104A、104B且該等格柵275以上述方式對準時，則第一封裝100A之第一行104A之端子可與第二封裝之第二行104B之端子在平行於電路面板之第一表面250的x及y正交方向上在一球間距內對準，且第一封裝100A之第二行104B之端子可與第二封裝100B之第一行104A之端子在平行於電路面板之第一表面250的x及y正交方向上在一球間距內對準。

因此，電路面板254上的電連接第一封裝100A之第一端子A與第二封裝100B上之對應第一端子A的短線之電長度可小於每一封裝上之第一端子之最小間距的7倍，例如，小於圖6中所展示之第一端子之行104A、104B之間的間距

156之7倍。換言之，連接分別在電路面板之第一表面250及第二表面252處曝露之一對電耦接之第一面板接點260及第二面板接點262以用於連接對應之第一面板接點及第二面板接點與全域命令-位址匯流排之對應信號導體的導電元件之總組合長度可小於面板接點之最小間距的7倍。在另一實例中，第一封裝100A之第一端子A與第二封裝100B上之對應第一端子A之間的連接件之電長度可與電路面板254之在第一表面250與第二表面252之間的厚度256大致相同。

此等電連接件之長度的減小可減小電路面板及總成中之短線長度，此可幫助改良電效能，諸如減小總成180中之上文所提到之命令-位址匯流排信號的穩定時間、振鈴效應、抖動或符號間干擾連同其他者中之一或多者。

第一封裝100A及第二封裝100B與電路面板254之間在第一連接位點I處藉由命令-位址匯流排236的上述電互連亦可應用至第三封裝100C及第四封裝100D與電路面板254之間在第二連接位點II處藉由命令-位址匯流排236的電互連。因此，在每一狀況下，可減小將每一封裝之第一端子連接至命令-位址匯流排的短線之長度，藉此減小總成180中之上文所提到之命令-位址匯流排信號的穩定時間、振鈴效應、抖動或符號間干擾連同其他者中之一或多者。

此外，亦有可能獲得其他益處，諸如簡化電路面板之結構或降低設計或製造電路面板之複雜性及成本。亦即，電路面板上之連接可需要較少佈線層來將每一封裝之第一端

子互連至電路面板上之命令-位址匯流排。

此外，當根據本文中之原理來建構附接至電路面板之微電子封裝時，亦可減小電路面板上的沿著電路面板之命令-位址匯流排236在連接位點I、II之間投送信號所需的佈線之全域投送層之數目，在連接位點I、II處連接微電子封裝之各別對，亦即，封裝之第一對100A與100B及第二對100C與100D等。具體而言，沿著電路面板投送此等信號所需之全域投送層的數目在一些狀況下可減小至兩個或兩個以下投送層。在一特定實例中，可存在用於投送命令-位址匯流排之所有上文所提到之信號的全域投送之不超過一個投送層：命令信號、位址信號、記憶體庫位址信號及時脈信號。然而，在電路面板上，可存在用以攜載不同於命令-位址匯流排之上文所提到之信號的信號之較大數目個全域投送層。

圖11及圖12說明根據上文所描述之實施例之變化的微電子封裝200，其中經組態以攜載上文所提到之命令位址匯流排信號的第一端子可配置於格柵204之三個行204A、204B及204C而非如上文所描述之兩個行的位置處。當第一封裝200A及第二封裝200B安裝至電路面板354之對置表面且與該電路面板電互連(如圖13中所展示)時，分別在第一封裝200A及第二封裝200B上之含有三個行(含有包括端子A、B及C之第一端子)的格柵可在平行於電路面板354之第一表面350的x及y正交方向上在一球間距內彼此對準。在此配置中，命令-位址匯流排336之信號導體與包括端子

「B」之第一端子的行之間的短線長度可尤其短，此係因為第一封裝及第二封裝之端子「B」彼此可在一球間距內或彼此可重合。圖13進一步說明封裝之一或多個額外對(例如，對200C與200D)彼此及與電路面板可具有與第一封裝及第二封裝相同的互連關係。

在另一實例(未圖示)中，微電子封裝之經組態以攜載命令-位址匯流排之上文所提到之信號的第一端子亦有可能配置成四個或四個以上行。

圖14說明在上述微電子封裝100(圖5至圖9)之變化中，可提供具有各別格柵304A、304B之封裝，該等各別格柵304A、304B具有經組態以用於攜載上文所提到之命令-位址匯流排信號的第一端子之不同信號指派。在如圖14中所見之特定實例中，第二封裝300B之格柵304B中的第一端子之信號指派為第一封裝300A之格柵304A中的經組態以用於攜載命令-位址匯流排信號之第一端子之信號指派的鏡像。因此，如圖14中所見，第一封裝300A上可具有第一端子格柵304A，該第一端子格柵304A具有如下第一信號指派：端子「A」最接近孔隙112且端子「B」鄰近孔隙但並非最接近孔隙。相比之下，第二封裝300B上可具有第一端子格柵304B，該第一端子格柵304B具有如下第一信號指派：端子「B」最接近孔隙112且端子「A」鄰近孔隙但並非最接近孔隙。

如圖15中所見，此等替代封裝變化300A、300B安裝至電路面板之對置表面且彼此及與電路面板電互連。可見，

第一封裝300A上之第一端子「A」與第二封裝300B上之對應第一端子「A」之間的電連接件458可在電路面板之厚度456之方向上而非水平方向上(亦即，平行於電路面板之第一表面450)而筆直穿通電路面板454。此外，此端子「A」與命令-位址匯流排436之對應信號導體之間的連接件亦可主要在電路面板之厚度的方向上。相同情形亦適用於第一封裝300A上之第一端子「B」以及與其及與電路面板上之命令-位址匯流排436電連接之第二封裝300B上之對應第一端子「B」。

然而，如圖15中進一步所見，含有端子「C」之端子的第三行無需具有在第一封裝類型300A與第二封裝類型300B之間鏡像複製的信號指派。諸如在第一端子之第三行在一些狀況下不包括經組態以攜載上文所提到之命令-位址匯流排信號的端子時，可為如此情形。

在如圖16中所說明之微電子封裝500中，含有第一端子之單一行504A經組態以攜載所有上文所提到之命令-位址匯流排信號。如圖16中所展示，單一行504A可在平行於孔隙112之軸線114的方向上延伸。

圖17進一步說明兩個此類封裝500A及500B安裝至面板接點之總成，該等面板接點分別在電路面板554之對置表面550、552處曝露且與電路面板之命令-位址匯流排536之導體電互連且彼此電互連。在此總成中，電路面板上之命令-位址匯流排與每一封裝500A、500B上之含有第一端子的單一行504A之間的連接件558為相對短的，此係因為單

一行504A在一球間距內彼此對準。具體而言，每一封裝500A、500B上之單一行504A中的第一端子之間的對準在與電路面板之第一表面550平行之x及y正交方向上彼此可在一球間距內。圖17進一步說明第三微電子封裝500C及第四微電子封裝500D，其各自具有經組態以攜載所有上文所提到之命令-位址匯流排信號之第一端子的單一行504A且以與封裝500A、500B類似之方式與命令-位址匯流排536電互連。

在前文中所描述之實施例中的任一者中，一或多個第二半導體晶片可用以下技術中之一或多者來實施：DRAM、NAND快閃記憶體、RRAM(「電阻性RAM」或「電阻性隨機存取記憶體」)、相變記憶體(「PCM」)、磁阻性隨機存取記憶體(「MRAM」)(例如，可體現穿隧接面裝置)、自旋轉矩RAM、靜態RAM(「SRAM」)，或內容可定址記憶體連同其他者。

上文所論述之結構可用於多種電子系統之構造中。舉例而言，根據本發明之另一實施例的系統600包括如上文所描述之微電子封裝或結構606連同其他電子組件608及610。在所描繪之實例中，組件608可為微電子封裝或半導體晶片，而組件610可為顯示螢幕，但可使用任何其他組件。當然，儘管為了說明之清楚起見而在圖18中僅描繪兩個額外組件，但該系統可包括任何數目個此類組件。如上文所描述之結構600可為(例如)如上文結合上述實施例中之任一者論述之微電子封裝。在另一變體中，可提供兩者且

可使用任何數目個此類封裝。封裝 606 以及組件 608 及 610 安裝於以虛線示意性地描繪之共同外殼 601 中，且在必要時彼此電互連以形成所要電路。在所展示之例示性系統中，系統包括電路面板 602 (諸如，可撓性印刷電路面板或電路板)，且該電路面板包括將組件彼此互連之眾多導體 604，圖 18 中僅描繪該等導體 604 中之一者。然而，此僅為例示性的；可使用用於形成電連接之任何合適結構。將外殼 601 描繪為可用於 (例如) 蜂巢式電話或個人數位助理中之類型的攜帶型外殼，且螢幕 610 在該外殼之表面處曝露。在結構 606 包括諸如成像晶片之感光元件之情況下，亦可提供透鏡 611 或其他光學裝置以用於將光導引至該結構。再次，圖 18 中所展示之簡化系統僅為例示性的；可使用如上文所論述之結構來製造包括通常視為固定結構之系統的其他系統，諸如桌上型電腦、路由器及其類似者。

在不脫離本發明之範疇或精神的情況下，可以不同於如上文特定描述之方式的方式來組合本發明之上述實施例的各種特徵。本發明意欲涵蓋如上文所描述之本發明之實施例的所有此等組合及變化。

【圖式簡單說明】

圖 1 為說明含有 DRAM 晶片之習知微電子封裝的截面圖。

圖 2 為說明微電子總成 (例如，DIMM 模組) 之圖解示意圖，該微電子總成併有電路面板及彼此對置地安裝至電路面板之對置之第一表面及第二表面的複數個微電子封裝。

圖3為進一步說明諸如圖2中所展示之總成中的第一微電子封裝及第二微電子封裝與電路面板之間的電互連之截面圖。

圖4為進一步說明諸如圖2中所展示之總成中的第一微電子封裝與第二微電子封裝之間的電互連之圖解平面圖。

圖5為說明根據本發明之一實施例的微電子封裝中之端子之配置及信號指派的圖解平面圖。

圖6為進一步說明根據圖5中所展示之實施例的微電子封裝上之端子之配置的平面圖。

圖7為對應於圖6中所展示之平面圖的微電子封裝之截面圖。

圖8為說明根據圖7中所展示之微電子封裝的變化之微電子封裝中的電互連引線之插圖。

圖9為說明圖5、圖6及圖7中所展示之實施例之變化中的微電子元件上之接點之可能位置及類型的平面圖。

圖10為說明根據一實施例之微電子總成的截面圖，該微電子總成包括電路面板及與該電路面板電互連之如圖5至圖9中所展示的複數個微電子封裝。

圖11為說明根據圖5至圖9中所展示之實施例之變化的微電子封裝之平面圖。

圖12為對應於圖11中所展示之平面圖的微電子封裝之截面圖。

圖13為說明微電子總成之截面圖，該微電子總成包括電路面板及與該電路面板電互連之如圖11至圖12中所展示的

複數個微電子封裝。

圖 14 為說明具有具不同信號指派之第一端子之行的第一微電子封裝及第二微電子封裝之截面圖，例如，該等不同信號指派彼此可為各別封裝上之鏡像。

圖 15 為說明微電子總成之截面圖，該微電子總成包括電路面板及彼此對置地安裝於該電路面板之對置表面上的不同之第一微電子封裝及第二微電子封裝。

圖 16 為說明根據圖 5 至圖 9 中所展示之實施例之另一變化的微電子封裝之平面圖。

圖 17 為說明微電子總成之截面圖，該微電子總成包括電路面板及與該電路面板電互連之如圖 16 中所展示的複數個微電子封裝。

圖 18 為說明根據本發明之一實施例的系統之示意性截面圖。

【主要元件符號說明】

11	微電子元件
12	微電子封裝
12A	微電子封裝
12B	微電子封裝
12C	封裝
12D	封裝
12E	封裝
12F	封裝
14	端子之行

16	第一周邊邊緣
18	端子之行
20	封裝基板
22	第二周邊邊緣
24	中心區
26	元件接點
28	微電子元件之面
30	導線結合件
32	黏接層
34	電路面板
36	命令-位址匯流排
38	總成
40	方向
42	方向
100	微電子封裝
100A	第一微電子封裝
100B	第二微電子封裝
100C	第三微電子封裝
100D	第四微電子封裝
102	基板
104	第一端子/端子之格柵
104A	端子之第一行
104B	端子之第一行
104C	端子之第三行

106	第二端子
108	基板之第一表面
110	基板之第二表面
112	結合窗/孔隙
114	軸線
116	最長尺寸
118	最長尺寸
124A	中心線
124B	中心線
130	微電子元件
130A	微電子元件
132	接點
134	接點之行
134A	接點之行
134B	接點之行
136	微電子元件之面
138	黏接劑
140	第一區
142	第二區
150	第一周邊邊緣
152	第二周邊邊緣
154	接合元件
156	最小間距
158	方向

159	方向
160	引線
162	樑式引線
164	樑式引線
180	微電子總成
200	微電子封裝
200A	第一封裝
200B	第二封裝
200C	封裝
200D	封裝
204	格柵
204A	格柵之行
204B	格柵之行
204C	格柵之行
236	命令-位址匯流排
250	電路面板之第一表面
252	電路面板之第二表面
254	電路面板
256	電路面板之厚度
260	第一面板接點
262	第二面板接點
270	導電跡線及導通孔
272	導電跡線及導通孔
275	格柵

300A	第一封裝/封裝變化/第一封裝類型
300B	第二封裝/封裝變化/第二封裝類型
304A	第一端子格柵
304B	第一格柵
336	命令-位址匯流排
350	電路面板之第一表面
354	電路面板
436	命令-位址匯流排
450	電路面板之第一表面
454	電路面板
456	電路面板之厚度
458	電連接件
500	微電子封裝
500A	封裝
500B	封裝
500C	第三微電子封裝
500D	第四微電子封裝
504A	第一端子之單一行
536	命令-位址匯流排
550	電路面板之第一表面
552	電路面板之表面
554	電路面板
558	連接件
600	系統/結構

601	共同外殼
602	電路面板
604	導體
606	微電子封裝或結構
608	電子組件
610	電子組件/螢幕
611	透鏡
A	端子
B	端子
C	端子
I	第一連接位點
II	第二連接位點
III	第三連接位點

七、申請專利範圍：

1. 一種微電子封裝，其包含：

一基板，其具有對置之第一表面及第二表面、在該第一表面與該第二表面之間延伸的一周邊邊緣及在該第一表面與該第二表面之間延伸的一孔隙，該孔隙具有一軸線，該軸線在該孔隙之一最長尺寸之一方向上延伸且在橫向於該最長尺寸之一方向上相對於該孔隙之一寬度而居中，該第二表面具有安置於該軸線與該邊緣之間的第一區；

一微電子元件，其具有記憶體儲存陣列功能，該微電子元件具有面向該基板之該第一表面的一表面及在該微電子元件之該表面處曝露的與該孔隙對準之複數個接點；

複數個端子，其在該基板之該第二表面處曝露且經組態以用於將該微電子封裝連接至該封裝外部之至少一組件；及

引線，其電連接於該微電子元件之該等接點與該等端子之間，該等引線具有與該孔隙對準之部分，

其中該等端子包括在該基板之該第二表面之該第一區中曝露的第一端子，該等第一端子經組態以攜載傳送至該封裝之所有位址信號。

2. 如請求項1之微電子封裝，其中該微電子元件體現數個主動裝置以提供記憶體儲存陣列功能，該主動裝置的數目大於用以提供任何其他功能之主動裝置的數目。

3. 如請求項2之微電子封裝，其中該等第一端子包括經組態以攜載傳送至該封裝之所有命令信號、記憶體庫位址信號及時脈信號的端子，該等命令信號為寫入啟用信號、列位址選通信號及行位址選通信號，且該等時脈信號為用於對該等位址信號進行取樣之取樣時脈。
4. 如請求項1之微電子封裝，其中該基板為本質上由在該基板之一平面中具有小於12 ppm/°C之一CTE的一材料組成之一元件。
5. 如請求項1之微電子封裝，其中該基板包括本質上由在該基板之一平面中具有小於30 ppm/°C之一CTE的一材料組成之一介電元件。
6. 如請求項3之微電子封裝，其中在該第二表面之該第一區中曝露的該等端子中之至少一些經組態以攜載不同於該等命令信號、該等位址信號及該等時脈信號之信號。
7. 如請求項1之微電子封裝，其中該第二表面具有一第二周邊邊緣，該第二周邊邊緣在該基板之該第一表面與該第二表面之間延伸且與該第一周邊邊緣對置，該第二表面具有在該軸線與該第二邊緣之間的一第二區，其中該等端子進一步包括在該第二表面處在其該第二區中曝露之第二端子。
8. 如請求項7之微電子封裝，其中該等第一端子經組態以攜載傳送至該封裝之所有該等命令信號、該等記憶體庫位址信號及該等時脈信號，該等命令信號為寫入啟用信號、列位址選通信號及行位址選通信號，且該等時脈信

號為用於對該等位址信號進行取樣之取樣時脈，且其中該等第二端子中之至少一些經組態以攜載不同於該等命令信號、該等位址信號及該等時脈信號之信號。

9. 如請求項1之微電子封裝，其中該等第一端子係配置成不超過三行。
10. 如請求項9之微電子封裝，其中該等行平行於該孔隙之該軸線。
11. 如請求項1之微電子封裝，其中該等第一端子係配置成不超過兩行。
12. 如請求項11之微電子封裝，其中該等第一端子係配置成平行之第一行及第二行。
13. 如請求項1之微電子封裝，其中該等第一端子係配置成一單一行。
14. 如請求項1之微電子封裝，其中該等引線中之至少一些包括延伸穿過該孔隙之導線結合件。
15. 如請求項14之微電子封裝，其中所有該等引線為延伸穿過該孔隙之導線結合件。
16. 如請求項1之微電子封裝，其中該等引線中之至少一些包括引線結合件。
17. 如請求項1之微電子封裝，其中該微電子元件為一動態隨機存取記憶體(「DRAM」)積體電路晶片。
18. 如請求項1之微電子封裝，其中該等端子經組態以用於將該微電子封裝連接至為一電路面板之一外部組件。
19. 一種微電子總成，其包含：

一 電路面板，其具有對置之第一表面及第二表面以及在對置之該第一表面及該第二表面中之每一者處曝露的面板接點；及

第一微電子封裝及第二微電子封裝，其分別具有安裝至在該第一表面及該第二表面處曝露之該等面板接點的端子，

該電路面板將該第一微電子封裝之至少一些端子與該第二微電子封裝之至少一些對應端子電互連，該第一微電子封裝及該第二微電子封裝中之每一者包括：

一 基板，其具有對置之第一表面及第二表面、在該第一表面與該第二表面之間延伸的一周邊邊緣及在該第一表面與該第二表面之間延伸且具有一軸線的一孔隙，該軸線在該孔隙之長度之一方向上延伸，該第二表面具有安置於該軸線與該邊緣之間的第一區；

一 微電子元件，其具有面向該基板之該第一表面的一表面及在該微電子元件之該表面處曝露的與該孔隙對準之複數個接點，該微電子元件具有記憶體儲存陣列功能；

複數個端子，其在該基板之該第二表面處曝露且經組態以用於將該微電子封裝連接至該封裝外部之至少一組件；及

引線，其電連接於該微電子元件之該等接點與該等端子之間，每一引線具有與該孔隙對準之一部分，

其中該等端子包括在該基板之該第二表面之該第一區

- 中曝露的第一端子，該等第一端子經組態以攜載傳送至該封裝之所有位址信號。
20. 如請求項19之微電子總成，其中在每一微電子封裝中，該微電子元件體現數個主動裝置以提供記憶體儲存陣列功能，該主動裝置的數目大於用以提供任何其他功能之主動裝置的數目。
21. 如請求項20之微電子總成，其中該等第一端子經組態以攜載傳送至該封裝之所有命令信號、記憶體庫位址信號及時脈信號，該等命令信號為寫入啟用信號、列位址選通信號及行位址選通信號，且該等時脈信號為用於對該等位址信號進行取樣之取樣時脈。
22. 如請求項19之微電子總成，其中該第一微電子封裝及該第二微電子封裝之該等端子分別配置於格柵之對應位置處，該等格柵在平行於該第一電路面板表面及該第二電路面板表面之x及y正交方向上在一球間距內彼此對準。
23. 如請求項22之微電子總成，其中該等格柵係在正交之該x方向及該y方向上彼此對準，使得該等格柵之該等端子彼此重合。
24. 如請求項22之微電子總成，其中每一格柵之每一位置係由該等端子中之一者佔據。
25. 如請求項22之微電子總成，其中每一格柵之至少一位置未由一端子佔據。
26. 如請求項22之微電子總成，其中該第一封裝及該第二封裝之電連接件的短線長度小於每一封裝之該等第一端子

之一最小間距的7倍。

27. 如請求項22之微電子總成，其中該第一微電子封裝及該第二微電子封裝之該等第一端子之間的穿過該電路面板之該等電連接件中的至少一些具有大致為該電路面板之一厚度的一電長度。
28. 如請求項22之微電子總成，其中該等格柵中之該等第一端子的信號指派在該第一封裝及該第二封裝中之每一者上為相同的，且該等格柵中之每一者具有含有第一端子之第一行及第二行，其中該第一封裝上之端子之該第一行的端子與該第二封裝之端子之該第二行的端子在x及y正交方向上在一球間距內對準，且該第一封裝之端子之該第二行的端子與該第二封裝之端子之該第一行的端子在x及y正交方向上在一球間距內對準。
29. 如請求項28之微電子總成，其中連接在該電路面板之該第一表面及該第二表面處曝露的一對電耦接之第一面板接點及第二面板接點的導電元件之總組合長度小於該等面板接點之一最小間距的7倍。
30. 如請求項21之微電子總成，其中每一微電子封裝之該等第一端子係安置於端子之一單一行的位置處，且其中該電路面板包括用於所有該等命令信號、該等位址信號、該等記憶體庫位址信號及該等時脈信號之全域投送的不超過一個投送層。
31. 如請求項21之微電子總成，其中每一微電子封裝之該等第一端子係安置於兩個平行的行之位置處，且其中該電

路面板包括用於所有該等命令信號、該等位址信號、該等記憶體庫位址信號及該等時脈信號之全域投送的不超過兩個投送層。

32. 如請求項 21 之微電子總成，其中存在用於所有該等命令信號、該等位址信號、該等記憶體庫位址信號及該等時脈信號之全域投送的不超過一個投送層。

33. 一種模組，其包含：

一電路面板；及

複數個微電子封裝，其安裝至該電路面板且經由每一微電子封裝之用於至及自每一微電子封裝之信號之輸送的端子與該電路面板電連接，每一微電子封裝包括：

一基板，其具有對置之第一表面及第二表面、在該第一表面與該第二表面之間延伸的一周邊邊緣及在該第一表面與該第二表面之間延伸且具有一軸線的一孔隙，該軸線在該孔隙之長度之一方向上延伸，該第二表面具有安置於該軸線與該邊緣之間的第一區；

一微電子元件，其具有面向該基板之該第一表面的一表面及在該微電子元件之該表面處曝露的與該孔隙對準之複數個接點，該微電子元件體現數個主動裝置以提供記憶體儲存陣列功能，該主動裝置的數目大於用以提供任何其他功能之主動裝置的數目；

複數個端子，其在該基板之該第二表面處曝露且經組態以用於將該微電子封裝連接至該封裝外部之至少一組件；及

引線，其電連接於該微電子元件之該等接點與該等端子之間，每一引線具有與該孔隙對準之一部分，

其中該等端子包括在該基板之該第二表面之該第一區中曝露的第一端子，該等第一端子經組態以攜載傳送至該封裝之所有命令信號、位址信號、記憶體庫位址信號及時脈信號，該等命令信號為寫入啟用信號、列位址選通信號及行位址選通信號，且該等時脈信號為用於對該等位址信號進行取樣之取樣時脈。

34. 一種包括如請求項33之模組的系統，其進一步包含一外殼，該模組及複數個其他電子組件係與該外殼組裝在一起。

八、圖式：

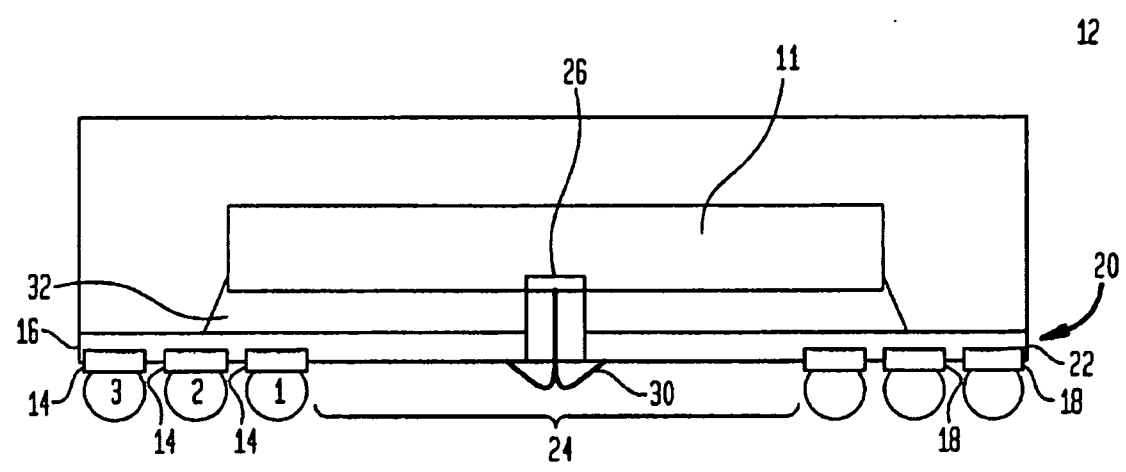


圖 1

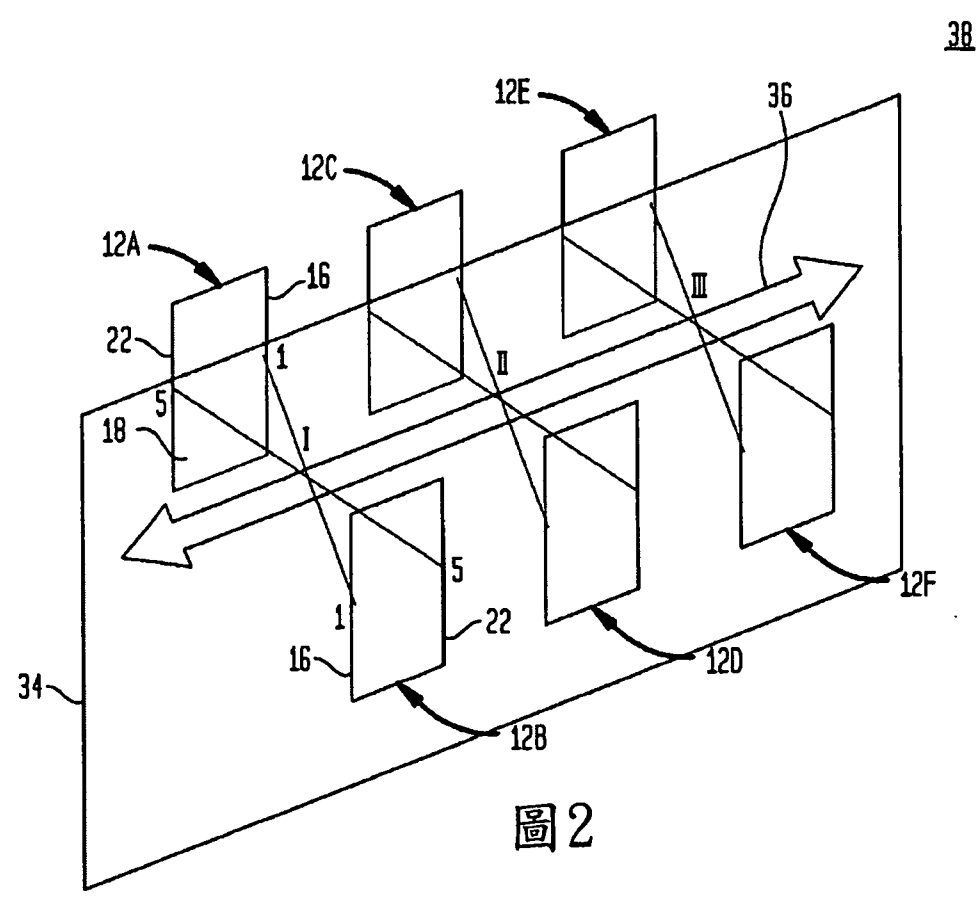


圖 2

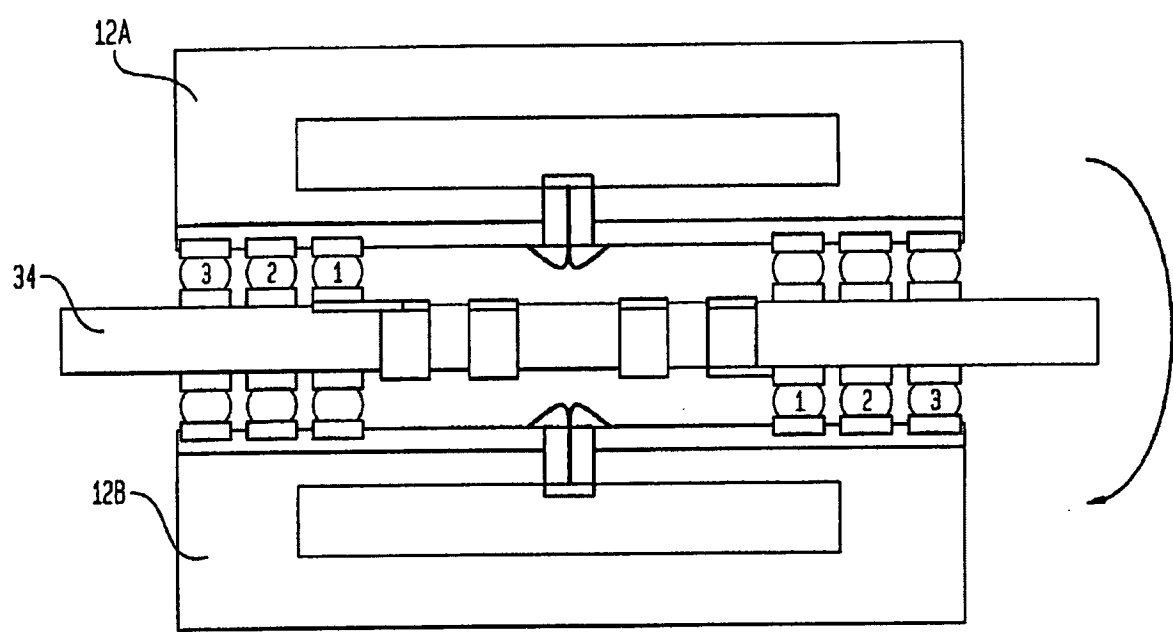


圖 3

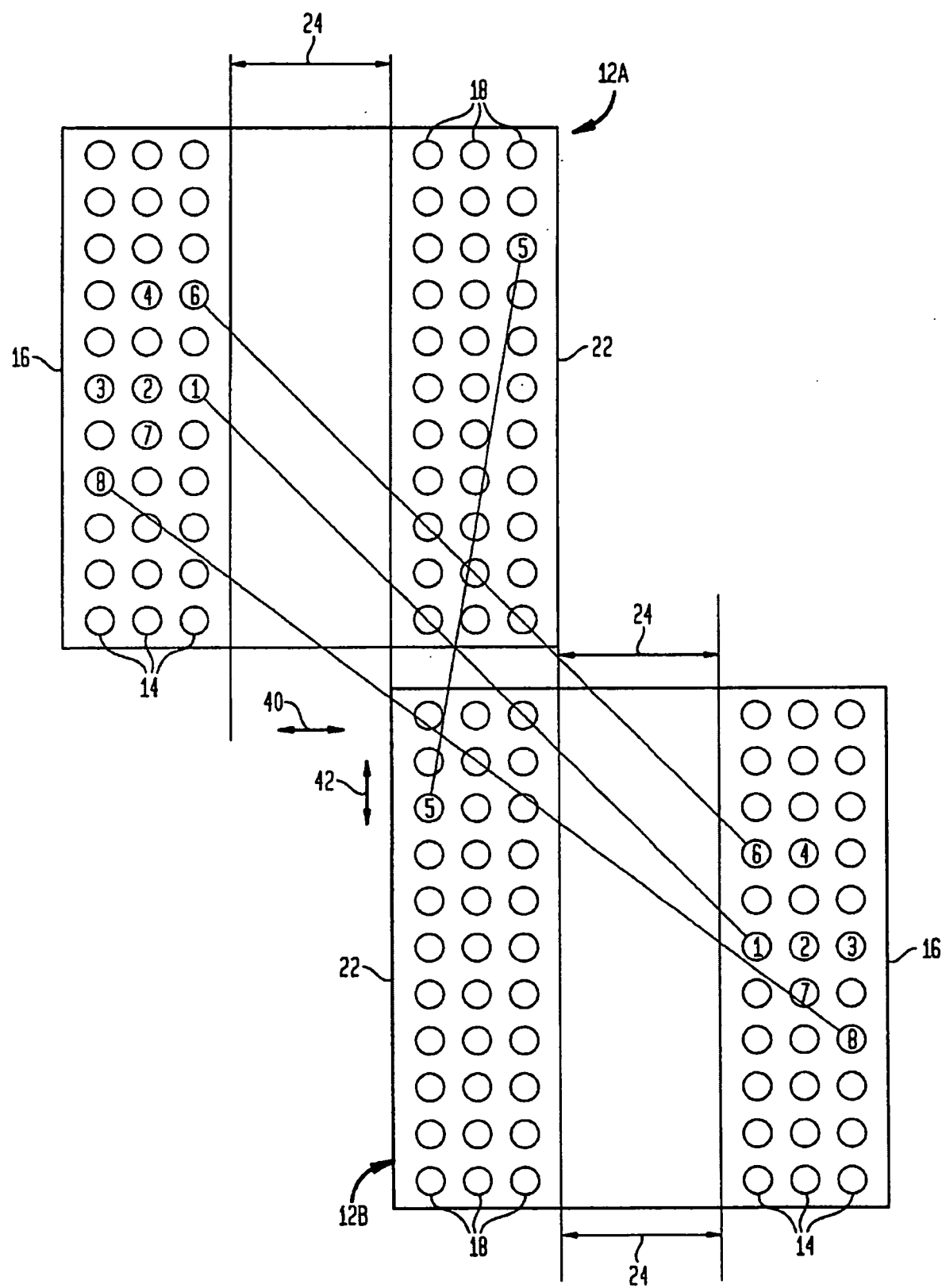


圖 4

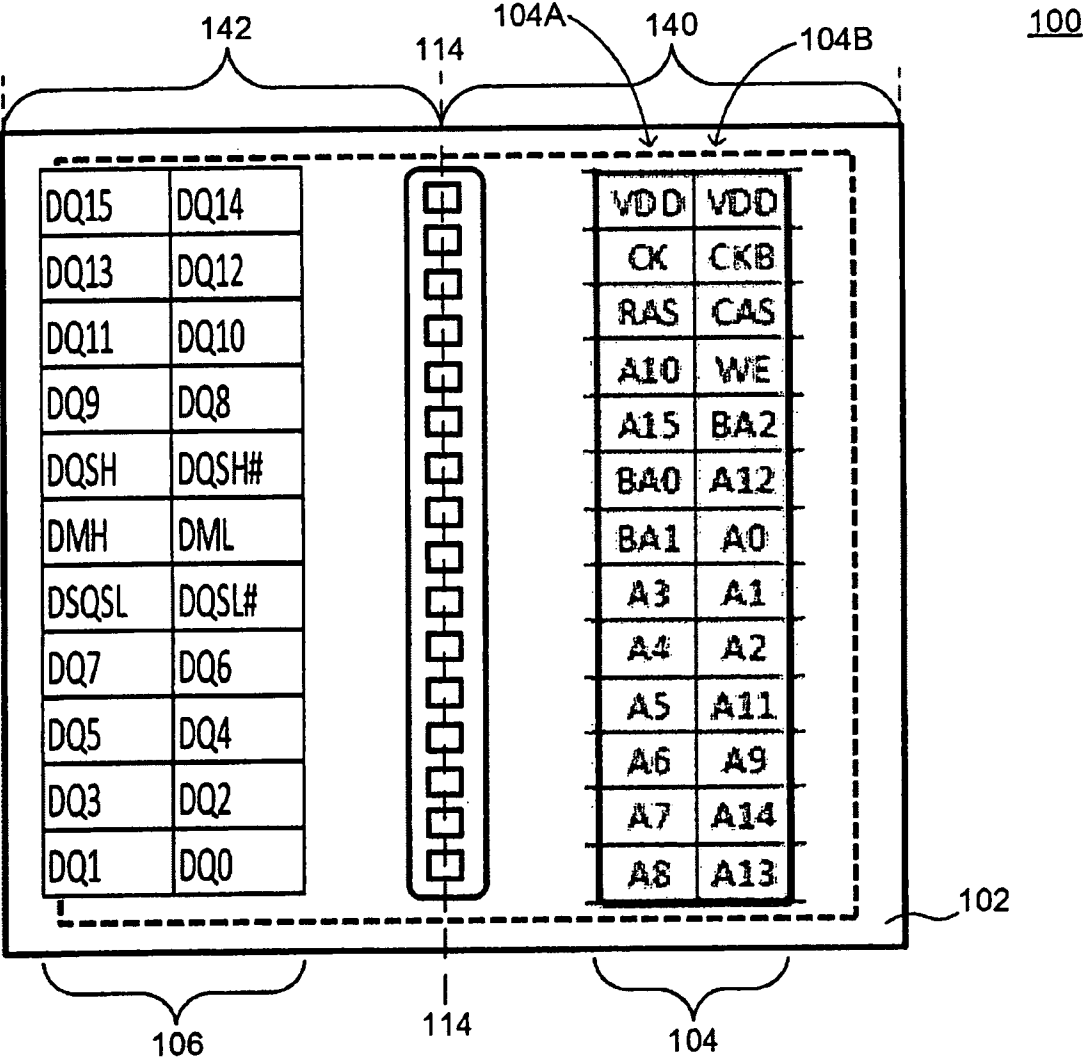


圖 5

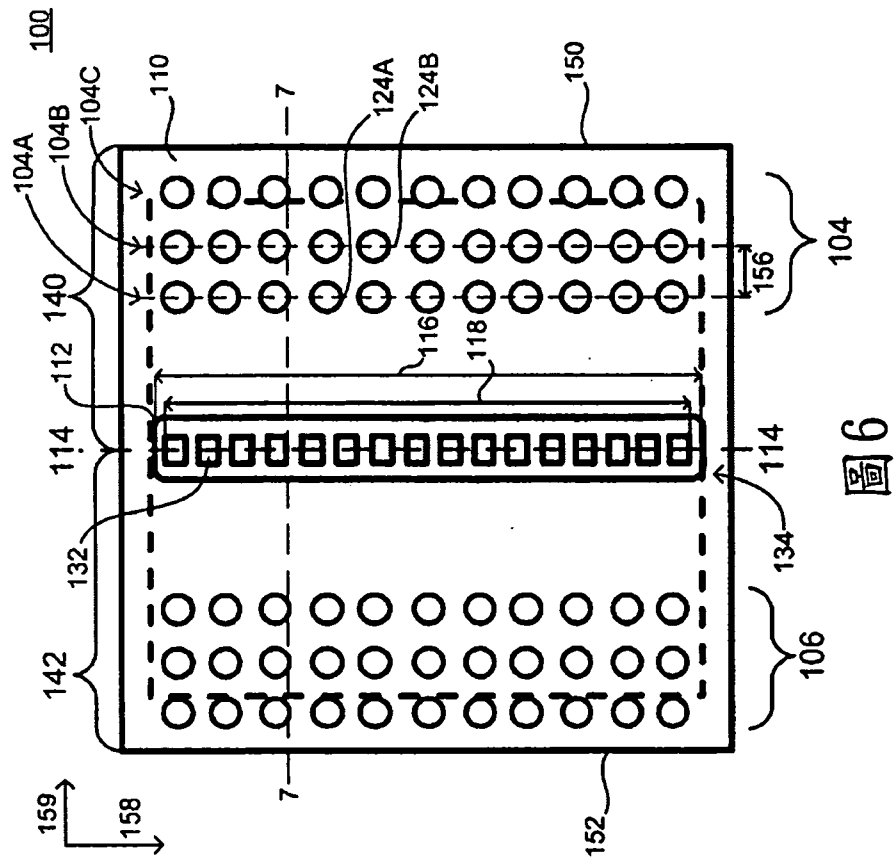


圖6

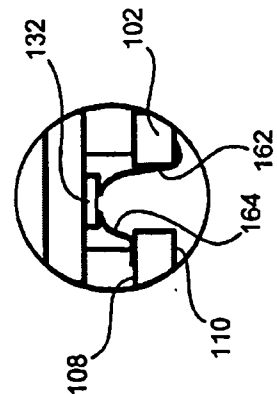


圖8

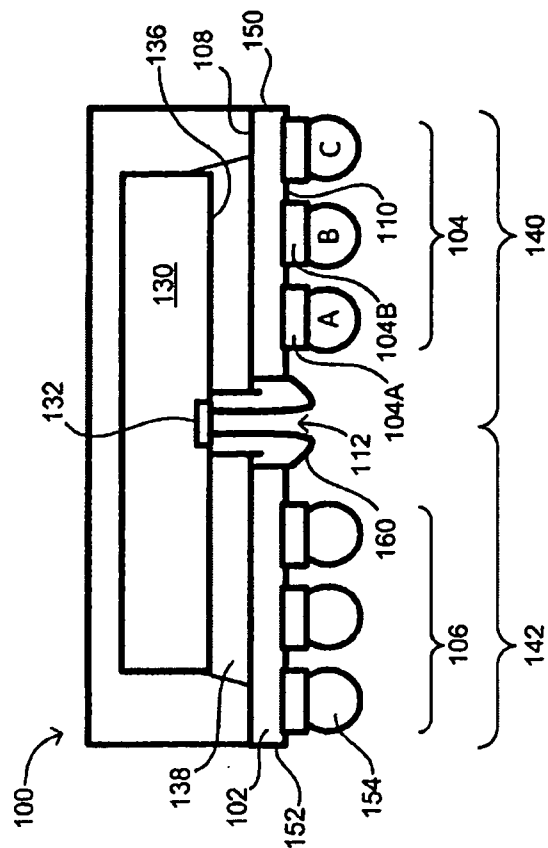


圖7

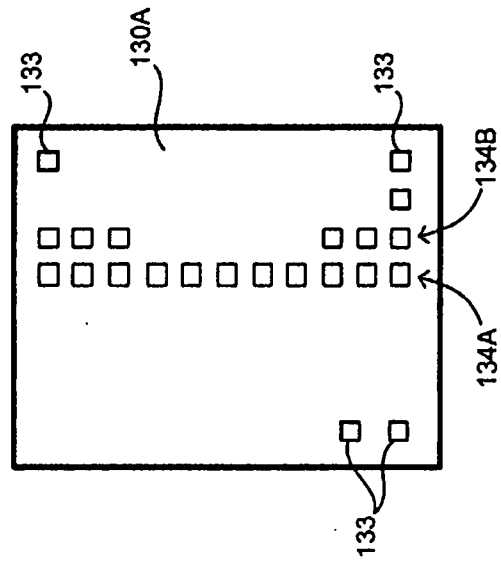


圖9

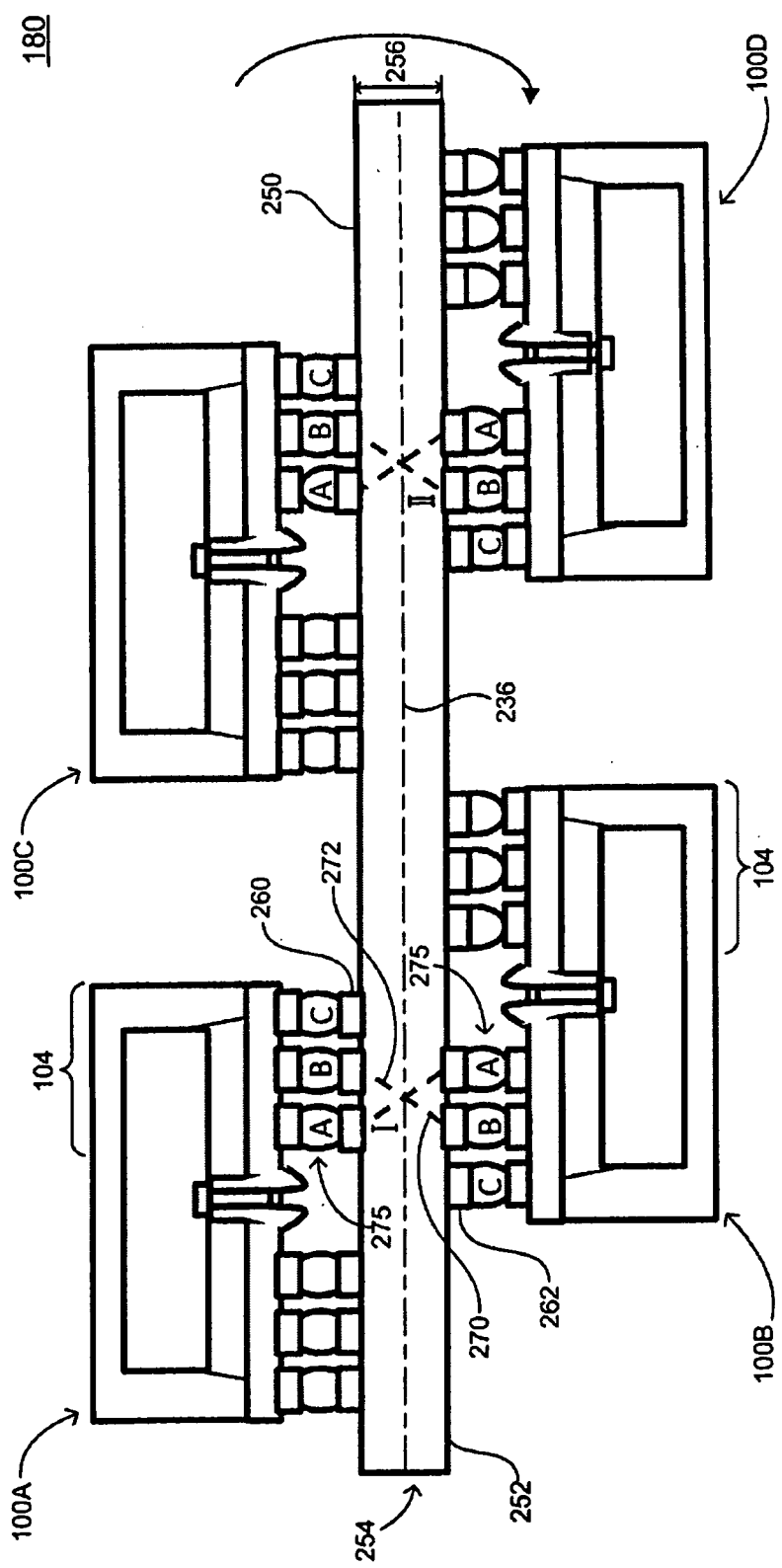


圖10

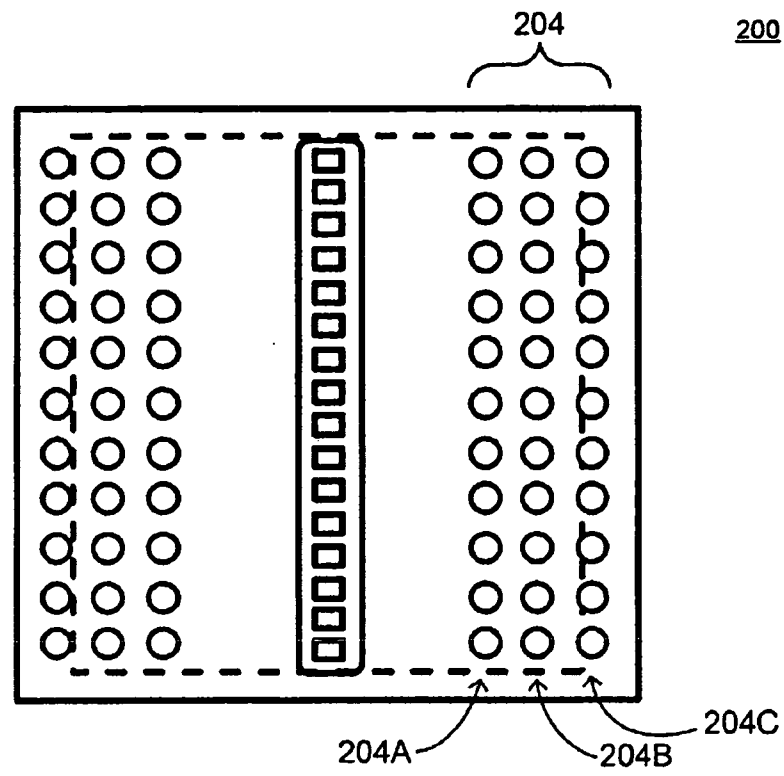


圖 11

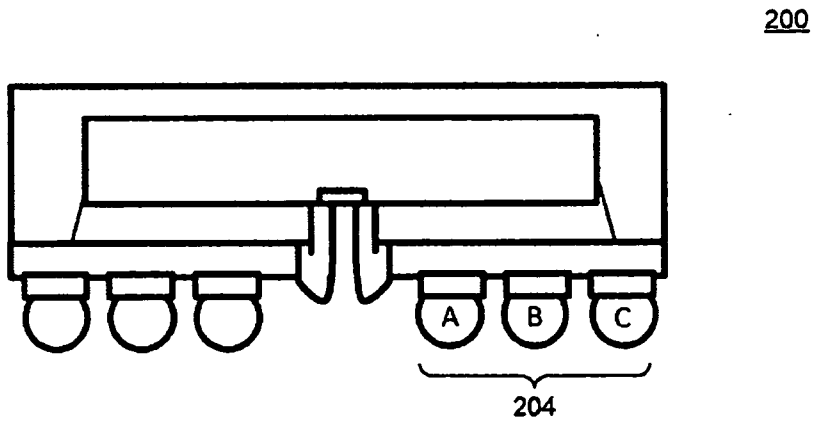


圖 12

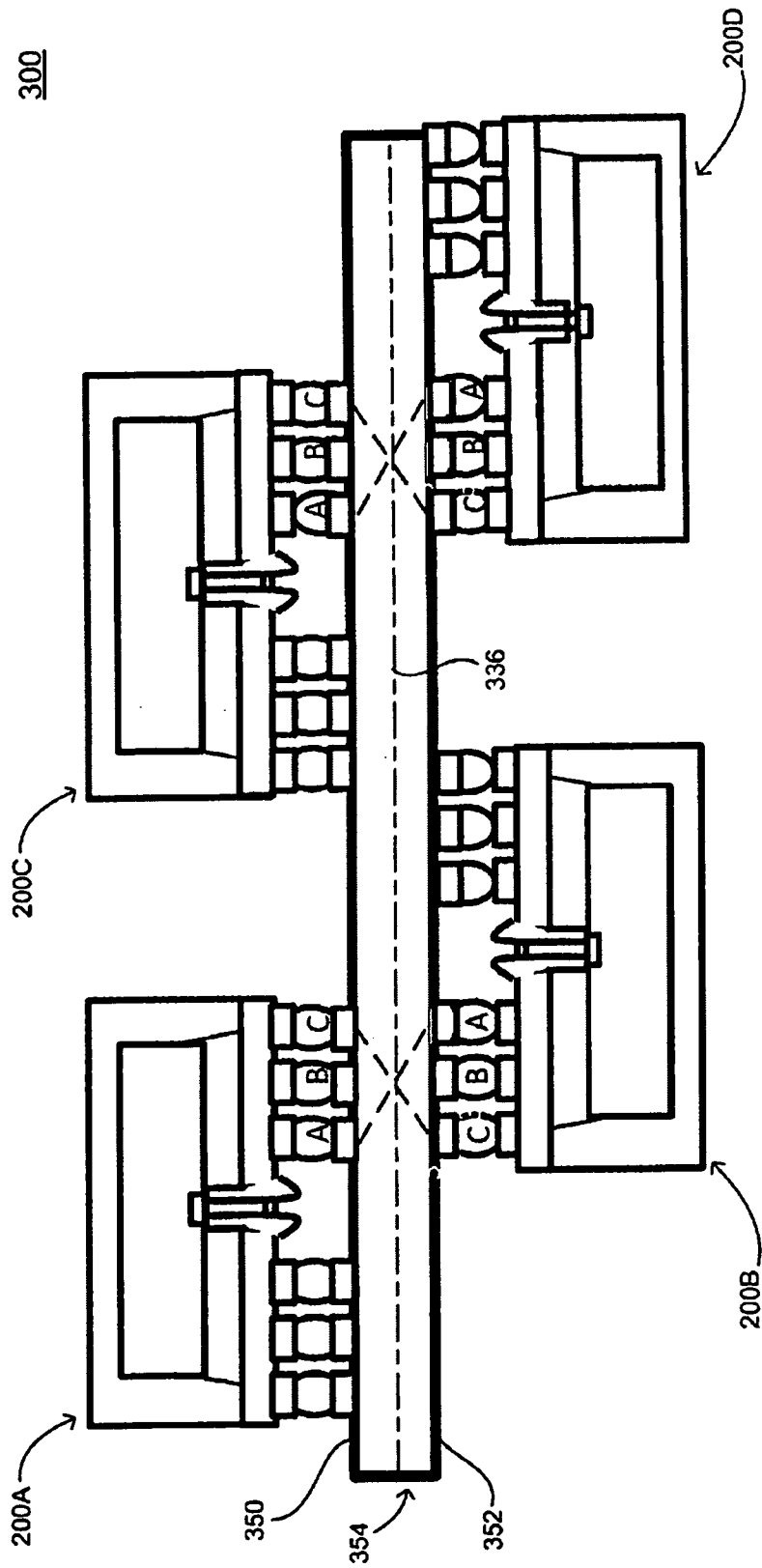


圖13

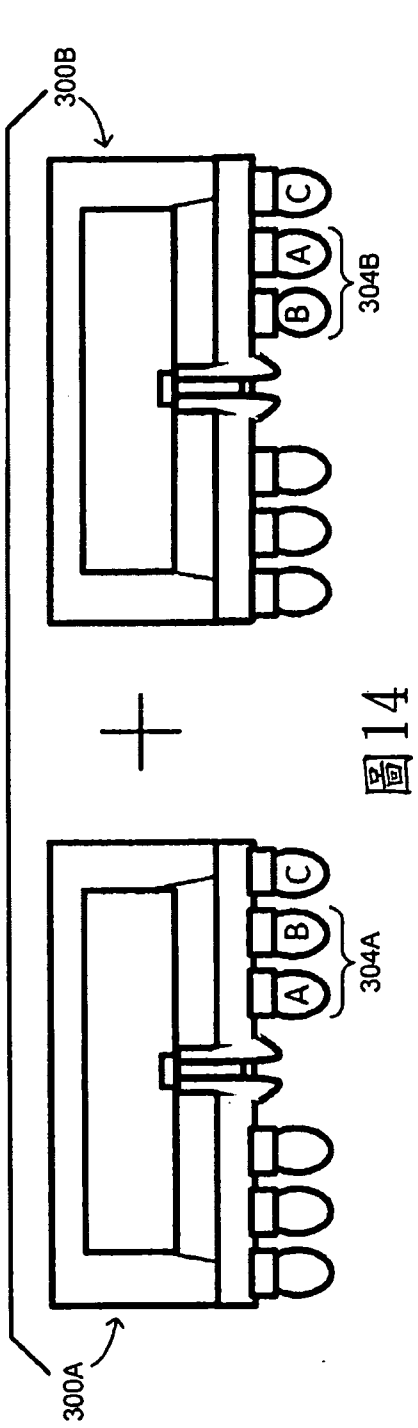


圖 14

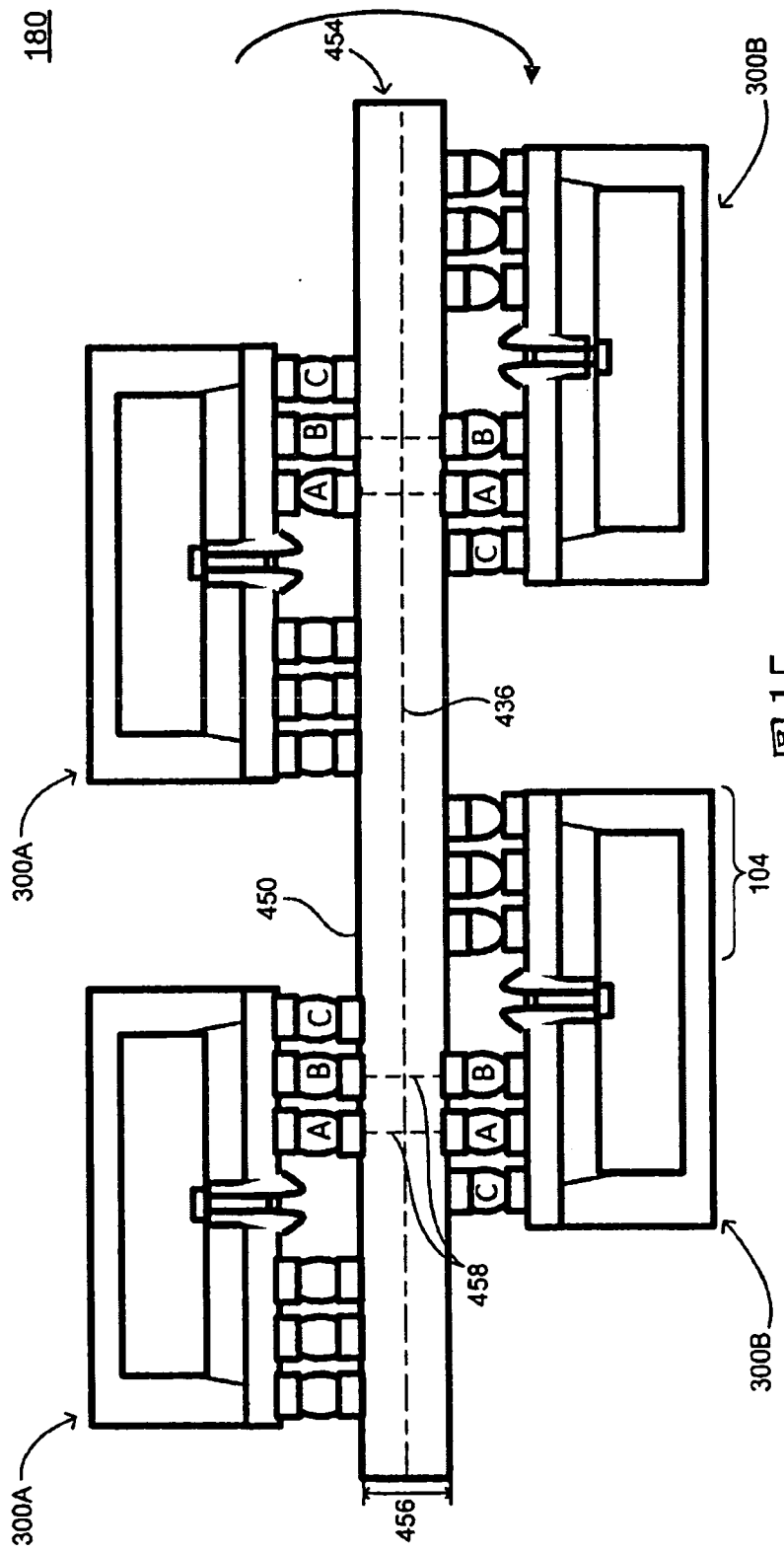


圖 15

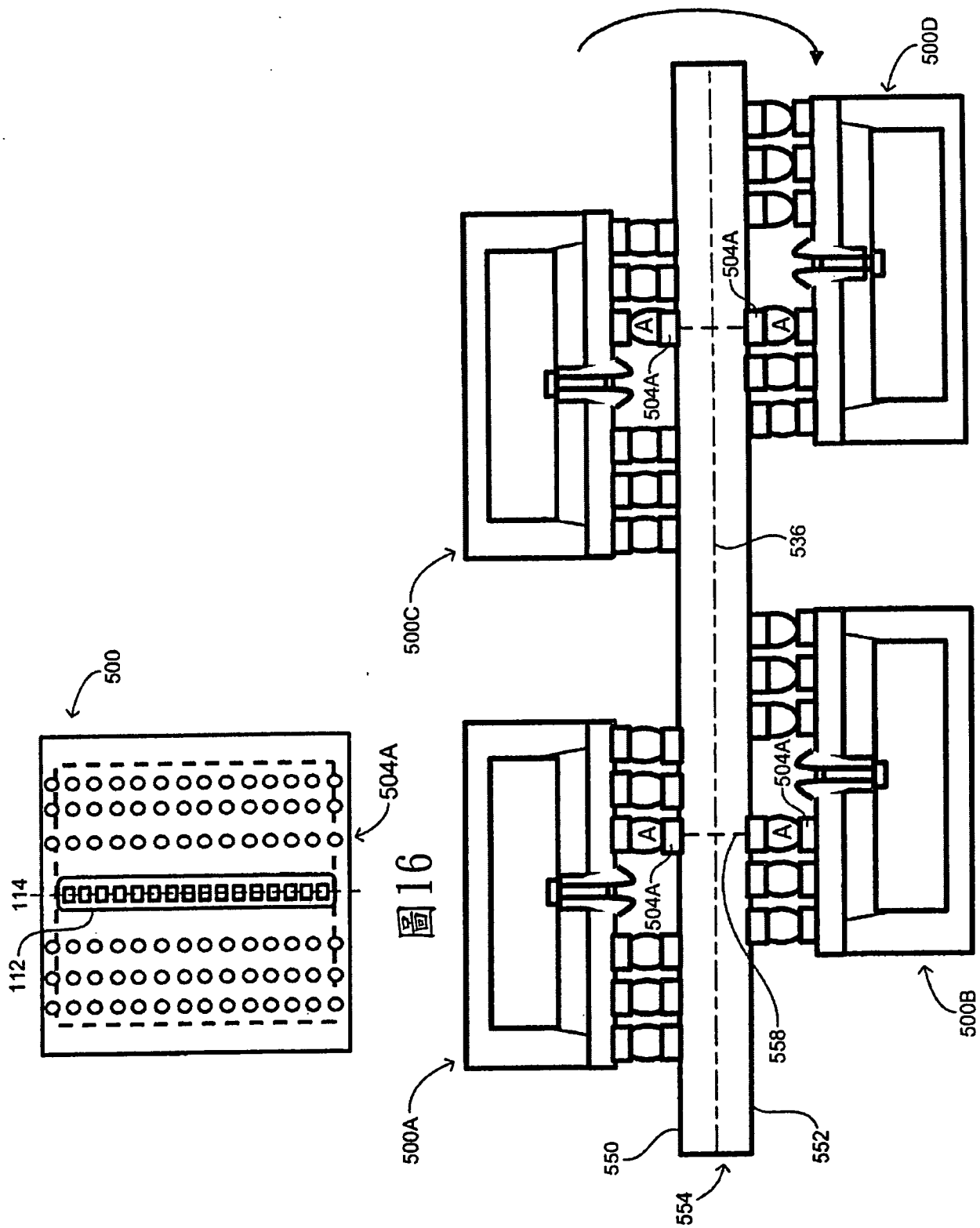


圖 17

圖 16

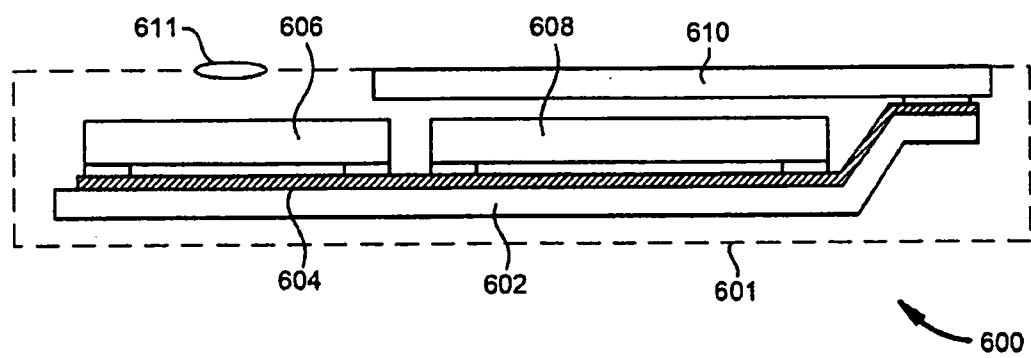


圖18