

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年12月12日(12.12.2024)



(10) 国際公開番号

WO 2024/252561 A1

(51) 国際特許分類:
H01L 25/065 (2023.01)

(21) 国際出願番号: PCT/JP2023/021165

(22) 国際出願日: 2023年6月7日(07.06.2023)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人: 株式会社 レゾナック (**RESONAC CORPORATION**) [JP/JP]; 〒1057325 東京都港区東新橋一丁目9番1号 Tokyo (JP).

(72) 発明者: 乃万 裕一 (**NOMA Hirokazu**); 〒1058518 東京都港区芝大門一丁目13番9号 株式会社 レゾナック内 Tokyo (JP). 白坂 敏明 (**SHIRASAKA**

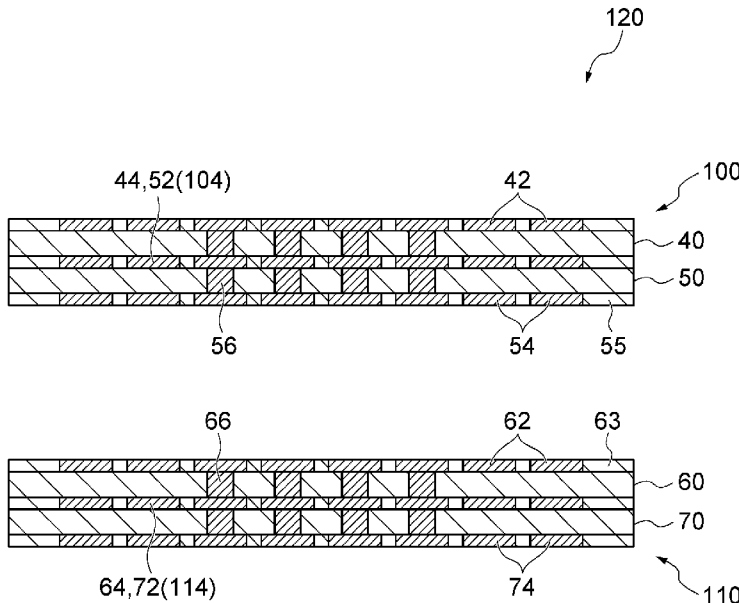
Toshiaki); 〒1058518 東京都港区芝大門一丁目13番9号 株式会社 レゾナック内 Tokyo (JP).

(74) 代理人: 長谷川 芳樹, 外 (**HASEGAWA Yoshiaki et al.**); 〒1000005 東京都千代田区丸の内二丁目1番1号 丸の内 M Y P L A Z A (明治安田生命ビル) 9階 創英国際特許法律事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU,

(54) **Title:** METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE, AND SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置の製造方法、及び、半導体装置



(57) **Abstract:** A method for manufacturing a semiconductor device according to one embodiment of the present invention includes preparing, for example, four semiconductor wafers 40, 50, 60, 70. In this manufacturing method, the semiconductor wafer 40 and the semiconductor wafer 50 are bonded by hybrid bonding to produce a laminated wafer 100. Similarly, the semiconductor wafer 60 and the semiconductor wafer 70 are bonded by hybrid bonding to produce another laminated wafer 110. Subsequently, the laminated wafer 100 and the other laminated wafer 110 are further bonded by



LY, MA, MD, MG, MK, MN, MU, MW, MX, MY,
MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

hybrid bonding to produce a laminated wafer 120. With this method, processes can be shortened as compared with a case of laminating layers one by one in order, and the effect of the shortening is remarkable especially when the number of layers to be laminated is large.

(57) 要約: 半導体装置の製造方法の一例として、例えば、4つの半導体ウエハ40, 50, 60, 70を準備する。この製造方法では、半導体ウエハ40と半導体ウエハ50とをハイブリッドボンディングで接合して、積層ウエハ100を作製する。同様に、半導体ウエハ60と半導体ウエハ70とをハイブリッドボンディングで接合して、別の積層ウエハ110を作製する。その後、積層ウエハ100と別の積層ウエハ110とを更にハイブリッドボンディングで接合して積層ウエハ120を作製する。この方法によれば、一層ずつ順に積層する場合に比べて工程を短縮でき、特に積層数が多い場合に短縮の効果が顕著である。

明 細 書

発明の名称：半導体装置の製造方法、及び、半導体装置

技術分野

[0001] 本開示は、半導体装置の製造方法、及び、半導体装置に関する。

背景技術

[0002] 非特許文献 1 及び 2 には、半導体ウエハ同士を接合する方法 (Wafer to Wafer bonding) 及び個片化された半導体チップを半導体ウエハに接合する方法 (Chip to Wafer bonding) が開示されている。半導体ウエハ同士を接合する方法は、多数の半導体ダイが形成されたウエハ同士を積層するものであり、一方の半導体ウエハを個片化した半導体チップを他方の半導体ウエハに接合する方法よりも製造効率は良好である。非特許文献 3 には、このような半導体ウエハ同士を接合する方法として、半導体ウエハを 1 枚ずつ逐次積層する方法が開示されている。なお、非特許文献 4 では、ワイヤボンディング工法による積層メモリにおいて 176 層の半導体層が積層されることが開示されている。

先行技術文献

非特許文献

[0003] 非特許文献 1: Adel Elsherbini et al., “Enabling Hybrid Bonding on Intel Process”, 2021 IEEE International Electron Devices Meeting (IEDM), IEDM21-729 to 732

非特許文献 2: Fumihiko Inoue et al., “Advanced Dicing Technologies for Combination of Wafer to Wafer and Collective Die to Wafer Direct Bonding”, 2019 IEEE 69th Electronic Components and Technology Conference (ECTC), pp.437-445

非特許文献 3: TaeSeong Kim et al., “Multi-Stack Wafer Bonding Demonstration utilizing Cu to Cu Hybrid Bonding and TSV enabling Diverse 3D Integration”, 2021 IEEE 71st Electronic Components and Technology Co

nference (ECTC), pp. 415-419

非特許文献4: “Micron B47R 3D CTF CuA NAND Die, World’ s First 176L’ 195T”, [online]、2021年8月19日、[令和5年5月14日検索]、インターネット<URL : <https://semiengineering.com/micron-b47r-3d-ctf-cua-nand-die-worlds-first-176l-195t/>>

非特許文献5: S. Yoneda et al., “A Novel Photosensitive Polyimide Adhesive Material for Hybrid Bonding Processing”, 2021 IEEE 71st Electronic Components and Technology Conference (ECTC), San Diego, CA, USA, 2021, pp.680-686

非特許文献6: 野沢善幸, 「Bosch型エッチャーによるシリコン深掘り技術」, Journal of the Vacuum Society of Japan, 53巻, 7号, pp.446-453, 2010

発明の概要

発明が解決しようとする課題

[0004] 上述したように、半導体ウエハ同士を接合する方法では、半導体ウエハを一層ずつ順に積層していくため、積層数に比例して、半導体ウエハの積層体を作製する期間が長期化してしまう。特に、多数の層（例えば10層以上）の半導体ウエハを積層する場合、積層体を作製する期間の長期化が顕著となる。そこで、半導体ウエハの積層体を作製する期間を短縮できる工法の開発が望まれている。

[0005] 本開示は、半導体ウエハの積層体を作製する期間を短縮できる半導体装置の製造方法を提供することを目的とする。

課題を解決するための手段

[0006] [1] 本開示は、一側面として、半導体装置の製造方法に関する。この半導体装置の製造方法は、第1半導体基板と、第1半導体基板の第1面に設けられた第1電極と、第1半導体基板の第2面に設けられた第2電極と、第1半導体基板を貫通し第1電極及び第2電極を互いに接続する、第1貫通電極を含む配線とを有する第1半導体ウエハを準備する工程と、第2半導体基板と、第2半導体基板の第1面に設けられた第3電極と、第2半導体基板の第

2面に設けられた第4電極と、第2半導体基板を貫通し第3電極及び第4電極を互いに接続する、第2貫通電極を含む配線とを有する第2半導体ウエハを準備する工程と、第3半導体基板と、第3半導体基板の第1面に設けられた第5電極と、第3半導体基板の第2面に設けられた第6電極と、第3半導体基板を貫通し第5電極及び第6電極を互いに接続する、第3貫通電極を含む配線とを有する第3半導体ウエハを準備する工程と、第4半導体基板と、第4半導体基板の第1面に設けられた第7電極と、第4半導体基板の第2面に設けられた第8電極と、第4半導体基板を貫通し第7電極及び第8電極を互いに接続する、第4貫通電極を含む配線とを有する第4半導体ウエハを準備する工程と、第1半導体ウエハと第2半導体ウエハとを積層して一体化すると共に、第2電極と第3電極とを接続して第1積層ウエハを作製する工程と、第3半導体ウエハと第4半導体ウエハとを積層して一体化すると共に、第6電極と第7電極とを接続して第2積層ウエハを作製する工程と、第1積層ウエハと第2積層ウエハとを積層して一体化すると共に、第4電極と第5電極とを接続して第3積層ウエハを作製する工程と、を備えている。

[0007] この半導体装置の製造方法では、まず、第1半導体ウエハと第2半導体ウエハとを積層して第1積層ウエハを作製すると共に、第3半導体ウエハと第4半導体ウエハとを積層して第2積層ウエハを作製している。そして、第1積層ウエハと第2積層ウエハとを更に積層して多層の第3積層ウエハを作製している。この場合、積層数を倍々で増やしていくことができるため、一層ずつ順に積層していく工法に比べて、多層の半導体装置を作製する期間を短くすることができる。

[0008] [2] 上記[1]の半導体装置の製造方法において、第1半導体基板の第1面には第1絶縁層が設けられると共に、第1半導体基板の第2面には第2絶縁層が設けられてもよく、第2半導体基板の第1面には第3絶縁層が設けられると共に、第2半導体基板の第2面には第4絶縁層が設けられてもよい。第1積層ウエハを作製する工程では、加熱及び加圧の少なくとも一方を付与することにより、第2絶縁層と第3絶縁層とを接合して一体化すると共に

第2電極と第3電極とを接合してもよい。この場合、第1半導体ウエハと第2半導体ウエハとを積層して一体化する際に、いわゆるハイブリッドボンディング工法を用いることができる。よって、微細な電極同士を接合することができ、また、積層体の低背化も実現することが可能となる。

[0009] [3] 上記[2]の半導体装置の製造方法において、第3半導体基板の第1面には第5絶縁層が設けられると共に、第3半導体基板の第2面には第6絶縁層が設けられてもよく、第4半導体基板の第1面には第7絶縁層が設けられると共に、第4半導体基板の第2面には第8絶縁層が設けられてもよい。第2積層ウエハを作製する工程では、加熱及び加圧の少なくとも一方を付与することにより、第6絶縁層と第7絶縁層とを接合して一体化すると共に第6電極と第7電極とを接合してもよく、第3積層ウエハを作製する工程では、加熱及び加圧の少なくとも一方を付与することにより、第4絶縁層と第5絶縁層とを接合して一体化すると共に第4電極と第5電極とを接合してもよい。この場合、第3半導体ウエハと第4半導体ウエハとを積層して一体化する際、及び、第1積層ウエハと第2積層ウエハとを積層して一体化する際に、いわゆるハイブリッドボンディング工法を用いることができる。よって、微細な電極同士を接合することができ、また、積層体の低背化も実現することが可能となる。

[0010] [4] 上記[2]又は[3]の半導体装置の製造方法において、第1絶縁層、第2絶縁層、第3絶縁層、及び第4絶縁層は、有機絶縁材料及び無機絶縁材料の少なくとも一方を含んでもよい。各絶縁層が有機絶縁材料を含む場合、ハイブリッドボンディングを行う際に接合面に予期しない微粒子やデブリが付着しても有機絶縁材料で吸収して接合不良を低減することが期待できる（例えば、非特許文献5を参照）。また、各絶縁層が無機絶縁材料を含む場合、半導体トランジスタ同士をつなぐ目的のBEOL(Back end of line)配線技術を利用することで、微細な絶縁層及び電極を形成しやすくなる。なお、第5絶縁層、第6絶縁層、第7絶縁層、及び第8絶縁層も同様に有機絶縁材料及び無機絶縁材料の少なくとも一方を含んでもよい。

- [0011] [5] 上記[4]の半導体装置の製造方法において、有機絶縁材料は、ビスマレイミド、ポリイミド、ポリイミド前駆体、ポリアミドイミド、ベンゾシクロブテン（BCB）、ポリベンゾオキサゾール（PBO）、又は、PBO前駆体を含むことが好ましい。この場合、ハイブリッドボンディング製法において各電極を接合する際の加熱温度が高くなったとしても、絶縁層が軟化等して各電極間の接合を阻害してしまうことを抑制できる。
- [0012] [6] 上記[1]の半導体装置の製造方法において、第1積層ウエハを作製する工程では、第2電極と第3電極とを半田バンプによって接合してもよい。この場合、第2電極と第3電極とをより確実に接合することができる。なお、第2積層ウエハを作製する工程及び第3積層ウエハを作製する工程において、各電極の接合を同様に半田バンプによって行ってもよい。なお、NCF（Non Conductive Film）を用いた半田バンプ接合を用いてもよい。
- [0013] [7] 上記[1]～[6]の何れかの半導体装置の製造方法は、第1積層ウエハ及び第2積層ウエハを、第3積層ウエハを作製する前に検査する工程を更に備えてもよい。この場合、不良の半導体ウエハまたは不良率の高い半導体ウエハを除いて良品の半導体ウエハ又は良品率の高い半導体ウエハを次の工程に進めることで、全体として半導体装置の良品率を向上させることができる。
- [0014] [8] 上記[7]の半導体装置の製造方法において、第1積層ウエハは、複数の第1半導体チップ領域を含み、第2積層ウエハは、複数の第2半導体チップ領域を含み、検査する工程では、複数の第1半導体チップ領域のそれぞれが検査されると共に、複数の第2半導体チップ領域のそれぞれが検査され、第3積層ウエハを作製する工程では、検査する工程での検査結果に基づいて複数の第1半導体チップ領域それぞれと複数の第2半導体チップ領域それぞれとの組み合わせが選択されてもよい。これにより、不良の半導体ウエハまたは不良率の高い半導体ウエハを除いて良品の半導体ウエハ又は良品率の高い半導体ウエハを次の工程に進めることで、全体として半導体装置の良品率を更に向上させることができる。

[0015] [9] 上記 [8] の半導体装置の製造方法において、第 3 積層ウエハを作製する工程では、検査する工程で良品と判断された各半導体チップ領域同士が重ね合わされるように選択が行われてもよい。この場合、半導体装置の良品率を更に向上させることができる。

[0016] [1 0] 上記 [1] ～「 9 」の何れかの半導体装置の製造方法は、第 3 積層ウエハを作製する工程を 2 回以上行って複数の第 3 積層ウエハを作製する工程と、複数の第 3 積層ウエハを積層して第 4 積層ウエハを作製する工程と、を更に備えてもよい。この場合、一層ずつ順に積層していく工法に比べて、多層の半導体装置を作製する期間を短くすることができる。

[0017] [1 1] 上記 [1] ～ [1 0] の何れかの半導体装置の製造方法は、第 3 積層ウエハを含む積層体をチップサイズに個片化し、少なくとも 1 つの積層半導体チップを得る工程を更に備えてもよい。

[0018] [1 2] 本開示は、一側面として、半導体装置に関する。この半導体装置は、上記 [1 1] の半導体装置の製造方法によって製造される少なくとも 1 つの積層半導体チップと、積層半導体チップが実装される基板と、を備えている。

発明の効果

[0019] 本開示によれば、半導体ウエハの積層体を作製する期間を短縮することができる。

図面の簡単な説明

[0020] [図1]図 1 は、本発明の一実施形態に係る半導体装置の断面構成の一例を示す断面図である。

[図2]図 2 の (a) 及び (b) は、図 1 に示す半導体装置の製造方法を示す断面図である。

[図3]図 3 は、図 1 に示す半導体装置の製造方法を示す断面図であり、図 2 に示す工程の後に行われる工程を示す。

[図4]図 4 は、検査工程での結果を反映して貼り合わせる工程を説明するための図である。

[図5]図5は、検査工程での結果を反映して貼り合わせる工程を説明するための図である。

[図6]図6は、図4及び図5の貼り合わせる工程を説明するための斜視図である。

発明を実施するための形態

[0021] 以下、図面を参照しながら本発明に係る実施形態について詳細に説明する。以下の説明では、同一又は相当部分には同一の符号を付し、重複する説明は省略する。また、上下左右等の位置関係は、特に断らない限り、図面に示す位置関係に基づくものとする。更に、図面の寸法比率は図示の比率に限られるものではない。

[0022] 本明細書において「層」との語は、平面図として観察したときに、全面に形成されている形状の構造に加え、一部に形成されている形状の構造も包含される。本明細書において「工程」との語は、独立した工程だけではなく、他の工程と明確に区別できない場合であってもその工程の所期の作用が達成されれば、本用語に含まれる。

[0023] 本明細書において「～」を用いて示された数値範囲は、「～」の前後に記載される数値をそれぞれ最小値及び最大値として含む範囲を示す。本明細書中に段階的に記載されている数値範囲において、ある段階の数値範囲の上限値又は下限値は、他の段階の数値範囲の上限値又は下限値に置き換えてもよい。本明細書中に記載されている数値範囲において、その数値範囲の上限値又は下限値は、実施例に示されている値に置き換えてもよい。

[0024] 図1は、本発明の一実施形態に係る製造方法によって製造される半導体装置の一例を示す図である。図1に示すように、半導体装置1（第3積層ウエハ120に対応）は、4つの半導体ウエハが積層された3次元積層体である。半導体装置1は、5層の配線電極11～15、5層の絶縁層21～25、半導体基板31～34を有している。配線電極11は、絶縁層21内に形成されている、配線電極12は、絶縁層22内に形成されている。配線電極13は、絶縁層23内に形成されている。配線電極14は、絶縁層24内に形

成されている。配線電極 15 は、絶縁層 25 内に形成されている。各半導体基板 31～34 は、例えば、シリコンウエハであり、後述する半導体基板 41, 51, 61, 71 に対応する（図 2 を参照）。図 1 に示す半導体装置 1 では、例えば 4 層の半導体ウエハが積層された例を示しているが、これに限定されず、更に多層の半導体ウエハ（例えば 8 層の半導体ウエハ又は 16 層の半導体ウエハ）が積層された積層体であってもよい。

[0025] 半導体装置 1 には、更に、各半導体ウエハを貫通する、貫通電極 36～39 が設けられている。貫通電極 36 は、半導体基板 31 を貫通して配線電極 11 と配線電極 12 とを接続する。貫通電極 37 は、半導体基板 32 を貫通して配線電極 12 と配線電極 13 とを接続する。貫通電極 38 と、半導体基板 33 を貫通して配線電極 13 と配線電極 14 とを接続する。貫通電極 39 は、半導体基板 34 を貫通して配線電極 14 と配線電極 15 とを接続する。各貫通電極 36～39 は、例えば、シリコン貫通電極（Through Silicon Via, TSV）である。また、各貫通電極 36～39 は、対応する配線電極を直接的に接続する構成であってもよいし、2 つ以上の貫通電極及びそれらを繋ぐ電極を含む配線として、対応する配線電極を接続する構成であってもよい。

[0026] 次に、図 2 及び図 3 を参照して、半導体装置 1 の製造方法について説明する。図 2 の（a）及び（b）は、図 1 に示す半導体装置の製造方法を示す断面図である。図 3 は、図 1 に示す半導体装置の製造方法を示す断面図であり、図 2 に示す工程の後に行われる工程を示す。この製造方法は、以下の工程 [A]～工程 [G] を備えている。

[0027] 工程 A：第 1 半導体基板と、第 1 半導体基板の第 1 面に設けられた第 1 電極と、第 1 半導体基板の第 2 面に設けられた第 2 電極と、第 1 半導体基板を貫通し第 1 電極及び第 2 電極を互いに接続する、第 1 貫通電極を含む配線とを有する第 1 半導体ウエハを準備する工程。

工程 B：第 2 半導体基板と、第 2 半導体基板の第 1 面に設けられた第 3 電極と、第 2 半導体基板の第 2 面に設けられた第 4 電極と、第 2 半導体基板を

貫通し第3電極及び第4電極を互いに接続する、第2貫通電極を含む配線とを有する第2半導体ウエハを準備する工程。

工程C：第3半導体基板と、第3半導体基板の第1面に設けられた第5電極と、第3半導体基板の第2面に設けられた第6電極と、第3半導体基板を貫通し第5電極及び第6電極を互いに接続する、第3貫通電極を含む配線とを有する第3半導体ウエハを準備する工程。

工程D：第4半導体基板と、第4半導体基板の第1面に設けられた第7電極と、第4半導体基板の第2面に設けられた第8電極と、第4半導体基板を貫通し第7電極及び第8電極を互いに接続する、第4貫通電極を含む配線とを有する第4半導体ウエハを準備する工程。

工程E：第1半導体ウエハと第2半導体ウエハとを積層して一体化すると共に、第2電極と第3電極とを接続して第1積層ウエハを作製する工程。

工程F：第3半導体ウエハと第4半導体ウエハとを積層して一体化すると共に、第6電極と第7電極とを接続して第2積層ウエハを作製する工程。

工程G：第1積層ウエハと第2積層ウエハとを積層して一体化すると共に、第4電極と第5電極とを接続して第3積層ウエハを作製する工程。

[0028] [工程A]

工程Aでは、図2の(a)に示すように、第1半導体ウエハ40を準備する。第1半導体ウエハ40は、半導体基板41（第1半導体基板）と、半導体基板41の第1面41aに設けられた複数の電極42（第1電極）と、半導体基板41の第1面41aに設けられた絶縁層43（第1絶縁層）と、半導体基板41の第2面41bに設けられた複数の電極44（第2電極）と、半導体基板41の第2面41bに設けられた絶縁層45（第2絶縁層）と、半導体基板41を貫通し、電極42、44を互いに接続する、貫通電極46（第1貫通電極）を含む配線と、を有している。

[0029] 工程Aでは、まず、半導体素子及びそれらを接続する配線などからなる集積回路が形成されたシリコン基板である半導体基板41を準備する。この半導体基板41の厚みは、例えば $4\mu\text{m} \sim 775\mu\text{m}$ である。半導体基板41

が準備されると、次に、所定の方法により、半導体基板 4 1 を貫通する孔を設けると共に、当該孔を埋める複数の貫通電極 4 6 を形成する。貫通電極 4 6 は、いわゆる T S V であり、その形成方法にはボッシュプロセス（非特許文献 6）等の公知の方法を用いることができる。

[0030] 続いて、工程 A では、シリコン等からなる半導体基板 4 1 の第 1 面 4 1 a に、配線電極 1 1 となる複数の電極 4 2 と、絶縁層 2 1 となる絶縁層 4 3 とを形成する。各電極 4 2 は、レジスト開口を設けると共に電気メッキにより当該開口に銅等の導電材料を析出する方法等により、形成することができる。絶縁層 4 3 は、例えば有機絶縁材料から形成される。例えば、液状のポリイミド（P I）を電極 4 2 が形成された半導体基板 4 1 の第 1 面 4 1 a 上にスピンコートにより塗布して硬化することにより、絶縁層 4 3 を形成することができる。電極 4 2 及び絶縁層 4 3 は他の方法を用いて形成してもよい。電極 4 2 及び絶縁層 4 3 の厚みは、例えば $1\ \mu\text{m}$ 以上 $10\ \mu\text{m}$ 以下である。

[0031] 絶縁層 4 3 として用いられる有機絶縁材料は、ポリイミド以外としては、例えば、ポリイミド前駆体（例えばポリイミジアミックエステル又はポリアミック酸）、ポリアミドイミド、ビスマレイミド、ベンゾシクロブテン（B C B）、ポリベンゾオキサゾール（P B O）、又は P B O 前駆体等を用いることができる。ポリイミドを含むこれら有機絶縁材料は、例えば、酸化シリコン（ SiO_2 ）等の無機材料に比べて低い弾性率を有しており、柔らかい材料である。このような有機材料を用いることにより、後述する工程 E ~ 工程 G で有機絶縁層同士を貼り合わせる際、絶縁層上に微細なデブリがあっても有機絶縁層内に吸収してデブリによる接合不良を防止し、有機絶縁層同士の貼り合わせを確実に行うことが可能となる。なお、絶縁層 4 3 は、酸化シリコン等の無機材料から形成されていてもよい。

[0032] また、工程 A では、シリコン等からなる半導体基板 4 1 の第 2 面 4 1 b に、配線電極 1 2 の一部となる複数の電極 4 4 と、絶縁層 2 2 の一部となる絶縁層 4 5 とを形成する。電極 4 4 及び絶縁層 4 5 の形成方法は、上述した電極 4 2 及び絶縁層 4 3 の形成方法と同じ方法を用いることができるため、説

明を省略する。以上により、第1半導体ウエハ40が形成される。なお、第1半導体ウエハ40において、図2に示す例では、電極42と電極44とが貫通電極46によって直接的に接続されているが、電極42と電極44とが複数の貫通電極及びそれらを繋ぐ電極を含む配線によって接続されていてもよい。以下の他の半導体ウエハにおいても同様であってもよい。

[0033] [工程B]

工程Bでは、第2半導体ウエハ50を準備する。第2半導体ウエハ50は、半導体基板51（第2半導体基板）と、半導体基板51の第1面51aに設けられた複数の電極52（第3電極）と、半導体基板51の第1面51aに設けられた絶縁層53（第3絶縁層）と、半導体基板51の第2面51bに設けられた複数の電極54（第4電極）と、半導体基板51の第2面51bに設けられた絶縁層55（第4絶縁層）と、半導体基板51を貫通し、電極52、54を互いに接続する、複数の貫通電極56（第2貫通電極）を含む配線と、を有している。工程Bにおいて、第2半導体ウエハ50における電極52、54、絶縁層53、55及び貫通電極56の材料及び形成方法は、第1半導体ウエハ40と同様であるため、詳細な説明は省略する。なお、第2半導体ウエハ50における各電極52は、図1に示す半導体装置1の配線電極12の一部を構成し、絶縁層53は、絶縁層22の一部を構成する。また、第2半導体ウエハ50における電極54は、図1に示す半導体装置1の配線電極13の一部を構成し、絶縁層55は、絶縁層23の一部を構成する。

[0034] [工程C]

工程Cでは、第3半導体ウエハ60を準備する。第3半導体ウエハ60は、半導体基板61（第3半導体基板）と、半導体基板61の第1面61aに設けられた複数の電極62（第5電極）と、半導体基板61の第1面61aに設けられた絶縁層63（第5絶縁層）と、半導体基板61の第2面61bに設けられた複数の電極64（第6電極）と、半導体基板61の第2面61bに設けられた絶縁層65（第6絶縁層）と、半導体基板61を貫通し、電

極 6 2, 6 4 を互いに接続する、複数の貫通電極 6 6 (第 3 貫通電極) を含む配線と、を有している。工程 C において、第 3 半導体ウエハ 6 0 における電極 6 2, 6 4、絶縁層 6 3, 6 5 及び貫通電極 6 6 の材料及び形成方法は、第 1 半導体ウエハ 4 0 等と同様であるため、詳細な説明は省略する。なお、第 3 半導体ウエハ 6 0 における電極 6 2 は、図 1 に示す半導体装置 1 の配線電極 1 3 の一部を構成し、絶縁層 6 3 は、絶縁層 2 3 の一部を構成する。また、第 3 半導体ウエハ 6 0 における電極 6 4 は、図 1 に示す半導体装置 1 の配線電極 1 4 の一部を構成し、絶縁層 6 5 は、絶縁層 2 4 の一部を構成する。

[0035] [工程 D]

工程 D では、第 4 半導体ウエハ 7 0 を準備する。第 4 半導体ウエハ 7 0 は、半導体基板 7 1 (第 4 半導体基板) と、半導体基板 7 1 の第 1 面 7 1 a に設けられた複数の電極 7 2 (第 7 電極) と、半導体基板 7 1 の第 1 面 7 1 a に設けられた絶縁層 7 3 (第 7 絶縁層) と、半導体基板 7 1 の第 2 面 7 1 b に設けられた複数の電極 7 4 (第 8 電極) と、半導体基板 7 1 の第 2 面 7 1 b に設けられた絶縁層 7 5 (第 8 絶縁層) と、半導体基板 7 1 を貫通し、電極 7 2, 7 4 を互いに接続する、複数の貫通電極 7 6 (第 4 貫通電極) を含む配線と、を有している。工程 D において、第 4 半導体ウエハ 7 0 における電極 7 2, 7 4、絶縁層 7 3, 7 5 及び貫通電極 7 6 の材料及び形成方法は、第 1 半導体ウエハ 4 0 等と同様であるため、詳細な説明は省略する。なお、第 4 半導体ウエハ 7 0 における電極 7 2 は、図 1 に示す半導体装置 1 の配線電極 1 4 の一部を構成し、絶縁層 7 3 は、絶縁層 2 4 の一部を構成する。また、第 4 半導体ウエハ 7 0 における電極 7 4 は、図 1 に示す半導体装置 1 の配線電極 1 5 を構成し、絶縁層 7 5 は、絶縁層 2 5 を構成する。

[0036] [工程 E]

工程 E では、図 2 の (a) 及び (b) に示すように、第 1 半導体ウエハ 4 0 及び第 2 半導体ウエハ 5 0 の準備が終了すると、第 1 半導体ウエハ 4 0 と第 2 半導体ウエハ 5 0 とを積層して一体化すると共に、各電極 4 4 と各電極

５２とを接続して第１積層ウエハ１００を作製する。即ち、第１半導体ウエハ４０と第２半導体ウエハ５０とに対して加熱及び加圧を付与して、ハイブリッド接合によって両者を一体化する。第１半導体ウエハ４０及び第２半導体ウエハ５０に対する加熱温度は、例えば１５０℃～４００℃であり、加圧は、０．０４ＭＰａ～１０ＭＰａである。このような接合によって、第１半導体ウエハ４０の絶縁層４５と第２半導体ウエハ５０の絶縁層５３とが強固に接合（接続）されると共に、第１半導体ウエハ４０の各電極４４と第２半導体ウエハの各電極５２とが強固に接合（接続）される。電極４４と電極５２とが接合されて、図２の（ｂ）に示す電極１０４が形成される。電極１０４は、貫通電極４６，５６の両方に接続され、電極４２と電極５４とを電氣的に接続する。電極１０４は、図１に示す配線電極１２に対応する。

[0037] [工程Ｆ]

工程Ｆでは、図２の（ａ）及び（ｂ）に示すように、第３半導体ウエハ６０及び第４半導体ウエハ７０の準備が終了すると、第３半導体ウエハ６０と第４半導体ウエハ７０とを積層して一体化すると共に、各電極６４と各電極７２とを接続して第２積層ウエハ１１０を作製する。即ち、第３半導体ウエハ６０と第４半導体ウエハ７０とに対して加熱及び加圧を付与して、ハイブリッド接合によって両者を一体化する。第３半導体ウエハ６０及び第４半導体ウエハ７０に対する加熱温度は、例えば１５０℃～４００℃であり、加圧は、０．０４ＭＰａ～１０ＭＰａである。このような接合によって、第３半導体ウエハ６０の絶縁層６５と第４半導体ウエハ７０の絶縁層７３とが強固に接合（接続）されると共に、第３半導体ウエハ６０の各電極６４と第４半導体ウエハ７０の各電極７２とが強固に接合（接続）される。電極６４と電極７２とが接合されて、図２の（ｂ）に示す電極１１４が形成される。電極１１４は、貫通電極６６，７６の両方に接続され、電極６２と電極７４とを電氣的に接続する。電極１１４は、図１に示す配線電極１４に対応する。

[0038] [工程Ｇ]

工程Ｇでは、図３に示すように、第１積層ウエハ１００及び第２積層ウエ

ハ１１０の準備が終了すると、第１積層ウエハ１００と第２積層ウエハ１１０とを積層して一体化すると共に、各電極５４と各電極６２とを接続して第３積層ウエハ１２０を作製する。即ち、第１積層ウエハ１００と第２積層ウエハ１１０とに対して加熱及び加圧を付与して、ハイブリッド接合によって両者を一体化する。第１積層ウエハ１００及び第２積層ウエハ１１０に対する加熱温度は、例えば１５０℃～４００℃であり、加圧は、０．０４ＭＰａ～１０ＭＰａである。このような接合によって、第１積層ウエハ１００の絶縁層５５と第２積層ウエハ１１０の絶縁層６３とが強固に接合（接続）されると共に、第１積層ウエハ１００の各電極５４と第２積層ウエハ１１０の各電極６２とが強固に接合（接続）される。電極５４と電極６２とが接合されて、図１に示す配線電極１３が形成される。配線電極１３は、貫通電極５６，６６の両方に接続され、電極４２，４４，５２，５４，６２，６４，７２，７４が相互に電氣的に接続される。

[0039] このように、４層の半導体ウエハが積層された積層体である半導体装置１が形成される（図１も参照）。半導体装置１が形成された後に、半導体装置１をダイシング等によってチップサイズに個片化し、多数の積層半導体チップ（少なくとも１つの積層半導体チップ）を得るようにしてもよい。この場合、個片化された積層半導体チップを別の半導体基板等を実装して半導体装置とすることができる。

[0040] 以上、本実施形態に係る半導体装置の製造方法では、まず、第１半導体ウエハ４０と第２半導体ウエハ５０とを積層して第１積層ウエハ１００を作製すると共に、第３半導体ウエハ６０と第４半導体ウエハ７０とを積層して第２積層ウエハ１１０を作製している。そして、第１積層ウエハ１００と第２積層ウエハ１１０とを積層して多層の第３積層ウエハ１２０を作製している。この製造方法によれば、積層数を倍々で増やしていくことができるため、一層ずつ順に積層していく工法に比べて、多層の半導体装置を作製する期間を短くすることができる。

[0041] 本実施形態に係る半導体装置の製造方法では、半導体基板４１の第１面４

1 aには絶縁層4 3が設けられると共に、半導体基板4 1の第2面4 1 bには絶縁層4 5が設けられ、半導体基板5 1の第1面5 1 aには絶縁層5 3が設けられると共に、半導体基板5 1の第2面5 1 bには絶縁層5 5が設けられている。そして、この製造方法では、第1積層ウエハ1 0 0を作製する工程において、加熱及び加圧を付与することにより、絶縁層4 5と絶縁層5 3とを接合して一体化すると共に電極4 4と電極5 2とを接合している。これにより、第1半導体ウエハ4 0と第2半導体ウエハ5 0とを積層して一体化する際に、いわゆるハイブリッドボンディング工法を用いることができる。よって、微細な電極同士を接合することができ、また、積層体の低背化も実現することが可能となる。

[0042] 本実施形態に係る半導体装置の製造方法では、更に、半導体基板6 1の第1面6 1 aには絶縁層6 3が設けられると共に、半導体基板6 1の第2面6 1 bには絶縁層6 5が設けられ、半導体基板7 1の第1面7 1 aには絶縁層7 3が設けられると共に、半導体基板7 1の第2面7 1 bには絶縁層7 5が設けられている。そして、第2積層ウエハ1 1 0を作製する工程において、加熱及び加圧を付与することにより、絶縁層6 5と絶縁層7 3とを接合して一体化すると共に電極6 4と電極7 2とを接合している。また、第3積層ウエハ1 2 0を作製する工程では、加熱及び加圧を付与することにより、絶縁層5 5と絶縁層6 3とを接合して一体化すると共に電極5 4と電極6 2とを接合している。これにより、第3半導体ウエハ6 0と第4半導体ウエハ7 0とを積層して一体化する際、及び、第1積層ウエハ1 0 0と第2積層ウエハ1 1 0とを積層して一体化する際に、いわゆるハイブリッドボンディング工法を用いることができる。よって、微細な電極同士を接合することができ、また、積層体の低背化も実現することが可能となる。

[0043] 本実施形態に係る半導体装置の製造方法では、各絶縁層4 3, 4 5, 5 3, 5 5, 6 3, 6 5, 7 3, 7 5が有機絶縁材料を含んでいる。これにより、ハイブリッドボンディングを行う際に接合面にデブリが付着しても有機絶縁材料で吸収して接合不良を低減することができる。なお、各絶縁層4 3,

4 5, 5 3, 5 5, 6 3, 6 5, 7 3, 7 5が無機絶縁材料を含む場合、微細は絶縁層及び電極を形成しやすくなる。

[0044] 本実施形態に係る半導体装置の製造方法では、各絶縁層4 3, 4 5, 5 3, 5 5, 6 3, 6 5, 7 3, 7 5を構成する有機絶縁材料は、ビスマレイミド、ポリイミド、ポリイミド前駆体、ポリアミドイミド、ベンゾシクロブテン（BCB）、ポリベンゾオキサゾール（PBO）、又は、PBO前駆体を含むことが好ましい。この場合、ハイブリッドボンディング製法において各電極を接合する際の加熱温度が高くなったとしても、絶縁層が軟化等して各電極間の接合を阻害してしまうことを抑制できる。

[0045] なお、第1積層ウエハ1 0 0と第2積層ウエハ1 1 0とを接合した第3積層ウエハ1 2 0（図3を参照）を2つ以上（2回以上）作製し、2つの第3積層ウエハ1 2 0を第1積層ウエハ1 0 0と第2積層ウエハ1 1 0との接合のように、ハイブリッド接合を利用して更に積層して第4積層ウエハとしてもよい。この場合、8層の半導体ウエハが積層された半導体装置（第4積層ウエハ）を得ることができ、効率的に作製することができる。

[0046] 以上、本開示の実施形態について説明したが、本発明は上述した実施形態に限定されるものではなく、その趣旨を逸脱しない範囲で適宜変更を行ってもよい。例えば、上述した実施形態では、半導体ウエハ同士の積層及び接合と、積層半導体ウエハ同士の積層及び接合をハイブリッドボンディングによって行った例を説明したが、これに限定されない。例えば、第1積層ウエハ1 0 0を作製する工程において、電極4 4と電極5 2とを半田バンプによって接合してもよい。この方法によっても、電極4 4と電極5 2とを確実に接合することができる。この場合において、NCF（Non Conductive Film）を用いた半田バンプ接合を用いてもよいし、電極同士が接合されたウエハ間にアンダーフィルを注入して固定してもよい。また、第2積層ウエハ1 1 0を作製する工程及び第3積層ウエハ1 2 0を作製する工程において、各電極の接合を同様に半田バンプによって行ってもよい。

[0047] また、上述した半導体装置の製造方法では、各半導体ウエハを積層体にし

たものをユニットとして貼り合わせるようになっている。このため、本実施形態に係る半導体装置の製造方法では、ウエハ積層体を作製する前に（例えば、第1積層ウエハ100と第2積層ウエハ110とを図6に示すように積層する前に）に、図4に示すように、各積層ウエハに含まれる半導体チップ領域100a～100h（複数の第1半導体チップ領域）と半導体チップ領域110a～110h（複数の第2半導体チップ領域）に対して導通検査を行うようにしてもよい。この場合、各積層ウエハは複数の半導体チップ領域（それぞれが個片化された際に半導体チップとなる領域）を含む大判ウエハであり、導通検査は、積層ウエハの両面からフレイング・プローブ等で各半導体チップ領域の導通や絶縁の検査を行うことにより行われる。導通検査の結果、不良（F a i l）と判定される半導体チップ領域があった場合（図5を参照）、当該部分の製造を行わない又は当該基板を使用しないようにすることで、全体としての良品率（歩留まり）を向上させることができる。図4は、全ての半導体チップ領域が良品（O K）の場合を示しており、図5は、一部の配線部が不良（F a i l）の場合を示している。図5の例では、例えば、良品（O K）と判断された各半導体チップ領域同士が重ね合わされるように選択が行われ、例えば、半導体チップ領域100d，110d、半導体チップ領域100e，110e、半導体チップ領域100f，110f、及び、半導体チップ領域100g，110gをその後の製品として使用すると共に、他の半導体チップ領域はその後の製造に用いないようにすることができる。

[0048] また、複数の第1積層ウエハ100と複数の第2積層ウエハ110とを準備し、全体として半導体チップ領域が良品と判断される組み合わせが多くなるように、第1積層ウエハ100と第2積層ウエハ110との組み合わせを選択するようにしてもよい。例えば、図5では、1の第1積層ウエハ100と1の第2積層ウエハ110とを単に組み合わせただため、組み合わせで良品となった半導体チップ領域は4個に留まったが、多数の積層ウエハを準備しておくことで、良品同士の組み合わせとなる率を高めて全体として組み合わ

せの良品率を高めることができる。このような選択処理は、コンピュータを用いて全ての半導体ウエハ、積層半導体ウエハ同士を組み合わせた場合の良品率（歩留まり）を算出することによって選択してもよいし、その他の処理方法を用いてもよい。このように、不良の半導体ウエハまたは不良率の高い半導体ウエハを除いて良品の半導体ウエハ又は良品率の高い半導体ウエハを次の工程に進めることで、全体として半導体装置の良品率を向上させることができる。

[0049] また、このように検査されて作製された第3積層ウエハ120を更に積層する場合も、同様に、事前に導通検査を行い、その検査結果に基づいてより最適な組み合わせとなるように選択して積層してもよい。なお、上述した検査工程や良品の選択工程では、第1積層ウエハ100と第2積層ウエハ110とを貼り合わせる際を例にとって説明したが、これに限られるものではなく、第1半導体ウエハ40と第2半導体ウエハ50とを貼り合わせる際や、第3半導体ウエハ60と第4半導体ウエハ70とを貼り合わせる際に適用してももちろんよい。このような検査及び選択工程を行うことにより、良品率を確実に向上させることができる。

符号の説明

[0050] 1…半導体装置（第3積層ウエハ）、40…第1半導体ウエハ、41…半導体基板（第1半導体基板）、41a…第1面、41b…第2面、42…電極（第1電極）、43…絶縁層（第1絶縁層）、44…電極（第2電極）、45…絶縁層（第2絶縁層）、46…貫通電極（第1貫通電極）、50…第2半導体ウエハ、51…半導体基板（第2半導体基板）、51a…第1面、51b…第2面、52…電極（第3電極）、53…絶縁層（第3絶縁層）、54…電極（第4電極）、55…絶縁層（第4絶縁層）、56…貫通電極（第2貫通電極）、60…第3半導体ウエハ、61…半導体基板（第3半導体基板）、61a…第1面、61b…第2面、62…電極（第5電極）、63…絶縁層（第5絶縁層）、64…電極（第6電極）、65…絶縁層（第6絶縁層）、66…貫通電極（第3貫通電極）、70…第4半導体ウエハ、71

…半導体基板（第4半導体基板）、71a…第1面、71b…第2面、72…電極（第7電極）、73…絶縁層（第7絶縁層）、74…電極（第8電極）、75…絶縁層（第8絶縁層）、76…貫通電極（第4貫通電極）、100…第1積層ウエハ、110…第2積層ウエハ、120…第3積層ウエハ。

請求の範囲

[請求項1]

第1半導体基板と、前記第1半導体基板の第1面に設けられた第1電極と、前記第1半導体基板の第2面に設けられた第2電極と、前記第1半導体基板を貫通し前記第1電極及び前記第2電極を互いに接続する、第1貫通電極を含む配線とを有する第1半導体ウエハを準備する工程と、

第2半導体基板と、前記第2半導体基板の第1面に設けられた第3電極と、前記第2半導体基板の第2面に設けられた第4電極と、前記第2半導体基板を貫通し前記第3電極及び前記第4電極を互いに接続する、第2貫通電極を含む配線とを有する第2半導体ウエハを準備する工程と、

第3半導体基板と、前記第3半導体基板の第1面に設けられた第5電極と、前記第3半導体基板の第2面に設けられた第6電極と、前記第3半導体基板を貫通し前記第5電極及び前記第6電極を互いに接続する、第3貫通電極を含む配線とを有する第3半導体ウエハを準備する工程と、

第4半導体基板と、前記第4半導体基板の第1面に設けられた第7電極と、前記第4半導体基板の第2面に設けられた第8電極と、前記第4半導体基板を貫通し前記第7電極及び前記第8電極を互いに接続する、第4貫通電極を含む配線とを有する第4半導体ウエハを準備する工程と、

前記第1半導体ウエハと前記第2半導体ウエハとを積層して一体化すると共に、前記第2電極と前記第3電極とを接続して第1積層ウエハを作製する工程と、

前記第3半導体ウエハと前記第4半導体ウエハとを積層して一体化すると共に、前記第6電極と前記第7電極とを接続して第2積層ウエハを作製する工程と、

前記第1積層ウエハと前記第2積層ウエハとを積層して一体化する

と共に、前記第4電極と前記第5電極とを接続して第3積層ウエハを作製する工程と、

を備える、半導体装置の製造方法。

[請求項2] 前記第1半導体基板の前記第1面には第1絶縁層が設けられると共に、前記第1半導体基板の前記第2面には第2絶縁層が設けられ、
前記第2半導体基板の前記第1面には第3絶縁層が設けられると共に、前記第2半導体基板の前記第2面には第4絶縁層が設けられ、
前記第1積層ウエハを作製する工程では、加熱及び加圧の少なくとも一方を付与することにより、前記第2絶縁層と前記第3絶縁層とを接合して一体化すると共に前記第2電極と前記第3電極とを接合する、
請求項1に記載の半導体装置の製造方法。

[請求項3] 前記第3半導体基板の前記第1面には第5絶縁層が設けられると共に、前記第3半導体基板の前記第2面には第6絶縁層が設けられ、
前記第4半導体基板の前記第1面には第7絶縁層が設けられると共に、前記第4半導体基板の前記第2面には第8絶縁層が設けられ、
前記第2積層ウエハを作製する工程では、加熱及び加圧の少なくとも一方を付与することにより、前記第6絶縁層と前記第7絶縁層とを接合して一体化すると共に前記第6電極と前記第7電極とを接合し、
前記第3積層ウエハを作製する工程では、加熱及び加圧の少なくとも一方を付与することにより、前記第4絶縁層と前記第5絶縁層とを接合して一体化すると共に前記第4電極と前記第5電極とを接合する、
請求項2に記載の半導体装置の製造方法。

[請求項4] 前記第1絶縁層、前記第2絶縁層、前記第3絶縁層、及び前記第4絶縁層は、有機絶縁材料及び無機絶縁材料の少なくとも一方を含む、
請求項2又は3に記載の半導体装置の製造方法。

[請求項5] 前記有機絶縁材料は、ビスマレイミド、ポリイミド、ポリイミド前

駆体、ポリアミドイミド、ベンゾシクロブテン（BCB）、ポリベンゾオキサゾール（PBO）、又は、PBO前駆体を含む、
請求項4に記載の半導体装置の製造方法。

[請求項6] 前記第1積層ウエハを作製する工程では、前記第2電極と前記第3電極とを半田バンプによって接合する、
請求項1に記載の半導体装置の製造方法。

[請求項7] 前記第1積層ウエハ及び前記第2積層ウエハを、前記第3積層ウエハを作製する前に検査する工程を更に備える、
請求項1～6の何れか一項に記載の半導体装置の製造方法。

[請求項8] 前記第1積層ウエハは、複数の第1半導体チップ領域を含み、
前記第2積層ウエハは、複数の第2半導体チップ領域を含み、
前記検査する工程では、前記複数の第1半導体チップ領域のそれぞれが検査されると共に、前記複数の第2半導体チップ領域のそれぞれが検査され、
前記第3積層ウエハを作製する工程では、前記検査する工程での検査結果に基づいて前記複数の第1半導体チップ領域それぞれと前記複数の第2半導体チップ領域それぞれとの組み合わせが選択される、
請求項7に記載の半導体装置の製造方法。

[請求項9] 前記第3積層ウエハを作製する工程では、前記検査する工程で良品と判断された各半導体チップ領域同士が重ね合わされるように選択が行われる、
請求項8に記載の半導体装置の製造方法。

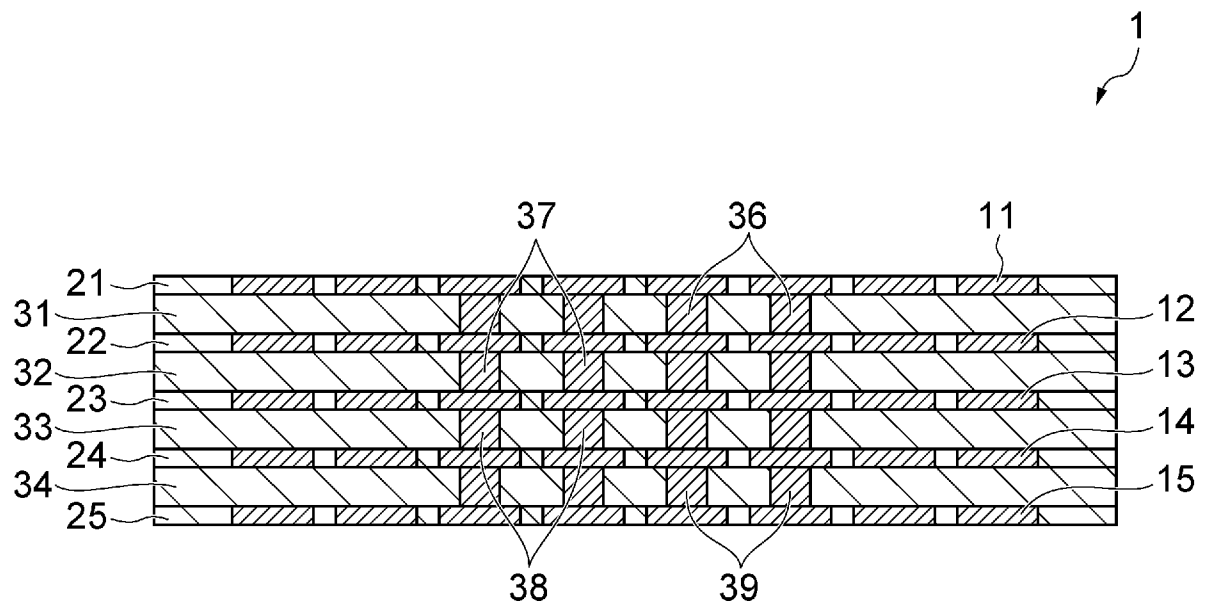
[請求項10] 前記第3積層ウエハを作製する工程を2回以上行って複数の第3積層ウエハを作製する工程と、
前記複数の第3積層ウエハを積層して第4積層ウエハを作製する工程と、を更に備える、
請求項1～9の何れか一項に記載の半導体装置の製造方法。

[請求項11] 前記第3積層ウエハを含む積層体をチップサイズに個片化し、少な

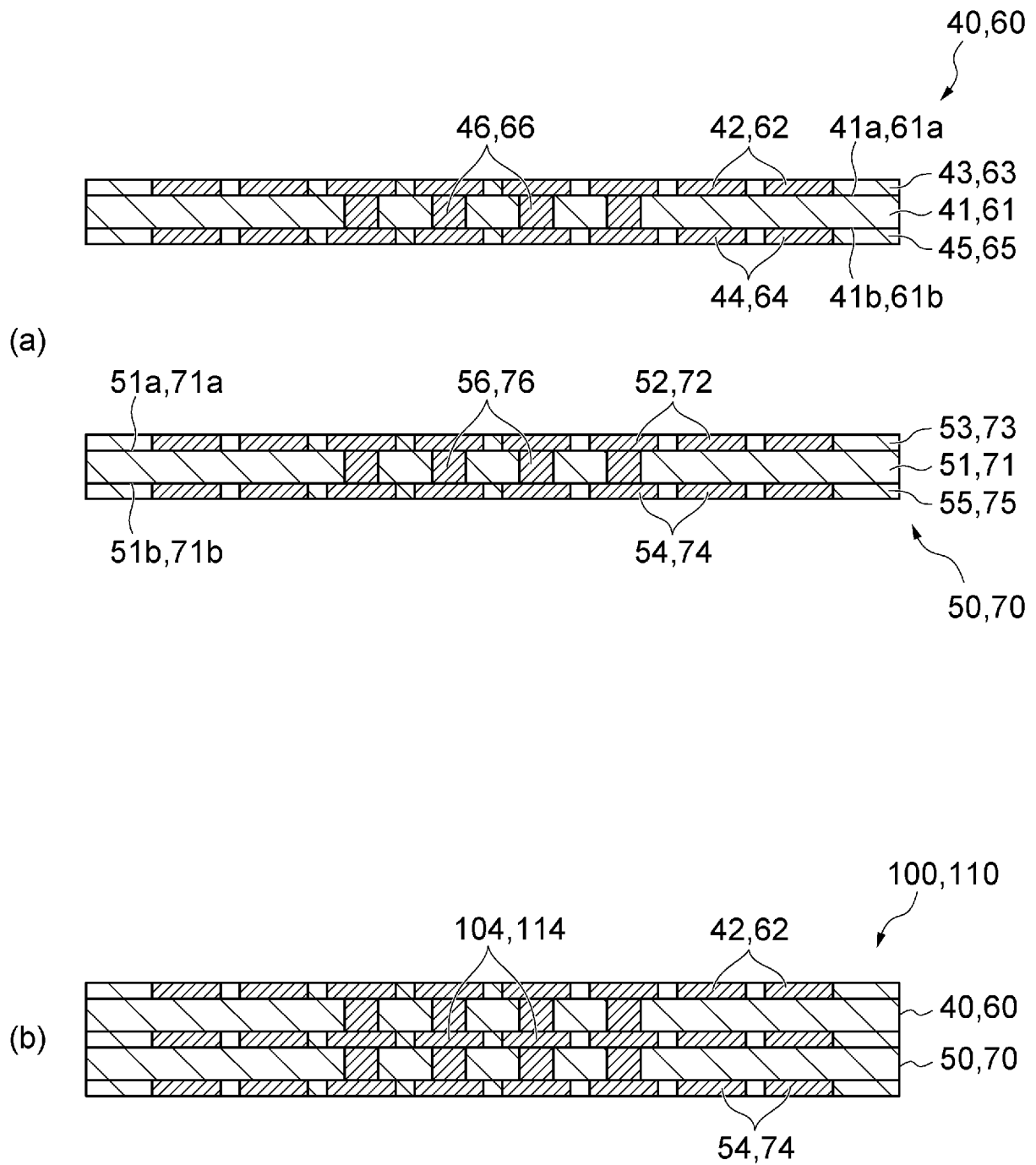
くとも１つの積層半導体チップを得る工程を更に備える、
請求項１～１０の何れか一項に記載の半導体装置の製造方法。

[請求項１２] 請求項１１に記載の半導体装置の製造方法によって製造される少なくとも１つの積層半導体チップと、
前記積層半導体チップが実装される基板と、
を備える半導体装置。

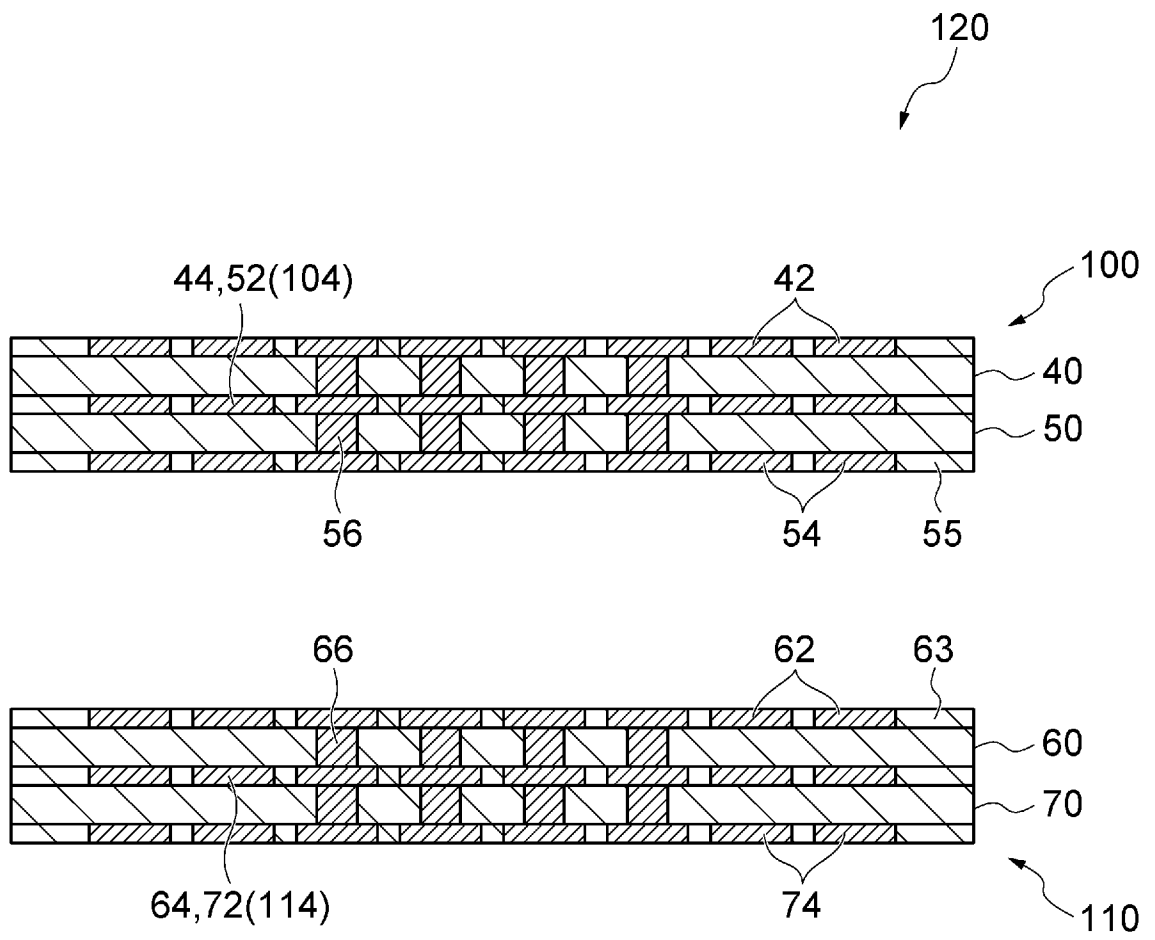
[図1]



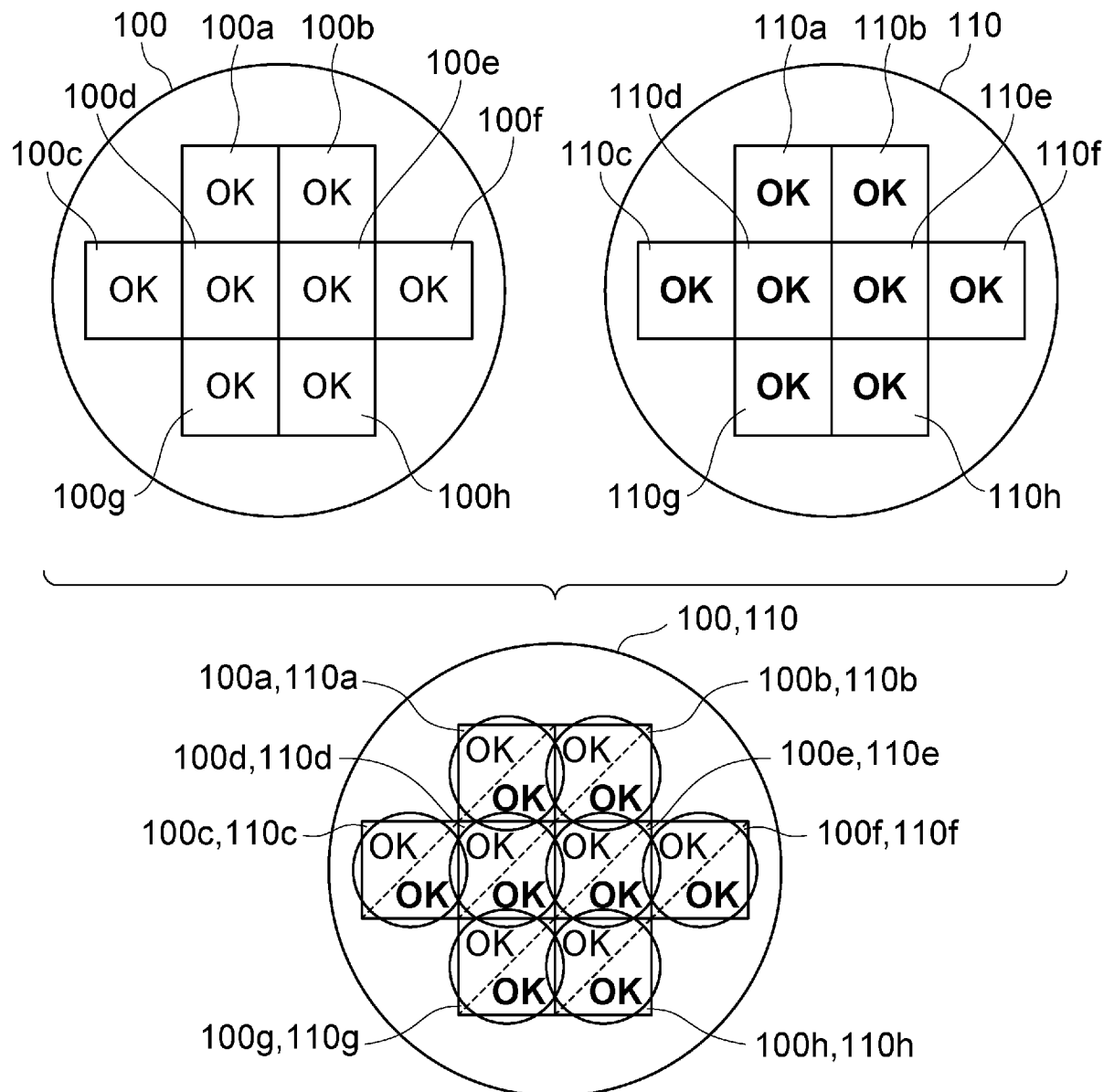
[図2]



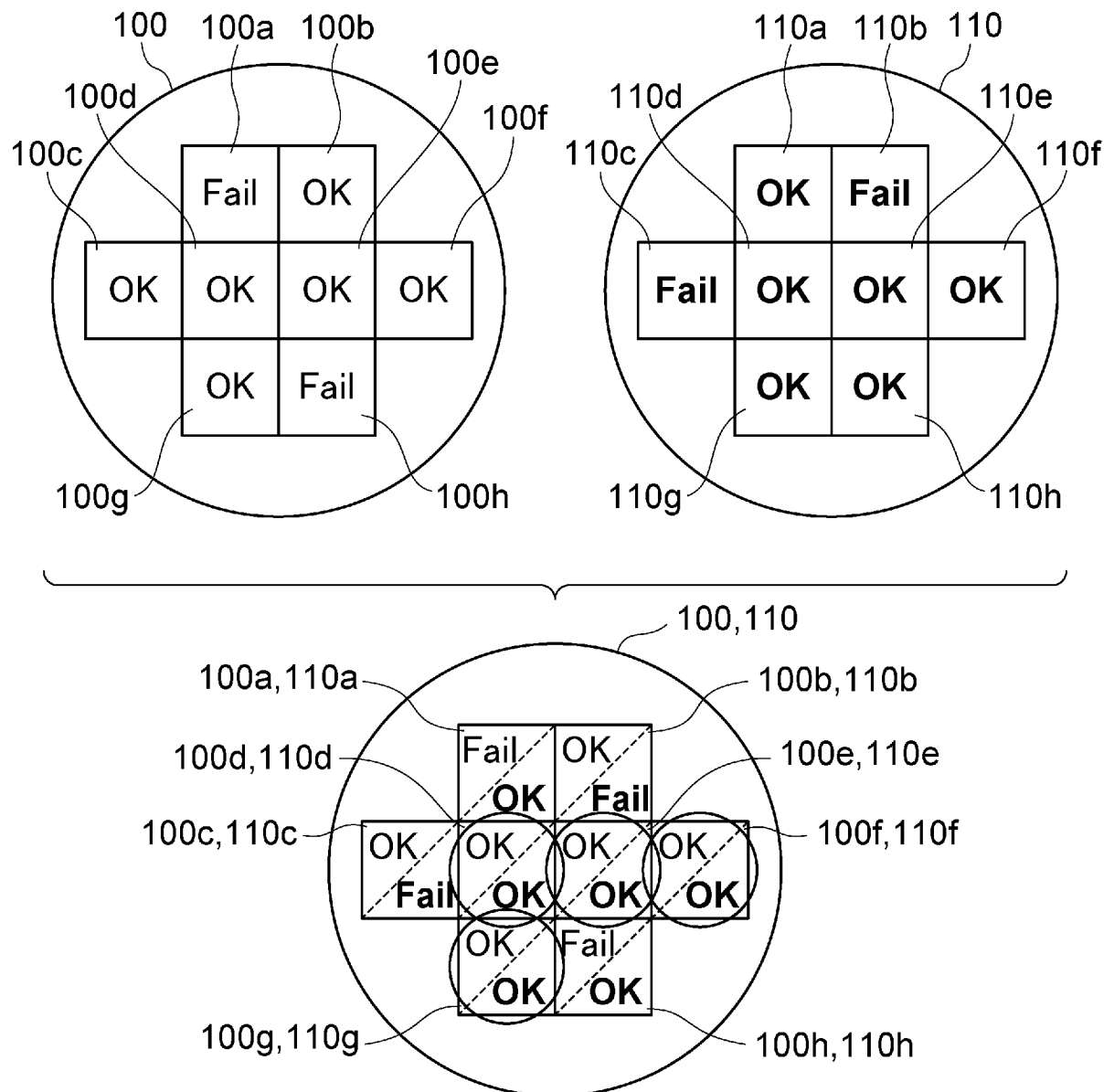
[図3]



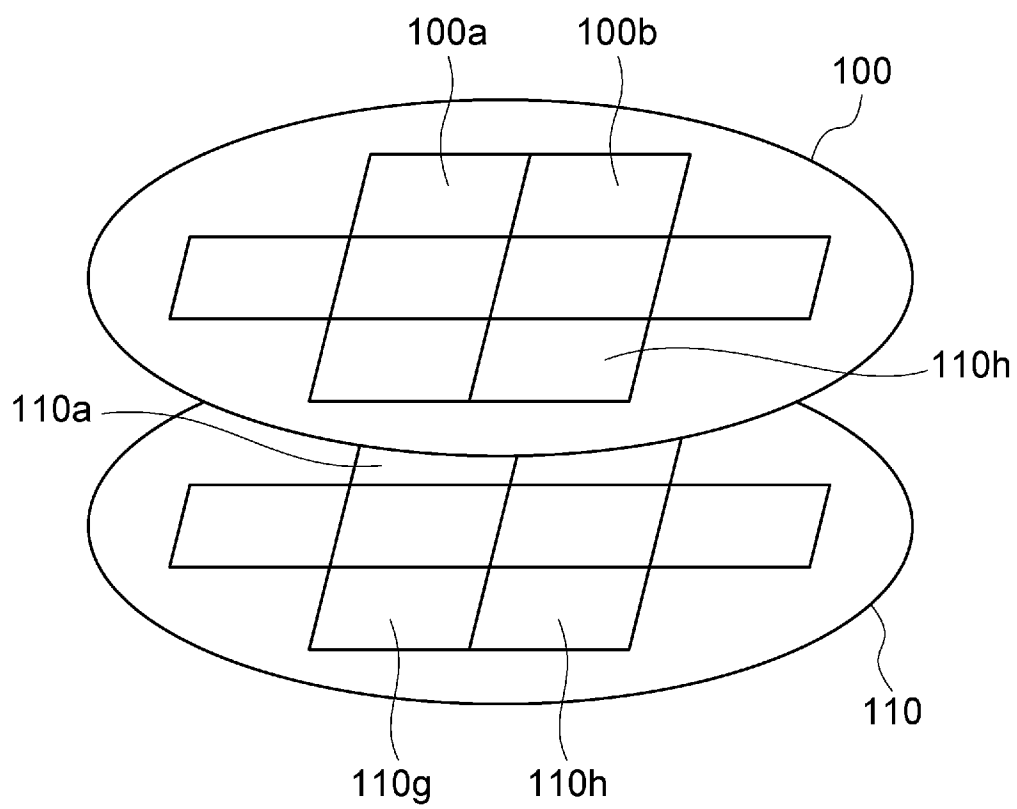
[図4]



[図5]



[図6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/021165

A. CLASSIFICATION OF SUBJECT MATTER**H01L 25/065**(2023.01)i

FI: H01L25/08 C

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L25/065

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2023
 Registered utility model specifications of Japan 1996-2023
 Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2012-204653 A (DAI NIPPON PRINTING CO., LTD.) 22 October 2012 (2012-10-22)	1-6, 11-12
A	paragraphs [0010], [0023]-[0064], fig. 1-8	7-10
Y	US 2016/0155724 A1 (KIM, T.) 02 June 2016 (2016-06-02)	1-6, 11-12
A	paragraphs [0165]-[0171], fig. 8	7-10
Y	JP 2020-68253 A (DAICEL CORP.) 30 April 2020 (2020-04-30)	1-6, 11-12
A	paragraph [0159], fig. 11-12	7-10
A	JP 2007-36104 A (NEC ELECTRONICS CORPORATION) 08 February 2007 (2007-02-08)	1-12
	paragraphs [0044]-[0050], fig. 11-15	

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

19 July 2023

Date of mailing of the international search report

01 August 2023

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2023/021165

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2012-204653	A	22 October 2012	(Family: none)	
US	2016/0155724	A1	02 June 2016	KR 10-2016-0066120 A paragraphs [0148]-[0155], fig. 8	
JP	2020-68253	A	30 April 2020	US 2021/0384183 A1 paragraph [0182], fig. 11-12 CN 112912993 A KR 10-2021-0081377 A	
JP	2007-36104	A	08 February 2007	US 2007/0023887 A1 paragraphs [0125]-[0131], fig. 11-15	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 25/065(2023.01)i FI: H01L25/08 C										
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L25/065 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2023年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2023年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2023年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2023年	日本国実用新案登録公報	1996 - 2023年	日本国登録実用新案公報	1994 - 2023年
日本国実用新案公報	1922 - 1996年									
日本国公開実用新案公報	1971 - 2023年									
日本国実用新案登録公報	1996 - 2023年									
日本国登録実用新案公報	1994 - 2023年									
C. 関連すると認められる文献										
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号								
Y A	JP 2012-204653 A（大日本印刷株式会社）22.10.2012（2012 - 10 - 22） 段落[0010], [0023]-[0064], 図1-8	1-6, 11-12 7-10								
Y A	US 2016/0155724 A1（KIM TAEYEONG）02.06.2016（2016 - 06 - 02） 段落[0165]-[0171], 図8	1-6, 11-12 7-10								
Y A	JP 2020-68253 A（株式会社ダイセル）30.04.2020（2020 - 04 - 30） 段落[0159], 図11-12	1-6, 11-12 7-10								
A	JP 2007-36104 A（NECエレクトロニクス株式会社）08.02.2007（2007 - 02 - 08） 段落[0044]-[0050], 図11-15	1-12								
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。										
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献										
国際調査を完了した日 19.07.2023		国際調査報告の発送日 01.08.2023								
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 小池 英敏 5F 8396 電話番号 03-3581-1101 内線 3516								

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2023/021165

引用文献			公表日	パテントファミリー文献	公表日
JP	2012-204653	A	22.10.2012	(ファミリーなし)	
US	2016/0155724	A1	02.06.2016	KR 10-2016-0066120	A
				段落[0148]-[0155], 図8	
JP	2020-68253	A	30.04.2020	US 2021/0384183	A1
				段落[0182], 図11-12	
				CN 112912993	A
				KR 10-2021-0081377	A
JP	2007-36104	A	08.02.2007	US 2007/0023887	A1
				段落[0125]-[0131], 図11-15	