



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I428042 B

(45)公告日：中華民國 103 (2014) 年 02 月 21 日

(21)申請案號：099106045

(22)申請日：中華民國 91 (2002) 年 02 月 07 日

(51)Int. Cl. : **H04W56/00 (2009.01)**

(30)優先權：2001/02/27 美國 60/271,642

2001/07/31 美國 09/918,611

(71)申請人：英特爾股份有限公司 (美國) INTEL CORPORATION (US)

美國

(72)發明人：丹米爾 阿帕斯蘭 DEMIR, ALPASLAN (TR)；葛禮庫 唐納德 GRIECO, DONALD M. (US)

(74)代理人：林志剛

(56)參考文獻：

US 5313457

Siemens, Texas Instruments, "Generalised Hierarchical Golay Sequence for PSC with low complexity correlation using pruned efficient Golay correlators", TSG-RAN Working Group 1 meeting No. 5, June 1-4, Cheju Korea, 1999.

審查人員：廖家興

申請專利範圍項數：4 項 圖式數：19 共 0 頁

(54)名稱

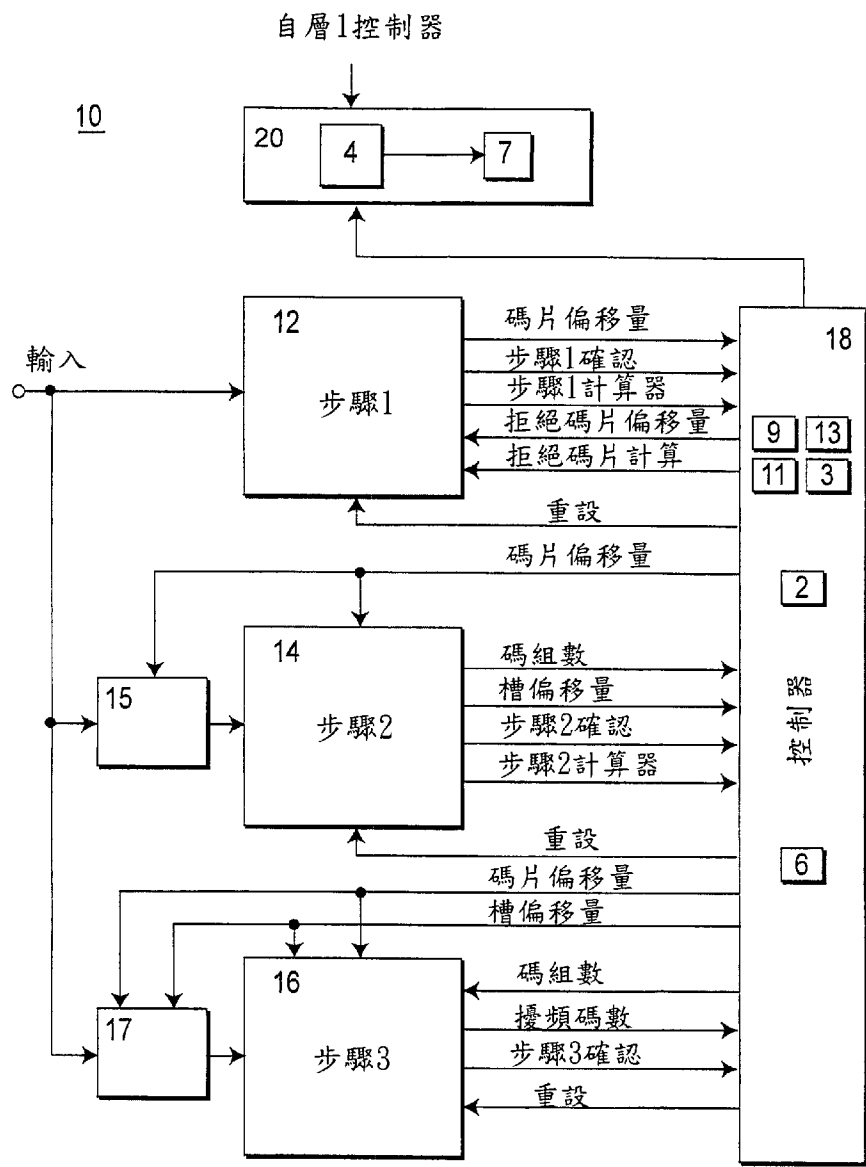
可引導終止胞元檢索及在通訊網路中與基地臺建立通訊連結的使用者設備

A USER EQUIPMENT CAPABLE OF CONDUCTING AN INITIAL CELL SEARCH AND ESTABLISHING A COMMUNICATION LINK WITH A BASE STATION IN A COMMUNICATION NETWORK

(57)摘要

一種用於一通訊系統中 UE 與基地臺間連結，以建立起始同步化之系統與方法，其係利用視窗排除邏輯，以於偵測到錯誤之公共陸地行動通訊網路(PLMN)後，避免一停滯狀態。該通訊訊號之處理係為三步驟決定過程。第一決定步驟，係於樣本之一圖框上決定偵測之最強路徑之一碼片偏移量。因應該第一決定，第二步驟產生一擾頻碼組數與槽偏移量，以接收第二同步碼。第三決定步驟接收一初級擾頻碼，因應該碼組數以將 UE 同步化至該基地臺。

A system and method for establishing initial synchronization for the link between a UE and a base station in a communication network uses window exclusion logic in order to avoid a deadlock condition upon a detection of the wrong public land mobile network (PLMN). The communication signal is processed in a three step decision process. The first decision step determines a chip offset of the strongest path detected over a frame of samples. In response to the first decision, the second step generates a scrambling code group number and slot offset for retrieving the secondary synchronization code. The third decision step retrieves a primary scrambling code in response to the code group number for synchronizing the UE to the base station.



第一圖

- 2 . . . 決定邏輯電路
- 3 . . . 拒絕初級擾頻碼計算器
- 4 . . . 適應的頻率電路(AFC)
- 6 . . . 視窗排除邏輯電路
- 7 . . . 電壓控制震盪器(VOC)
- 9 . . . 拒絕碼片偏移量緩衝器
- 10 . . . 胞元檢索同步系統
- 11 . . . 拒絕碼片偏移量計算器
- 12、14、16 . . . 模組
- 13 . . . 拒絕初級擾頻碼載體緩衝器
- 15 . . . 調準電路
- 17 . . . 調準電路
- 18 . . . 控制器

發明專利說明書

公告本

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：099106045

※申請日期：091 年 02 月 07 日 ※IPC 分類：H04W 56/00 (2009.01)

原申請案號：095139071

一、發明名稱：(中文／英文)

可引導終止胞元檢索及在通訊網路中與基地臺建立通訊連結的使用者設備

A user equipment capable of conducting an initial cell search and establishing a communication link with a base station in a communication network

二、中文發明摘要：

一種用於一通訊系統中 UE 與基地臺間連結，以建立起始同步化之系統與方法，其係利用視窗排除邏輯，以於偵測到錯誤之公共陸地行動通訊網路 (PLMN) 後，避免一停滯狀態。該通訊訊號之處理係為三步驟決定過程。第一決定步驟，係於樣本之一圖框上決定偵測之最強路徑之一碼片偏移量。因應該第一決定，第二步驟產生一擾頻碼組數與槽偏移量，以接收第二同步碼。第三決定步驟接收一初級擾頻碼，因應該碼組數以將 UE 同步化至該基地臺。

三、英文發明摘要：

A system and method for establishing initial synchronization for the link between a UE and a base station in a communication network uses window exclusion logic in order to avoid a deadlock condition upon a detection of the wrong public land mobile network (PLMN). The communication signal is processed in a three step decision process. The first decision step determines a chip offset of the strongest path detected over a frame of samples. In response to the first decision, the second step generates a scrambling code group number and slot offset for retrieving the secondary synchronization code. The third decision step retrieves a primary scrambling code in response to the code group number for synchronizing the UE to the base station.

四、指定代表圖：

(一)本案指定代表圖為：第 (1) 圖。

(二)本代表圖之元件符號簡單說明：

2：決定邏輯電路

3：拒絕初級擾頻碼計算器

4：適應的頻率電路(AFC)

6：視窗排除邏輯電路

7：電壓控制震盪器(VOC)

9：拒絕碼片偏移量緩衝器

10：胞元檢索同步系統

11：拒絕碼片偏移量計算器 12、14、16：模組

13：拒絕初級擾頻碼載體緩衝器 15：調準電路

17：調準電路

18：控制器

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明：

【發明所屬之技術領域】

本案係關於使用者裝置(UE)與基地臺之同步化。更特別地，本案係關於一胞元檢索系統，其係利用一改良的起始胞元檢索演算法。

【先前技術】

起始胞元檢索演算法係用以將 UE 同步化至基地臺。該 UE 係經由一共同下連結管道，其稱為實體同步管道(PSCH)，而完成其過程。請參閱第二圖，該 PSCH 具有一結構，其中傳輸一相同的初級同步碼(PSC)於每一槽的開端，而一次級同步碼(SSC)傳輸於每一槽，因此有 15 個不同的 SSCs。如同熟知該技藝之人士所知，一圖框其有 15 個槽長可傳輸 15 個 SSCs。

該 SSC 的傳輸順序端視於初級擾頻碼組數。例如，在一 512 胞元系統中，有 46 組。每一組中，該 SSC 之圖案及其循環的轉換係不同的。因此，有 512 初級擾頻碼。一 512 胞元系統之每一胞元係被分配一碼，其中在已知接受區中無一碼被超過一胞元所用。

因此，該胞元檢索同步系統決定一胞元之該初級擾頻碼，該胞元利用一啟示胞於檢索運算法。一般的起始胞元檢索運算法採用三個主要的運算法：步驟 1 運算法偵測該 PSC 且決定一碼片偏移量；步驟 2 運算法利用步驟 1 所給的資訊，且偵測該槽偏移量與碼組數；以及步驟 3 運算法利用步驟 3 所給的資訊，且偵測該初級擾頻碼。不幸地，每一步驟運算法，其具有固有的錯誤。每一步驟所存在的錯誤，係由該 UE 偵測結合於接收之共同下連結管

道之雜訊所造成的，其可造成大量的錯誤偵測。

同樣地，該共同起始胞元檢索運算法無法處理錯誤的公共陸地行動通訊網路(PLMN)之上層之拒絕。由於大部分的運算法偵測該共同下連結管道中最強的胞元，因此可能每回該運算法定位一胞元時，相同的 PLMN 會與該胞元連結。此造成一停滯中與最終該 UE 指示無服務。

因此，需要一系統與方法，其可以減少該起始胞元運算法錯誤偵測的數目，且其可以克服來自於該錯誤的 PLMN 之停滯連結的拒絕。

【發明內容】

本案係關於一處理起始胞元檢索，及建立通訊網路中一 UE 與一基地臺間通訊連結之系統與方法。該通訊訊號首先被處理以產生一索引值，與一初級同步碼連結之碼片偏移量，產生一第一決定。提出該通訊訊號的峰值樣本，以及於該通訊訊號進行第二處理。該第二處理擷取該碼組數，槽偏離量，以及自該通訊訊號之次級同步碼，產生一第二決定。對於該碼組數與擷取該初級擾頻碼之槽偏離量進行第三處理。而後該初級擾頻碼被用以將該 UE 同步化至與該胞元連結之該初級擾頻碼。在此過程中，進行該起始碼檢索時，使用一視窗排除邏輯，以增進頻寬之篩選。透過一緩衝與計算系統，儲存被拒絕的碼片偏離量與被拒絕的初級擾頻碼，以達到由該視窗排除邏輯檢驗與比較之目的，而後其在偵測一錯誤 PLMN 後可重新開始該決定程序，因此可避免一停滯狀態。

【實施方式】

根據本案之一實施例，該胞元檢索同步系統 10，係如第一圖所示。該系統 10 包含一步驟 1 模組 12，一步驟 2 模組 14，一步驟 3 模組 16 以及一控制器 18，以完成一使用者裝置(UE)與一基地臺間的同步化。為了完成此同步化，該 UE，透過該胞元檢索同步系統 10，係利用一起始胞元檢索運算法，其之詳細揭露如下所述。

該起始胞元檢索運算法之該步驟 1 運算法之完成，係利用該步驟 1 模組 12。請參閱第三圖，該步驟 1 模組 12 包含兩個 Hierarchical Golay Correlators (HGC) 21，22，兩個絕對值修飾器 (AVM) 23，24，一決定電路 25，標準化電路 26，一查詢表 27，一乘法器 28，一分裂器 19，以及一步驟 1 比較器 29。所示之根數增加餘弦過濾器(RRCFIR) 1，並非該步驟 1 模組 12 的一部份，然而此處之介紹提供一完整的圖像。

該步驟 1 模組 12 之目的，係於樣本價值之圖框上，尋找最強的路徑，該 UE 已決定該最強路徑之該碼片偏離量。結合至該分裂器 19 之該 RRCFIR 1，係脈衝形過濾器，其係自該基地臺樣本化該下連結通訊，於兩倍的碼片速率，且將該樣本訊號轉至該分裂器 19。該分裂器 19 分裂該樣本化的訊號為偶數或奇數樣本，且將其傳至 HGCs 21，22。

該 HGCs 21，22 係結合至該 AVMs 23，24 與該步驟 2 模組 14(如第五圖中所示)之樣本選擇器 34，其將被揭露如下所述。如熟知該技藝之人士所知，該 HGCs 21, 22 各別輸出該輸入訊號之該偶數與奇數樣本之複合值。該 HGCs 21, 22 輸出係被轉送至該 AMVs 23, 24 與該樣本選擇器 34。

該 AMVs 23, 24 結合至該 HCGs 21, 22 與該決定電路 25，係

決定該 HCGs 21, 22 之強度，產生該強度之方程式係由下列方程式所決定：

$$\text{abs}(x) \sim \max(|X_{\text{real}}|, |X_{\text{imag}}|) + 0.5 * \min(|X_{\text{real}}|, |X_{\text{imag}}|)$$

方程式1

根據方程式 1 約略絕對值之利用，可減少此執行所需之硬體，所造成之功能性退化不大。一但該約略絕對值已各自藉由該 AVMs 23, 24 決定，則該修飾的該偶數與奇數樣本被輸出至一決定電路 25。

結合至該 AVMs 23, 24 與該控制器 18 之該決定電路 25，係決定該碼片偏移量。輸出自該 AVMs 23, 24 之該修飾的該偶數與奇數樣本，係被輸入至該決定電路 25 中之一 MUX 8，且結合至一單流。此流係代表傳輸於每一圖框之每一槽之樣本數之一訊號強度。如第二圖中所示，每一圖框中有 15 槽，每一槽有 2560 碼片。由於該輸入訊號被樣本化為該碼片速率之兩倍，因此每一槽中有 5120 樣本。所以，該決定電路 25 決定該 PSC 之位置於該訊號，碼片偏移量中，其係藉由清除透過每一槽之峰值 5120 累積的樣本。

藉由該 MUX 所產生的該流係被轉換至該決定電路 25 中一累積器(未顯示)。此累積器具有 5120 樣本長登錄器，其儲存該累積的樣本值於每一圖框之每一槽，且運作於該槽速率。對於一槽中之每一樣本，該訊號之強度係被加至每一隨後的槽中每一樣本之訊號強度。例如，槽 1 之樣本包含下列訊號強度值 {1, 5, 3, 7}；槽 2 之樣本包含下列訊號強度值 {2, 4, 8, 3}。最初，該累積器之該登錄器具有 {0, 0, 0, 0} 之值。當自槽 1 之每一樣本值

被加入至該累積器之該登錄器時，該登錄器值根據其而改變。例如，當槽 1 之第一樣本值被加入至第一登錄器時，該累積器之該登錄器具有 {1, 0, 0, 0} 之值；當槽 1 之第二樣本值被加入至第二登錄器時，該累積器之該登錄器具有 {1, 5, 0, 0} 之值，以此類推。一旦槽 1 之最後樣本值被加入至該累積器時，槽 2 之第一樣本值被加入至該累積器之第一登錄器，則該累積器之該登錄器具有 {3, 5, 3, 7} 之值；當槽 2 之第二樣本值被加入至第二登錄器時，該累積器之該登錄器具有 {3, 9, 3, 7} 之值。本案之一較佳實施例中，當已累積五個圖框後，其相當於 75 槽，該累積器之該登錄器被注滿。累積的圖框數係藉由步驟 1 該決定電路 25 中之計算器(未顯示)而計算。

該決定電路 25 碼片偏移量之決定，係於每一圖框之端 15 槽產生。該決定電路 25 係決定該累積器中登錄器具有最大的累積樣本值 MAX，且分配一索引逾期上。該索引相當於具最強訊號基地臺之該 PSC 訊號之一半的碼片位置。

碼片偏移量分配之決定，係利用該 HGC 偏移量值 511。如熟知該記憶之人士所知，當該決定電路 25 分配一索引於該峰值樣本中時，該 HGC 偏移量值必須被減去。由於該 PSC 係 256 碼片長，512 樣本長，自該索引減去該 HGC 偏移量值等於是將該碼片偏移量設定至該槽之開端。若藉由該決定電路 25 產生之該索引大於該 HGC 偏移量值 511 時，則該碼片偏移量之計算係根據如下所示之方程式 2：

$$\text{碼片偏移量} = \text{索引} - 511$$

方程式 2

若索引大於該 HGC 偏移量值時，則該碼片偏移量之計算係根據如下所示之方程式 3：

$$\text{碼片偏移量} = 5120 + \text{索引} - 511 \quad \text{方程式3}$$

如第三圖所示，該決定電路 25 亦包含一光罩產生器 5，其係用以排除由決定電路 25 偵測之一拒絕碼片偏移量周圍之一視窗。因此，此光罩產生器 5 阻止該決定電路 25 利用連結於一拒絕的碼片偏移量之一索引。關於該光罩產生器 5 之詳細說明如下所述。

該計算的碼片偏移量與該圖框計算步驟 1 被輸出至一控制器 18，其揭露如下所述。該決定電路 25 亦輸出最大的累積碼片值 MAX，與該累積的碼片值 OUTPUT 於所有的登錄器。

所有登錄器的該累積的碼片值 OUTPUT 係被輸出至一正常化電路 26，其中其之樣本化係於 20%碼片速率，加總，且正常化至 1024。該圖框計算步驟 1 係被輸出至該查詢表 27，以基於該累積的圖框數，決定合適的增益參數。該正常化電路 26 之輸出與該查詢表 27 而後於乘法器 28 進行乘法。該乘法器 28 之輸出係被認為雜訊門檻，且轉送至步驟 1 比較器電路 29，且與最大的累積碼片值 MAX 比較。若該最大的累積碼片值 MAX 大於雜訊門檻，則不同的放大器 29 輸出一高步驟 1 確認訊號至該控制器，於步驟 1 指示一優良決定，否則即是輸出一低訊號。

如上所述，該碼片偏移量與其他輸出之決定，係於每一圖框之峰值。因此，由於該第二決定之製造係於 30 槽而非 15 槽，故該第一決定之可信度係小於該第二決定。可信度隨累積槽之增加而增加。最高得可信輸出係產生於該第 M1 圖框，M1 係一整數大

於或等於 1。該控制器 18 重設該圖框計算步驟 1 計算器，與該累積器登錄器於每一第 M1 圖框之峰值。在不同管道損壞下，顯示 5 圖框整合之該性能優良，足以偵測 PSC。然而，此整合可改變為更多或更少的圖框。

該步驟 1 模組織流程圖如第四圖所述。該 UE 偵測通訊之接收於該同一下連結管道(步驟 401)，且將該訊號樣本化為產生偶數與奇數樣本之兩倍碼片速度(步驟 402)。通過該偶數與奇數樣本至 Hierarchical Golay Correlators (HGC) 21, 22(步驟 403)。該 HGCs 21, 22 將該 AVMs 23, 24 與樣本選擇器 34 之輸出轉送(步驟 404)。該 AVMs 23, 24 接近接收自 AVMs 23, 24 偶數與奇數輸出之強度(步驟 405)，且將其轉送至決定電路 25(步驟 406)。在接收該輸出強度之後，該決定電路 25 結合強度(步驟 407)，其傳輸於每一圖框之每一槽中之一樣本之訊號強度。每一樣本之訊號強度係累積於每一圖框之所有槽(步驟 408)。而後該決定電路 25 決定圖框中，哪一個樣本具有最大的累積樣本值(步驟 409)，且於其分配一索引(步驟 410)。基於該索引，設定一碼片值至該索引(步驟 411)，如所知之該碼片偏移量，且輸出至該控制器 18 (步驟 412)。而後一雜訊門檻值之產生，係於所有樣本與該圖框計算(步驟 413)，利用該累積碼片值，在比較於該最大之累積樣本值(步驟 414)，表示一確認的或暫時的決定於該控制器 18 (步驟 415)。

請參閱第一圖，該步驟 1 模組 12 之輸出、該碼片偏移量、步驟 1 確認與步驟 1 計算器係被轉送至該控制器 18。該控制器轉送該碼片偏移量至該步驟 2 模組 14。如上所述，該步驟 2 模組 14 使用一步驟 2 運算法，其係自步驟 1 取該碼片偏移量輸出，且該

HGC21, 22 輸出與偵測該槽偏移量與該碼組數目。該步驟 2 模組 14 係如第五圖中所述，其包含一步驟 2 比較器 30，一延遲 32，一樣本選擇器 34，一接合器 36，一複乘法器 38，一快速阿瑪達轉換 (FHT) 33，一包裹移除器 31，一輸入陣列產生器 35，一 RS 編碼器 37，以及一步驟 2 決定電路 39。

該步驟 2 運算法之目的，係提供該步驟 3 運算法與擾頻碼組數與該槽偏移量。自該步驟 1 模組 12 之該碼片偏移量係自該控制器 18 送出至該步驟 2 之模組 14 之一延遲 32。該碼片偏移量透過該延遲 32 延遲於一圖框，係為了使得該步驟 1 模組完成一第一決定。該延遲的碼片偏移量而後轉送至該樣本選擇器 34，其係耦合於該延遲 32，一接合器 36 以及該步驟 1 模組 12 之該 HGCs 21, 22。利用該決定電路 25 決定之索引，該樣本選擇器 34 自該輸入訊號，取出峰值 HGCs 21, 22 輸出而後其藉由該接合器 36 接合且輸出至該複乘法器 38。

相同的通訊訊號至步驟 1 模組 12，係被輸入至一調準電路 15，其可調準該輸入訊號，因此步驟 2 模組 14 開始搜尋該擾頻碼組數與槽偏移量於該槽之開端。當該訊號被調準時，該調準電路 15 將其轉送至該步驟 2 模組 14。即使每一槽中有 2,560 碼片，則由第二圖中可知，該 PSC 係位於每一槽之第一 256 碼片中。由於該碼片偏移量已由步驟 1 模組決定，因此步驟 2 模組係利用每一槽中第一 256 碼片之最強 PSC 之位置，而決定該 SSC。如熟知該技藝之人士所知，當產生 SSC 碼時，使用一包裹碼至一 Handamard 陣列之列，使得 PSC 與 SSC 之間成矩形。在進行步驟 2 運算法剩餘部分之前，此包裹必須被移除。此包裹移除之完成係藉由該包

裹移除器 31。

由於該包裹已經自該輸入訊號移除，因此係自該包裹移除器 31 輸出至與該包裹移除器 31 與乘法器 38 耦合之該 FHT 轉換器 33，其減少純阿瑪達關聯運作之複雜性。第六圖說明該 FHT 結構。該 FHT 轉換器 33 之輸出，係藉由耦合於該接合器 36 與該 FHT 轉換器 33 之該乘法器 38，乘以該峰值 HGC 21, 22 之接合。使用輸出自 HGC 21, 22 峰值接合，可提供該 FHT 輸出之相更正，且轉換一輸入，其相當於該傳輸之 SSC 碼至該實數軸。

由於該 FHT 轉換器 33 輸出已經由該乘法器 38 處理，因此該 FHT 輸出之實數部分藉由該乘法器 38 被轉送至該輸入矩陣產生器 35，其將該 FHT 輸出放置於一實數矩陣 15×16 中，其稱為輸入矩陣。在該輸入矩陣中，有 15 槽，且每一圖框中每一槽有 16 元件。每一圖框的該輸入矩陣可更新。而後該輸入矩陣被轉送至該決定電路 39，其可產生該槽偏移量與碼組數之決定。該輸入矩陣之結構係如第七圖中所述。

該關聯矩陣係產生於步驟 2 決定電路 39，其係利用該輸入矩陣 35 與一已知碼組矩陣，其係造成一 64×15 矩陣。當該圖框計算器於該步驟 2 模組達到 M2 時，該關聯矩陣被重新開始，如同揭露於步驟 1 模組。為了產生該關聯矩陣，該決定電路 39 跨入於該碼組矩陣之元件與該輸入矩陣 35 之元件，其係根據下列之方程式 4：

$$\text{關聯矩陣 } [i] [j] + \text{輸入矩陣 } [k] [\text{碼組矩陣 } [i] [k]]$$

方程式 4

其中 j 係一整數介於 0 至 14，其係代表於相同矩陣欄中之週

期偏移，其係一整數介於 0 至 63；且 k 係一整數介於 0 至 14。該碼組矩陣之結構與所得的關聯矩陣係各自如第八圖與第九圖中所述。由於已經產生該關聯矩陣，因此該最大輸入係由該決定電路 39 所形成。該最大值輸入之對應列係該碼組數且該欄為該槽偏移量。

相同於該步驟 1 模組 12，若該最大關聯 MAX 2 係大於門檻，該比較器電路 30 將輸出一高步驟 2 確認訊號至該控制器 18 代表一確認決定，否則一低訊號係被輸出代表一暫時決定。該門檻值之計算係利用該關聯矩陣之平均強度值：

$$Th = k \frac{1}{960} \left(\sum_{i=0}^{63} \sum_{j=0}^{14} mag(c_{ij}) \right) \quad \text{方程式5}$$

$$k = 5.12, P_{fa} = 10^{-4}$$

其中 P_{FA} 係錯誤警報的機率。該步驟 2 模組 14 輸出至該控制器 18 該碼組數，槽偏移量，步驟 2 確認與步驟 2 計算器。

步驟 2 運算法係如第十圖中流程圖所述。該步驟 2 模組自該基地臺下連結通道接收通訊訊號(步驟 1001)。一包裹訊號係自該通訊訊號被移除(步驟 1002a)，且輸出至一 FHT 轉換器 33(步驟 1003a)。同時，自步驟 1 模組 12 知該碼片偏移量係被輸入至該步驟 2 模組 14 中之一延遲 32(步驟 1002b)，且轉送至一樣本選擇器 34，其基於該碼片偏移量，取自步驟 1 模組 12 之該 HGCs 21, 22 產生之該峰值偶數或奇數輸出(步驟 1003b)。而後該 FTH 轉換器 33 之輸出，係乘以輸出自該樣本選擇器 34 偶數或奇數樣本輸出之接合(步驟 1004)，且轉換該 FHT 輸出之一輸入，其相當於該 SSC

碼至該實數軸(步驟 1005)。一圖框中每一槽 FHT 輸出之該實數部分，被轉送至該輸入矩陣產生器 35 (步驟 1006)。而後該輸入矩陣產生器 35 產生該輸入矩陣(步驟 1007)。而後該輸入矩陣被轉送至該決定電路 39，以決定該槽偏移量與碼組數(步驟 1008)。利用該輸入矩陣與已知之碼組矩陣，該決定電路 39 產生一關聯矩陣(步驟 1009)。由於該關聯矩陣已被產生，該關聯矩陣定位該最大輸入於該關聯矩陣中(步驟 1010)，其中形成之最大輸入之對應列被決定為該碼組數，且該欄為該槽偏移量。而後該碼組數與該槽偏移量被轉送至該控制器 18(步驟 1011)。而後一門檻值之計算係利用該關聯矩陣之平均強度(步驟 1012)，且相比於該最大關聯(步驟 1013)，轉送一確認或暫時決定之指示至該控制器 18(步驟 1014)。

自步驟 1 模組 12 之該碼片偏移量係如第十一圖中所述。如同該步驟 2 模組 14，該通訊訊號被輸入至一第二調準電路 17，其調準該輸出訊號因此步驟 3 模組 16 開啟其搜尋該擾頻碼數於該圖框之開端。由於該輸入訊號已被調準，因此該調準電路 17 轉送該輸入訊號至步驟 3 模組 16。該步驟 3 模組包含 8 個擾頻碼產生器 $40_1 \cdots 40_8$ ，一雜訊估計電路 42，一步驟 3 決定電路 44，一決定支持電路 45，一增益電路 46 與一比較器電路 47。該步驟 2 模組 14 產生之該碼組數被輸入至該 8 個擾頻碼產生器 $40_1 \cdots 40_8$ ，且擾頻碼係自而產生。該 8 個擾頻碼產生器 $40_1 \cdots 40_8$ 之輸出被各自轉送至該擾頻碼關聯器 $41_1 \cdots 41_8$ 。

自該擾頻碼產生器 $40_1 \cdots 40_8$ 輸出擾頻碼之外，在一重調準電路 15 利用該碼片偏移量與輸出自該控制器 18 之槽偏移量處理後，該通訊訊號被輸入至該關聯器 $41_1 \cdots 41_8$ 。該關聯器 $41_1 \cdots 41_8$

利用非一致性的整合於某些槽上。整合可於複數個圖框。該關聯係一致地形成於每一槽，其對應於該 256-碼片資料。該關聯之絕對值造成每一圖框累積超過 $10 \cdot N$ 符號，其中 N 為槽數，其自一圖框之開端累積。在單一槽中，有 256-碼片長之資料部分；所以，10 個 256-碼片一致關聯與 10 個累積形成於每一槽中。第十二圖為一關聯器 41₁ 之詳細說明。

在該關聯器 40₁...40₈ 產生該輸出之後，必須形成該最大輸出及其索引。步驟 3 決定電路 44 取該擾頻碼產生器 40₁...40₈ 之輸出，以該最大輸出決定該關聯器 40₁...40₈，且產生該索引。該索引係該擾頻碼數目。而後該擾頻碼數目被轉送至該決定支持電路 45 與該控制器 18。該決定支持電路 45 觀察由該決定電路 44 形成之最後 M3 決定。若一密碼自脫離該 M3 輸入後重複超過 k 次，則被重複碼係為該擾頻碼，其係自該決定支持電路 45 輸出至該控制器 18。然而，該決定支持電路 45 之輸出之利用，僅當無確認決定於該連續 M3 圖框時。即使該決定支持電路僅如該步驟 3 模組 16 所述，該步驟 3 模組 16 中所揭露之一決定支持電路 45 可被使用於上述之步驟 1 與步驟 2 之模組 13，14。

當該決定之最大關聯值大於該計算門檻值時，係指一確認決定。該門檻值之計算係利用該雜訊估計電路 42，其係用於雜訊測量，與一增益參數。該雜訊之決定係藉由取該連續共同導引符號差別之強度。此雜訊估計方法由於運算法訊號擾頻，在該雜訊估計中去除任何偏壓。該雜訊估計器 42 之結果係乘以該乘法器 46 中之該增益參數，其係被決定為該門檻。當該決定之最大關聯係達於該計算門檻時，該比較器 47 輸出一高步驟 3 確認訊號，其代

表一確認決定，否則產生一低訊號，其代表一暫時決定。

步驟 3 運算法之流程圖係如第十三圖中所述。輸出自該步驟 2 模組 14 之該碼組數被輸入至該步驟 3 模組 16 該擾頻碼產生器 $40_1 \cdots 40_8$ (步驟 1301)，而後自其產生擾頻碼(步驟 1302)。而後該擾頻碼產生器 $40_1 \cdots 40_8$ 之輸出被轉送至該擾頻碼產生器 $40_1 \cdots 40_8$ (步驟 1303)。在自該擾頻碼產生器 $40_1 \cdots 40_8$ 之擾頻碼輸出之外，該通訊訊號係關聯於擾頻碼產生器 $40_1 \cdots 40_8$ 中(步驟 1304)，而後產生 10 個 256 碼片一致關聯與每次槽 10 個非一致累積(步驟 1305)。該累積的結果被轉送至該步驟 3 決定電路 44(步驟 1306)。該決定電路 44 以該最大輸出決定該關聯器，且產生一索引，其係為該擾頻碼(步驟 1307)。而計算一門檻值(步驟 1308)，且與該最大關聯值比較(步驟 1309)。若該最大關聯值大於該計算門檻，則該步驟 3 模組 16 輸出一高步驟 3 確認訊號(步驟 1310)，其造成該決定電路 44 輸出該擾頻碼數至該控制器 18(步驟 1311)。否則輸出一低訊號至該控制器 18(步驟 1312)，且該擾頻碼數被輸出至該決定支持電路 45(步驟 1313)。由於該決定支持電路 45 觀察由該決定電路 44 形成之最 M3 決定，因此當一擾頻碼自離開 M3 後重複 k 次時，一擾頻碼數被輸出至該控制器 18(步驟 1311)。

請參閱第一圖，該控制器 18 包含一拒絕碼片偏移量緩衝器 9，一拒絕碼片偏移量計算器 11，一拒絕初級擾頻碼載體緩衝器 13，一拒絕初級擾頻碼計算器 3，一決定邏輯電路 2 與一視窗排除邏輯電路 6。根據本案之較佳實施例，該控制器 18 係用於在整個胞元檢索運算法中，形成較好的決定。

該控制器 18 所使用以決定該初級擾頻碼，而同步化該傳輸基

地臺之決定邏輯之流程圖係如第十四圖中所述。該控制器 18 接收該碼片偏移量，該步驟 1 確認訊號與自該步驟 1 模組 12 之步驟 1 計算器(步驟 1401)。若該步驟 1 確認訊號為高時，則該控制器 18 轉送該確認碼片偏移量至步驟 2 模組 14(步驟 1402a)，否則轉送一暫時碼片偏移量(步驟 1402b)。該步驟 2 模組 14 產生該碼組數，槽偏移量值，步驟 2 確認與步驟 2 計算器(步驟 1403)。若該步驟 2 確認訊號為高，則該控制器轉送該確認碼組至該步驟 3 模組(步驟 1404a)。否則，控制器 18 轉送一暫時碼組至步驟 3 模組 16(步驟 1404b)，且若步驟 2 計算器係小於 M2，則該步驟 2 模組 14 繼續產生該碼組數(步驟 1407)，其造成步驟 2 產生一碼數與槽偏移量(步驟 1403)。而後步驟 3 模組 16 產生一擾頻碼數與步驟 3 確認訊號(步驟 1405)，其產生於步驟 1403 中接收該槽偏移量與碼組數。若該步驟 3 確認訊號為高，則該決定邏輯電路 2 決定該擾頻碼為確認的且結束該決定邏輯過程。若該步驟 3 確認訊號為低且步驟 1 確認訊號為高或步驟 2 計算器小於 M2，則步驟 2 模組繼續產生一碼組數(步驟 1403)。否則，步驟 2 模組自該控制器 18 接收一重新啟動訊號，且重新啟動該步驟 2 計算器至 0(步驟 1407)。此過程持續，直到該步驟 3 模組 16 輸出之決定為確認的。

由於 VCO 中一可能的起始頻率錯誤，可能產生訊號關聯之過多損失。所以，該 VCO 之頻繁進行係為了控制該 UE 與該胞元之間最大的可能頻率錯誤。在起始該 UE 之後，該控制器 18 起始該胞元檢索頻率，係利用該頻率合成器 20。請參閱第一圖，該頻率合成器 20 包含一適應的頻率電路(AFC)4 與一電壓控制震盪器(VOC)7，或數字控制的震盪器(NCO)。該 AFC 4 耦合於該控制器 18 與該 VCO 7，包含一頻率配置表(FAT)與一頻率步驟表(FST)。

當該控制器 18 被起始時，該 AFC 4 設定該頻率，係利用第一頻率於該 FAT 中與自該 FST 之該偏移量值。此起始頻率係為該控制器 18 用以引導該胞元檢索之該頻率。該 FST 係步驟頻率或偏移量頻率表，例如 $\{0, 2, -2, 4, -4, 6, -6 \dots N, -N\}$ ，其係用以偏移控制器 18 所使用之頻率。該 FAT 包含複數個預先決定之頻率，用於該控制器 18，或一階級 1 控制器(未顯示)以定位與同步化該 UE 至該基地臺。對於本案之揭露，所列出之複數個頻率被定義為 $SF_0, SF_1, -SF_1, SF_2, -SF_2, \dots SF_N, -SF_N$ 。因此，當該控制被起始時，該偏移量頻率係 SF_0 且該頻率 $> F_0$ 。該 AFC 4 結合兩值 $F_0 + SF_0$ ，且轉送該結果頻率值至該 VCO 或 NCO 7，其保持該 UE 頻率於此轉送的頻率。

如上所述該控制 18 完成該決定邏輯。若在圖框 X 數之後該初步驟 3 確認未升高，則該控制器傳訊該 AFC 4 至步驟 2 下一偏移量於該 FST 中，例如 SF_1 。而後該 AFC 4 結合新偏移量頻率於 FAT 之頻率， $F_0 + SF_1$ ，且輸出該結果頻率至該 VCO 或 NCO 7 以保持該 UE 於此頻率。

該控制器 18 透過該 FST 中該偏移量頻率持續進行，直到自步驟 3 模組 16 偵測到一高訊號，即代表一確認偵測，或直到該控制器 18 已測試全部的頻率。由於已測試所有的頻率，因此該 AFC 4 重新啟動該 FST 偏移量頻率至 SF_0 ，進行至該 FAT 中之下一頻率， F_1 ，且結合兩值 $F_0 + SF_0$ ，以輸出至該 VCO 或 NCO 7。而後該 VCO 或 NCO 7 調節該 UE 頻率至此新的結果頻率，且而後該控制器 18 進行該決定邏輯直到該步驟 3 模組 16 偵測到一高訊號。此程序進行係透過該 FST，且而後持續進行至下一 FAT 頻率直到該步驟 3

模組 16 輸出一高訊號。由於此事件發生一擾頻碼之偵測，因此該 AFC 4 鎖定該 FST 偏移量於此位置，而不被重新調整直到該控制器 18 被起始。

如同熟知該技藝之人士所知，一通訊系統中大多數的服務提供者具有不同的公共陸地行動通訊網路(PLMN)。該 UE 利用偵測到的 PLMN 以決定是否該服務提供者提供服務於 UE 的位置中。該控制器 18 於該視窗排除邏輯電路 6 中利用一視窗排除邏輯，以克服由於錯誤的 PLMN 而來之拒絕。由於偵測到該 HGC 21, 22 輸出於峰值總提供相同的 PLMN，因此該控制器 18 利用該視窗排除邏輯以克服此停滯。此視窗排除邏輯係耦合於該決定邏輯電路 2，拒絕碼片偏移量載體緩衝器 9，一拒絕碼片偏移量計算器 11，一拒絕初級擾頻碼載體緩衝器 13，以及一拒絕初級擾頻碼計算器 3。該視窗排除邏輯電路 6 檢視輸出自步驟 3 模組之該初級擾頻碼，對比於儲存於該拒絕初級擾頻碼載體緩衝器 13 中之該拒絕初級擾頻碼。若輸出自該步驟 3 模組之該初級擾頻碼係形成於該緩衝器 13 中，或偵測到錯誤的 PLMN，則該視窗排除邏輯電路 3 拒絕該碼，且再次啟動該決定邏輯電路。每當一初級擾頻碼被拒絕時，步驟 1 模組所產生之該碼片偏移量係被儲存於該拒絕的碼片偏移量載體緩衝器 9，且被該光罩產生器 5 所使用。步驟 1 模組 12 中該決定電路 25 之該光罩產生器 5，係利用儲存於該拒絕碼片偏移量載體緩衝器 9 之值，與自該控制器 18 之拒絕碼片偏移量計算器 11，以決定每一槽中哪一碼片而於視窗中排除。該偵測到的初級擾頻碼與碼片偏移量之排除形成，係僅於一單一頻率帶中。當有自該基地臺之確認或該階級 1 控制器使用之新頻率時，該緩衝器與計算器被重新啟動。

該控制器所利用之該視窗排除邏輯之流程圖係如第十五圖中所述。該控制器 18 進行該胞元檢索決定邏輯，且發現一初級擾頻碼(步驟 1501)。該初級擾頻碼被送至上層(步驟 1502)，其儲存頻率與該初級擾頻碼索引(步驟 1503)。若該 PLMN 對於一特定的服務提供者而言係正確的，則該 UE 被同步化至該基地臺，且該程序被終止(步驟 1504)。若該 PLMN 係不正確的且有一頻率保留於該 AGC 4 之該 FAT 中，則該 AGC 4 於該 FAT 中進行下一頻率，且該控制器 18 改變該頻率，儲存該初級擾頻碼於該載體緩衝器 13 中，且重新啟動該胞元檢索運算法(步驟 1505)。需要注意的是該錯誤條件監視器如計算器緩衝器 3，11，或一計時器，以決定是否發生一錯誤的條件。一錯誤的條件係指在當前條件(亦即頻率)下將不會發生同步化。若無頻率遺留於該 FAT 中，則該控制器 18 開始該頻率與該儲存的初級擾頻碼(步驟 1506)。而後該控制器 18 設定第一頻率，且傳送該拒絕的初級擾頻碼至該初始胞元檢索與視窗排除方法，且亦重新啟動該錯誤條件(步驟 1508)。該拒絕的初級擾頻碼被送進該拒絕的初級擾頻碼載體緩衝器 13，且該拒絕的初級擾頻碼計算器被增加(步驟 1509)。進行該胞元檢索決定邏輯且形成一初級擾頻碼與碼片偏移量(步驟 1510)。若該初級擾頻碼係儲存於該拒絕初級擾頻碼載體緩衝器 13 中，則該碼片偏移量被推進至該拒絕碼片偏移量載體緩衝器 9，且該拒絕碼片偏移量計算器 11 被增加(步驟 1511)。該胞元檢索決定邏輯再次進行排除一視窗於該拒絕碼片偏移量周圍(步驟 1512)。若此胞元檢索決定邏輯產生之該初級擾頻碼係再次儲存於該拒絕初級擾頻碼載體緩衝器中，則該偵測的碼片偏移量被送至該拒絕碼片偏移量載體緩衝器，且該拒絕的碼片偏移量計算器被增加(步驟 1511)，且該胞元

檢索決定邏輯排除視窗值拒絕碼片偏移量再次進行(步驟 1512)。

步驟 1511 與 1512 持續進行直到該偵測初級碼位於該表列中，在該點上該初級擾頻碼被轉送至上層以等待該基地臺之確認(步驟 1513)。若有一錯誤條件且無頻率遺留，則該控制器 18 表示無可獲得之服務(步驟 1517)，且該程序被終止。若有一錯誤且有一頻率保留於該頻寬中，則該控制器 18 設定一新頻率，且傳送該拒絕初級擾頻碼於該頻率(步驟 1516)。而後該控制器 18 重新啟動該起始胞元檢索與視窗排除方法與該錯誤條件監視器(步驟 1508)。而後該控制器 18 持續該起始胞元檢索與視窗排除方法如上所述。若無錯誤條件且該 PLMN 為正確，則該控制器 18 表示該 UE 於收到確認後，係被同步化至該基地臺(步驟 1517)，且該程序被終止。若該 PLMN 為不正確，則該拒絕的初級擾頻碼被送至該拒絕初級擾頻碼載體緩衝器 13，且該拒絕初級擾頻碼計算器 3 被增加(步驟 1515)。再次進行該胞元檢索決定邏輯排除一視窗於先前之拒絕碼片偏移量值(步驟 1512)。持續此程序直到該控制器表示無可獲得之服務，或自一基地臺接收一確認。

【圖式簡單說明】

第一圖係根據本案之一較佳實施例，說明其所製造之起始胞元檢索系統。

第二圖係說明該實體同步管道(PSCH)。

第三圖係一方塊圖，其係根據本案之一較佳實施例，說明步驟 1 模組。

第四圖係一流程圖，其係根據本案之一較佳實施例，說明步驟 1 模組。

第五圖係一方塊圖，其係根據本案之一較佳實施例，說明步驟 2 模組。

第六圖係說明快速阿瑪達轉換(FHT)結構。

第七圖係根據本案之一較佳實施例，說明輸入基礎結構。

第八圖係根據本案之一較佳實施例，說明碼組基礎結構。

第九圖係根據本案之一較佳實施例，說明關聯基礎結構。

第十圖 A 與第十圖 B 係流程圖，其係根據本案之一較佳實施例，說明步驟 2 運算法。

第十一圖係一方塊圖，其係根據本案之一較佳實施例，說明步驟 3。

第十二圖係一方塊圖，其係根據本案之一較佳實施例，說明步驟 3 關聯器。

第十三圖 A 與第十三圖 B 係流程圖，其係根據本案之一較佳實施例，說明步驟 3 運算法。

第十四圖 A 與第十四圖 B 係流程圖，其係說明本案之一較佳實施例中之控制器胞元檢索決定邏輯。

第十五圖 A 與第十五圖 B 係流程圖，其係說明本案之一較佳實施例中之控制器視窗排除邏輯。

【元件符號說明】

- 1：根數增加餘弦過濾器
- 2：決定邏輯電路
- 3：拒絕初級擾頻碼計算器
- 4：適應的頻率電路(AFC)
- 5：光罩產生器
- 6：視窗排除邏輯電路
- 7：電壓控制震盪器(VOC)
- 8：MUX
- 9：拒絕碼片偏移量緩衝器
- 10：胞元檢索同步系統
- 11：拒絕碼片偏移量計算器
- 12、14、16：模組
- 13：拒絕初級擾頻碼載體緩衝器
- 15：調準電路
- 17：調準電路
- 18：控制器
- 19：分裂器
- 20：頻率合成器
- 21、22：Hierarchical Golay Correlators (HGC)
- 23、24：絕對值修飾器(AVM)
- 25：決定電路
- 26：標準化電路

- 27：查詢表
- 28：乘法器
- 29、30：比較器
- 31：包裹移除器
- 32：延遲
- 33：快速阿瑪達轉換(FHT)
- 34：樣本選擇器
- 35：輸入陣列產生器
- 36：接合器
- 37：RS編碼器
- 38：複乘法器
- 39、44：決定電路
- $40_1 \cdots 40_8$ ：擾頻碼產生器
- $41_1 \cdots 41_8$ ：擾頻碼關聯器
- 42：雜訊估計電路
- 45：決定支持電路
- 46：增益電路
- 47：比較器電路

七、申請專利範圍

1. 一種自一共同下連結通道上的一基地臺產生與一通訊訊號內的一初級同步碼關聯的一索引的方法，包括：

以高於該共同下連結通道之碼片速率的取樣速率將該通訊訊號取樣以產生一取樣的通訊訊號；

利用一分裂器將該取樣的通訊訊號分裂為奇數及偶數樣本；

利用一 Hierarchical Golay 關聯器(HGC)將該奇數及偶數樣本與該通訊訊號的一初級同步碼進行關聯；

利用該 HGC 產生該奇數及偶數樣本的複合值；

利用一絕對值修飾器對該奇數及偶數樣本的該複合值的訊號強度值進行近似；

利用一累積器以將該通訊訊號的一圖框內的該近似的訊號強度值進行累積；以及

利用一決定電路以將與該初級同步碼關聯的該索引值分配至一最高累積訊號強度值。

2. 如申請專範圍第 1 項所述的方法，更包括：

基於該索引值以及一 HGC 偏移量值，將一碼片偏移量分配至該索引值。

3. 一種用於自一共同下連結通道上的一基地臺產生與一通訊訊號內的一初級同步碼關聯的一索引的裝置，包括：

一分裂器，被配置用於將一取樣的通訊訊號分裂為奇數及偶數樣本，其中該取樣的通訊訊號係產生自以高於該

共同下連結通道之碼片速率的取樣速率將該通訊訊號取樣；

一 Hierarchical Golay 關聯器(HGC)，被配置用於將該奇數及偶數樣本與該通訊訊號的一初級同步碼進行關聯，以及，被配置用於產生該奇數及偶數樣本的複合值；

一絕對值修飾器(AVM)，被配置用於對該奇數及偶數樣本的該複合值的訊號強度值進行近似；

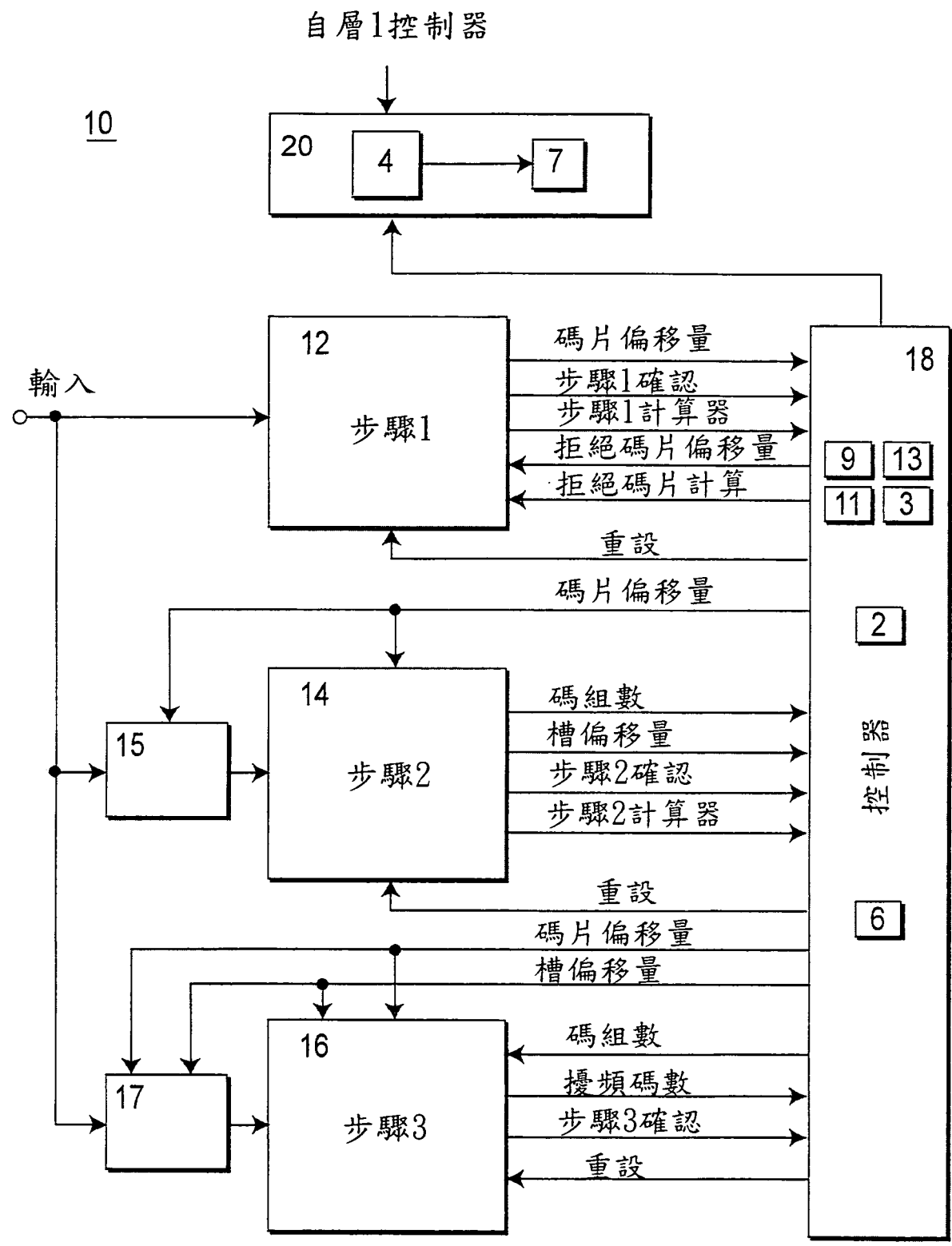
一累積器，被配置用於將該通訊訊號的一圖框內的該近似的訊號強度值進行累積；以及

一決定電路，被配置用於將該索引值分配至一最高累積訊號強度值。

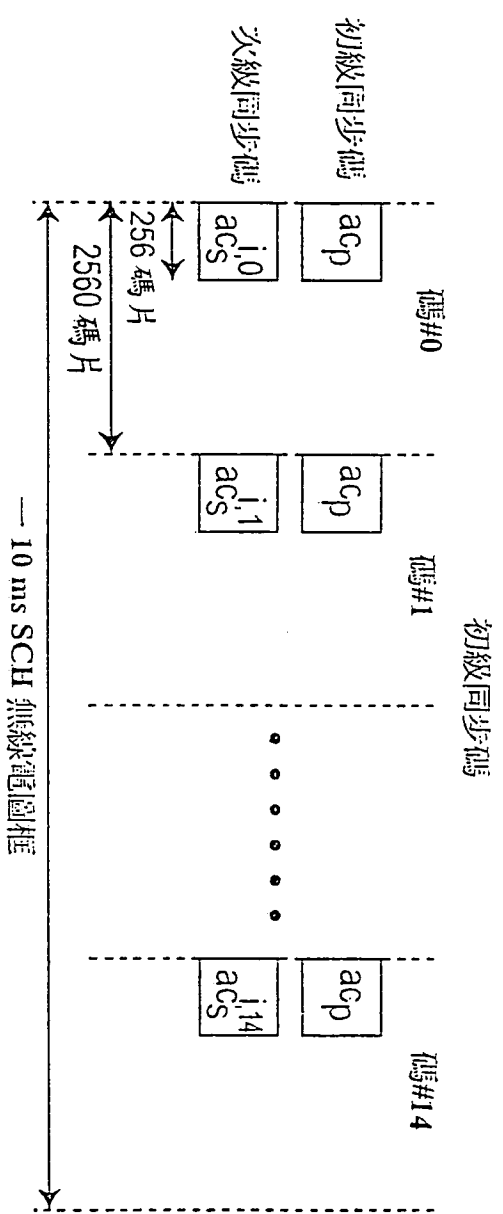
4. 如申請專範圍第 3 項所述的裝置，該設備的該決定電路更進行：

基於該索引值以及一 HGC 偏移量值，將一碼片偏移量分配至該索引值。

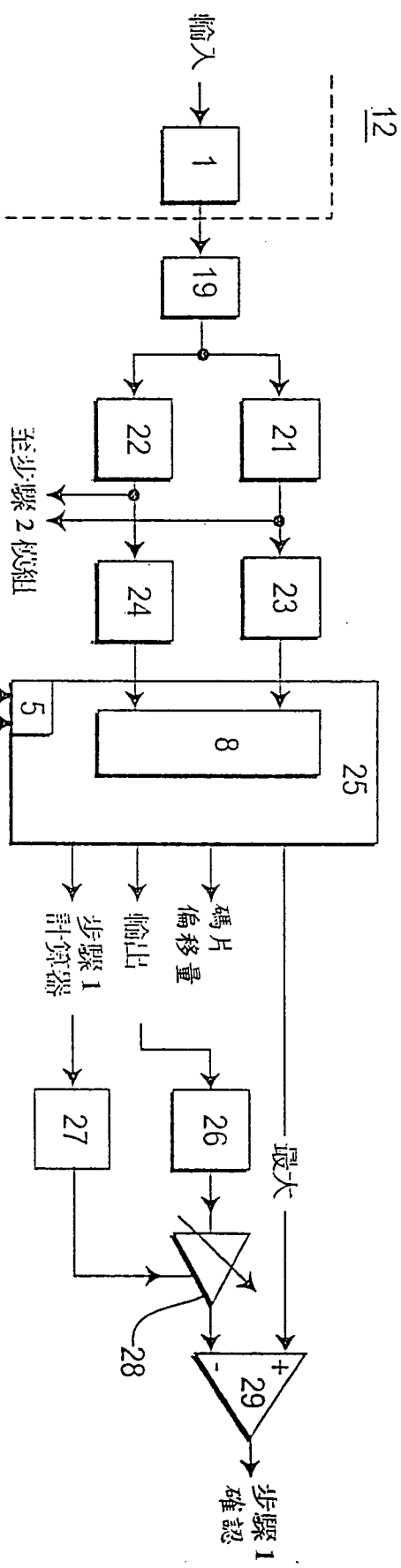
八、圖式



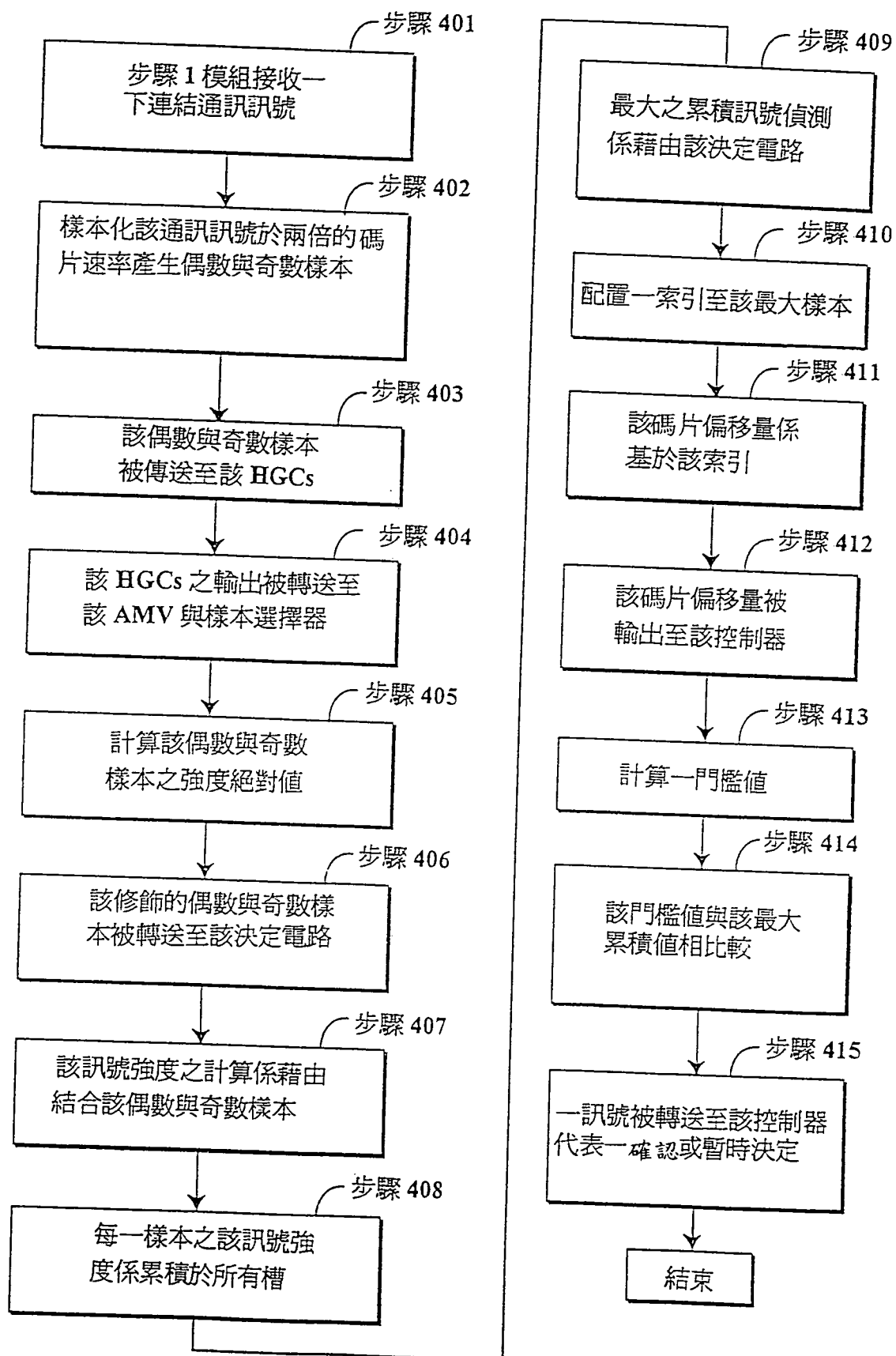
第一圖



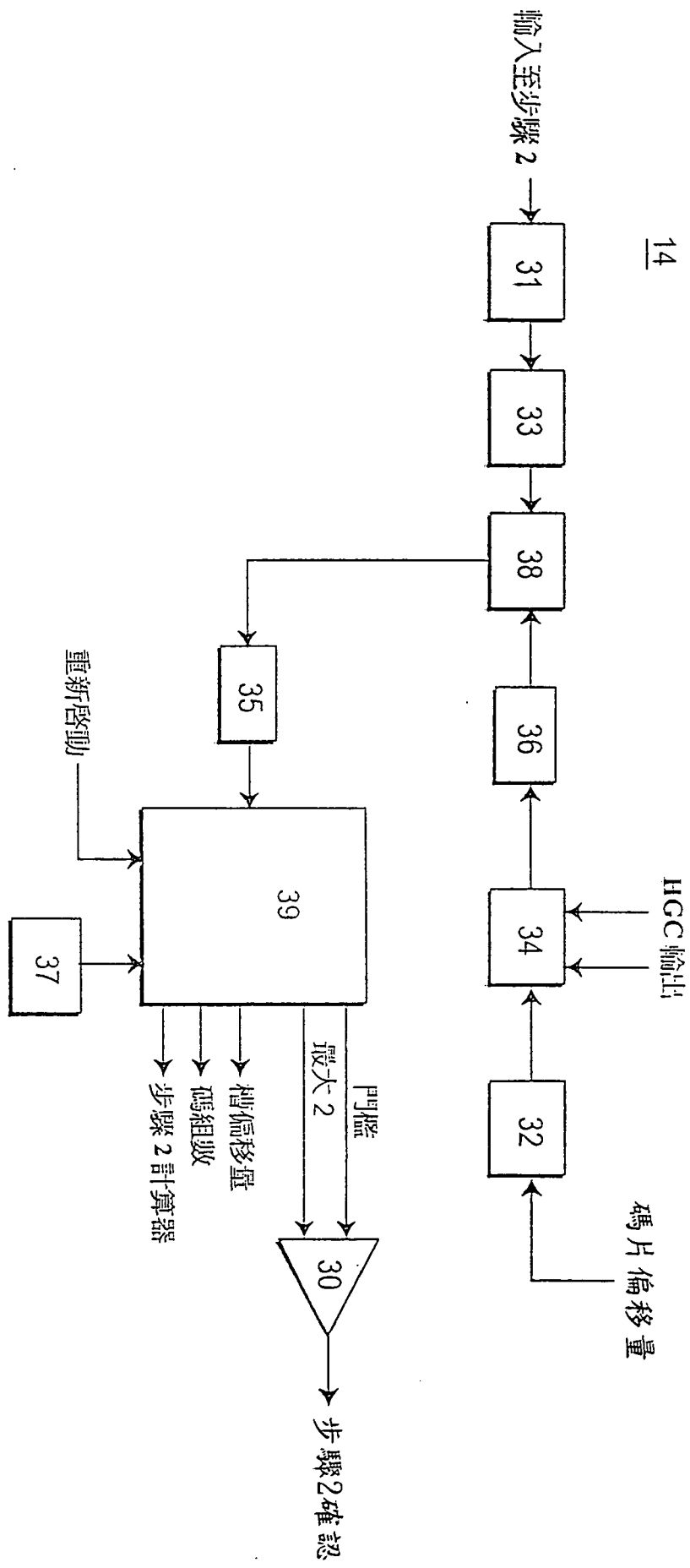
第二圖



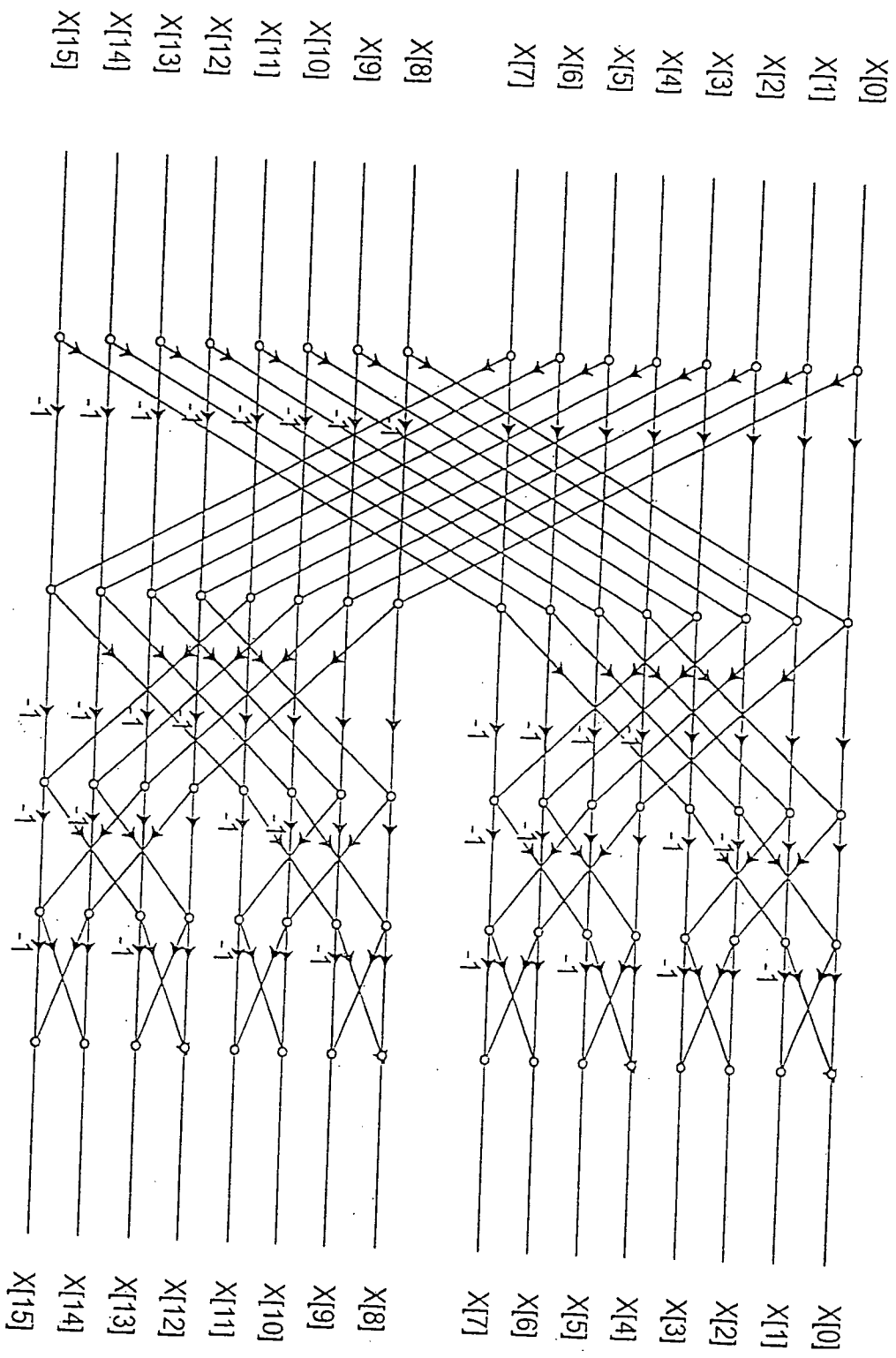
第三圖



第四圖



第五圖



快速阿瑪達轉換結構

第六圖

$$\text{輸入矩陣} = \begin{matrix} & \text{FHT 輸出之元件} \\ \begin{bmatrix} x_{1,1} & x_{1,2} & \cdot & \cdot & \cdot & x_{1,16} \\ x_{2,1} & x_{2,2} & \cdot & \cdot & \cdot & x_{2,16} \\ \cdot & \cdot & x_{i,j} & \cdot & \cdot & \cdot \\ \cdot & \cdot & \cdot & \cdot & \cdot & \cdot \\ x_{15,1} & x_{15,2} & \cdot & \cdot & \cdot & x_{15,16} \end{bmatrix} \end{matrix} \quad 15 \times 16$$

$i = 1, 2, 3, \dots, 15$ 槽

$j = 1, 2, 3, \dots, 16$ 自 HGC 輸出每一槽元件

第七圖

$$\text{碼組矩陣(已知矩陣)} = \begin{bmatrix} 1 & 1 & 2 & 8 & \cdot & \cdot & \cdot & 15 & 7 & 16 \\ 1 & 1 & 5 & 16 & \cdot & \cdot & \cdot & 14 & 12 & 10 \\ \cdot & \cdot & \cdot & \cdot & x_{i,j} & \cdot & \cdot & \cdot & \cdot & \cdot \\ \cdot & \cdot & \cdot & \cdot & \cdot & \cdot & \cdot & \cdot & \cdot & \cdot \\ 9 & 12 & 10 & 15 & \cdot & \cdot & \cdot & 12 & 16 & 10 \end{bmatrix} \quad 64 \times 15$$

$i = 1, 2, 3, \dots, 64$ 組

$j = 1, 2, 3, \dots, 15$ 槽

$x_{i,j} = \text{S-SCH 碼 每一槽 16 之一}$

第八圖

$$\text{關聯矩陣} = \begin{bmatrix} c_{0,0} & c_{0,1} & \cdot & \cdot & c_{0,14} \\ c_{1,0} & c_{1,1} & \cdot & \cdot & c_{1,14} \\ \cdot & \cdot & c_{i,j} & \cdot & \cdot \\ \cdot & \cdot & \cdot & \cdot & \cdot \\ c_{63,0} & c_{63,1} & \cdot & \cdot & c_{63,14} \end{bmatrix} \quad \begin{matrix} \text{每一圖框} \\ 64 \times 15 \end{matrix}$$

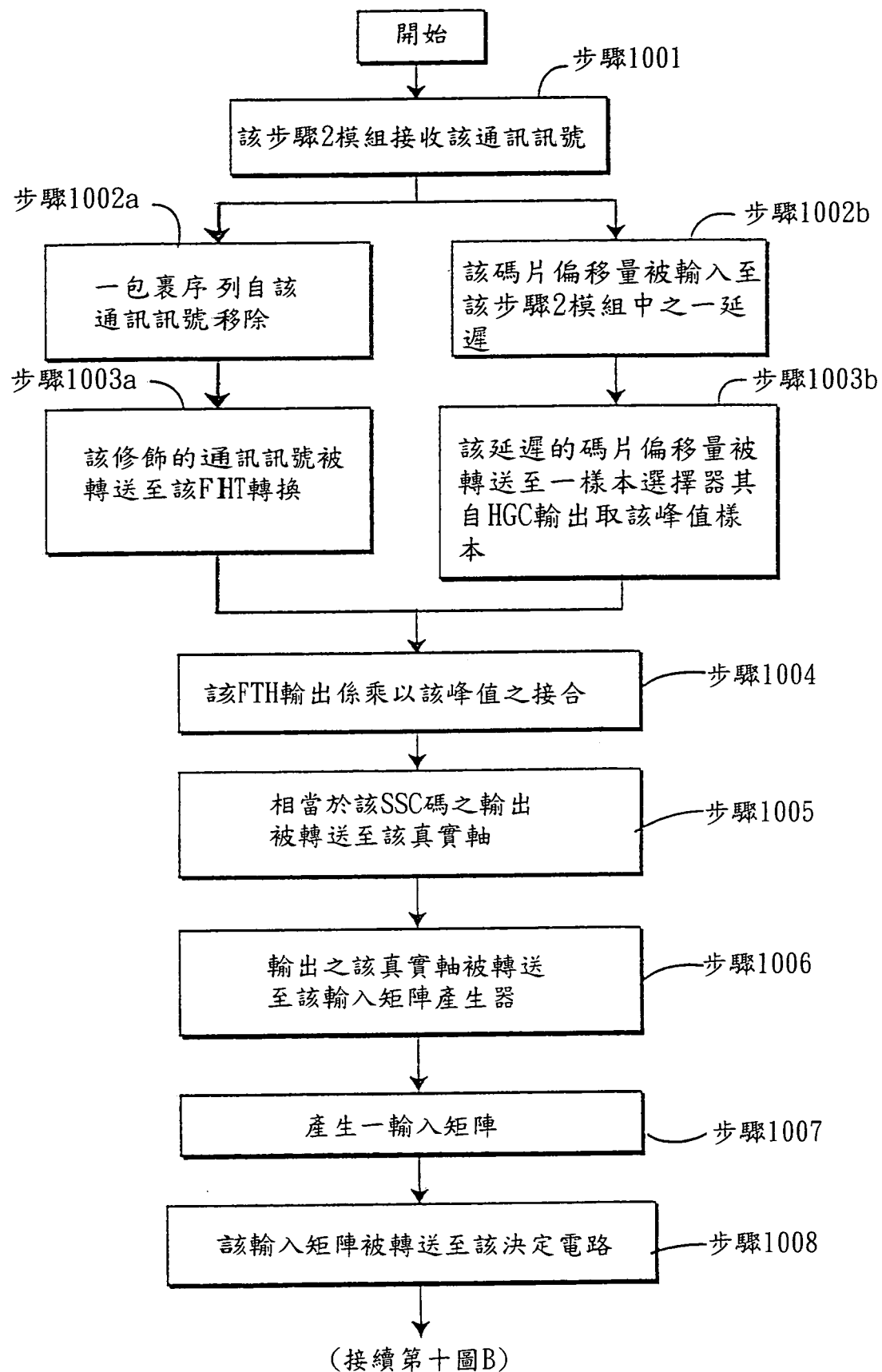
$c_{i,j} = \text{輸入矩陣}[k][\text{碼組矩陣}[i][k]]$

$i = 0, 1, 2, \dots, 63$ 組

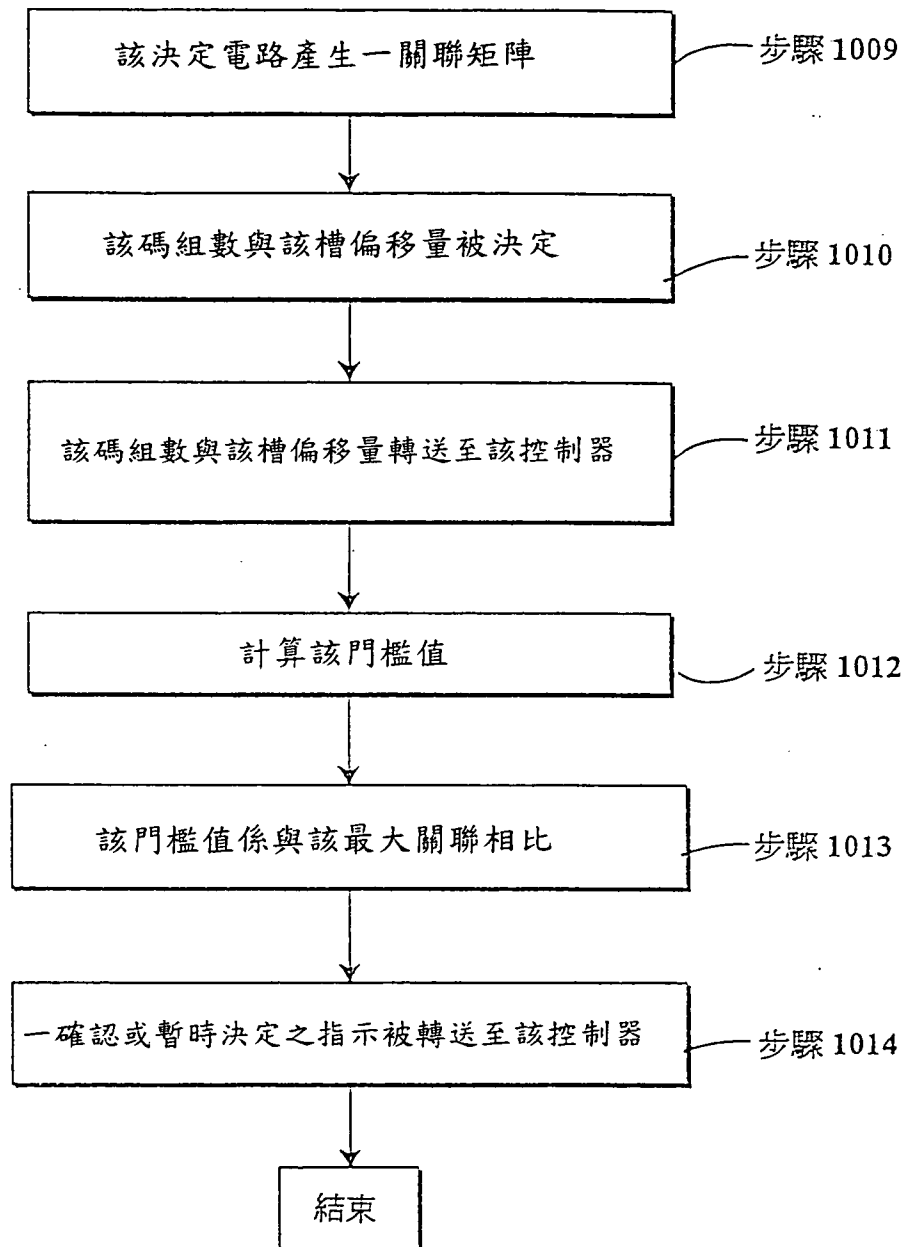
$j = 0, 1, 2, \dots, 14$ 關於欄循環偏量(槽偏移量)

$k = 0, 1, 2, \dots, 14$ 每一圖框之槽

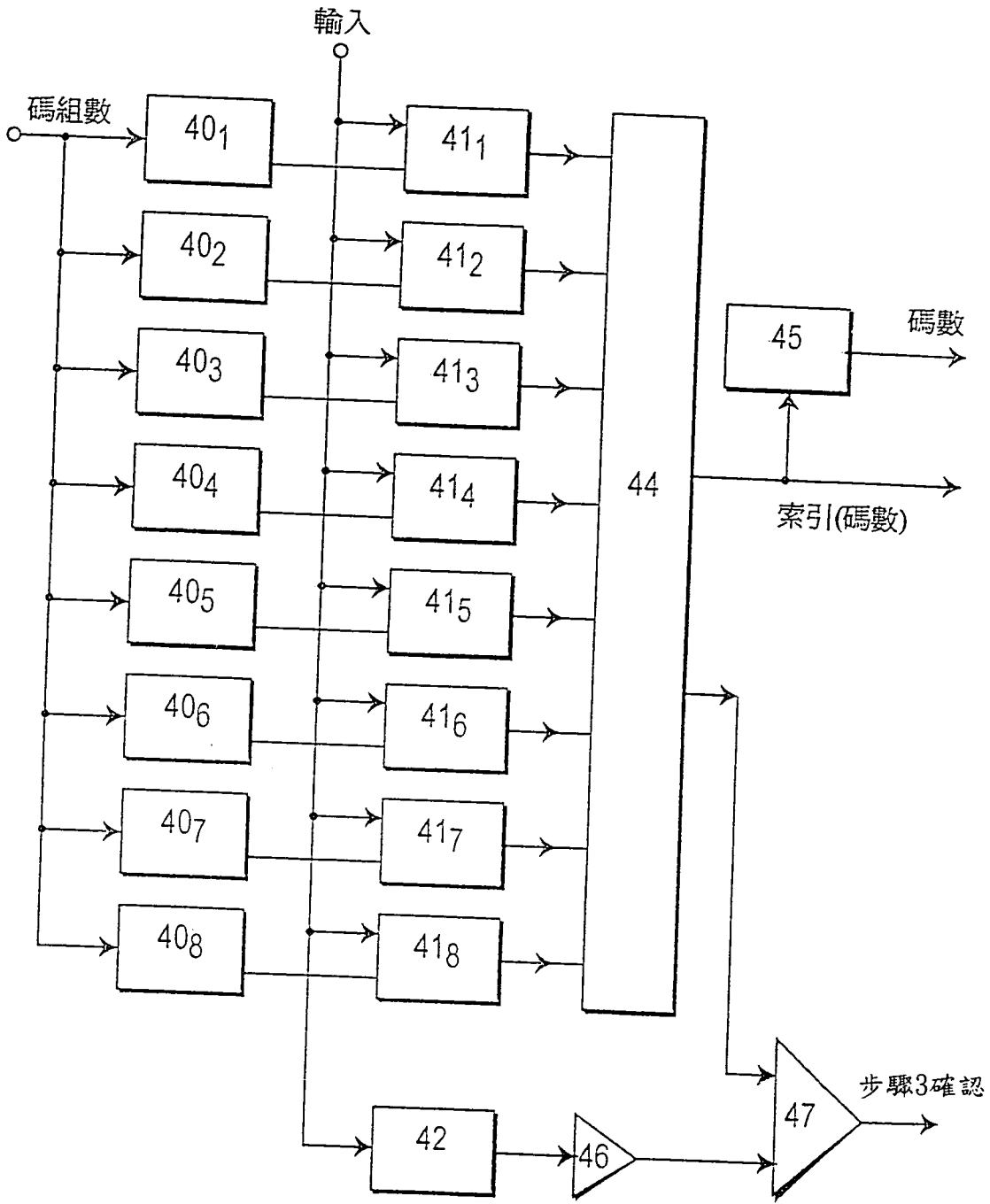
第九圖



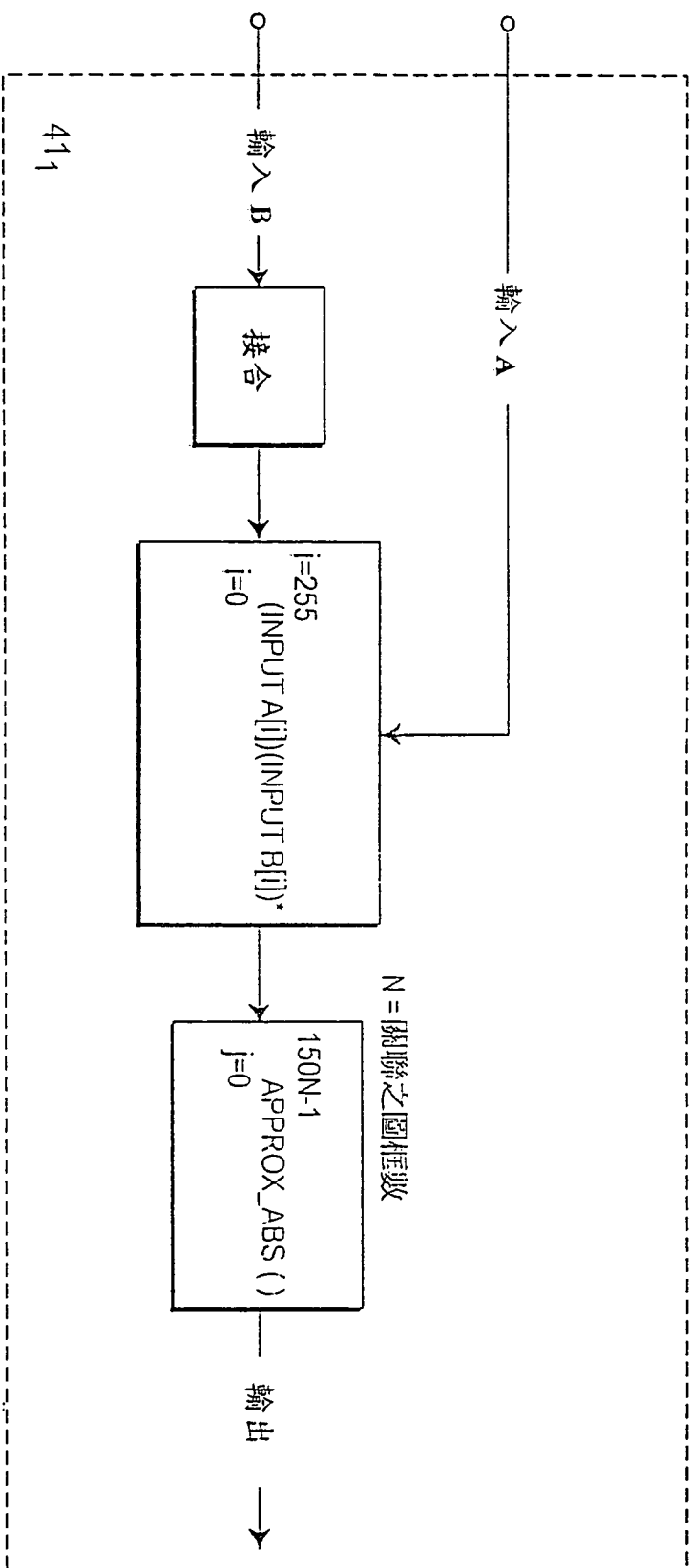
第十圖A



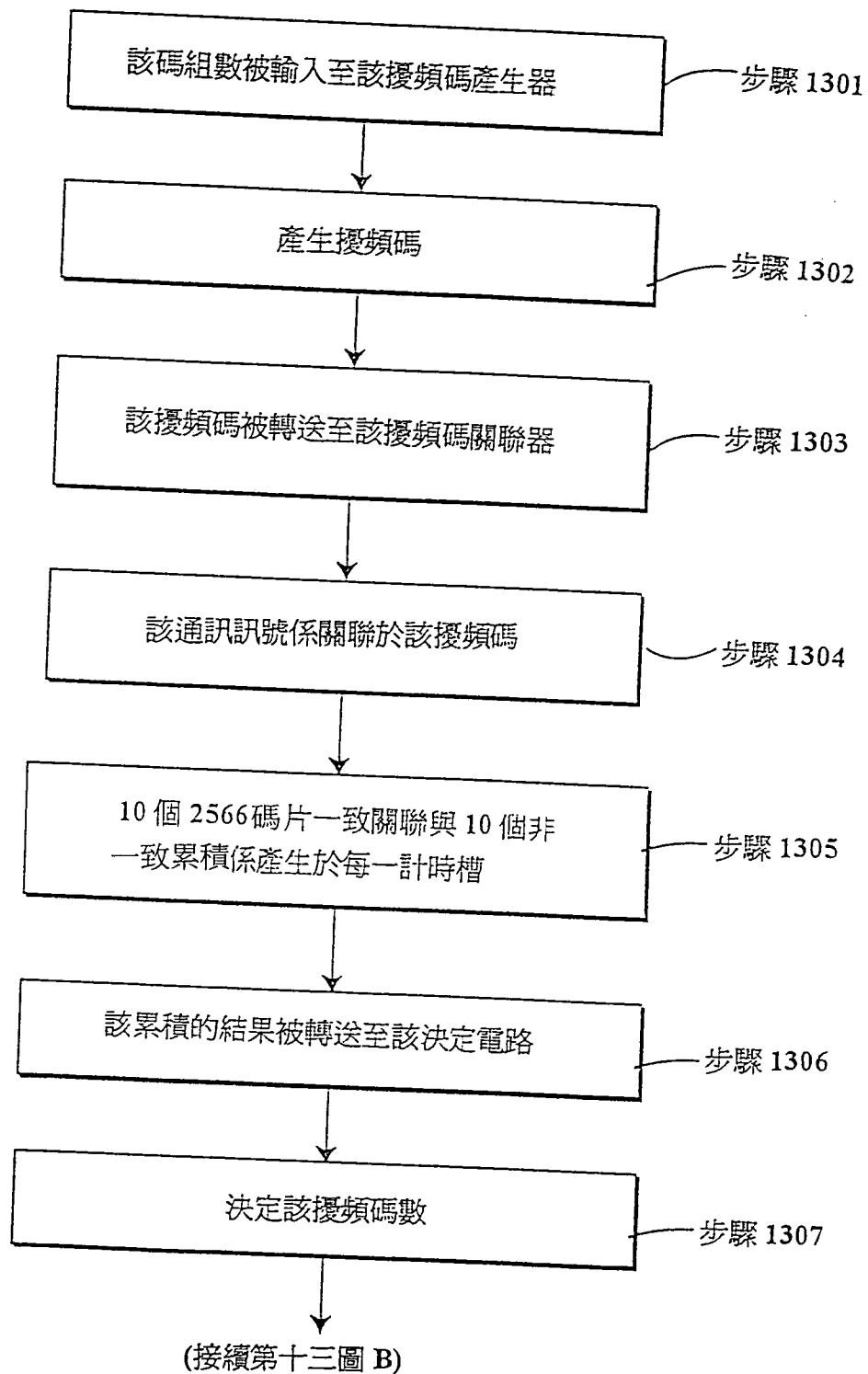
第十圖 B



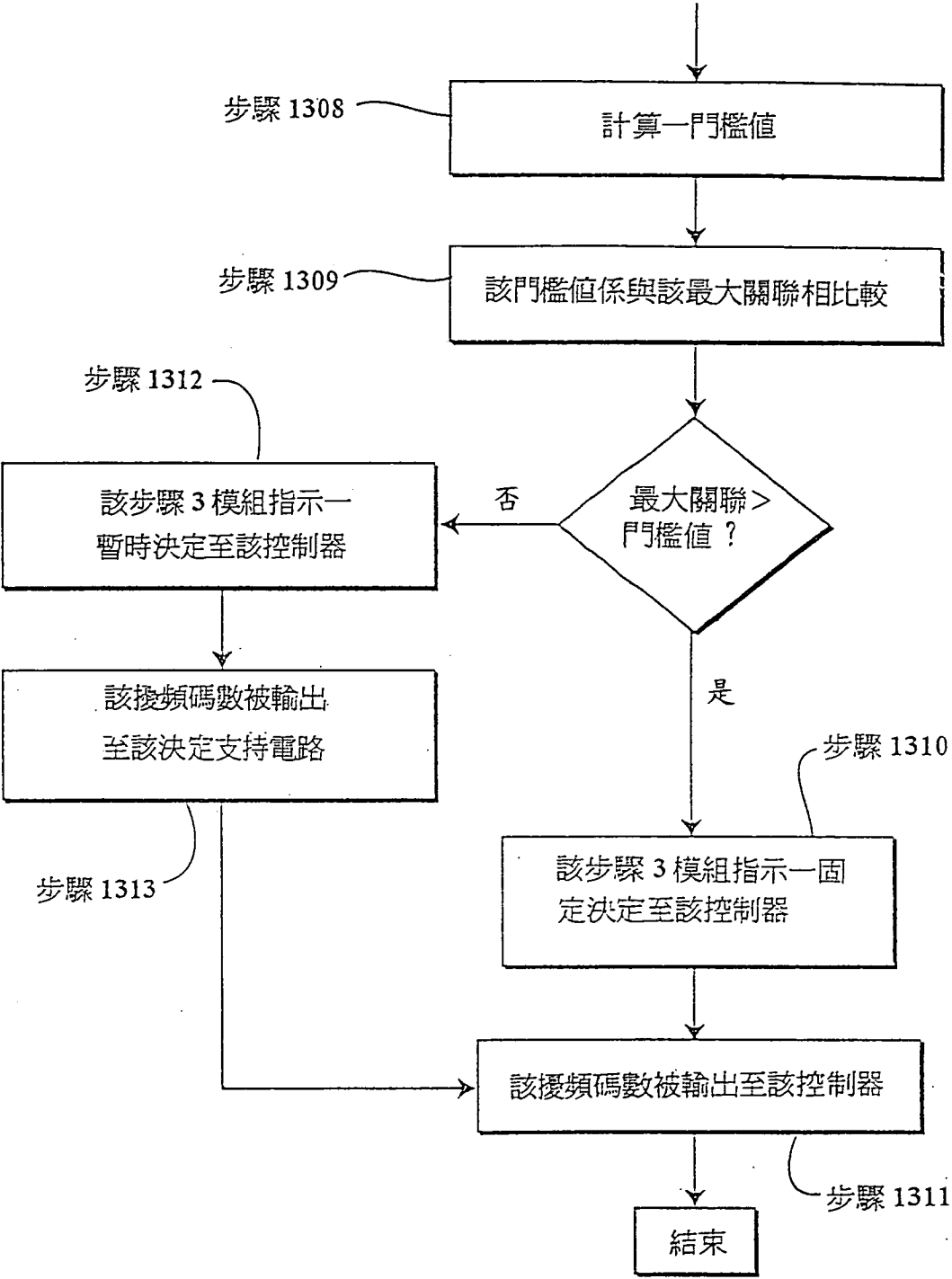
第十一圖



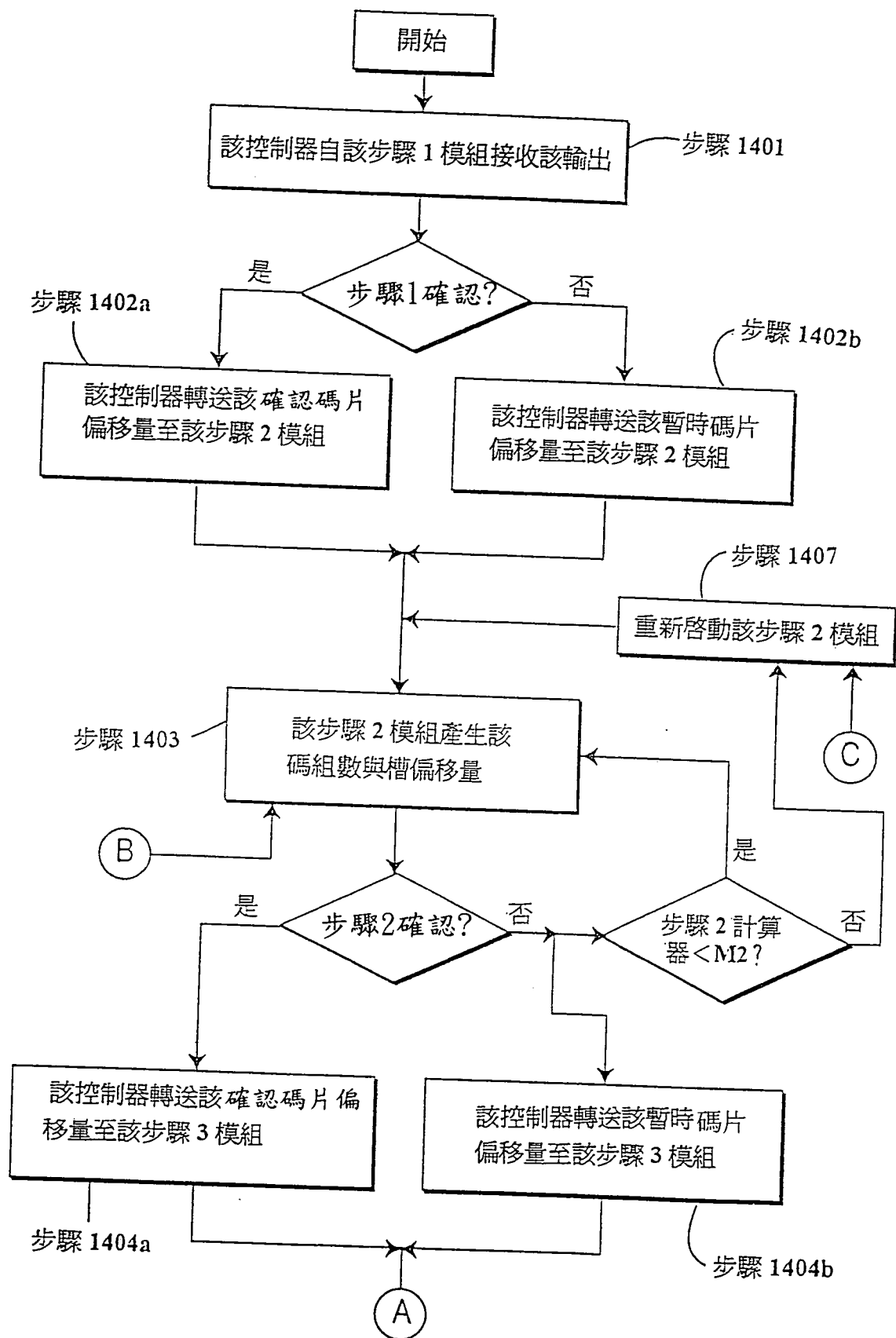
第十二圖



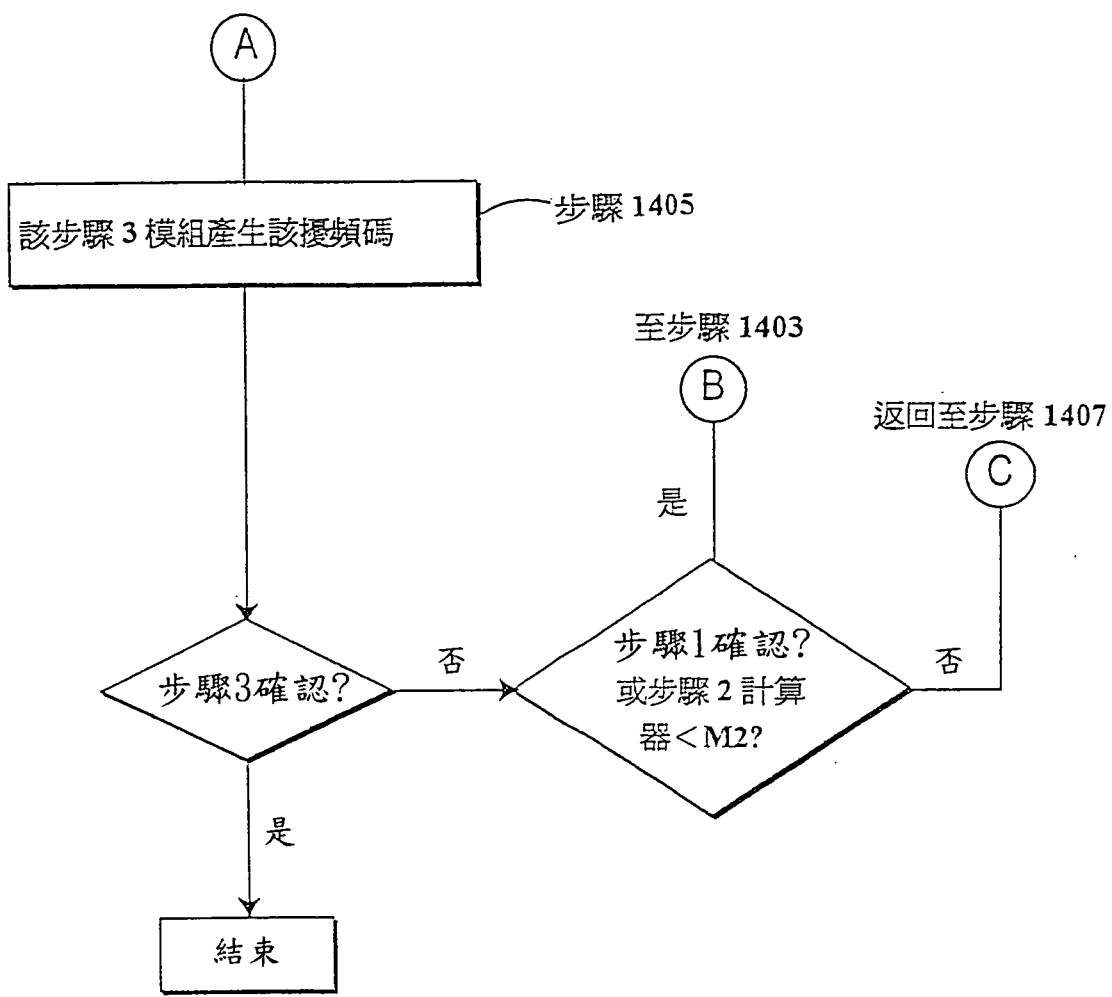
第十三圖 A



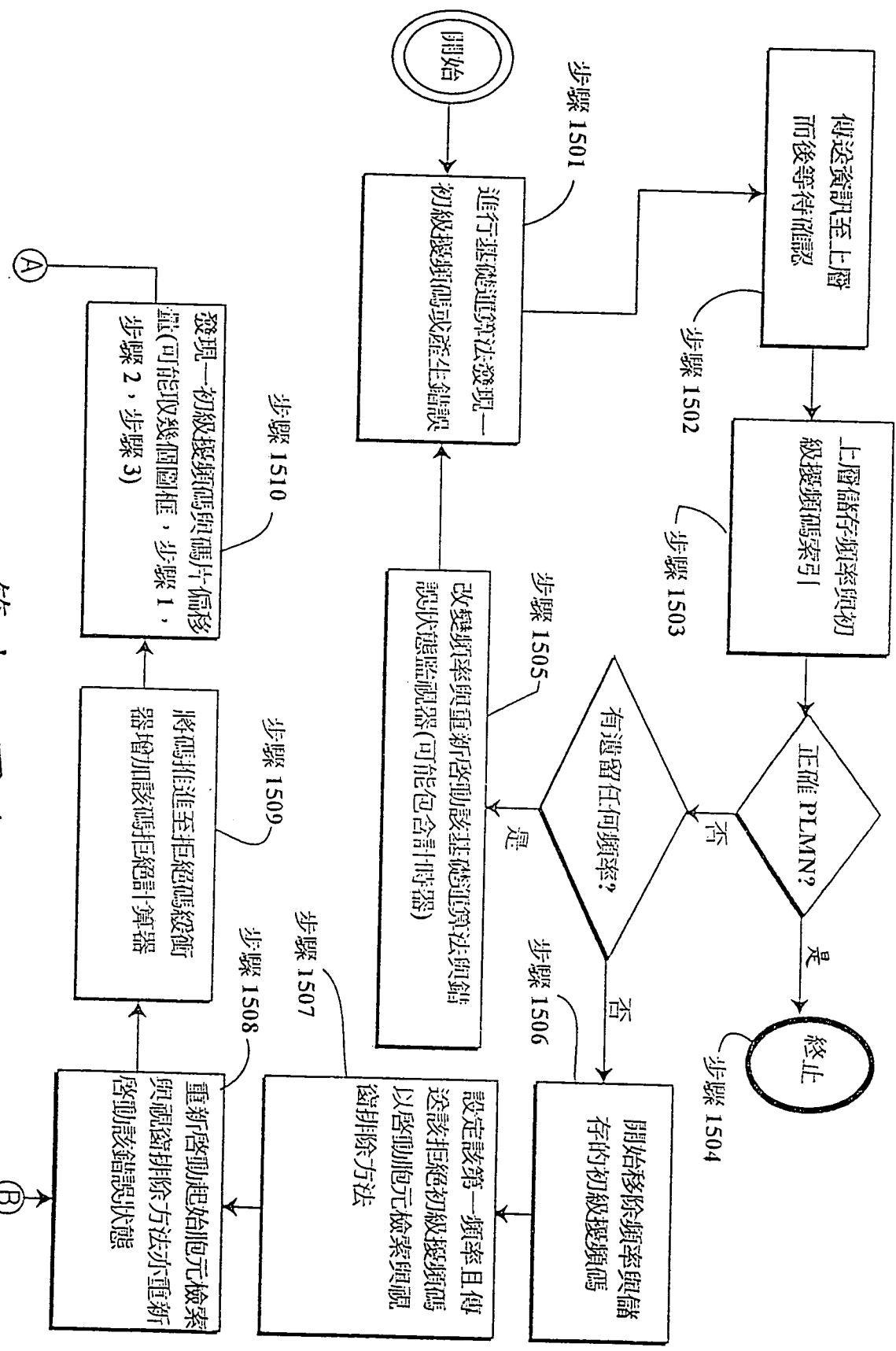
第十三圖 B



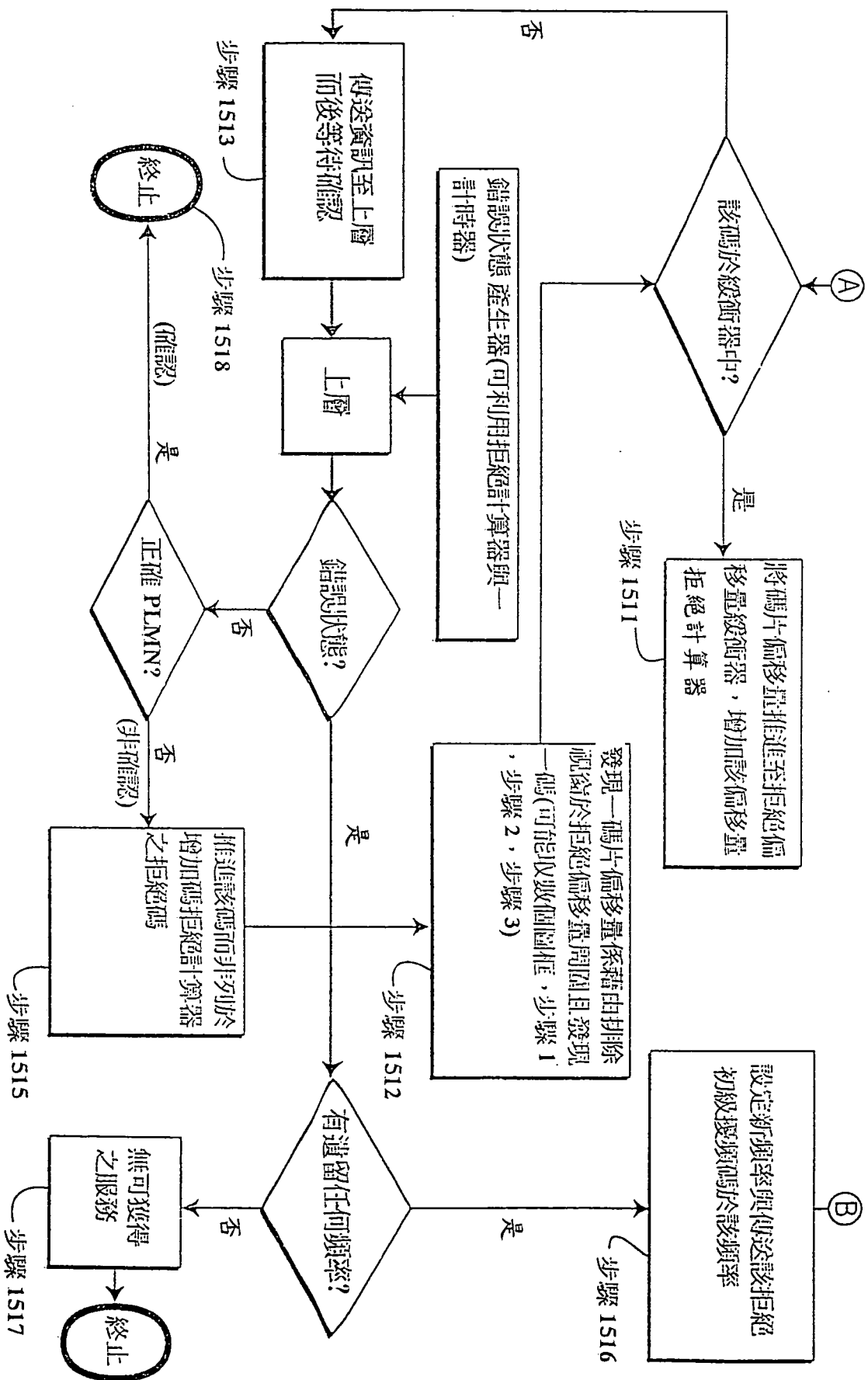
第十四圖 A



第十四圖B



第十五圖 A



第十五圖 B