

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.  
H03K 5/02 (2006.01)



# [12] 发明专利说明书

专利号 ZL 03157781.4

[45] 授权公告日 2006年5月17日

[11] 授权公告号 CN 1256807C

[22] 申请日 2003.8.29 [21] 申请号 03157781.4

[30] 优先权

[32] 2002.8.29 [33] JP [31] 2002-250274

[71] 专利权人 株式会社东芝

地址 日本东京

[72] 发明人 佐藤圣人

审查员 贾彦飞

[74] 专利代理机构 上海专利商标事务所有限公司

代理人 包于俊

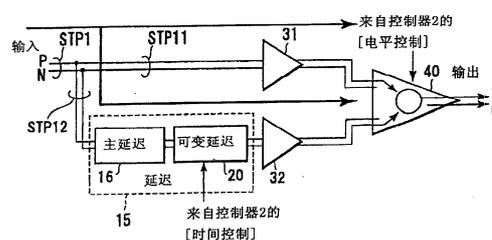
权利要求书 3 页 说明书 9 页 附图 5 页

## [54] 发明名称

差动数据发送器及差动数据收发装置

## [57] 摘要

本发明揭示一种差动数据发送器，包括：接收差动数据信号的第1前置驱动器，相对于第1前置驱动器并行地接收差动数据信号并保持延迟时间地输出的延迟电路，接收延迟电路的出力信号的第2前置驱动器。延迟电路根据控制信号设定变更延迟时间。输出驱动器接收第1及第2前置驱动器的第1及第2输出信号，输出与第1及第2输出信号的差信号相当的预加强波形信号。



1. 一种差动数据发送器，其特征在于，包括接收差动数据信号的第1前置驱动器，相对于第1前置驱动器并行地接收差动数据信号并保持延迟时间地输出的延迟电路，所述延迟电路根据控制信号设计变更所述延迟时间，接收所述延迟电路的输出信号的第2前置驱动器，以及接收所述第1及第2前置驱动器的第1及第2输出信号并输出与所述第1及第2输出信号的差信号、即预加强波形信号的输出驱动器。
2. 如权利要求1所述的发送器，其特征在于，所述延迟电路，包括并行地接收所述差动数据信号的第1及第2子延迟电路，所述第1及第2子延迟电路具有互不相同的信号延迟量，以及接收所述第1及第2子延迟电路的第1及第2子输出信号，选择地使用所述第1及第2子输出信号并设定所述延迟时间的延迟输出电路。
3. 如权利要求2所述的发送器，其特征在于，所述延迟输出电路选择性地输出所述第1及第2子输出信号的一方。
4. 如权利要求2所述的发送器，其特征在于，所述延迟输出电路以规定的比例混合输出所述第1及第2子输出信号。
5. 如权利要求2所述的发送器，其特征在于，各个所述第1及第2子延迟电路包括含有2个MOS晶体管的差动电路，在所述2个MOS晶体管的栅极上分别输入所述差动数据信号的正信号及负信号，所述2个MOS晶体管的源极的连接节点连接恒流电路，所述2个MOS晶体管的漏极连接负载电路。
6. 如权利要求2所述的发送器，其特征在于，所述延迟输出电路包括相对于其输出互相并行地连接的第1及第2差动电路，所述第1差动电路包含第1及第2MOS晶体管，所述第1子输出信号的正、负信号分别输入到所述第1及第2MOS晶体管的栅极，所述第1及第2MOS晶体管的源极连接节点连接第1电流电路，所述第1及第2MOS晶体管的漏极连接负载电路，

所述第 2 差动电路包含第 3 及第 4 MOS 晶体管，所述第 2 子输出信号的正信号及负信号分别输入到第 3 及第 4 MOS 晶体管的栅极，所述第 3 及第 4 MOS 晶体管的源极的连接节点连接第 2 电流电路，所述第 3 及第 4 MOS 晶体管的漏极连接所述负载电路。

7. 如权利要求 6 所述的发送器，其特征在于，

所述第 1 电流电路的电流值与所述第 2 电流电路的电流值的任一方或双方是根据所述控制信号可控制的。

8. 如权利要求 1 所述的发送器，其特征在于，还包括与  
所述延迟电路串接连接、对输入信号给出固定的延迟时间的另一延迟电路。

9. 如权利要求 1 所述的发送器，其特征在于，  
所述差动信号是串行差动信号，  
所述发送器还包括接收并行差动信号并输出串行差动信号的并一串转换器。

10. 一种差动数据收发装置，其特征在于，包括  
对方差动数据收发装置发送第 1 数据信号用的发送器，  
接收来自对方差动数据收发装置的第 2 数据信号的接收器，以及  
控制所述发送器及所述接收器的控制部，  
所述发送器，包括  
接收差动数据信号的第 1 前置驱动器，  
相对于第 1 前置驱动器并行地接收差动数据信号并保持延迟时间地输出的延迟电路，所述延迟电路根据来自控制部的控制信号设计变更所述延迟时间，  
接收所述延迟电路的输出信号的第 2 前置驱动器，以及  
接收所述第 1 及第 2 前置驱动器的第 1 及第 2 输出信号并输出与所述第 1 及第 2 输出信号的差信号、即预加强波形信号的输出驱动器，  
所述控制部根据监测所述接收器接收的所述第 2 数据信号的眼孔图样，控制所述延迟电路。

11. 如权利要求 10 所述的收发装置，其特征在于，  
所述第 2 数据信号是经对方差动数据收发装置接收后被发送回所述接收器的所述第 1 数据信号。

12. 如权利要求 10 所述的收发装置，其特征在于，

所述差动信号及所述第 1 和第 2 数据信号是串行差动信号，

所述发送器及所述接收器分别具备并一串转换器及串一并转换器。

13. 如权利要求 10 所述的收发装置，其特征在于，

所述延迟电路，包括

并行接收所述差动数据信号的第 1 及第 2 延迟电路，所述第 1 及第 2 子延迟电路具有互不相同的信号延迟量，以及

接收所述第 1 及第 2 子延迟电路的第 1 及第 2 子输出信号，选择性地使用所述第 1 及第 2 子输出信号并设定所述延迟时间的延迟输出电路。

14. 如权利要求 13 所述的收发装置，其特征在于，

所述延迟输出电路选择性的输出所述第 1 及第 2 子输出信号的一方。

15. 如权利要求 13 所述的收发装置，其特征在于，

所述延迟输出电路以规定的比例混合输出所述第 1 及第 2 子输出信号。

16. 如权利要求 10 所述的收发装置，其特征在于，还包括

与所述延迟电路串联连接、对输入信号给出固定的延迟时间的另一延迟电路。

## 差动数据发送器及差动数据收发装置

### 有关申请的交叉参考

本发明根据并要求 2002 年 8 月 29 日提交的前日本专利申请 No. 2002-250274 的优先权利益，其全部内容通过参考结合于此。

### 发明领域

本发明涉及差动数据发送器，更具体地说涉及在差动数据发送器的输出部上的预加强功能的改良。例如，该差动数据发送器如由处理 3.2Gbps 左右的数据的发送程序，或进行 LSI 芯片间的数据传送的实装基板等的高速串行数据传送系统所使用。

### 技术背景

在高速串行数据传送系统中，对于接收者的接收器接收的差动数据信号希望确保眼孔图样(Eye Pattern：开眼于对信号波形重合时所观察的中央)。因此，对发送者的发送器的输出部适用被称之为预加强(Pre-Emphasis)的技术。所谓预加强是指用发送者的发送器的数据驱动器预先加强由于数据发送方的半导体插件或数据传送线路的特性引起衰减的信号的频率成份。这样，扩展了接收者的接收器接收的差动数据信号的信号振幅，能确保眼孔图样。

图 9 示出以往的高速串行数据传送系统中的差动数据发送器输出部的基本构成框图。

该发送器的输出部由使驱动电流逐渐增大用的 2 个前置驱动器 61、62，延迟电路 60，以及用大电流驱动用的输出驱动器 63 所构成。输出驱动器 63 根据 2 个前置驱动器 61、62 的输出信号生成预加强波形信号。为此，作为输出驱动器 63，采用对 2 个输入信号进行相减并生成预加强波形信号的减法电路。

图 9 所示的差动数据发送器的输出部，传输差动输入信号(由正和负信号组成)的串行传送路线分成并行的 2 条路径 SPT61、STP62。一条路径 STP61 是将数据信号(串行差动信号)原样地传输到后级的第 1 路径(主信号路径)，另一条路径 STP62 是传输加强数据信号(串行差动信号)用的信号的第 2 路径(加强

信号路径)。

第 1 路径 STP61 中, 数据信号被第 1 前置驱动器 61 所缓冲, 电流值逐渐增大的同时, 输入到输出驱动器 63。第 2 路径 STP 62 中, 数据信号被延迟电路增加一定时间的延迟。接着, 数据信号被第 2 前置驱动器 62 所缓冲, 电流值逐渐增大的同时, 输入到输出驱动器 63。

也就是说, 第 2 路径 STP 62 传输的数据信号作为加强数据用的信号, 与第 1 路径 STP 61 传输的数据信号相比, 只延迟了由延迟电路 60 引起的延迟时间并输入到输出驱动器 63。2 个前置驱动器 61、62 的输出信号被输入到输出驱动器 63, 在这里 2 个数据信号被相减, 成为具有预加强波形的差动的输出信号。

图 10 为用来说明输出驱动器 63 为二输入减法电路时的、由减法处理产生的预加强的概念的信号波形图。

图 10 中, Y1 为驱动输出驱动器 63 的主信号用的第 1 差动电路的电流, Y2 为驱动输出驱动器 63 的加强信号用的第 2 差动电路的电流。从某数据的变化点开始的延迟时间 T-延心的期间, 2 个差动电路的各输出电流互相加强地动作, 以  $Y1+Y2$  的电流驱动。与上述相反, 经过延迟时间 T-延心后起到下一数据的变化点为止的期间, 2 个差动电路 41、42 的各输出电流互相抵消地动作, 以  $Y1-Y2$  的电流驱动。

这里, 给与第 2 路径 STP 62 传输的数据信号(加强信号)的延迟时间 T-延迟, 不仅用于检测数据的变化点, 而且决定预加强数据的期间。

图 11A 及图 11B 为分别示出图 9 延迟电路 60 的以往例的概略图。

图 11A 示出串接连接多个缓冲电路或倒相电路而成的缓冲线(buffer line)。该缓冲线串接连接缓冲电路或倒相电路作为延迟元件, 利用该延迟元件产生的传输延迟。这时以延迟元件的级数设定延迟时间。但该延迟时间与所用晶体管的栅极特性曲线的角、温度、电源电压有关。

图 11B 为由时钟信号 CLK 驱动的 D 触发器电路(D-FF)。D-FF 采用与输入信号的数据速率相同的频率作为时钟信号 CLK, 通过保持信号为时钟信号 CLK 的周期或其一半的期间使之延迟。

不论图 11A 及图 11B 的哪一种电路, 延迟时间 T-延迟都与电路构成有关, 因此在设计时就决定了延迟的多少。也就是说, 对数据预加强期间在设计时已被固定。然而, 对数据进行预加强的期间的最佳值是随传输线路的长度、外部

环境等各种条件而变的。因而，延迟时间在设计时已被决定的以往的差动数据发送器的输出部中，难以实现最佳的预加强期间。

因而，在高速串行数据传输系统的差动数据发送器的输出部中，期望能实施依变于传输线路的长度、外部环境等各种条件的预加强期间，使可能扩展在接收侧的信号振幅。

#### 发明内容

本发明的第1方面的差动数据发送器，包括

接收差动数据信号的第1前置驱动器，

相对于第1前置驱动器并行地接收差动数据信号并保持延迟时间地输出的延迟电路，所述延迟电路根据控制信号设计变更所述延迟时间，

接收所述延迟电路的输出信号的第2前置驱动器，以及

接收所述第1及第2前置驱动器的第1及第2输出信号并输出与所述第1及第2输出信号的差信号、即预加强波形信号的输出驱动器。

本发明的第2方面的差动数据收发装置，包括

对对方差动数据收发装置发送第1数据信号用的发送器，

接收来自对方差动数据收发装置的第2数据信号的接收器，以及

控制所述发送器及所述接收器的控制部，

所述发送器，包括

接收差动数据信号的第1前置驱动器，

相对于第1前置驱动器并行地接收差动数据信号并保持延迟时间地输出的延迟电路，所述延迟电路根据来自控制部的控制信号设计变更所述延迟时间，

接收所述延迟电路的输出信号的第2前置驱动器，以及

接收所述第1及第2前置驱动器的第1及第2输出信号并输出与所述第1及第2输出信号的差信号、即预加强波形信号的输出驱动器，

所述控制部根据监测所述接收器接收的所述第2数据信号的眼孔图样，控制所述延迟电路。

#### 附图说明

图1概略地示出包含本发明的第1实施形态的差动数据收发装置的高速串行数据传送系统的框图。

图 2 示出图 1 的收发装置的发送器输出部的框图。

图 3 示出图 2 中的输出部的输出驱动器的构成电路图。

图 4 示出图 2 中的输出部的主延迟电路及可变延时电路的框图。

图 5 示出图 1 中的收发装置的收送器的输出部的动作的一例信号波形图。

图 6 示出图 4 中的可变延迟时电路的子延迟电路之一的电路图。

图 7 示出图 4 中的可变延迟电路的延迟输出电路的电路图。

图 8 示出图 7 中的延迟输出电路的变形例的电路图。

图 9 示出以往的高速串行数据传送系统的差动数据发送器的输出部的基本构成框图。

图 10 为说明由二输入减法电路的相减处理产生的预加强概念用的信号波形图。

图 11A 及图 11B 概略地示出图 9 中的以往的延迟电路另一例。

### 具体实施方式

以下参照附图说明本发明的实施形态。在以下说明中，对具有大致相同功能及构成的构成要素标以相同符号且仅在必要时作重复说明。

#### 第 1 实施形态

图 1 概略地示出包含本发明的第 1 实施形态的差动数据收发装置的高速串行数据传送系统的框图。该数据传送系统包含第 1 实施形态的差动数据收发装置 1A 与通过外部传送路径 OTP1、OTP2 跟收发装置 1A 连接的作为收发信对方的差动数据收发装置 1B。这里，假定差动数据收发装置 1B 与有与差动数据收发装置 1A 实质上等效的构造，故以下只说明发送方收发装置 1A 的细节。

差动数据收发装置 1A 具有通过并行传送路径 PTP1、PTP2 连接到半导体装置等主系统 MS 的发送器 3 及接收器 7 与控制它们的控制部 2。发送器 3 中配设有通过串行传送路径 STP1 互相连接的并一串转换器 4 与输出部 5。接收器 7 中配设有通过串行传送路径 STP2 互相连接的输入部 8 与串一并转换器 9。

在发送器 3，来自主系统 MS 的并行差动信号由转换器 4 变换成串行差动信号。该串行差动信号在输出部 5 按后述那样整形成预加强波形信号后，向对方的差动数据收发装置 1B 发送。另一方面，来自对方的差动数据收发装置 1B 的串行差动信号(预加强波形信号)由接收器 7 的输入部 8 所接收，由转换器 9 变换成并行差动信号后，向主系统 MS 发送。

在发送器 3 的输出部 5 生成预加强波形信号之际，控制部 2 可根据监测接收器 7 接收的信号的眼孔图样的结果，控制输出部 5 (具体地说是后述的延迟电路 15)。由此，可实现在输出部 5 发送的预加强波形信号之际的预加强期间的最佳值，能以最佳的状态扩展接收侧的信号振幅。

图 2 为示出收发装置 1A 的发送器 3 的输出部 5 的框图。输出部 5 由用来使驱动电流值逐渐增大的 2 个前置驱动器 31、32，延迟电路 15、以及用来大电流驱动的输出驱动器 40 所构成。2 个前置驱动器 31、32 具有相同的电路构成。输出驱动器 40 根据 2 个前置驱动器 31、32 的输出信号生成预加强波形信号。因此，作为输出驱动器 40，采用将 2 个输入信号相减而生成预加强波形信号的减法电路。

来自并一串转换器 4 的串行传送路线 STP1 被分割成并行的 2 个路径 STP11、STP12。一方路径 STP11 是将数据信号 (串行差动信号) 原样地传输到后级的第 1 路径 (主信号路径)，另一种径 STP12 是传输加强数据信号 (平行差动信号) 用的信号的第 2 路径 (加强信号路径)。

在第 1 路径 STP11，数据信号由第 1 前置驱动器 31 所缓冲，一边逐渐增大电流值，一边输入到输出驱动器 40。在第 2 路径 STP12，数据信号由延迟电路 15 加上任意的时延后，由第 2 前置驱动器 32 所缓冲，一边逐渐增大电流值，一边输入到输出驱动器 40。

如上所述，第 1 及第 2 前置驱动器 31、32 具有相同的电路构成。因此，第 2 路径 STP12 所传输的数据信号与第 1 路径 STP11 所传输的数据信号相比，仅迟后由延迟电路 15 引起的延迟时间部分并输入到输出驱动器 40。2 个前置驱动器 31、32 的输出信号输入到到输出驱动器 40，在此进行 2 个数据信号的相减，成为具有预加强波形的差动输出信号。

图 3 为由输出部 5 的减法电电路构成的输出驱动器 40 的电路图。图 3 的输出驱动器 (二输入减法电路) 40 具有对其输出互相并联连接的第 1 及第 2 差动电路 41、42。第 1 差动电路 41 与第 2 差动电路 42 连接成使各输出的正负互逆地对应，生成电流相减的输出信号。

具体地说，第 1 差动电路 41 包含第 1 及第 2 MOS 晶体管 T1、T2。在 T1、T2 的栅极分别输入第 1 路径 STP 11 传输的数据信号 (主信号) 的正信号及负信号。T1、T2 的源极连接节点上接第 1 电流电路 I1、T1、T2 的漏极分别接负载电路 R1、R2。

第2差动电路42包含第3及第4MOS晶体管T3、T4。在T3、T3的栅极分别输入第2路径STP12传输的数据信号(加强信号)的正信号及负信号、T3、T4的源极连接节点上接第2电流电路I2。T3、T4的漏级分别连接上述的负载电路R1、R2。

通过上述构成,输出驱动器40中从第1路径STP11传输的数据信号(主信号)中减去第2路径STP12传输的数据信号(加强信号)。由此,数据的“H”到“L”,或“L”到“H”的变化点被强调,另一方面,数据的“H”或“L”连续的部分被削弱,换言之,这种结构加强了由传输线路等衰减了的信号的高频成分,另一方面削减了未衰减信号的低频成分。

预加强用的延迟电路15有串联连接于第2路径STP12上的主延迟电路16与可变发变延迟电路20。主延迟电路16对数据信号提供固定于预设值的固定延迟值。而可变延迟电路20根据来自控制部2(参照图1)的控制信号对数据信号提供的延迟时间是可变的。利用可变延迟电路20可对数据信号提供最佳的延迟,因而实现最佳的预加强期间成为可能。

图4示出输出部5的主延迟电路16及可变延迟电路20的框图。主延迟电路16的构成与图11所示的以往的延迟电路相同。然而主延迟电路16的延迟时间至少设定得与可变延迟电路20附加的延迟时间部分相平衡。

可变延迟电路20有2个子延迟电路21、22与1个延迟输出电路22。子延迟电路21、22相对于主延迟电路并联连接,对来自主延迟电路16的数据信号提供互相不相同的信号延迟量。延迟输出电路23接收来自第1及第2子延迟电路21、22的第1及第2子输出信号S21、S22,选择性地使用这些信号来设定延迟时间。

具体地说,延迟电路电路23能根据来自控制部2(参照图1)的外部控制信号(Time Control)设定第1及第2子输出信号S21、S22的混合比例。例如,延迟输出电路23具有选择输出第1及第2子输出信号S21、S22的任意一方的信号选择(MUX)功能(即此时的混合比例,一方为100%而另一方为0%)。此外,延迟输出电路23具有以所要的比例混合物出第1及第2子输出信号S21、S22的信号混合(MIX)功能。子延迟电路21、22及延时输出电路23各自用例如以恒流驱动的电流动作电路(CML)来构成。

图5为示出发送器3输出部5的动作的一例的信号波形图。下面参照图5说明可变延迟电路20的动作(延迟量的变化)及图2所示电路的动作。

如图 4 所示, 经第 2 路径 STP 12 传输的数据信号(差动信号)首先由主延迟电路 16 提供一定时间的延迟( $D_{\text{主}} \geq 0$ )。接着差动输入信号输入可变延迟电路 20。

在可变延迟电路 20, 数据信号被分成 2 路, 分别输入并联设置的第 1 及第 2 子延迟电路 21、22。被分开的各数据信号在子延迟电路 21、22 被提供不同的时延( $D_1 \geq 0, D_2 > 0, D_1 < D_2$ ), 作为第 1 及第 2 子输出信号 S21、S22 输出。由于第 1 及第 2 子输出信号 S21、S22 各为差动信号, 故第 1 子输出信号 S21 由正及负信号 S21P、S21N 构成, 第 2 子输出信号 S22 由正及负信号 S22P、S22N 构成。

第 1 及第 2 子输出信号 S21、S22 输入到延迟输出电路 23, 后者选择性地用这些信号设定延迟时间。即, 延迟输出电路 23 根据来自控制部的外部控制信号设定第 1 及第 2 子输出信号 S21、S22 的混合比例(包含择一性选择情况)。

这样一来, 可变延迟电路 20 对数据信号(差动输入信号)提供所要的延迟( $D_{\text{可变}} = D(D_1 \leq D \leq D_2) + D_3 (D_3 > 0)$ )。因而, 对于通过第 2 路径 STP12 的差动信号, 图 4 所示电路产生的总延迟( $D_{\text{总}}$ )为:  $D_{\text{总}} = D_{\text{主}} + D_{\text{可变}} = D_{\text{主}} + D(D_1 \leq D \leq D_2) + D_3$ 。

这里, 当  $D = D_1$  时,  $D_{\text{总}}$  为最小值(最小延迟)。当  $D = D_2$  时,  $D_{\text{总}}$  为最大值(最大延时)。当  $D_1 < D < D_2$  时,  $D_{\text{总}}$  为中间值。分别对应上述  $D_{\text{总}}$  最小值、最大值、中间值的情况, 预加强期间为最小、最大、中间。

以下详细说明子延迟电路 21、22 及延迟输出电路 23 的具体构成。这些电路各自例如由以恒流驱动的电流动作电路(CML)所构成。

图 6 示出 2 个子延迟电路 21、22 中的一个的电路图。该子延迟电路设输入差动输入信号(数据信号), 用连接恒流源 I11 的 MOS 源极耦合型的差动电路构成。

具体地说, 该差动电路包含第 1 及第 2 MOS 晶体管 T11、T12、T11、T12 的栅极上分别输入主延迟电路 16 输出的数据信号的正及负信号。T11、T12 的源极耦合节点上连接恒流源 I11、T11、T12 的漏极上分别连接负载电路 R11、R12。

图 7 示出延迟输出电路 23 的电路图。该延迟输出电路 23 具有相对于输出并联连接的第 1 及第 2 差动电路 51、52、第 1 及第 2 差动电路 51、52 连接得使各输出的正负相互对应。

具体地说,第1差动电路51包含第1及第2MOS晶体管T21、T22、T21、T22的栅极上分别输入第1子延迟电路21输出的第1子输出信号木1的正信号S21P及负信号S21N。T21、T22的源极连接节点连接第1可变电流源IM1。T21、T22的漏极分别接负载电路R21、R22。

第2差动电路52包含第3及第4MOS晶体管T23、T24。T23、T24的栅极上分别输入第2子延迟电路22输出的第2子输出信号S22的正信号S22P及负信号S22N、T23、T24的源极连接节点连接第2可变电源IM2、T23、T24的漏极分别连接负载电路R21、R22。

第1及第2可变电流源IM1、IM2一起根据来自控制部2(参照图1)的外部控制信号得以控制。通过利用外部控制信号控制对第1及第2可变电流源IM1、IM2的电流的流动,来设定第1及第2子输出信号S21、S22的混合比例。利用这一电流控制例如延迟输出电路23实现选择输出第1及第2子输出信号S21、S22的任意一方的信号选择(MUX)功能(即,这时的混合比例,一方为100而另一方为0%)。又,利用这一电流控制,延迟输出电路23实现以所要比例混合输出第1及第2子输出信号S21、S22的信号混合(MIX)功能。

即,延迟输出电路23通过设定第1可变电流源IM1的驱动电流IM1、第2可变电流源IM2的驱动电流IM2,进行如下动作。这里设存在关系: $IM1+IM2=I=$ 常数。

(A)  $IM1=I, IM2=0$  时, D-总为最小(D-min)。

(B)  $IM1=0, IM2=I$  时, D-总为最大(D-max)。

(C)  $IM1=i, IM2=I-i$  时, D-总在 D-min~D-max 间根据 IM1 与 IM2 的大小关系来控制。

换言之,在控制使只流过如上述(A)、(B)那样IM1与IM2的一方的情况下,延迟输出电路23作为信号选择电路(MUX)动作。又在如上述(C)那样控制IM1与IM2同时满足 $IM1+IM2=I$ 的情况下,延迟输出电路23作为信号混合(MIX)电流动作。

这时,控制部2(参照图1)根据监测接收器7的输入部8接收的信号的眼孔图样的结果,可控制延迟输出电路23的第1及第2可变电流源IM1、IM2。这样一来,本数据传送系统中能够设定相当于设定最佳预加强期间用的延迟时间的、第1及第2子输出信号S21、S22的最佳的混合比例。又,能使监控器的对象信号由发送器3发送,由对方的差动数据收发装置1B接收后作为发送

回接收器的信号。

图 8 示出延迟输出电路的变形例的电路图。该变形例的延迟输出电路 23Z 仅作为信号选择 (MUX) 电路来工作。这时, 延迟输出电路 23Z 具有第 1 及第 2 恒流源 I31、I32, 取代图 7 中的第 1 及第 2 可变电流源 IM1、IM2。第 1 及第 2 恒流源 I31、I32 根据来自控制部 2 (参照图 2) 的外部控制信号进行通/断。这样可实现选择输出第 1 及第 2 子输出信号 S21、S22 的任一方的信号选择 (MUX) 功能。

根据图 1 至图 8 的实施形态有关的、高速串行数据传送系统的差动数据收发装置, 则能实现依变于传输路线的长度、外部环境等各种条件的预加期间的最佳值, 扩展在接收侧的信号振幅。

对本专业的技术人员而言可以容易地实现附加的优点和修改。因此, 本发明在其更广泛方面不受这里所描述的具体细节与有代表性的实施例所限制。因而可作各种修改而不背离由所附权项及其等价物所确定的一般的发明概念的精神和范围。

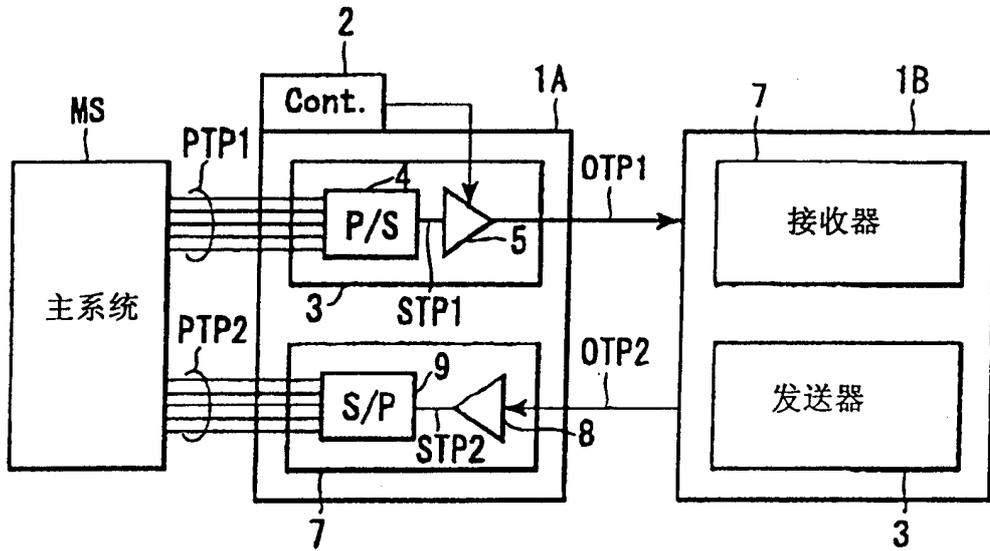


图 1

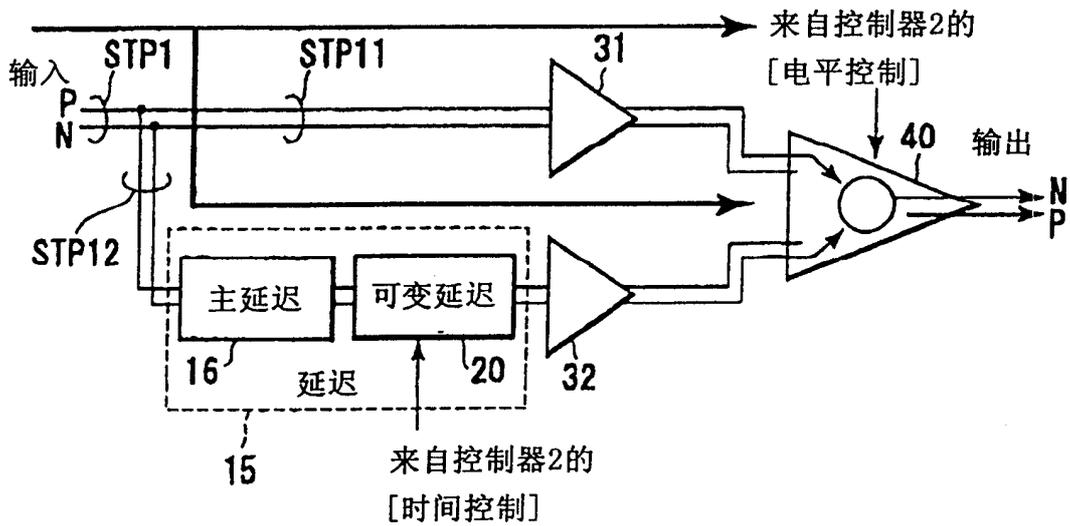


图 2

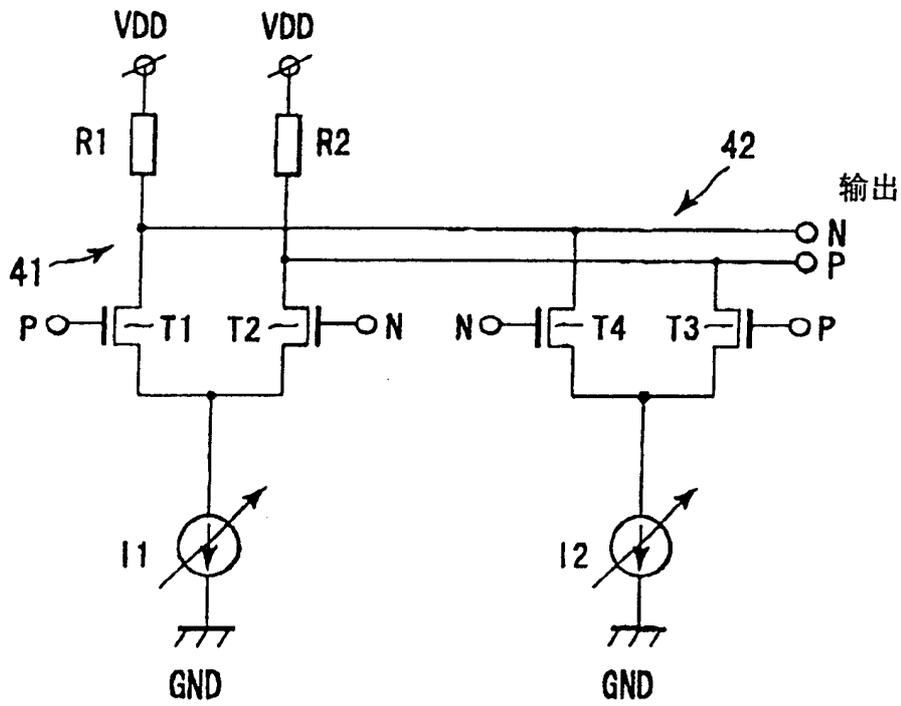


图 3

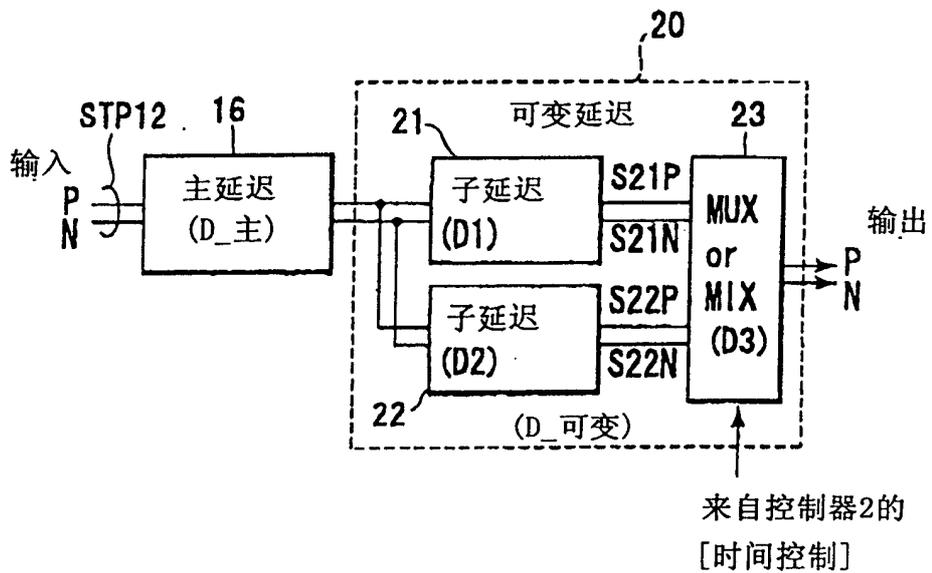


图 4

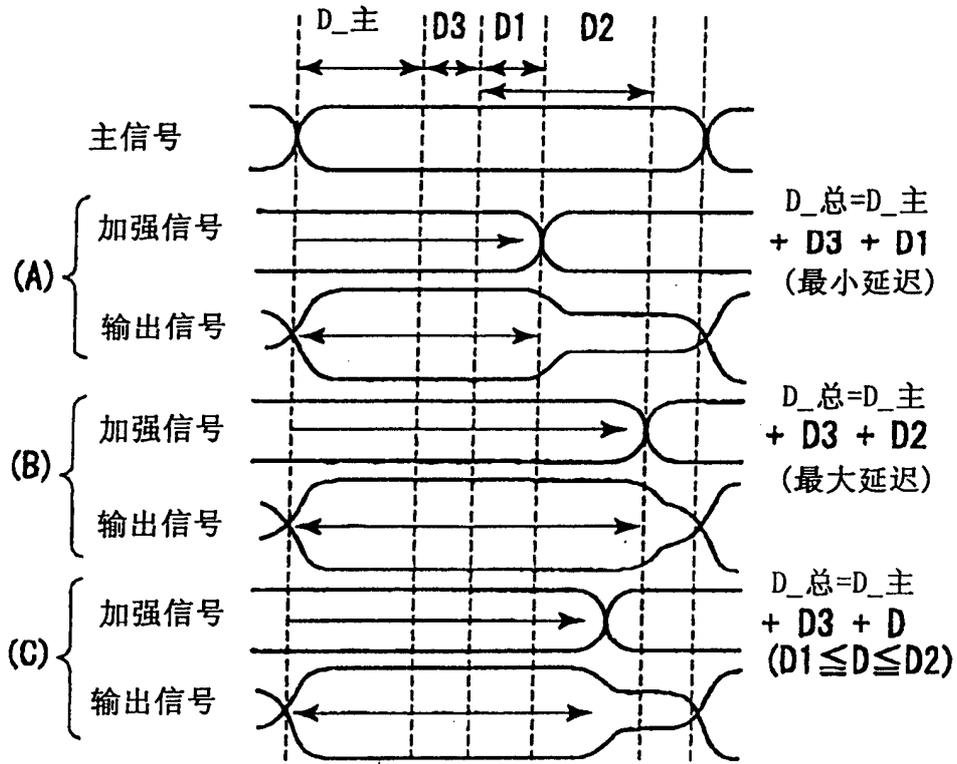


图 5

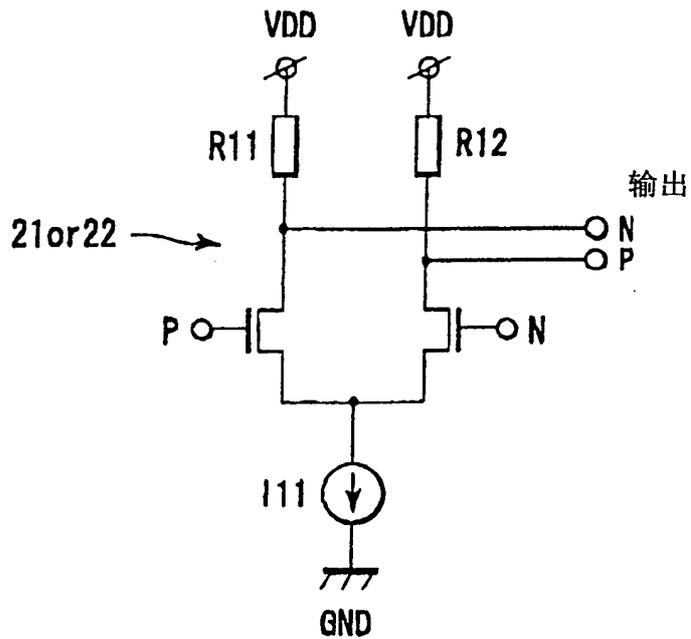


图 6

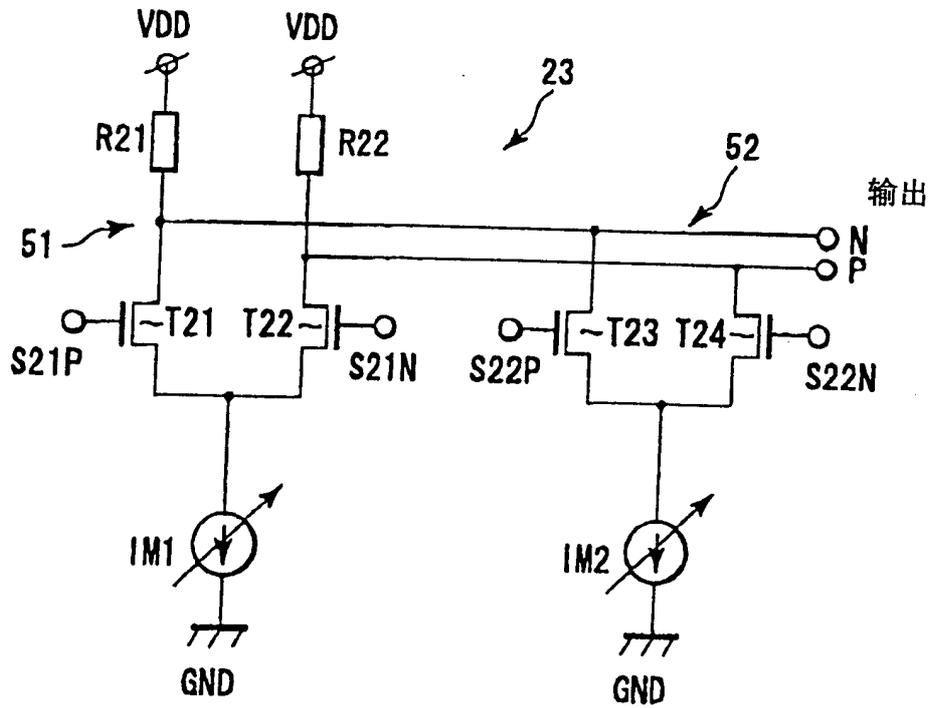


图 7

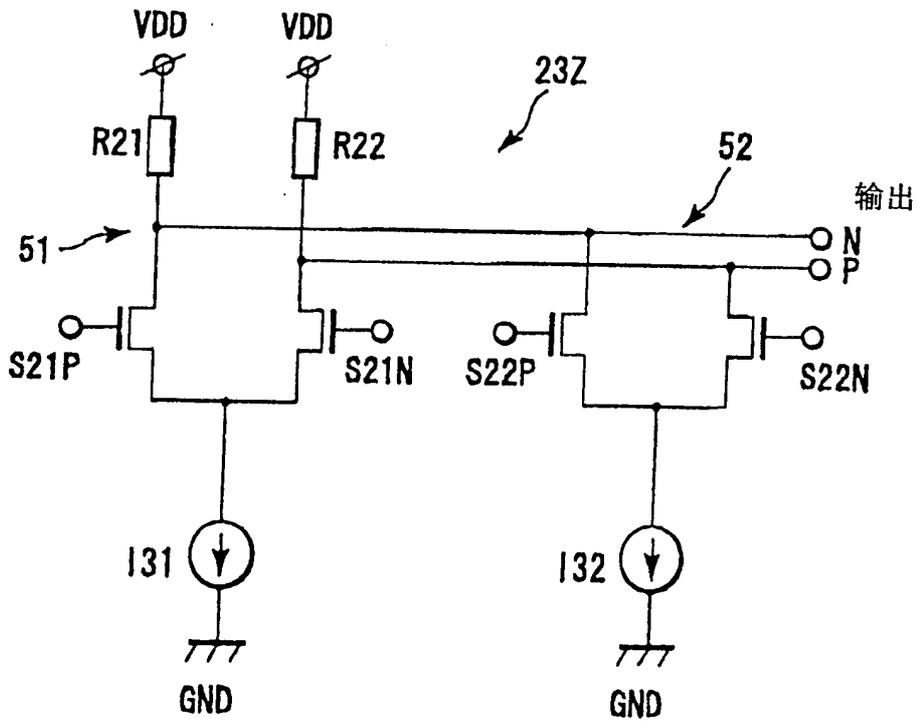


图 8

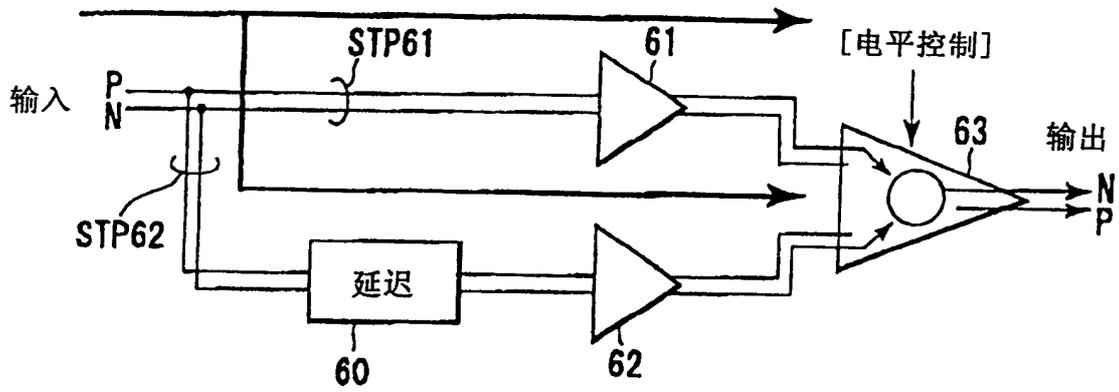


图 9

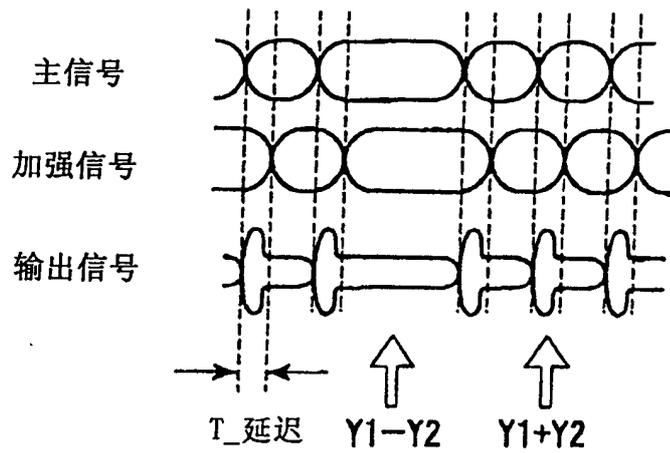


图 10

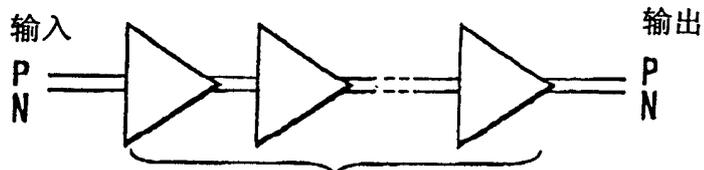


图 11A

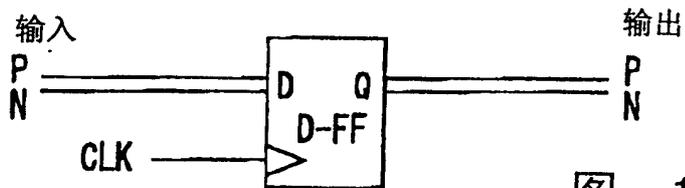


图 11B