



(12)发明专利申请

(10)申请公布号 CN 106970877 A

(43)申请公布日 2017. 07. 21

(21)申请号 201710153281.8

(22)申请日 2017.03.15

(71)申请人 杭州中天微系统有限公司

地址 310012 浙江省杭州市西湖区西斗门路3号天堂软件园A幢15楼

(72)发明人 郭宇波

(74)专利代理机构 北京汇泽知识产权代理有限公司 11228

代理人 张瑾

(51) Int. Cl.

G06F 11/36(2006.01)

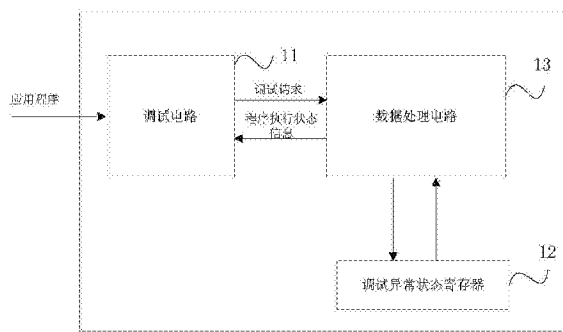
权利要求书1页 说明书4页 附图2页

(54)发明名称

控制调试请求的装置及数据处理器

(57)摘要

本发明提供一种控制调试请求的装置及数据处理器。所述控制调试请求的装置包括调试电路、调试异常状态寄存器、数据处理电路。其中，所述调试电路，与所述数据处理电路相连，用于实时获取所述数据处理电路的应用程序状态信息，并对所述应用程序状态信息进行处理产生调试请求，以及发送所述调试请求至所述数据处理电路；所述调试异常状态寄存器，与所述数据处理电路相连，用于读取并显示所述数据处理电路正在执行的应用程序是否具有可中断性；所述数据处理电路，用于接收所述调试电路发送的调试请求，同时获取所述调试异常状态寄存器的信息；本发明能够保证数据处理电路当前处理的应用程序状态不被破坏，且能够避免调试请求的丢失问题。



1. 一种控制调试请求的装置,其特征在于,所述控制调试请求的装置包括调试电路、调试异常状态寄存器、数据处理电路,其中,

所述调试电路,与所述数据处理电路相连,用于实时获取所述数据处理电路的应用程序状态信息,并对所述应用程序状态信息进行处理产生调试请求,以及发送所述调试请求至所述数据处理电路,所述调试请求用于指示所述数据处理电路执行调试异常服务程序;

所述调试异常状态寄存器,与所述数据处理电路相连,用于读取并显示所述数据处理电路正在执行的应用程序是否具有可中断性;所述调试异常状态寄存器包括调试异常使能位和调试异常挂起位,其中,所述调试异常使能位为高代表所述数据处理电路执行的应用程序具有可中断性,所述调试异常使能位为低代表所述数据处理电路执行的应用程序不具有可中断性,所述调试异常挂起位为高表示存在调试异常请求等待被处理,调试异常挂起位为低表示不存在调试异常请求等待被处理;

所述数据处理电路,用于接收所述调试电路发送的调试请求,同时获取所述调试异常状态寄存器的信息,当所述调试异常状态寄存器的所述调试异常使能位为高时,响应所述调试异常请求,并执行所述调试异常服务程序;当所述调试异常状态寄存器的所述调试异常使能位为低时,置高所述调试异常挂起位,继续完成当前操作。

2. 根据权利要求1所述的装置,其特征在于,所述应用程序状态信息为所述数据处理电路发送的指令执行信息或内存访问地址信息。

3. 根据权利要求2所述的装置,其特征在于,所述调试请求为所述调试电路在内部调试模式下产生的调试异常请求。

4. 根据权利要求3所述的装置,其特征在于,所述调试异常请求为,所述调试电路接收所述数据处理电路发送的指令执行信息,并对所述指令执行信息进行处理后产生的指令触发型调试异常请求。

5. 根据权利要求3所述的装置,其特征在于,所述调试异常请求为,所述调试电路接收所述数据处理电路发送的内存访问地址信息,并对所述内存访问地址信息进行处理后产生的内存触发型调试异常请求。

6. 根据权利要求1所述的装置,其特征在于,所述数据处理电路还用于,在响应所述调试异常请求后,置低所述调试异常使能位。

7. 根据权利要求1所述的装置,其特征在于,所述数据处理电路还用于,在完成执行所述调试异常服务程序,并退出所述调试异常服务程序后,置高所述调试异常使能位。

8. 根据权利要求1所述的装置,其特征在于,当所述数据处理电路同时接收到调试异常请求和中断请求时,所述数据处理电路优先处理调试异常请求。

9. 一种数据处理器,其特征在于,所述数据处理器包括如权利要求1至8中任一项所述的控制调试请求的装置。

控制调试请求的装置及数据处理器

技术领域

[0001] 本发明涉及数据处理技术领域,尤其涉及一种控制调试请求的装置及数据处理器。

背景技术

[0002] 数据处理器调试是指数据处理器开发人员编好程序后,获取程序在数据处理器中的运行情况,进而对数据处理器运行进行查错和排错的过程;目前主流的调试手段有:外部调试和自主调试两种。

[0003] 外部调试是指待测试数据处理器通过外部调试器与代理服务程序连接,外部调试器采用联合测试工作组(Joint Test Action Group, JTAG)协议和待调试数据处理器进行通信。例如:外部调试器可以在数据处理器设置多个内存硬断点,当数据处理器执行代理服务程序,并触发内存硬断点时,数据处理器进入外部调试模式,此时,数据处理器不进行任何操作,外部调试器执行调试程序的操作;但是,在使用外部调试对应用程序进行调试时,由于应用程序的进程切换在使用断点方式调试时会存在误断、难断等问题,造成应用程序难调试和跟踪。

[0004] 为了方便对应用程序进行调试,可以采用自主调试的手段,自主调试是指待调试数据处理器直接和主机连接,其中,主机用于向数据处理器下载待调试的内核程序或者应用程序,自主调试装置在应用程序中嵌入调试配置程序,设置内存硬断点。数据处理器在执行应用程序的过程中,触发内存硬断点,自主调试装置产生调试异常请求至数据处理器,数据处理器响应该调试异常请求,并执行调试异常服务程序。

[0005] 在实现本发明的过程中,发明人发现现有技术中至少存在如下技术问题:

[0006] 由于自主调试是通过自主调试装置向数据处理器发送调试异常请求的方式执行调试操作,因此在数据处理器执行程序的关键代码(例如,现场的保存和恢复)时也可能接收到调试异常请求。如果数据处理器立即响应调试异常,那么可能导致数据处理器状态被破坏,导致程序无法正常运行。如果数据处理器不响应该调试异常,那么该调试异常会被丢掉,从而导致数据处理器在某一个断点无法得到调试。

发明内容

[0007] 本发明提供的控制调试请求的装置及数据处理器,能够在保证数据处理器当前处理应用程序状态不被破坏的前提下,避免调试请求的丢失问题。

[0008] 第一方面,本发明提供一种控制调试请求的装置,包括:

[0009] 调试电路、调试异常状态寄存器、数据处理电路,其中,

[0010] 所述调试电路,与所述数据处理电路相连,用于实时获取所述数据处理电路的应用程序状态信息,并对所述应用程序状态信息进行处理产生调试请求,以及发送所述调试请求至所述数据处理电路,所述调试请求用于指示所述数据处理电路执行调试异常服务程序;

[0011] 所述调试异常状态寄存器,与所述数据处理电路相连,用于读取并显示所述数据处理电路正在执行的应用程序是否具有可中断性;所述调试异常状态寄存器包括调试异常使能位和调试异常挂起位,其中,所述调试异常使能位为高代表所述数据处理电路执行的应用程序具有可中断性,所述调试异常使能位为低代表所述数据处理电路执行的应用程序不具有可中断性,所述调试异常挂起位为高表示存在调试异常请求等待被处理,调试异常挂起位为低表示不存在调试异常请求等待被处理;

[0012] 所述数据处理电路,用于接收所述调试电路发送的调试请求,同时获取所述调试异常状态寄存器的信息,当所述调试异常状态寄存器的所述调试异常使能位为高时,响应所述调试异常请求,并执行所述调试异常服务程序;当所述调试异常状态寄存器的所述调试异常使能位为低时,置高所述调试异常挂起位,继续完成当前操作。

[0013] 可选地,所述应用程序状态信息为所述数据处理电路发送的指令执行信息或内存访问地址信息。

[0014] 可选地,所述调试请求为所述调试电路在内部调试模式下产生的调试异常请求。

[0015] 可选地,所述调试异常请求为,所述调试电路接收所述数据处理电路发送的指令执行信息,并对所述指令执行信息进行处理后产生的指令触发型调试异常请求。

[0016] 可选地,所述调试异常请求为,所述调试电路接收所述数据处理电路发送的内存访问地址信息,并对所述内存访问地址信息进行处理后产生的内存触发型调试异常请求。

[0017] 可选地,所述数据处理电路还用于,在响应所述调试异常请求后,置低所述调试异常使能位,置高所述调试异常挂起位。

[0018] 可选地,所述数据处理电路还用于,

[0019] 在完成执行所述调试异常服务程序,并退出所述调试异常服务程序后,置高所述调试异常使能位。

[0020] 可选地,当所述数据处理电路同时接收到调试异常请求和中断请求时,所述数据处理电路优先处理调试异常请求。

[0021] 第二方面,本发明提供一种数据处理器,所述数据处理器包括上述控制调试请求的装置。

[0022] 本发明实施例提供的控制调试请求的装置及数据处理器,通过使用调试异常状态寄存器实时监测数据处理电路状态并根据所述数据处理电路的状态对调试请求进行处理,能够保证数据处理电路当前处理的应用程序状态不被破坏,且能够避免调试请求的丢失。

附图说明

[0023] 图1为本发明一实施例控制调试请求的装置的结构示意图;

[0024] 图2为本发明调试电路的一种结构示意图;

[0025] 图3为本发明调试电路的另一种结构示意图。

具体实施方式

[0026] 为使本发明实施例的目的、技术方案和优点更加清楚,下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术

人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0027] 本发明提供一种控制调试请求的装置,如图1所示,所述装置包括:

[0028] 调试电路11,与所述数据处理电路13相连,用于实时获取所述数据处理电路13的应用程序状态信息,并对所述应用程序状态信息进行处理产生调试请求,以及发送所述调试请求至所述数据处理电路13,所述调试请求用于指示所述数据处理电路13执行调试异常服务程序;

[0029] 所述调试异常状态寄存器12,与所述数据处理电路13相连,用于读取并显示所述数据处理电路13正在执行的应用程序是否具有可中断性;所述调试异常状态寄存器12包括调试异常使能位和调试异常挂起位,其中,所述调试异常使能位为高代表所述数据处理电路执行的应用程序具有可中断性,所述调试异常使能位为低代表所述数据处理电路执行的应用程序不具有可中断性,所述调试异常挂起位为高表示存在调试异常请求等待被处理,调试异常挂起位为低表示不存在调试异常请求等待被处理;

[0030] 所述数据处理电路13,用于接收所述调试电路11发送的调试请求,同时获取所述调试异常状态寄存器12的信息,当所述调试异常状态寄存器12的所述调试异常使能位为高时,响应所述调试异常请求,并执行所述调试异常服务程序;当所述调试异常状态寄存器12的所述调试异常使能位为低时,置高所述调试异常挂起位,继续完成当前操作。

[0031] 本发明实施例提供的控制调试请求的装置,通过使用调试异常状态寄存器实时监测数据处理电路状态并根据所述数据处理电路的状态对调试请求进行处理,能够保证数据处理电路当前处理的应用程序状态不被破坏,且能够避免调试请求的丢失问题。

[0032] 可选地,所述应用程序状态信息为所述数据处理电路13发送的指令执行信息或内存访问地址信息。

[0033] 可选地,所述调试请求为所述调试电路11在内部调试模式下产生的调试异常请求。

[0034] 可选地,所述调试异常请求为,所述调试电路11接收所述数据处理电路13发送的指令执行信息,并对所述指令执行信息进行处理后产生的指令触发型调试异常请求。

[0035] 可选地,所述调试异常请求为,所述调试电路11接收所述数据处理电路13发送的内存访问地址信息,并对所述内存访问地址信息进行处理后产生的内存触发型调试异常请求。

[0036] 具体地,所述调试电路11接收所述内存访问地址信息后,将所述内存访问地址信息与预设内存硬断点地址信息进行对比,当存在内存访问地址信息与内存硬断点地址信息匹配成功时,根据匹配成功的内存硬断点的模式配置位确定调试请求为第一调试请求或第二调试请求,并发送所述第一调试求或第二调试请求至所述数据处理电路13。

[0037] 可选地,如图2所示,为所述调试电路11的一种结构示意图,其中,所述调试电路11提供n个内存硬断点,且每个内存硬断点包含一个内存硬断点控制寄存器61、一个内存硬断点计数寄存器62、一个内存硬断点基地址寄存器63和一个内存硬断点掩码寄存器64。其中,内存硬断点控制寄存器61提供使能位和条件位供用户配置,所述使能位可配置为指令硬断点使能位也可以配置为数据硬断点使能位,所述条件位可配置为指令硬断点条件位也可配置为数据硬断点条件位。

[0038] 同时,这n个内存硬断点受一个模式配置位60控制,所述模式配置位60包括外部调

试模式或调试异常模式,断点匹配模块62实时监测数据处理电路40发送的应用程序状态信息,当应用程序状态信息与某个内存硬断点信息匹配时,再根据所述模式配置位60决定是否产生调试异常请求。

[0039] 当所述模式配置位60的调试模式为外部调试模式时,所述调试电路11不会产生调试异常请求,而是请求所述数据处理电路13进入外部调试模式,由外部调试器获得所述数据处理电路13的控制权完成调试操作;

[0040] 当所述模式配置位60的调试模式为调试异常模式时,所述调试电路11产生调试异常请求,请求数据处理电路13执行调试异常服务程序完成调试操作。

[0041] 可选地,如图3所示,为所述调试电路的另一种结构示意图,其中,所述调试电路11提供多组模式配置位70,每组模式配置位70为每个内存硬断点提供独立的调试模式;当所述调试模式为外部调试模式时,所述调试电路11请求所述数据处理电路13进入外部调试模式,外部调试器获得所述数据处理电路13的控制权完成调试操作;当所述调试模式为调试异常模式时,所述调试电路11产生调试异常请求,请求数据处理电路13执行调试异常服务程序完成调试操作。

[0042] 可选地,所述数据处理电路13还用于,在完成执行所述调试异常服务程序,并退出所述调试异常服务程序后,置高所述调试异常挂起位。

[0043] 可选地,当所述数据处理电路13同时接收到调试异常请求和中断请求时,所述数据处理电路13优先处理调试异常请求。

[0044] 本发明实施例还提供一种数据处理器,所述数据处理器包括上述控制调试请求的装置。

[0045] 以上所述,仅为本发明的具体实施方式,但本发明的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本发明揭露的技术范围内,可轻易想到的变化或替换,都应涵盖在本发明的保护范围之内。因此,本发明的保护范围应该以权利要求的保护范围为准。

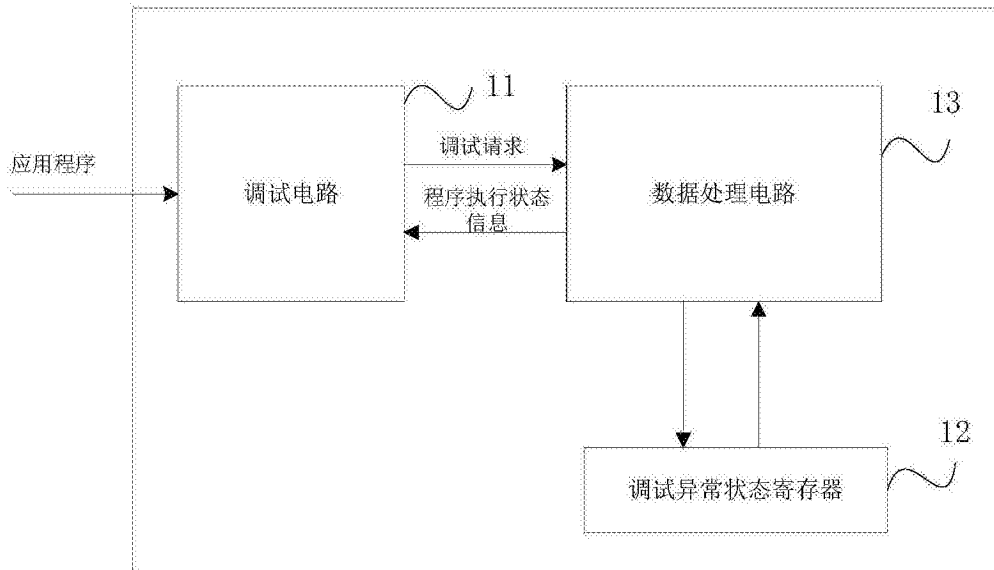


图1

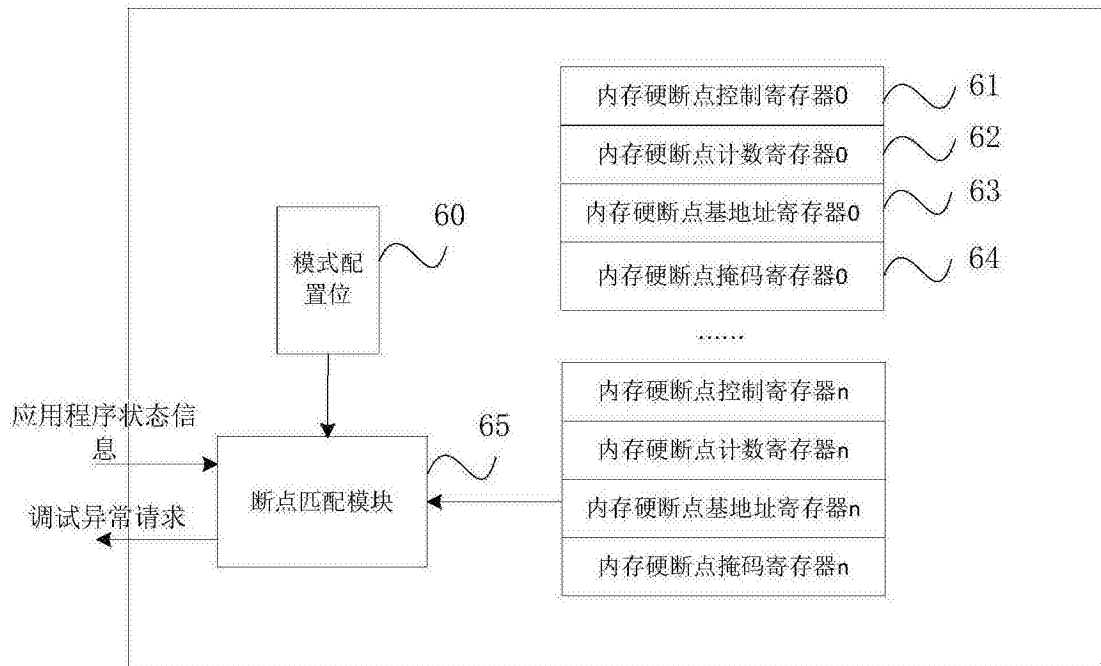


图2

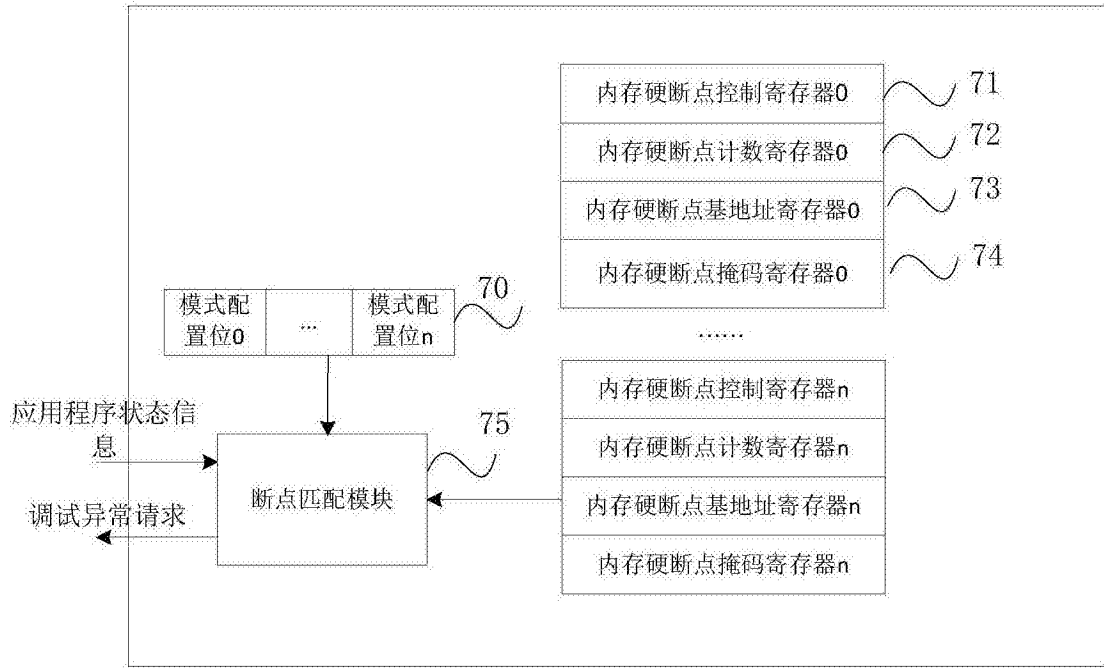


图3