(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0081693
(43) 공개일자 2009년07월29일

(51) Int. Cl.
H01L 33/00 (2006.01)
(21) 출원번호 10-2008-0007690
(22) 출원일자 2008년01월24일
심사청구일자 2008년01월24일

(71) 출원인
고려대학교 산학협력단
서울 성북구 안암동5가1 고려대학교 내
(72) 발명자
김태근
경기도 성남시 분당구 이매동 122번지 금강아파트 103-1301
김은홍
경기도 의정부시 호원1동 우성1차아파트 103동 1101호
김동호
경기도 부천시 소사구 범박동 현대홈타운 4단지 411동 2501호
(74) 대리인
김정식

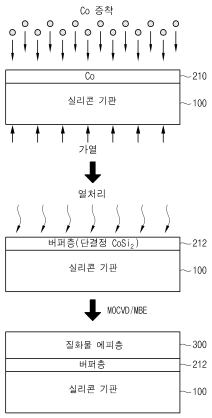
전체 청구항 수 : 총 15 항

(54) 질화물 반도체 및 그 제조 방법

(57) 요 약

본 발명은 격자 결함을 최소화시키면서 질화물의 에피 성장이 용이하도록 버퍼층을 형성한 질화물 반도체 및 그 제조 방법을 개시한다. 본 발명은 단결정 코발트 실리사이드층($CoSi_2$) 또는 단결정 티나늄 나이트라이드층(TiN)을 실리콘 기판과 질화물층 사이에 버퍼층으로서 형성한다. 또한, 본 발명의 버퍼층은 질화물층과 격자 부정합이 작고, 높은 용융점을 가지므로, 종래기술의 격자 상수의 차이로 인한 질화물 성장시 결함 발생을 억제하고, 고온에서 실리콘 확산으로 인해서 질화물층이 오염되는 것을 차단하여 실리콘 기판 상에 질화물을 용이하게 에피 성장시킬 수 있는 효과가 있다. 또한, 본 발명의 버퍼층은 전기 전도도가 우수한 고융점 금속(refractory metal)으로서, 질화물층과 저항성 접촉(ohmic contact)을 형성하여 빌트인(built-in) 소자 제작이 용이한 효과가 있다. 또한, 본 발명은 열전도도가 우수한 금속 기반의 물질을 사용하여 소자에서 발생하는 열을 보다 빠르게 외부로 방출하여 높은 광효율 및 신뢰성을 갖는 고출력의 발광소자를 제공할 수 있는 효과가 있다. 또한, 본 발명에서 기판으로 사용되는 실리콘 단결정 웨이퍼는 사파이어나 SiC, GaAs 보다 저렴하기 때문에, 질화갈륨 박막 에피층의 생산에 있어 생산원가를 크게 절감할 수 있는 효과가 있다.

대 표 도 - 도3a



특허청구의 범위

청구항 1

기판상에 질화물 에피층과 격자 정합되도록 버퍼층을 형성하는 버퍼층 형성 단계; 및

상기 버퍼층에 상기 질화물 에피층을 형성하는 질화물 형성 단계를 포함하는 것을 특징으로 하는 질화물 반도체 제조 방법.

청구항 2

제 1 항에 있어서,

상기 버퍼층 형성 단계에서 형성된 버퍼층에 소정의 식각 방법을 이용하여 표면처리하는 표면처리 단계를 더 포함하고,

상기 질화물 형성 단계는 상기 표면처리 단계에서 표면처리된 버퍼층에 상기 질화물 에피층을 형성하는 것을 특징으로 하는 질화물 반도체 제조 방법.

청구항 3

제 1 항에 있어서, 상기 버퍼층 형성 단계는

상기 기판상에 코발트 실리사이드 물질을 증착하고, 500℃ 내지 2000℃의 온도 범위에서 1분 내지 2시간동안 열처리를 수행하여 단결정 코발트 실리사이드층을 형성하는 것을 특징으로 하는 반도체 제조 방법.

청구항 4

제 1 항에 있어서, 상기 버퍼층 형성 단계는

상기 기판상에 확산 제어층을 형성하고, 상기 확산 제어층위에 코발트층을 형성하고 열처리를 수행하여 상기 기판과 상기 확산 제어층의 계면에 단결정 코발트 실리사이드층을 형성하는 것을 특징으로 하는 반도체 제조 방법.

청구항 5

제 4 항에 있어서, 상기 질화물 형성 단계는

상기 단결정 코발트 실리사이드층 위에 형성된 상기 확산 제어층을 식각하는 단계; 및

상기 단결정 코발트 실리사이드층위에 상기 질화물 에피층을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 제조 방법.

청구항 6

제 4 항에 있어서, 상기 열처리는

500℃ 내지 2000℃의 온도 범위에서 1분 내지 2시간동안 수행되는 것을 특징으로 하는 반도체 제조 방법.

청구항 7

제 4 항에 있어서, 상기 확산 제어층은

Ti, Zr, Ge, Ta, SiO_2 및 실리콘 화합물 중 어느 하나로 형성되는 것을 특징으로 하는 반도체 제조 방법.

청구항 8

제 1 항에 있어서, 상기 버퍼층 형성 단계는

상기 기판상에 티타늄 나이트라이드 물질을 증착하고, 500℃ 내지 2000℃의 온도 범위에서 1분 내지 2시간동안 열처리를 수행하여 단결정 티타늄 나이트라이드층을 형성하는 것을 특징으로 하는 반도체 제조 방법.

청구항 9

제 1 항 내지 제 8 항 중 어느 한 항에 있어서,

상기 버퍼층은 10Å 내지 10㎛ 의 두께로 형성되는 것을 특징으로 하는 질화물 반도체 제조 방법.

청구항 10

제 1 항 내지 제 8 항 중 어느 한 항에 있어서, 상기 질화물 형성 단계는

MOCVD 또는 MBE 방식으로 증착을 수행하는 것을 특징으로 하는 질화물 반도체 제조 방법.

청구항 11

반도체 제조용 기판;

상기 기판에 형성된 버퍼층; 및

상기 버퍼층에 형성된 질화물 에피층을 포함하고,

상기 버퍼층은 상기 질화물 에피층과 서로 격자 정합되도록 형성된 것을 특징으로 하는 질화물 반도체.

청구항 12

제 11 항에 있어서,

상기 버퍼층은 단결정 코발트 실리사이드층으로 형성된 것을 특징으로 하는 질화물 반도체.

청구항 13

제 11 항에 있어서,

상기 버퍼층은 단결정 티타늄 나이트라이드층(TiN)으로 형성된 것을 특징으로 하는 질화물 반도체.

청구항 14

제 11 항 내지 제 13 항 중 어느 한 항에 있어서,

상기 버퍼층은 10Å 내지 10㎛ 의 두께로 형성된 것을 특징으로 하는 질화물 반도체.

청구항 15

제 14 항에 있어서,

상기 버퍼층은 100nm 내지 200nm 의 두께로 형성된 것을 특징으로 하는 질화물 반도체.

명 세 서

발명의 상세한 설명

기 술 분 야

<1> 본 발명은 질화물 반도체에 관한 것으로서, 보다 구체적으로는 격자 결함을 최소화시키면서 에피 성장이 용이하도록 버퍼층을 형성한 질화물 반도체 및 그 제조 방법에 관한 것이다.

배 경 기 술

<2> 질화물 반도체 소자는 보라색 또는 청색 발광 소자로 이용되고 있으며, 특히, 레이저 다이오드(Laser Diode; LD) 또는 발광 다이오드(Light Emitting Diode:LED) 등에 이용되고 있다. 질화물 반도체는 격자결함이 적을수록 발광 특성이 우수하고, 수명이 길어진다는 것이 익히 알려져 있으나, 종래의 질화물 반도체 소자는 3-5족 화합물에 비해 이러한 격자 결함을 상당히 많이 포함하고 있다.

<3> 종래기술에 따른 질화물 반도체의 단면을 도시한 도 1a 내지 도 1d 를 참조하여 그 이유를 설명하면 다음과 같다.

<4> 3-5족 화합물 기판(10a)에서 호모 에피 성장을 하여 3-5족 화합물(20)을 형성하는 경우에는, 격자정합이 거의

동일하므로 격자 결함이 적은 에피 성장을 수행할 수 있으나, 질화물 반도체 제조 공정에서는 이러한 호모 에피 성장을 위한 질화물 기판의 제조가 매우 어렵다(도 1a 참조).

<5> 따라서, 현재는 질화물 기판(10a) 대신 사파이어 기판 또는 SiC 기판(10b)상에 질화물(20)을 형성하여 질화물 반도체를 제조하고 있다(도 1b 참조). 그러나, 이러한 기판들(10b)과 질화물(20)간의 격자 상수의 차이로 인하여 기판위에 질화물을 에피 성장시킴에 있어 격자결함이 발생하거나, 기판(10b)과 질화물(20)간의 열팽창 계수의 차이로 인하여 질화물(20)의 에피 성장 후 온도 하강시에 기판(10b)과 질화물(20)간의 접합면에 결함이 발생하는 문제가 있을뿐만 아니라, 질화물 기판(10a), 사파이어 기판 또는 SiC 기판(10b)은 실리콘 기판과 같이 inch-up을 쉽게할 수 없는 문제점이 있다.

<6> 이러한 문제점을 해결하기 위해서 최근에는 도 1c 에 도시된 바와 같이, 실리콘 기판(10c) 위에서 질화물(20)을 성장시켜 생산성을 향상시키려는 노력이 경주되고 있으나, 실리콘 기판(10c)은 질화물(20)과 격자 상수 차와 열팽창계수의 차가 클뿐만 아니라, 질화물 성장과정에서 실리콘의 확산으로 질화물층이 오염되어, 실리콘 기판(10c) 상에서 질화물(20)을 성장시키는 것은 사파이어 기판등에서 질화물(20)을 성장시키는 것 보다 더 어려운 문제점이 존재한다.

<7> 이러한 격자 상수의 차이에 의한 질화물 성장시 결함 발생을 억제하고 실리콘 확산에 따른 오염을 줄이기 위해, 도 1d 에 도시된 바와 같이, 실리콘 기판(10d)상에 질화물의 에피 성장이 용이하도록 실리콘 기판(10d)과 질화물 반도체(20)의 사이에 AlN와 같은 버퍼층을 형성하는 방법이 제시되고 있다.

<8> 그러나, AlN 버퍼층을 형성하기 위한 온도(500℃ 정도)에서는 AlN 버퍼층의 계면에서 실리콘과 알루미늄 간의 고용도(mutual solubility)가 높으므로 Si과 Al 간의 intermixing 발생으로 AlN 버퍼층의 오염이 발생하는 문제가 있을뿐만 아니라, AlN 버퍼층은 전기 전도도(electrical conductivity)가 좋지 않기 때문에 소자를 제작할 경우, 실리콘 기판(10b)으로 흐르는 전류의 흐름이 방해되는 문제가 발생한다.

발명의 내용

해결 하고자하는 과제

<9> 본 발명이 이루고자 하는 기술적 과제는 종래 기술에 따라서 질화물 반도체를 제조할 때 발생하는 격자 결함을 최소화하고 생산성을 향상시킬 수 있는 질화물 반도체 제조 방법 및 그 방법으로 제조된 질화물 반도체를 제공하는 것이다.

과제 해결수단

<10> 상술한 과제를 이루기 위한 본 발명의 질화물 반도체는 제조용 기판; 기판에 형성된 버퍼층; 및 버퍼층에 형성된 질화물 에피층을 포함하고, 상술한 버퍼층은 질화물 에피층과 서로 격자 정합되도록 형성된다.

<11> 또한, 상술한 버퍼층은 단결정 코발트 실리사이드층으로 형성될 수 있다.

<12> 또한, 상술한 버퍼층은 단결정 티타늄 나이트라이드층(TiN)으로 형성될 수 있다.

<13> 또한, 상술한 버퍼층은 10Å 내지 10㎛ 의 두께로 형성될 수 있다.

<14> 또한, 상술한 버퍼층은 100nm 내지 200nm 의 두께로 형성될 수 있다.

<15> 한편, 상술한 과제를 이루기 위한 본 발명의 반도체 제조 방법은, 기판상에 질화물 에피층과 격자 정합되도록 버퍼층을 형성하는 버퍼층 형성 단계; 및 버퍼층에 질화물 에피층을 형성하는 질화물 형성 단계를 포함한다.

<16> 또한, 상술한 버퍼층 형성 단계에서 형성된 버퍼층에 소정의 식각 방법을 이용하여 표면처리하는 표면처리 단계를 더 포함하고, 상술한 질화물 형성 단계는 표면처리 단계에서 표면처리된 버퍼층에 질화물 에피층을 형성할 수 있다.

<17> 또한, 상술한 버퍼층 형성 단계는, 기판상에 코발트 실리사이드 물질을 증착하고, 500℃ 내지 2000℃의 온도 범위에서 1분 내지 2시간동안 열처리를 수행하여 단결정 코발트 실리사이드층을 형성할 수 있다.

<18> 또한, 상술한 버퍼층 형성 단계는, 기판상에 확산 제어층을 형성하고, 확산 제어층위에 코발트층을 형성하고 열처리를 수행하여 기판과 확산 제어층의 계면에 단결정 코발트 실리사이드층을 형성할 수 있다.

<19> 또한, 상술한 질화물 형성 단계는, 단결정 코발트 실리사이드층 위에 형성된 확산 제어층을 식각하는 단계; 및

단결정 코발트 실리사이드층위에 질화물 에피층을 형성하는 단계를 포함할 수 있다.

<20> 또한, 상술한 열처리는 500℃ 내지 2000℃의 온도 범위에서 1분 내지 2시간동안 수행될 수 있다.

<21> 또한, 상술한 확산 제어층은 Ti, Zr, Ge, Ta, SiO_2 및 실리콘 화합물 중 어느 하나로 형성될 수 있다.

<22> 또한, 상술한 버퍼층 형성 단계는 상기 기판상에 티타늄 나이트라이드 물질을 증착하고, 500℃ 내지 2000℃의 온도 범위에서 1분 내지 2시간동안 열처리를 수행하여 단결정 티타늄 나이트라이드층을 형성할 수 있다.

<23> 또한, 상술한 버퍼층은 10Å 내지 10㎛ 의 두께로 형성될 수 있다.

<24> 또한, 상술한 질화물 형성 단계는 MOCVD 또는 MBE 방식으로 증착을 수행할 수 있다.

효 과

<25> 상술한 바와 같이, 본 발명은 단결정 코발트 실리사이드층($CoSi_2$) 또는 단결정 티나늄 나이트라이드층(TiN)을 실리콘 기판과 질화물층 사이에 버퍼층으로서 형성한다.

<26> 본 발명의 버퍼층은 질화물층과 격자 부정합이 작고, 높은 용융점을 가지므로, 종래기술의 격자 상수의 차이로 인한 질화물 성장시 결함 발생을 억제하고, 고온에서 실리콘 확산으로 인해서 질화물층이 오염되는 것을 차단하여 실리콘 기판 상에 질화물을 용이하게 에피 성장시킬 수 있는 효과가 있다.

<27> 또한, 본 발명의 버퍼층은 전기 전도도가 우수한 고융점 금속(refractory metal)으로서, 질화물층과 저항성 접촉(ohmic contact)을 형성하여 빌트인(built-in) 소자 제작이 용이한 효과가 있다.

<28> 또한, 본 발명은 열전도도가 우수한 금속 기반의 물질을 사용하여 소자에서 발생하는 열을 보다 빠르게 외부로 방출하여 높은 광효율 및 신뢰성을 갖는 고출력의 발광소자를 제공할 수 있는 효과가 있다.

<29> 또한, 본 발명에서 기판으로 사용되는 실리콘 단결정 웨이퍼는 사파이어나 SiC, GaAs 보다 저렴하기 때문에, 질화갈륨 박막 에피층의 생산에 있어 생산원가를 크게 절감할 수 있는 효과가 있다.

발명의 실시를 위한 구체적인 내용

<30> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예들을 설명한다.

<31> 도 2 는 본 발명에 따른 질화물 반도체의 구조를 개략적으로 도시하는 단면도이다. 도 2 를 참조하면, 본 발명의 질화물 반도체의 구조는 상술한 바와 같이, 실리콘 기판(100), 실리콘 기판(100) 위에 형성된 버퍼층(200), 및 버퍼층(200) 위에 에피텍시얼 성장된 질화물층(300;이하, "질화물 에피층"과 동일한 의미로 사용됨)으로 구성된다.

<32> 버퍼층(200)은 질화물의 에피텍시얼 성장이 용이하도록, 실리콘 기판(100)상에 TiN과 같은 나이트라이드 계열의 물질 또는 $CoSi_2$ 와 같은 실리사이드 계열의 물질을 스퍼터링 또는 다양한 증착 방식에 의해서 증착하고, 500℃ 내지 2000℃의 온도 범위에서 1분 내지 2시간, 바람직하게는 500℃ 내지 1200℃의 온도 범위에서 1분 내지 1시간 동안 열처리를 수행하여 형성된다.

<33> 이렇게 형성된 버퍼층(200)은 실리콘 기판(100)과 질화물 반도체(300)간의 격자 부정합을 완화시키고, 격자 상수 차이로 인한 질화물 성장시의 결함 발생을 억제하며, 고온에서 실리콘이 질화물로 확산되어 오염되는 것을 차단하여, 실리콘 기판(100)상에 질화물(300)의 에피 성장이 용이하도록 하는 효과를 나타낸다.

<34> 도 3a 및 도 3b 는 본 발명의 바람직한 제 1 실시예에 따른 질화물 반도체 제조 방법을 설명하는 도면이다. 제 1 실시예는 실리콘 기판과 질화물 반도체 사이에 단결정 코발트 실리사이드($CoSi_2$)층을 버퍼층으로서 형성하였다.

<35> 도 3a 및 도 3b 를 참조하여 제 1 실시예에 따른 질화물 반도체 제조 방법을 설명하면, 질화물 반도체 제조용 기판(100)으로서 (100)방향 또는 (111) 방향의 실리콘 웨이퍼를 준비한다. 그 후, 아르곤 분위기에서 100℃ 내지 1000℃의 온도로 가열된 실리콘 기판(100)상에 코발트(Co)를 스퍼터링 방법으로 10Å 내지 10㎛ 의 두께로, 바람직하게는 100nm 내지 200nm 의 두께로 증착하여 코발트층(210)을 형성한 후, 500℃ 내지 2000℃의 온도 범위에서 1분 내지 2시간, 바람직하게는 500℃ 내지 1200℃의 온도 범위에서 1분 내지 1시간 동안 열처리를 수행하여 단결정 코발트 실리사이드층($CoSi_2$;212)을 버퍼층(212)으로서 형성한다.

<36> 버퍼층(212)이 형성된 후, 질화물의 에피텍시얼 성장이 용이하도록 단결정 코발트 실리사이드층(212) 표면에 건식 식각 또는 습식 식각 방식으로 표면처리를 수행하고, 그 위에 MOCVD(Metal Organic Chemical Vapor Deposition) 또는 MBE(Molecular beam epitaxy) 방식으로 질화물 에피텍시얼층(300)을 성장시켜 질화물 반도체를 제조한다.

<37> 도 3b 는 도 3a 의 제 1 실시예에 따른 질화물 반도체 제조 방법의 변형예를 도시한 도면이다. 도 3b 를 참조하면, 도 3a 에 도시된 예와 동일한 방식으로, 질화물 반도체 제조용 기판(100)으로서 (100)방향 또는 (111) 방향의 실리콘 웨이퍼를 준비하고, 아르곤 분위기에서 100℃ 내지 1000℃의 온도로 가열된 실리콘 기판(100)상에 종래의 방식에 따라서 Ti, Zr, Ge, Ta 등의 금속이나, SiO_2 또는 실리콘 화합물을 실리콘 기판(100)에 증착하여 확산 제어층(diffusion barrier;222)을 형성한다.

<38> 그 후, 확산 제어층(222)에 도 3a 에 도시된 바와 동일한 방식으로 코발트(Co)를 스퍼터링 방법으로 10Å 내지 10㎛ 의 두께로, 바람직하게는 100nm 내지 200nm 의 두께로 증착하여 코발트층(224)을 형성한 후, 500℃ 내지 2000℃의 온도 범위에서 1분 내지 2시간, 바람직하게는 500℃ 내지 1200℃의 온도 범위에서 1분 내지 1시간 동안 열처리를 수행하여 실리콘 기판(100)과 확산 제어층(222) 사이에 단결정 코발트 실리사이드층($CoSi_2$;226)을 버퍼층(226)으로서 형성한다.

<39> 이 과정에서, 실리콘 원자, 코발트 원자 및 확산 제어층을 형성하기 위해서 증착된 원자들간에 상호확산(interdiffusion)이 발생하고, 코발트 원자들이 증착된 코발트층(224)으로부터 확산제어층(222)으로 확산된 코발트 원자는, 확산제어층(222)과 실리콘 기판(100)간의 계면에서 실리콘 기판(100)으로부터 확산 제어층(222)으로 확산된 실리콘 원자와 결합하여 버퍼층(226)인 단결정 코발트 실리사이드층(226)을 형성하고, 결과적으로 코발트층(224)은 단결정 코발트 실리사이드층(226)으로 변화되어 확산 제어층(222)과 서로 역전되도록 배치된다.

<40> 버퍼층(226)이 형성된 후, 질화물의 에피텍시얼 성장이 가능하도록 코발트 실리사이드층(226) 상부에 형성된 확산 제어층(222)을 건식 식각 또는 습식 식각 방식으로 제거한다.

<41> 확산 제어층(222)이 제거되어 버퍼층(226)이 드러나면, 버퍼층(226)위에 MOCVD(Metal Organic Chemical Vapor Deposition) 또는 MBE(Molecular beam epitaxy) 방식으로 질화물 에피텍시얼층(300)을 성장시켜 질화물 반도체를 제조한다.

<42> 도 3a 및 도 3b 에 도시된 제 1 실시예에 따라서 형성된 버퍼층(226)인 코발트 실리사이드층(Co_xSi_x)은 Cubic 구조이고, 열처리 온도 조건에 따라서 격자 상수가 0.491nm 인 Co_2Si, 격자 상수가 0.444nm 인 CoSi, 격자 상수가 0.537nm 인 $CoSi_2$ 중 어느 하나로 형성될 수 있다.

<43> 이렇게 형성된 버퍼층(226)은 질화물층(300)과의 격자 부정합을 최소화하고 높은 용융점을 가지므로, 격자 상수의 차이로 인한 질화물 성장시 결함 발생을 억제하고 고온에서 실리콘 확산에 따른 오염을 감소시키므로 실리콘 기판(100)에 용이하게 질화물을 에피텍시얼 성장시킬 수 있는 효과를 나타낸다.

<44> 도 4 는 본 발명의 바람직한 제 2 실시예에 따른 질화물 반도체 제조 방법을 설명하는 도면이다. 제 2 실시예는 실리콘 기판과 질화물 반도체 사이에 단결정 티나늄 나이트라이드층을 버퍼층으로서 형성하였다.

<45> 도 4 를 참조하여 제 2 실시예에 따른 질화물 반도체 제조 방법을 설명하면, 질화물 반도체 제조용 기판(100)으로서 (100)방향 또는 (111) 방향의 실리콘 웨이퍼를 준비한다. 그 후, 100℃ 내지 1000℃의 온도로 가열된 실리콘 기판(100)상에, 리액티브 스퍼터링 장치를 이용하여 아르곤과 질소 분위기에서 스퍼터링 방식으로 티타늄(Ti)을 10Å 내지 10㎛ 의 두께로, 바람직하게는 100nm 내지 200nm 의 두께로 증착하여 티타늄 나이트라이드층(TiN;230)을 형성한 후, 500℃ 내지 2000℃의 온도 범위에서 1분 내지 2시간, 바람직하게는 500℃ 내지 1200℃의 온도 범위에서 1분 내지 1시간 동안 열처리를 수행하여 단결정 티타늄 나이트라이드층(TiN;232)을 버퍼층으로서 형성한다.

<46> 단결정 티타늄 나이트라이드층(TiN;232)은 NaCl 구조로서 0.424nm 의 격자상수를 가지므로, 질화물과의 격자 부정합이 작고 용융점이 높아, 격자 상수 차이로 인한 질화물 성장시 결함 발생을 억제하고 고온에서 실리콘 확산에 따른 질화물층(300)이 오염되는 것을 차단하여, 실리콘 기판(100) 위에 질화물을 용이하게 에피성장시킬 수 있는 효과가 나타난다.

<47> 버퍼층(232)이 형성된 후, 질화물의 에피텍시얼 성장이 용이하도록 버퍼층인 티타늄 나이트라이드층(TiN;232) 표면에 건식 식각 또는 습식 식각 방식으로 표면처리를 수행하고, 그 위에 MOCVD(Metal Organic Chemical

Vapor Deposition) 또는 MBE(Molecular beam epitaxy) 방식으로 질화물 에피텍시얼층(300)을 성장시켜 질화물 반도체를 제조한다.

<48> 이제까지 본 발명에 대하여 그 바람직한 실시예들을 중심으로 살펴보았다. 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명이 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 구현될 수 있음을 이해할 수 있을 것이다. 그러므로 개시된 실시예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 할 것이다.

도면의 간단한 설명

<49> 도 1a 내지 도 1d 는 종래 기술에 따라서 제조된 질화물 반도체 소자의 단면도이다.

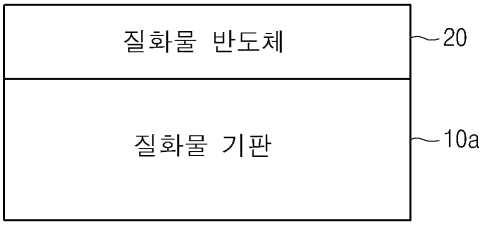
<50> 도 2 는 본 발명에 따른 질화물 반도체의 구조를 개략적으로 도시하는 단면도이다.

<51> 도 3a 및 도 3b 는 본 발명의 바람직한 제 1 실시예에 따른 질화물 반도체 제조 방법을 설명하는 도면이다.

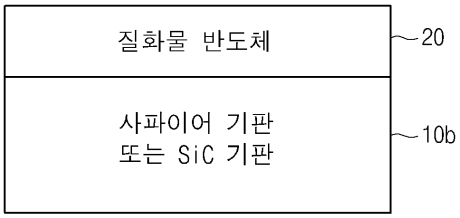
<52> 도 4 는 본 발명의 바람직한 제 2 실시예에 따른 질화물 반도체 제조 방법을 설명하는 도면이다.

도면

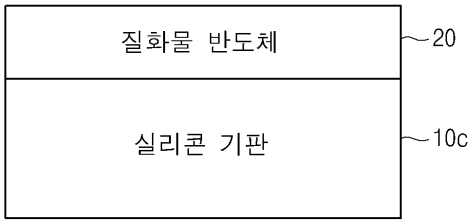
도면1a



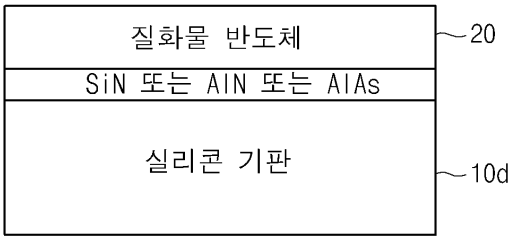
도면1b



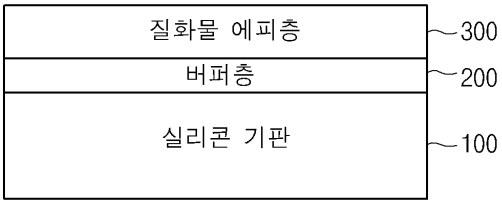
도면1c



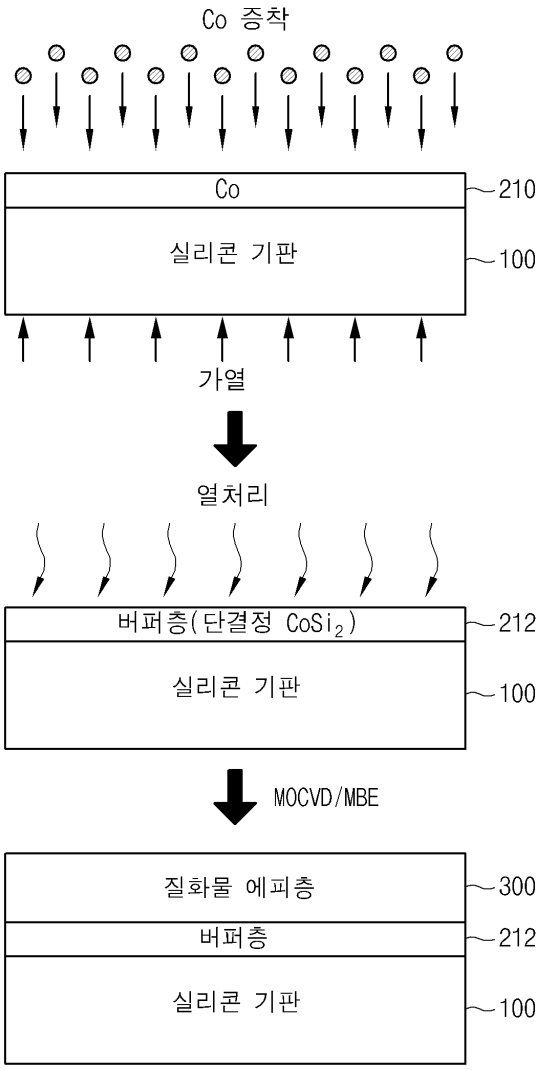
도면1d


질화물 반도체
20
SiN 또는 AlN 또는 AlAs
실리콘 기판
10d

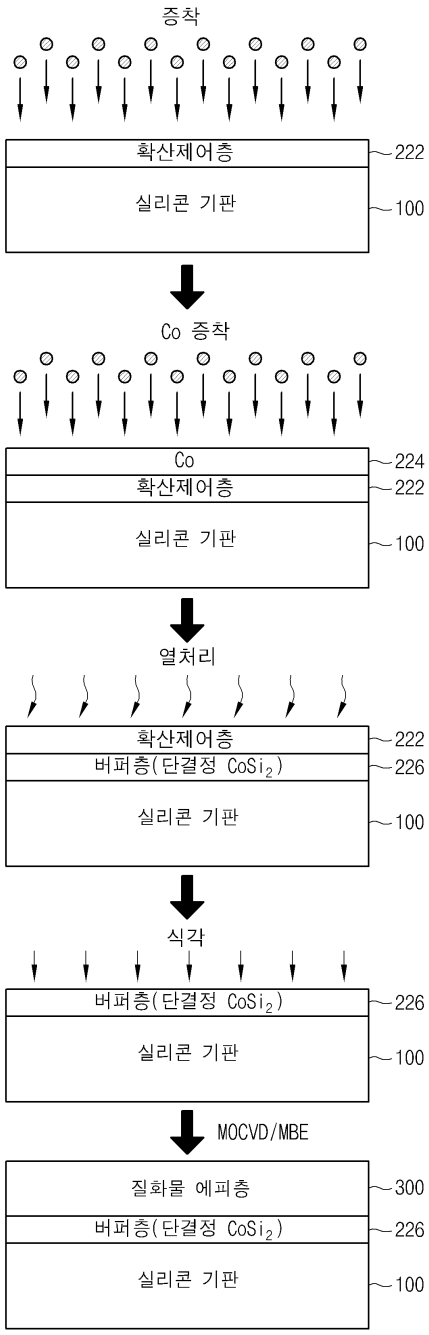
도면2


질화물 에피층
300
버퍼층
200
실리콘 기판
100

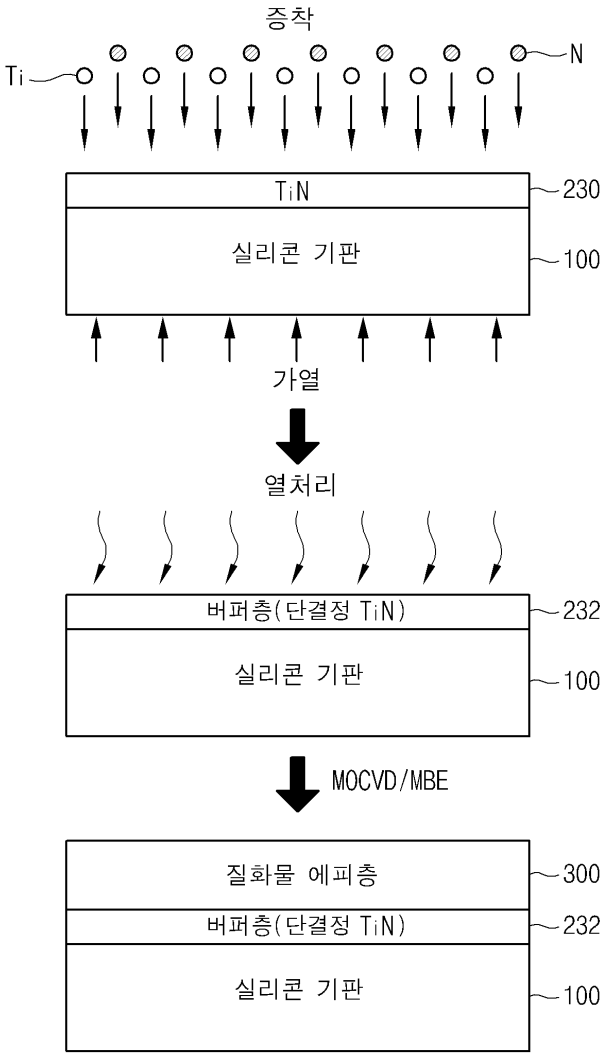
도면3a


Co 증착
Co
210
실리콘 기판
100
가열
열처리
버퍼층(단결정 $CoSi_2$)
212
실리콘 기판
100
MOCVD/MBE
질화물 에피층
300
버퍼층
212
실리콘 기판
100

도면3b


증착
확산제어층
222
실리콘 기판
100
Co 증착
Co
224
확산제어층
222
실리콘 기판
100
열처리
확산제어층
222
버퍼층(단결정 $CoSi_2$)
226
실리콘 기판
100
식각
버퍼층(단결정 $CoSi_2$)
226
실리콘 기판
100
MOCVD/MBE
질화물 에피층
300
버퍼층(단결정 $CoSi_2$)
226
실리콘 기판
100

도면4


증착
Ti
N
TiN
230
실리콘 기판
100
가열
열처리
버퍼층(단결정 TiN)
232
실리콘 기판
100
MOCVD/MBE
질화물 에피층
300
버퍼층(단결정 TiN)
232
실리콘 기판
100