



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0098002
(43) 공개일자 2014년08월07일

(51) 국제특허분류(Int. Cl.)

H01L 21/316 (2006.01)

(21) 출원번호 10-2014-0010374

(22) 출원일자 2014년01월28일

심사청구일자 **없음**

(30) 우선권주장

JP-P-2013-016245 2013년01월30일 일본(JP)

JP-P-2013-128584 2013년06월19일 일본(JP)

(71) 출원인

가부시키가이샤 한도오따이 에네루기 켄큐쇼

일본국 가나가와Ken 아쓰기시 하세 398

(72) 발명자

야마자키 슌페이

일본 243-0036 가나가와Ken 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내

(74) 대리인

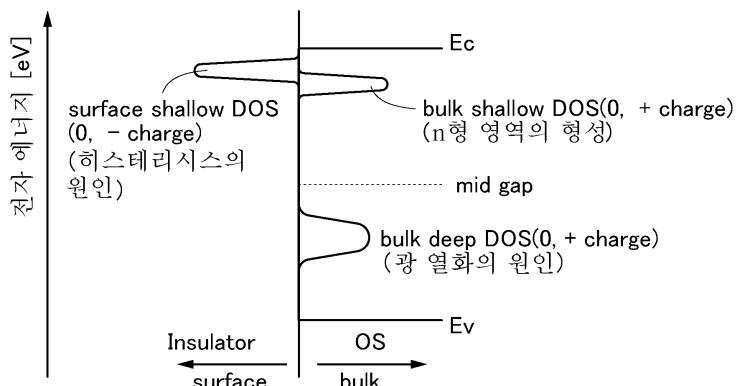
박충범, 양영준

전체 청구항 수 : 총 16 항

(54) 발명의 명칭 **산화물 반도체층의 처리 방법****(57) 요약**

본 발명은 결함 밀도가 낮은 산화물 반도체층을 제공한다. 또는, 결함 밀도가 낮은 산화물 반도체층을 갖는 반도체 장치를 제공한다.

인듐, 갈륨, 및 아연을 갖는 산화물 반도체층의 처리 방법이며, 산화물 반도체층은 제1인듐과 근접하고 제1수소가 포획되어 있는 제1산소 결손과, 제2인듐과 근접하고 제2수소가 포획되어 있는 제2산소 결손을 갖고, 산화물 반도체층은 복수의 과잉 산소를 갖고, 제1산소 결손에 포획되어 있는 제1수소는 복수의 과잉 산소 중 하나와 결합함으로써 수산기를 형성하고, 수산기는 제2산소 결손에 포획되어 있는 제2수소와 결합함으로써 물이 되어 이탈된 후에, 제1산소 결손이 복수의 과잉 산소 중 하나를 포획하고 제2산소 결손이 복수의 과잉 산소 중 하나를 포획한다.

대 표 도 - 도1

특허청구의 범위

청구항 1

인듐, 갈륨, 및 아연을 갖는 산화물 반도체층의 처리 방법에 있어서, 상기 산화물 반도체층은 복수의 과잉 산소와, 제1인듐과 인접하고 제1수소를 포함하는 제1산소 결손과, 제2인듐과 인접하고 제2수소를 포함하는 제2산소 결손을 포함하고,

상기 방법은,

상기 복수의 과잉 산소 중 하나와 상기 제1수소를 결합시킴으로써, 상기 제1산소 결손에 포함되어 있는 상기 제1수소를 수산기로 하는 단계와,

상기 수산기와 상기 제2수소를 결합시킴으로써, 상기 제2산소 결손에 포함되어 있는 상기 제2수소를 물로 하여 이탈시키는 단계와;

상기 제2산소 결손에 포함되어 있는 상기 제2수소를 물로 하여 이탈시킨 후, 상기 복수의 과잉 산소 중 하나와 상기 제1인듐을 결합시키고 상기 복수의 과잉 산소 중 하나와 상기 제2인듐을 결합시키는 단계를 포함하는, 인듐, 갈륨, 및 아연을 갖는 산화물 반도체층의 처리 방법.

청구항 2

반도체 장치의 제작 방법에 있어서,

제 1 항에 따른 인듐, 갈륨, 및 아연을 갖는 산화물 반도체층의 처리 방법에 의하여 처리되는 인듐, 갈륨, 및 아연을 갖는 산화물 반도체층을 형성하는 단계와;

상기 산화물 반도체층과 중첩되는 게이트 전극을 형성하는 단계를 포함하는, 반도체 장치의 제작 방법.

청구항 3

반도체 장치에 있어서,

제 1 항에 따른 인듐, 갈륨, 및 아연을 갖는 산화물 반도체층의 처리 방법에 의하여 처리되는 인듐, 갈륨, 및 아연을 갖는 산화물 반도체층과;

상기 산화물 반도체층과 중첩되는 게이트 전극을 포함하고,

상기 게이트 전극은 상기 산화물 반도체층 위에 제공되는, 반도체 장치.

청구항 4

반도체 장치에 있어서,

제 1 항에 따른 인듐, 갈륨, 및 아연을 갖는 산화물 반도체층의 처리 방법에 의하여 처리되는 인듐, 갈륨, 및 아연을 갖는 산화물 반도체층과;

상기 산화물 반도체층과 중첩되는 게이트 전극을 포함하고,

상기 게이트 전극은 상기 산화물 반도체층 아래에 제공되는, 반도체 장치.

청구항 5

제 4 항에 있어서,

상기 산화물 반도체층 전체가 상기 게이트 전극과 중첩되는, 반도체 장치.

청구항 6

제 1 항에 있어서,

상기 복수의 과잉 산소는 상기 산화물 반도체층 내부를 이동할 수 있는, 인듐, 갈륨, 및 아연을 갖는 산화물 반

도체층의 처리 방법.

청구항 7

제 1 항에 있어서,

상기 복수의 과잉 산소는 상기 산화물 반도체층의 원자간을 이동할 수 있는, 인듐, 갈륨, 및 아연을 갖는 산화물 반도체층의 처리 방법.

청구항 8

제 1 항에 있어서,

상기 복수의 과잉 산소는 당구 공과 같이 상기 산화물 반도체층을 구성하는 산소와 서로 바뀌면서 이동할 수 있는, 산화물 반도체층의 처리 방법.

청구항 9

인듐, 갈륨, 및 아연을 갖는 산화물 반도체층의 처리 방법에 있어서, 복수의 과잉 산소를 포함하는 절연막이 상기 산화물 반도체층의 근방에 제공되고, 상기 산화물 반도체층은 제1인듐과 인접하고 제1수소를 포획하는 제1산소 결손과, 제2인듐과 인접하고 제2수소를 포획하는 제2산소 결손을 포함하고,

상기 방법은,

상기 복수의 과잉 산소를 상기 절연막으로부터 상기 산화물 반도체층으로 이동시키는 단계와;

상기 복수의 과잉 산소 중 하나와 상기 제1수소를 결합시킴으로써, 상기 제1산소 결손에 포획되어 있는 상기 제1수소를 수산기로 하는 단계와;

상기 수산기와 상기 제2수소를 결합시킴으로써, 상기 제2산소 결손에 포획되어 있는 상기 제2수소를 물로 하여 이탈시키는 단계와;

상기 제2산소 결손에 포획되어 있는 상기 제2수소를 물로 하여 이탈시킨 후, 상기 복수의 과잉 산소 중 하나와 상기 제1인듐을 결합시키고 상기 복수의 과잉 산소 중 하나와 상기 제2인듐을 결합시키는 단계를 포함하는, 인듐, 갈륨, 및 아연을 갖는 산화물 반도체층의 처리 방법.

청구항 10

반도체 장치의 제작 방법에 있어서,

제 9 항에 따른 인듐, 갈륨, 및 아연을 갖는 산화물 반도체층의 처리 방법에 의하여 처리되는 인듐, 갈륨, 및 아연을 갖는 산화물 반도체층을 형성하는 단계와;

상기 산화물 반도체층과 중첩되는 게이트 전극을 형성하는 단계를 포함하는, 반도체 장치의 제작 방법.

청구항 11

반도체 장치에 있어서,

제 9 항에 따른 인듐, 갈륨, 및 아연을 갖는 산화물 반도체층의 처리 방법에 의하여 처리되는 인듐, 갈륨, 및 아연을 갖는 산화물 반도체층과;

상기 산화물 반도체층과 중첩되는 게이트 전극을 포함하고,

상기 게이트 전극은 상기 산화물 반도체층 위에 제공되는, 반도체 장치.

청구항 12

반도체 장치에 있어서,

제 9 항에 따른 인듐, 갈륨, 및 아연을 갖는 산화물 반도체층의 처리 방법에 의하여 처리되는 인듐, 갈륨, 및 아연을 갖는 산화물 반도체층과;

상기 산화물 반도체층과 중첩되는 게이트 전극을 포함하고,

상기 게이트 전극은 상기 산화물 반도체층 아래에 제공되는, 반도체 장치.

청구항 13

제 12 항에 있어서,

상기 산화물 반도체층 전체가 상기 게이트 전극과 중첩되는, 반도체 장치.

청구항 14

제 9 항에 있어서,

상기 복수의 과잉 산소는 상기 산화물 반도체층 내부를 이동할 수 있는, 인듐, 갈륨, 및 아연을 갖는 산화물 반도체층의 처리 방법.

청구항 15

제 9 항에 있어서,

상기 복수의 과잉 산소는 상기 산화물 반도체층의 원자간을 이동할 수 있는, 인듐, 갈륨, 및 아연을 갖는 산화물 반도체층의 처리 방법.

청구항 16

제 9 항에 있어서,

상기 복수의 과잉 산소는 당구 공과 같이 상기 산화물 반도체층을 구성하는 산소와 서로 바뀌면서 이동할 수 있는, 인듐, 갈륨, 및 아연을 갖는 산화물 반도체층의 처리 방법.

명세서

기술 분야

[0001]

본 발명은 물건, 방법, 또는 제조 방법에 관한 것이다. 또는, 본 발명은 프로세스(process), 머신(machine), 매뉴팩처(manufacture), 또는, 조성물(composition of matter)에 관한 것이다. 특히, 본 발명은 예를 들어 반도체층, 반도체 장치, 표시 장치, 액정 표시 장치, 발광 장치에 관한 것이다. 또는, 반도체층, 반도체 장치, 표시 장치, 액정 표시 장치, 발광 장치를 생산하는 방법에 관한 것이다. 또는, 반도체 장치, 표시 장치, 액정 표시 장치, 발광 장치의 구동 방법에 관한 것이다. 특히, 본 발명은 예를 들어 트랜지스터를 갖는 반도체 장치, 표시 장치, 발광 장치, 또는, 이들의 구동 방법에 관한 것이다. 또는, 본 발명은 예를 들어 상기 반도체 장치, 상기 표시 장치, 또는 상기 발광 장치를 갖는 전자 기기에 관한 것이다.

[0002]

또한, 본 명세서 중에 있어서 반도체 장치란, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리키며, 전기 광학 장치, 반도체 회로 및 전자 기기 등을 모두 반도체 장치이다.

배경 기술

[0003]

절연 표면을 갖는 기판 위에 형성된 반도체층을 사용하여 트랜지스터를 구성하는 기술이 주목을 받고 있다. 상기 트랜지스터는 집적 회로나 표시 장치와 같은 반도체 장치에 널리 응용되고 있다. 트랜지스터에 적용할 수 있는 반도체층으로서는 실리콘층이 알려져 있다.

[0004]

트랜지스터의 반도체층에 사용되는 실리콘층으로서는, 용도에 따라 비정질 실리콘층과 다결정 실리콘층이 구분해서 사용되고 있다. 예를 들어, 대형 표시 장치를 구성하는 트랜지스터에는, 대면적 기판에 성막하는 기술이 확립되어 있는 비정질 실리콘층을 사용하면 바람직하다. 한편, 구동 회로를 일체로 형성한 고기능의 표시 장치를 구성하는 트랜지스터에는, 높은 전계 효과 이동도를 갖는 트랜지스터를 제작할 수 있는 다결정 실리콘층을 사용하면 바람직하다. 다결정 실리콘층의 형성 방법은, 비정질 실리콘층에 대하여 고온의 가열 처리, 또는 레이저 광 처리를 수행하는 방법이 알려져 있다.

[0005]

근년에는 산화물 반도체층이 주목을 받고 있다. 예를 들어, 인듐, 갈륨, 및 아연을 갖는 비정질 산화물 반도체층을 사용한 트랜지스터가 공개되어 있다(특히 문현 1 참조).

[0006]

산화물 반도체층은 스퍼터링법 등을 이용하여 형성할 수 있기 때문에 대형 표시 장치를 구성하는 트랜지스터의

채널 형성 영역에 사용할 수 있다. 또한, 산화물 반도체층을 사용한 트랜지스터는 높은 전계 효과 이동도를 갖기 때문에, 구동 회로를 일체로 형성한 고기능의 표시 장치를 실현할 수 있다. 또한, 비정질 실리콘층을 사용한 트랜지스터의 생산 설비의 일부를 개량하여 이용할 수 있기 때문에, 설비 투자를 억제할 수 있는 장점도 있다.

[0007] 그런데, $\text{InMO}_3(\text{ZnO})_m$ (M은 Fe, Ga, Al; m은 자연수)으로 표기되는 동족 화합물(homologous compound)이 알려져 있다(비특허 문헌 1 참조). $\text{InMO}_3(\text{ZnO})_m$ 으로 표기되는 동족 화합물에 있어서, 특히, M이 Ga인 결정은 세계에서 처음으로 합성을 수행한 Dr. Noboru Kimizuka의 이름을 따서 "Kimizuka Crystal"이라고 불리는 경우가 있다.

선행기술문헌

특허문헌

[0008] (특허문헌 0001) 일본국 특개 2006-165528호 공보

비특허문헌

[0009] (비)특허문헌 0001) N. Kimizuka, M. Isobe, and M. Nakamura, "Syntheses and Single-Crystal Data of Homologous Compounds, $\text{In}_2\text{O}_3(\text{ZnO})_m$ (m=3, 4, and 5), $\text{InGa}_3(\text{ZnO})_3$, and $\text{Ga}_2\text{O}_3(\text{ZnO})_m$ (m=7, 8, 9, and 16) in the In_2O_3 - ZnGa_2O_4 - ZnO System", J. Solid State Chem., 1995, Vol. 116, pp.170-178

발명의 내용

해결하려는 과제

[0010] 결함 밀도가 낮은 산화물 반도체층을 제공하는 것을 과제 중 하나로 한다. 또는, 이 산화물 반도체층을 갖는 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 또는, 결함 밀도가 낮은 산화물 반도체층을 갖는 반도체 장치의 제작 방법을 제공하는 것을 과제 중 하나로 한다. 또는, 산화물 반도체층의 처리 방법을 제공하는 것을 과제 중 하나로 한다.

[0011] 또는, 신뢰성이 높은 반도체 장치 등을 제공하는 것을 과제 중 하나로 한다. 또는, 안정적인 전기 특성을 갖는 트랜지스터 등을 제공하는 것을 과제 중 하나로 한다. 또는, 오프 상태 시의 전류가 작은 트랜지스터 등을 제공하는 것을 과제 중 하나로 한다. 또는, 높은 전계 효과 이동도를 갖는 트랜지스터 등을 제공하는 것을 과제 중 하나로 한다. 또는, 수율이 높은 트랜지스터 등을 제공하는 것을 과제 중 하나로 한다. 또는, 상기 트랜지스터 등을 갖는 반도체 장치 등을 제공하는 것을 과제 중 하나로 한다. 또는, 신규의 반도체 장치 등을 제공하는 것을 과제 중 하나로 한다.

[0012] 또한, 이들 과제의 기재는 다른 과제의 존재를 방해하는 것이 아니다. 또한, 본 발명의 일 형태는 이들 과제 모두를 해결할 필요는 없는 것으로 한다. 또한, 이들 외의 과제는 명세서, 도면, 청구항 등의 기재로부터 저절로 명확해지는 것이며, 명세서, 도면, 청구항 등의 기재로부터 이들 외의 과제를 추출할 수 있다.

과제의 해결 수단

[0013] 본 발명의 일 형태는, 예를 들어 과잉 산소에 의하여 산화물 반도체층의 결함 밀도를 저감시키는, 산화물 반도체층의 처리 방법이다.

[0014] 또한, 본 발명의 일 형태는, 예를 들어 결함 밀도가 낮은 산화물 반도체층이다.

[0015] 또한, 본 발명의 일 형태는, 예를 들어 과잉 산소에 의하여 산화물 반도체층의 결함 밀도가 저감되는, 산화물 반도체층을 갖는 반도체 장치의 제작 방법이다.

[0016] 또한, 본 발명의 일 형태는, 예를 들어 결함 밀도가 낮은 산화물 반도체층을 갖는 반도체 장치이다.

[0017] 여기서 과잉 산소란, 예를 들어 화학양론적 조성을 넘어서 포함되는 산소를 말한다. 또는, 과잉 산소란, 예를 들어 가열 처리를 수행함으로써 방출되는 산소를 말한다. 과잉 산소는, 예를 들어 막이나 층의 내부를 이동할

수 있다. 과잉 산소의 이동에는, 막이나 층의 원자간을 이동하는 경우와, 당구 공과 같이 막이나 층을 구성하는 산소와 서로 바뀌면서 이동하는 경우가 있다. 또한, 과잉 산소를 포함한 절연막은, 예를 들어 가열 처리를 수행하여 산소를 방출하는 기능을 갖는 절연막이다.

[0018] 본 발명의 일 형태는, 예를 들어, 인듐, 갈륨, 및 아연을 갖는 산화물 반도체층의 처리 방법이며, 산화물 반도체층은 제1인듐과 근접하고 제1수소가 포획되어 있는 제1산소 결손과, 제2인듐과 근접하고 제2수소가 포획되어 있는 제2산소 결손을 갖고, 산화물 반도체층은 복수의 과잉 산소를 갖고, 복수의 과잉 산소 중 하나와 결합시킴으로써 제1산소 결손에 포획되어 있는 제1수소를 수산기로 하고, 수산기와 결합시킴으로써 제2산소 결손에 포획되어 있는 제2수소를 물로 하여 이탈시킨 후, 복수의 과잉 산소 중 하나와 제1인듐을 결합시키고, 복수의 과잉 산소 중 하나와 제2인듐을 결합시키는 산화물 반도체층의 처리 방법이다.

[0019] 본 발명의 일 형태는 예를 들어 인듐, 갈륨, 및 아연을 갖는 산화물 반도체층의 처리 방법이며, 산화물 반도체층의 근방에 절연막이 제공되어 있고, 절연막은 복수의 과잉 산소를 갖고, 산화물 반도체층은 제1인듐과 근접하고 제1수소가 포획되어 있는 제1산소 결손과, 제2인듐과 근접하고 제2수소가 포획되어 있는 제2산소 결손을 갖고, 절연막으로부터 산화물 반도체층으로 복수의 과잉 산소를 이동시켜 복수의 과잉 산소 중 하나와 결합시킴으로써 제1산소 결손에 포획되어 있는 제1수소를 수산기로 하고, 수산기와 결합시킴으로써 제2산소 결손에 포획되어 있는 제2수소를 물로 하여 이탈시킨 후, 복수의 과잉 산소 중 하나와 제1인듐을 결합시키고 복수의 과잉 산소 중 하나와 제2인듐을 결합시키는 산화물 반도체층의 처리 방법이다.

발명의 효과

[0020] 결합 밀도가 낮은 산화물 반도체층을 제공할 수 있다. 또는, 이 산화물 반도체층을 갖는 반도체 장치를 제공할 수 있다. 또는, 산화물 반도체층을 갖는 반도체 장치의 제작 방법을 제공할 수 있다. 또는, 산화물 반도체층의 처리 방법을 제공할 수 있다.

[0021] 또는, 신뢰성이 높은 반도체 장치 등을 제공할 수 있다. 또는, 안정적인 전기 특성을 갖는 트랜지스터 등을 제공할 수 있다. 또는, 오프 상태 시의 전류가 작은 트랜지스터 등을 제공할 수 있다. 또는, 높은 전계 효과 이동도를 갖는 트랜지스터 등을 제공할 수 있다. 또는, 수율이 높은 트랜지스터 등을 제공할 수 있다. 또는, 상기 트랜지스터 등을 갖는 반도체 장치 등을 제공할 수 있다. 또는, 신규의 반도체 장치 등을 제공할 수 있다.

도면의 간단한 설명

[0022] 도 1은 산화물 반도체층 내부, 및 이의 계면 근방의 DOS를 나타낸 밴드 구조.

도 2는 산화물 반도체층을 갖는 트랜지스터의 단면 모식도.

도 3은 암(暗) 상태에서의 산화물 반도체층을 갖는 트랜지스터의 열화를 설명한 도면.

도 4는 암 상태에서의 산화물 반도체층을 갖는 트랜지스터의 열화를 설명한 도면.

도 5는 광 조사하에서의 산화물 반도체층을 갖는 트랜지스터의 열화를 설명한 도면.

도 6은 광 조사하에서의 산화물 반도체층을 갖는 트랜지스터의 열화를 설명한 도면.

도 7은 광 조사하에서의 산화물 반도체층을 갖는 트랜지스터의 열화를 설명한 도면.

도 8은 산화물 반도체층의 고순도 진성화를 설명한 모델 도면.

도 9는 트랜지스터의 단면도 및 등가 회로를 도시한 도면.

도 10은 밴드 구조를 나타낸 도면.

도 11은 본 발명의 일 형태에 따른 트랜지스터의 일례를 도시한 상면도 및 단면도.

도 12는 본 발명의 일 형태에 따른 트랜지스터의 소스 전극 및 드레인 전극 근방의 단면의 일례를 도시한 도면.

도 13은 본 발명의 일 형태에 따른 트랜지스터의 제작 방법의 일례를 도시한 단면도.

도 14는 본 발명의 일 형태에 따른 트랜지스터의 제작 방법의 일례를 도시한 단면도.

도 15는 본 발명의 일 형태에 따른 트랜지스터의 일례를 도시한 상면도 및 단면도.

도 16은 본 발명의 일 형태에 따른 트랜지스터의 제작 방법의 일례를 도시한 단면도.

도 17은 본 발명의 일 형태에 따른 트랜지스터의 제작 방법의 일례를 도시한 단면도.

도 18은 본 발명의 일 형태에 따른 트랜지스터의 일례를 도시한 상면도 및 단면도.

도 19는 본 발명의 일 형태에 따른 트랜지스터의 제작 방법의 일례를 도시한 단면도.

도 20은 본 발명의 일 형태에 따른 트랜지스터의 일례를 도시한 상면도 및 단면도.

도 21은 본 발명의 일 형태에 따른 트랜지스터의 제작 방법의 일례를 도시한 단면도.

도 22는 본 발명의 일 형태에 따른 산화물 적층의 밴드 구조를 설명한 도면.

도 23은 산화물 반도체의 나노 빔 전자선 회절 패턴을 도시한 도면.

도 24는 CPM에 의하여 측정된 흡수 계수를 나타낸 도면.

도 25는 타깃으로부터 박리된 스퍼터링 입자가 피성막면에 도달하는 태양(態樣)을 도시한 모식도.

도 26은 타깃으로부터 박리된 스퍼터링 입자가 피성막면에 도달하는 태양을 도시한 모식도.

도 27은 $\text{InGaO}_3(\text{ZnO})_m$ (m 은 자연수)으로 표기되는 동족 화합물의 $m=1$ 인 경우의 결정 구조를 나타낸 도면.

도 28은 DC전원, AC전원을 사용한 스퍼터링법에 의한 플라즈마 방전을 설명한 도면.

도 29는 스퍼터링 입자가 피성막면에 도달하는 태양을 도시한 모식도.

도 30은 성막 장치의 일례를 도시한 상면도.

도 31은 성막실의 일례를 도시한 단면도.

도 32는 가열 처리실의 일례를 도시한 도면.

도 33은 본 발명의 일 형태에 따른 반도체 장치의 일례를 도시한 블록도.

도 34는 본 발명의 일 형태에 따른 반도체 장치의 일례를 도시한 단면도 및 회로도.

도 35는 본 발명의 일 형태에 따른 CPU의 일례를 도시한 블록도.

도 36은 본 발명의 일 형태에 따른 전자 기기의 일례를 도시한 도면.

도 37은 본 발명의 일 형태에 따른 EL 표시 장치의 일례를 도시한 회로도, 상면도, 및 단면도.

도 38은 본 발명의 일 형태에 따른 액정 표시 장치의 일례를 도시한 회로도 및 단면도.

발명을 실시하기 위한 구체적인 내용

[0023]

본 발명의 실시형태에 대하여 도면을 사용하여 자세히 설명하기로 한다. 그러나, 본 발명은 하기의 설명에 제한되지 않고 그 형태 및 자세한 사항을 다양하게 변경할 수 있는 것은 당업자라면 용이하게 이해할 수 있다. 또한, 본 발명은 하기의 실시형태의 기재 내용에 제한되어 해석되는 것이 아니다. 또한, 도면을 사용하여 발명의 구성을 설명하는 데 있어서, 동일한 것을 가리키는 부호는 다른 도면간에서도 공통으로 사용된다. 또한, 동일한 것을 가리킬 때에는 해치 패턴을 동일하게 하고, 부호를 특별히 붙이지 않는 경우가 있다.

[0024]

또한, 어느 하나의 실시형태 중에서 설명하는 내용(일부의 내용이어도 좋음)은, 이의 실시형태에서 설명하는 다른 내용(일부의 내용이어도 좋음)에 대하여, 적용, 조합, 또는 치환 등을 수행할 수 있다.

[0025]

또한, 도면에 있어서, 크기, 충의 두께, 또는 영역은, 명료화를 위하여 과장되는 경우가 있다. 따라서, 그 스케일에 반드시 한정되지 않는다.

[0026]

또한, 도면은 이상(理想)적인 예를 모식적으로 도시한 것이며, 도시된 형상 또는 값 등에 제한되지 않는다. 예를 들어, 제조 기술에 따라 생기는 형상의 편차, 오차로 인한 형상의 편차, 노이즈에 기인하는 신호, 전압, 또는 전류의 편차, 또는 타이밍의 어긋남으로 인한 신호, 전압, 또는 전류의 편차 등이 포함될 수 있다.

[0027]

또한, 전압이란 어느 전위와 기준 전위(예를 들어, 접지 전위(GND) 또는 소스 전위)와의 전위차를 말하는 경우가 많다. 따라서, 전압을 전위로 바꾸어 말할 수 있다.

[0028]

본 명세서 중에서는 "전기적으로 접속된다"라고 표현된 경우에도, 현실의 회로에서는 물리적인 접속 부분이 없

고 그저 배선이 연장되어 있을 뿐인 경우도 있다.

[0029] 또한, 제1, 제2로서 부여되는 서수사는 편의상 사용되는 것이며, 공정 순서 또는 적층 순서를 나타내는 것이 아니다. 또한, 본 명세서에 있어서 발명을 특정하기 위한 사항으로서 고유의 명칭을 나타내는 것이 아니다.

[0030] 본 명세서 중에 있어서, 예를 들어 물체의 형상을 "직경", "입경", "크기(dimension)", "사이즈(size)", "폭" 등으로 규정하는 경우, 물체가 들어가는 최소의 입방체에서의 한 변의 길이, 또는 물체의 한 단면에서의 원상당 직경으로 바꿔 읽어도 좋다. 물체의 한 단면에서의 원상당 직경이란, 물체의 한 단면과 동등한 면적을 갖는 정원의 직경을 말한다.

[0031] 또한, "반도체"라고 표기한 경우에도 예를 들어 도전성이 충분히 낮은 경우에는 "절연체"로서의 특성을 갖는 경우가 있다. 또한, "반도체"와 "절연체"는 경계가 애매하며 염밀하게 구별할 수 없는 경우가 있다. 따라서, 본 명세서에 기재된 "반도체"는 "절연체"로 바꿔 말할 수 있는 경우가 있다. 마찬가지로, 본 명세서에 기재된 "절연체"는 "반도체"로 바꿔 말할 수 있는 경우가 있다.

[0032] 또한, "반도체"라고 표기한 경우에도 예를 들어 도전성이 충분히 높은 경우에는 "도전체"로서의 특성을 갖는 경우가 있다. 또한, "반도체"와 "도전체"는 경계가 애매하며 염밀하게 구별할 수 없는 경우가 있다. 따라서, 본 명세서에 기재된 "반도체"는 "도전체"로 바꿔 말할 수 있는 경우가 있다. 마찬가지로, 본 명세서에 기재된 "도전체"는 "반도체"로 바꿔 말할 수 있는 경우가 있다.

[0033] 또한, 반도체층의 불순물이란, 예를 들어 반도체층을 구성하는 주성분 이외를 말한다. 예를 들어, 농도가 0.1atomic% 미만의 원소는 불순물이다. 불순물이 포함되면, 예를 들어 반도체층의 DOS(Density of State)가 높게 되거나, 캐리어 이동도가 저하되거나, 결정성이 저하되는 경우 등이 있다. 반도체층이 산화물 반도체층인 경우, 반도체층의 특성을 변화시키는 불순물로서는, 예를 들어 제1족 원소, 제2족 원소, 제14족 원소, 제15족 원소, 주성분 이외의 천이 금속 등이 있고, 특히 예를 들어 수소(물도 포함됨), 리튬, 나트륨, 실리콘, 붕소, 인, 탄소, 질소 등이 있다. 산화물 반도체는, 불순물의 혼입으로 인하여 산소 결손을 형성하는 경우가 있다. 또한, 반도체층이 실리콘층인 경우, 반도체층의 특성을 변화시키는 불순물로서는, 예를 들어, 산소, 수소를 제외하는 제1족 원소, 제2족 원소, 제13족 원소, 제15족 원소 등이 있다.

[0034] <산화물 반도체층에서의 DOS, 및 DOS를 만드는 원인 원소의 관계를 설명하기 위한 모델>

[0035] 산화물 반도체층 내부, 및 산화물 반도체층과 외부의 계면 근방에서 DOS(Density of State)가 존재하면, 산화물 반도체층을 갖는 트랜지스터의 열화 등의 원인이 된다. 산화물 반도체층 내부, 및 이의 계면 근방의 DOS에 대해서는 산소(O), 산소 결손(Vo), 및 수소(H)의 위치나 결합 관계에 따라 설명할 수 있다. 이하에서, 본 발명의 모델의 개요를 특성 이해를 위하여 설명하기로 한다.

[0036] 결론부터 말하자면, 트랜지스터에 안정적인 전기 특성을 부여하기 위해서는 산화물 반도체층 내부, 및 이의 계면 근방의 DOS를 더 저감시키는 것(고순도 진성화)이 중요하다. 이 DOS를 저감시키기 위해서는, 산소 결손 및 수소를 저감시킬 필요가 있다. 이하에서, 산화물 반도체층 내부, 및 이의 계면 근방의 DOS에 관하여 산소 결손 및 수소를 저감시킬 필요가 왜 있느냐에 대하여 모델을 사용하면서 설명하기로 한다.

[0037] 도 1은 산화물 반도체층 내부, 및 이의 계면 근방의 DOS를 나타낸 밴드 구조이다. 이하에서는, 산화물 반도체층이 인듐, 갈륨, 및 아연을 갖는 산화물 반도체층인 경우에 대하여 설명하기로 한다.

[0038] 우선, 일반적으로 DOS에는 얕은 위치의 DOS(shallow level DOS)와 깊은 위치의 DOS(deep level DOS)가 있다. 또한, 본 명세서 중에 있어서 얕은 위치의 DOS는 전도대 하단의 에너지(Ec)와 중간 갭(mid gap) 사이의 DOS를 말한다. 따라서, 예를 들어 얕은 위치의 DOS는 전도대 하단의 에너지 부근에 위치한다. 또한, 본 명세서 중에 있어서, 깊은 위치의 DOS는 가전자대 상단의 에너지(Ev)와 중간 갭 사이의 DOS를 말한다. 따라서, 예를 들어 깊은 위치의 DOS는 가전자대 상단의 에너지보다 중간 갭 부근에 위치한다.

[0039] 얕은 위치의 DOS에는 두 가지가 있다. 하나의 얕은 위치의 DOS는, 산화물 반도체층의 표면 근방(절연막(Insulator)과의 계면 또는 이의 근방)의 DOS(surface shallow DOS)이다. 다른 하나의 얕은 위치의 DOS는 산화물 반도체층 내부의 DOS(bulk shallow DOS)이다. 한편, 깊은 위치의 DOS로서는, 산화물 반도체층 내부의 DOS(bulk deep DOS)가 있다.

[0040] 이를 DOS는, 다음에 제시하는 바와 같이 작용할 가능성이 있다. 우선, 산화물 반도체층의 표면 근방의 surface shallow DOS는 전도대 하단으로부터 얕은 위치에 있으므로, 전하의 포획 및 소실이 일어나기 쉽다. 다음으로, 산화물 반도체층 내부의 bulk shallow DOS는 산화물 반도체층의 표면 근방의 surface shallow DOS에 비하여 전

도대 하단으로부터 깊은 위치에 있으므로, 전하의 소실이 일어나기 어렵다.

[0041] 이하에서는, 산화물 반도체층에 DOS를 만드는 원인 원소에 대하여 설명하기로 한다.

[0042] 예를 들어, 산화물 반도체층 위에 산화 실리콘막을 형성하는 경우, 산화물 반도체층에 포함되는 인듐이 산화 실리콘막 내에 들어가 실리콘과 치환됨으로써, 얇은 위치의 DOS를 만드는 경우가 있다.

[0043] 또한, 예를 들어 산화물 반도체층과 산화 실리콘막의 계면에서는, 산화물 반도체층에 포함되는 인듐과 산소의 결합이 끊어져 이 산소와 실리콘의 결합이 생긴다. 이것은, 실리콘과 산소의 결합 에너지가 인듐과 산소의 결합 에너지보다 높은 것, 및 실리콘(4가)이 인듐(3가)보다 원자가가 높은 것에 기인하다. 그리고 산화물 반도체층에 포함되는 산소가 실리콘에 의하여 빼앗겨, 인듐과 결합되어 있던 산소의 사이트(site)는 산소 결손이 된다. 또한, 이 현상은 표면에서뿐만 아니라, 산화물 반도체층 내부에 실리콘이 들어간 경우에도 마찬가지로 일어난다. 이들 산소 결손은 깊은 위치의 DOS를 형성한다.

[0044] 또한, 실리콘뿐만 아니라 다른 요인으로 인하여 인듐과 산소의 결합이 끊어질 수 있다. 예를 들어, 인듐, 갈륨, 및 아연을 갖는 산화물 반도체층에 있어서, 인듐과 산소의 결합은 갈륨 또는 아연과 산소의 결합보다 약 해서 끊어지기 쉽다. 그러므로, 예를 들어 플라즈마로 인한 대미지나 스퍼터링 입자로 인한 대미지 등에 따라 인듐과 산소의 결합이 끊어져 산소 결손이 생길 수도 있다. 이 산소 결손은 깊은 위치의 DOS를 형성한다. 이 깊은 위치의 DOS는 정공을 포획할 수 있으므로 정공 트랩(정공 포획 중심)이 된다. 즉, 이 산소 결손이 산화물 반도체층 내부의 bulk deep DOS를 형성한다.

[0045] 이 산소 결손으로 인하여 형성된 깊은 위치의 DOS는, 나중에 설명하는 바와 같이, 수소가 원인이 되어 산화물 반도체층의 표면 근방의 surface shallow DOS나, 산화물 반도체층 내부의 bulk shallow DOS를 형성하는 요인 중 하나가 된다.

[0046] 이 산소 결손은 DOS를 형성하기 때문에 산화물 반도체층의 불안정 요인이 된다. 또한, 산화물 반도체층 내의 산소 결손은, 수소를 포획함으로써 준안정 상태가 된다. 즉, 깊은 위치의 DOS이며 정공을 포획할 수 있는 정공 트랩인 산소 결손이 수소를 포획하면, 얕은 위치의 DOS를 형성한다. 결과적으로 얕은 위치의 DOS는 전자를 포획할 수 있는 전자 트랩이 되거나, 전자의 발생원이 될 수 있다. 이와 같이 산소 결손은 수소를 포획한다. 그러나, 나중에 설명하는 바와 같이, 산화물 반도체층 내의 수소의 위치에 따라서는, 양(중성 또는 양)으로도 음(중성 또는 음)으로도 대전될 수 있다. 그러므로, 수소는 산화물 반도체층을 갖는 트랜ジ스터에 대하여 나쁜 영향을 미칠 가능성이 있다.

[0047] 일례로서, 도 2에 보텀 게이트 티 컨택트 구조의 트랜ジ스터의 단면 모식도를 도시하였다. 산화물 반도체층(OS)은 절연막과의 계면 근방에 surface shallow DOS를 갖는다. surface shallow DOS에는 전자가 포획되어 있어 DOS는 음으로 대전되어 있다. 그러므로, surface shallow DOS는 트랜ジ스터의 문턱 전압을 변화시키는 요인이 된다.

[0048] 그래서, 산소 결손이 트랜ジ스터에 대하여 나쁜 영향을 미치지 않도록 하기 위해서는 산소 결손의 밀도를 저감시키는 것이 중요하다. 산화물 반도체층에 과잉 산소를 공급함으로써, 즉, 산소 결손을 과잉 산소로 매립함으로써, 산화물 반도체층의 산소 결손의 밀도를 저감시킬 수 있다. 즉, 산소 결손은 과잉 산소가 들어가면 안정 상태가 된다. 예를 들어, 산화물 반도체층 내부 또는 산화물 반도체층의 계면 근방에 제공된 절연막 내에 과잉 산소를 갖게 한다. 그러면, 이 과잉 산소가 산화물 반도체층의 산소 결손을 매립함으로써 산화물 반도체층의 산소 결손을 효과적으로 소멸 또는 저감시킬 수 있다.

[0049] 여기서, 과잉 산소란 예를 들어 화학양론적 조성을 넘어서 포함되는 산소를 말한다. 또는, 과잉 산소란 예를 들어 가열 처리를 수행함으로써 방출되는 산소를 말한다. 과잉 산소는, 예를 들어 막이나 층의 내부를 이동할 수 있다. 과잉 산소의 이동에는, 막이나 층의 원자간을 이동하는 경우와, 당구 공과 같이 막이나 층을 구성하는 산소와 서로 바뀌면서 이동하는 경우가 있다. 또한, 산화물 반도체층 내에서, 산소 결손은 인접되는 산소 원자를 잇달아 포획함으로써 이동하는 경우가 있다.

[0050] 상술한 바와 같이, 산소 결손은 수소 또는 산소 중 어느 쪽에 따라 준안정 상태 또는 안정 상태가 된다. 산화물 반도체층 내의 수소 농도가 높은 경우, 수소를 포획하는 산소 결손이 많게 된다. 한편, 산소 결손 내에 수소가 존재하는 경우, 과잉 산소를 공급하여도 과잉 산소는 우선, 수소를 제거하기 위하여 사용된다. 그러므로 과잉 산소는, 수소를 제거한 후에야 산소 결손을 겨우 매립하기 위하여 사용된다. 따라서, 산화물 반도체층 내의 수소 농도가 높은 경우, 과잉 산소에 의하여 저감시킬 수 있는 산소 결손이 적게 된다. 이와 반대로, 산화물 반도체층 내의 수소 농도가 낮은 경우, 산소 결손에 포획되는 수소가 적게 된다. 그러므로, 과잉 산소를 공

급함으로써 산소 결손의 밀도를 대폭적으로 저감시킬 수 있다.

[0051] 상술한 바와 같이, 산소 결손은 수소를 포획하지만, 수소의 포획 방법에 따라서는 양(중성 또는 음)으로도 음(중성 또는 음)으로도 대전될 수 있다. 여기서는, 산화물 반도체층 내부의 bulk shallow DOS와, 표면 근방의 surface shallow DOS에 대하여 생각한다. 이를 shallow level DOS가 중성 또는 음으로 대전되거나, 중성 또는 양으로 대전되는 것은, 수소(수소 결합), 산소 결손 및 산소의 상대적인 위치를 생각하기만 하면 이해할 수 있다. 예를 들어, 산화물 반도체층 내부에서, 수소가 산소 결손에 의하여 포획되고 VoH가 형성되면 중성 또는 양으로 대전된다. 즉, $H^+ + e^-$ 가 산화물 반도체층 내부의 bulk shallow DOS를 형성하고, 산화물 반도체층에 n형 영역을 형성하는 요인이 된다.

[0052] 한편, 수소는 중성 또는 양으로 대전될 뿐만 아니라, 중성 또는 음으로 대전되는 경우도 있다. 이것을 고려하면, 산화물 반도체층 내부의 bulk shallow DOS와, 산화물 반도체층 표면 근방의 surface shallow DOS를 형성하는 바와 같은 이하에 제시되는 모델이 생각된다. 또한, 모델의 "..."는 결합을 나타내는 것은 아니다. 또한, 모델의 "..."는, 원자간의 이온성 결합을 나타내는 모델의 "-"와 구별하기 위하여 사용된다.

[0053] 우선, 산화물 반도체층에 포함되는 인듐과 산소의 결합이 끊어져 이 산소와 실리콘의 결합이 생기고, 또한 수소가 존재하는 경우에 대하여, 표 1에 모델을 열거한다.

표 1

모델	결합의 종류	
모델 A	In...Vo	$H^{\delta-} \cdot O^{\delta+} - Si$
모델 B	In...VoH ^{δ-}	$O^{\delta-} - Si$
모델 C	In...Vo	$H^{\delta+} - O^{\delta-} - In$
모델 D	In...VoH ^{δ-}	$O^{\delta-} - In$

[0054] 예를 들어, 수소가 산소와 결합된 모델 A가 있다.

[0055] 또한, 예를 들어 수소가 산소 결손에 포획된 모델 B가 있다.

[0056] 또한, 실리콘을 인듐으로 치환한 경우도 마찬가지이다. 예를 들어, 수소가 산소와 결합된 모델 C가 있다.

[0057] 또한, 예를 들어 수소가 산소 결손에 포획된 모델 D가 있다.

[0058] 이와 같이 4개의 모델 A 내지 모델 D가 생각된다. 이 모델에 의하여, 중성 또는 양뿐만 아니라, 중성 또는 음 중, 어느 쪽으로 대전되는 것을 설명할 수 있다. 다만, 인듐에 비하여 실리콘의 결합이 강하기 때문에, 모델 D에 비하여 모델 B의 가능성이 낮다고 생각된다.

[0059] 따라서, 수소, 산소 결손 및 산소의 상대적인 위치 관계에 따라 수소는 양 및 음의 양쪽으로 대전될 가능성이 있다. 즉, 산소 결손과 수소는, 양으로 대전되는 DOS와 음으로 대전되는 DOS 양쪽을 형성할 수 있다. 이들은, 주위의 환경(주위에 배치되는 원소의 전기 음성도)에 따라 양 및 음 중 어느 쪽으로 대전될 수 있는 가능성이 있다.

[0060] <산화물 반도체층을 갖는 트랜지스터의 암 상태에서의 히스테리시스 열화 모델>

[0061] 다음에, 산화물 반도체층을 갖는 트랜지스터의 열화의 메커니즘에 대하여 설명하기로 한다. 산화물 반도체층을 갖는 트랜지스터는, 빛이 조사되어 있는 경우와 빛이 조사되어 있지 않은 경우에 따라 특성이 열화될 때의 거동이 다르다. 빛이 조사되어 있는 경우는, 산화물 반도체층 내부의 깊은 위치의 DOS(bulk deep DOS)가 크게 영향을 미칠 가능성이 있다. 빛이 조사되어 있지 않은 경우는, 산화물 반도체층의 표면 근방(절연막(Insulator)과

의 계면 또는 이의 근방)의 얇은 위치의 DOS(surface shallow DOS)가 관계되고 있는 가능성이 있다.

[0063] 그래서, 우선, 산화물 반도체층을 갖는 트랜지스터에 빛이 조사되어 있지 않은 경우(암 상태)에 대하여 설명하기로 한다. 이 경우는 산화물 반도체층의 표면 근방(절연막(Insulator)과의 계면 또는 이의 근방)의 얇은 위치의 DOS(surface shallow DOS)에 의한 전하의 포획, 방출의 관계로부터 트랜지스터의 열화 메커니즘을 설명할 수 있다.

[0064] 암 상태에서, 산화물 반도체층을 갖는 트랜지스터에 대하여 게이트 BT(bias temperature) 스트레스 시험을 번갈아 수행한 경우의 문턱 전압(V_{th})의 변화를 도 3에 나타냈다. 도 3을 보면 알다시피, 플러스 게이트 BT 스트레스 시험(+GBT)을 수행함으로써 문턱 전압은 양 방향으로 변화된다. 다음에, 마이너스 게이트 BT 스트레스 시험(-GBT)을 수행하면 문턱 전압은 음 방향으로 변화되어 초기 값(Initial)과 같은 정도의 문턱 전압이 된다. 이와 같이 플러스 게이트 BT 스트레스 시험과 마이너스 게이트 BT 스트레스 시험을 교대로 반복하여 수행하면 문턱 전압이 상하로 변화된다(히스테리시스가 발생된다). 즉, 빛이 조사되어 있지 않은 상태에서 마이너스 게이트 BT 스트레스 시험과 플러스 게이트 BT 스트레스 시험을 번갈아 수행하면, 문턱 전압은 양 방향 및 음 방향으로 번갈아 변화되지만, 전체로서는 일정 범위 내에서의 변화에 그치는 것을 알았다.

[0065] 이와 같은 암 상태에서의 게이트 BT 스트레스 시험에 의한 트랜지스터의 문턱 전압의 변화는, 산화물 반도체층의 표면 근방의 surface shallow DOS에 의하여 설명할 수 있다. 도 4에는 산화물 반도체층을 포함한 밴드 구조와, 밴드 구조에 대응하는 플로 차트를 나타냈다. 또한, 여기서는, 빛이 조사되어 있지 않은 경우의 열화의 메커니즘에 대하여 생각하기 때문에, 게이트 BT 스트레스 시험을 수행하기 전에도, 게이트 BT 스트레스 시험을 수행하고 있는 동안에도, 게이트 BT 스트레스 시험을 수행한 후에도, 빛이 조사되어 있지 않은 경우에 대하여 설명하는 것으로 한다.

[0066] 게이트 BT 스트레스를 인가하기 전(게이트 전압(V_g)은 0)에서는, 산화물 반도체층의 표면 근방의 surface shallow DOS는 페르미 준위(E_f)보다 에너지가 높고, 전자가 포획되어 있지 않기 때문에 전기적으로 중성이다(스텝 S101). 이 때, 측정한 문턱 전압을 게이트 BT 스트레스를 인가하기 전의 초기 값으로 한다.

[0067] 다음에 플러스 게이트 BT 스트레스 시험(암 상태)을 수행하고, 양의 게이트 전압을 인가한다. 양의 게이트 전압을 인가함으로써 전도대의 밴드가 구부러지고 산화물 반도체층의 표면 근방의 surface shallow DOS는 페르미 준위보다 에너지가 낮게 된다. 그러므로, 산화물 반도체층의 표면 근방의 surface shallow DOS에는 전자가 포획되어 DOS는 음으로 대전된다(스텝 S102).

[0068] 다음에, 스트레스를 정지하고, 게이트 전압을 0으로 한다. 게이트 전압을 0으로 함으로써 산화물 반도체층의 표면 근방의 surface shallow DOS는 페르미 준위보다 에너지가 높게 된다. 그런데, 산화물 반도체층의 표면 근방의 surface shallow DOS에 포획된 전자가 방출될 때까지는 긴 시간이 걸린다. 그래서, 산화물 반도체층의 표면 근방의 surface shallow DOS는 음으로 대전된 상태가 유지된다(스텝 S103). 이 때, 트랜지스터의 채널 형성 영역에는 게이트 전압 외에도 음의 전압이 계속 인가되고 있는 상태이다. 따라서, 트랜지스터를 온 상태로 하기 위하여 초기 값보다 높은 게이트 전압을 인가해야 하고, 문턱 전압은 양 방향으로 변화된다. 즉, 노멀리오프(normally off)화되기 쉬워질 가능성이 있다.

[0069] 다음에, 마이너스 게이트 BT 스트레스 시험(암 상태)을 수행하여, 음의 게이트 전압을 인가한다. 음의 게이트 전압을 인가함으로써 전도대의 밴드가 구부러지고 산화물 반도체층의 표면 근방의 surface shallow DOS는 더욱 높은 에너지가 된다. 그러므로, 산화물 반도체층의 표면 근방의 surface shallow DOS에 포획된 전자가 방출되어 DOS가 전기적으로 중성이 된다(스텝 S104). 이 전자의 방출에 기인하여, 문턱 전압이 게이트 BT 스트레스 시험을 수행하기 전의 초기 값과 대략 동등한 값으로 되돌아갈 가능성이 있다.

[0070] 다음에, 스트레스를 정지하고, 게이트 전압을 0으로 한다. 이 때, 산화물 반도체층의 표면 근방의 surface shallow DOS는, 포획된 전자를 이미 방출한 것이므로, 전기적으로 중성이다(스텝 S101). 그러므로, 문턱 전압은 양 방향으로 변화되고, 결과적으로 게이트 BT 스트레스를 인가하기 전의 초기 값으로 되돌아간다. 즉, 빛이 조사되어 있지 않은 상태에서 마이너스 게이트 BT 스트레스 시험과 플러스 게이트 BT 스트레스 시험을 번갈아 수행하면 문턱 전압은 양 방향 및 음 방향으로 번갈아 변화된다. 그러나, 산화물 반도체층의 표면 근방의 surface shallow DOS에 있어서, 플러스 게이트 BT 스트레스 시험 시에 포획된 전자가 마이너스 게이트 BT 스트레스 시험 시에 방출되기 때문에 전체로서는 문턱 전압은 일정한 범위 내에서 변화되는 것을 알았다.

[0071] 상기로부터, 암 상태에서의 게이트 BT 스트레스 시험에 의한 트랜지스터의 문턱 전압의 변화는 산화물 반도체층의 표면 근방의 surface shallow DOS를 이해함으로써 설명할 수 있다.

- [0072] <광 조사하에서의 산화물 반도체층을 갖는 트랜지스터의 열화 모델>
- [0073] 상술한 바와 같이, 산화물 반도체층을 갖는 트랜지스터의 열화는 빛이 조사되어 있는 경우와 빛이 조사되어 있지 않은 경우에 따라 거동이 다르다. 빛이 조사되어 있지 않은 경우에 대해서는 이미 설명하였다. 따라서, 여기서는 빛이 조사되어 있는 경우의 열화의 메커니즘에 대하여 설명하기로 한다. 빛이 조사되어 있는 경우는, 산화물 반도체층 내부의 깊은 위치의 DOS(bulk deep DOS)에 관계가 있다. 여기서는, 산화물 반도체층 내부의 깊은 위치의 DOS(bulk deep DOS)에 의한 전하의 포획, 방출의 관계로부터, 빛이 조사되어 있는 경우(명 상태)의 트랜지스터의 열화의 메커니즘을 설명하기로 한다.
- [0074] 도 5는 광 조사하에서 산화물 반도체층을 갖는 트랜지스터에 대하여 게이트 BT 스트레스 시험을 번갈아 수행한 경우의 문턱 전압(V_{th})의 변화를 나타낸 것이다. 도 5를 보면 알다시피, 문턱 전압(V_{th})은 초기 값(Initial)으로부터 변화된다.
- [0075] 도 5에서는, 먼저, 문턱 전압의 초기 값으로서, 게이트 BT 스트레스를 인가하지 않고 빛을 차광한 상태(암 상태)에서 측정한 결과를 플롯하였다. 다음에, 게이트 BT 스트레스를 인가하지 않고 빛을 조사한 상태(명 상태)에서 문턱 전압을 측정하였다. 결과적으로 빛을 차광한 상태(암 상태)에서의 문턱 전압에 비하여 빛을 조사한 상태(명 상태)에서의 문턱 전압은 음 방향으로 크게 변화되는 것을 알았다. 이것은, 빛을 조사함으로써 전자 및 정공(홀)이 생성되고, 생성된 전자가 전도대로 여기되기 때문일 수도 있다. 즉, 게이트 BT 스트레스를 인가하지 않는 경우에도 빛의 조사에 따라 산화물 반도체층을 갖는 트랜지스터의 문턱 전압은 음 방향으로 시프트되고 노멀리온화되기 쉬워진다고 할 수 있다. 이 경우, 산화물 반도체층의 에너지 캡이 클수록 또는 에너지 캡 내의 DOS가 적을수록, 여기되는 전자는 적게 된다. 그러므로, 이와 같은 경우에는 빛의 조사만에 기인한 문턱 전압의 변화는 작게 된다.
- [0076] 다음에, 빛을 조사한 채 마이너스 게이트 BT 스트레스 시험(-GBT)을 수행하면 문턱 전압은 음 방향으로 더 변화되었다. 이것은, 산화물 반도체층 내부의 bulk deep DOS에 포획된 정공이 전계에 의하여 게이트 절연막(GI) 내의 비가교(非架橋) 산소 정공 포획 중심(NBOHC: Non Bridging Oxygen Hole Center)에 주입되고, 양으로 대전되었기 때문일 수도 있다.
- [0077] 이 후에, 빛을 조사한 채 플러스 게이트 BT 스트레스 시험(+GBT)을 수행하면 문턱 전압은 양 방향으로 변화되었다. 이것은, 전계에 의하여 게이트 절연막 내의 비가교 산소 정공 포획 중심(NBOHC)으로부터 정공이 저감되었기 때문이라고 할 수 있다. 그러나 문턱 전압이 초기 값까지 완전히 되돌아가지 않는 상태이므로 게이트 절연막 내에 도입된 정공 모두가 방출되는 것이 아님을 판단할 수 있다.
- [0078] 또한 빛을 조사한 채 마이너스 게이트 BT 스트레스 시험과 플러스 게이트 BT 스트레스 시험을 번갈아 수행하면, 문턱 전압은 양 방향으로 또는 음 방향으로 번갈아 변화되면서 전체로서는 음 방향으로 서서히 변화되는 것을 알았다. 이런 결과가 된 이유는, 게이트 절연막 내의 비가교 산소 정공 포획 중심(NBOHC)의 정공이 원인일 가능성이 있다. 즉, 플러스 게이트 BT 스트레스 시험에 의하여, 게이트 절연막 내의 비가교 산소 정공 포획 중심(NBOHC)의 정공이 감소된다. 다만, 이 정공은 모두 방출되지는 않고 그 정공의 일부가 게이트 절연막 내의 비가교 산소 정공 포획 중심(NBOHC)에 잔존한다. 그리고 정공이 약간 잔존한 이 상태에서 마이너스 게이트 BT 스트레스 시험을 수행하면, 잔존한 정공 위에 쌓이도록 게이트 절연막 내의 비가교 산소 정공 포획 중심(NBOHC)에 정공이 추가되어 축적된다. 그리고 플러스 게이트 BT 스트레스 시험을 다시 수행함으로써, 게이트 절연막 내의 비가교 산소 정공 포획 중심(NBOHC)의 정공이 약간 감소되지만, 다음에 마이너스 게이트 BT 스트레스 시험을 수행하면 정공이 다시 추가된다. 즉, 플러스 게이트 BT 스트레스 시험을 수행하면 게이트 절연막 내의 비가교 산소 정공 포획 중심(NBOHC)의 정공이 감소되지만 약간의 정공은 잔존하고, 마이너스 게이트 BT 스트레스 시험을 수행하면 게이트 절연막 내의 비가교 산소 정공 포획 중심(NBOHC)에 정공이 더 추가되므로, 문턱 전압은 양 방향으로 또는 음 방향으로 번갈아 변화되면서 전체로서는 음 방향으로 서서히 변화되는 것으로 생각된다.
- [0079] 상술한 광 조사하에서의 게이트 BT 스트레스 시험(플러스 게이트 BT와 마이너스 게이트 BT의 반복 시험)에 의하여 트랜지스터의 문턱 전압이 변화되는 메커니즘에 대하여, 도 6 및 도 7에 나타낸 밴드 구조를 사용하여 설명하기로 한다. 도 6 및 도 7에서는, 산화물 반도체층 내부의 bulk deep DOS, 및 게이트 절연막 내의 비가교 산소 정공 포획 중심(NBOHC1 및 NBOHC2)을 사용하여 설명하기로 한다. 또한, 비가교 산소 정공 포획 중심(NBOHC1)은, 비가교 산소 정공 포획 중심(NBOHC2)보다 산화물 반도체층과의 계면에 가까운 위치(표면측)에 있는 비가교 산소 정공 포획 중심(NBOHC)이다.
- [0080] 게이트 BT 스트레스의 인가와 광 조사를 수행하기 전(게이트 전압(V_g)은 0)에서는, 산화물 반도체층 내부의

bulk deep DOS는, 페르미 준위(Ef)보다 에너지가 낮고, 정공이 포획되어 있지 않기 때문에 전기적으로 중성이다 (스텝 S111). 이 때, 암 상태에서 측정한 문턱 전압을 암 상태의 초기 값으로 한다.

[0081] 다음에, 게이트 BT 스트레스를 인가하지 않고 산화물 반도체층에 빛을 조사하면 전자 및 정공이 생성된다(스텝 S112). 생성된 전자는, 전도대로 여기되고, 문턱 전압을 음 방향으로 변화시킨다(이하 스텝에서는 전자를 생략하여 제시한다). 또한, 정공이 생성됨으로써 정공의 의사 페르미 준위(quasi-Fermi level)(Efp)가 낮게 된다. 정공의 의사 페르미 준위(Efp)가 낮게 되면 산화물 반도체층 내부의 bulk deep DOS에 정공이 포획된다(스텝 S113). 따라서, 게이트 BT 스트레스를 인가하지 않고 빛을 조사하면, 암 상태 시에 비하여 문턱 전압이 음 방향으로 변화되고 노멀리온화되기 쉬워질 가능성이 있다.

[0082] 다음에 빛을 조사한 채 마이너스 게이트 BT 스트레스 시험을 수행하면 전계 구배(勾配)가 생겨 산화물 반도체층 내부의 bulk deep DOS에 포획된 정공이 게이트 절연막 내의 비가교 산소 정공 포획 중심(NBOHC1)에 주입된다(스텝 S114). 또한, 도 7에 나타낸 바와 같이 전계에 의하여 게이트 절연막의 더욱 내부의 비가교 산소 정공 포획 중심(NBOHC2)으로도 정공의 일부가 이동한다(스텝 S115). 게이트 절연막 내에서의 비가교 산소 정공 포획 중심(NBOHC1)으로부터 비가교 산소 정공 포획 중심(NBOHC2)으로의 정공의 이동은, 전계를 인가하는 시간이 길수록 진행된다. 게이트 절연막 내의 비가교 산소 정공 포획 중심(NBOHC1 및 NBOHC2)의 정공은 양의 고정 전하로서 행동하므로, 문턱 전압을 음 방향으로 변화시켜 노멀리온화되기 쉬워진다.

[0083] 또한, 여기서는 이해하기 쉽게 하기 위하여 광 조사와 마이너스 게이트 BT 스트레스 시험을 각각 다른 스텝으로서 나누어 설명하였으나, 이에 제한되어 해석되는 것은 아니다. 예를 들어, 스텝 S112 내지 스텝 S115가 서로 병행하여 수행되는 스텝인 것으로 생각하여도 좋다.

[0084] 다음에 빛을 조사한 채 플러스 게이트 BT 스트레스 시험을 수행하면, 양의 게이트 전압을 인가함으로써, 산화물 반도체층 내부의 bulk deep DOS에 포획된 정공 및 게이트 절연막 내의 비가교 산소 정공 포획 중심(NBOHC1)의 정공이 방출된다(스텝 S116). 이 결과, 문턱 전압은 양 방향으로 변화된다. 다만, 게이트 절연막 내의 비가교 산소 정공 포획 중심(NBOHC2)은 게이트 절연막 내부의 깊은 위치에 있으므로, 빛을 조사한 채 플러스 게이트 BT 스트레스 시험을 수행하더라도 정공이 직접 방출되는 일은 거의 없다. 게이트 절연막 내의 비가교 산소 정공 포획 중심(NBOHC2)의 정공을 방출하기 위해서는, 표면측의 비가교 산소 정공 포획 중심(NBOHC1)으로 정공을 한번 이동시켜야 한다. 게이트 절연막 내의 비가교 산소 정공 포획 중심(NBOHC2)으로부터 비가교 산소 정공 포획 중심(NBOHC1)으로는, 전계를 인가한 시간에 따라 정공이 조금씩 이동한다. 따라서, 문턱 전압의 양 방향으로의 변화량도 작고 초기 값까지 완전히 되돌아가지 않는다.

[0085] 또한, 게이트 절연막 내의 비가교 산소 정공 포획 중심(NBOHC1)과, 산화물 반도체층 내부의 bulk deep DOS 사이에서도 정공의 주고받기가 일어난다. 그러나 산화물 반도체층 내부의 bulk deep DOS에는 많은 정공이 미리 포획되어 있는 상태이므로, 산화물 반도체층 및 게이트 절연막 전체의 대진량은 거의 감소되지 않을 가능성이 있다.

[0086] 다음에 빛을 조사한 채 마이너스 게이트 BT 스트레스 시험을 다시 수행하면, 전계 구배가 생겨 산화물 반도체층 내부의 bulk deep DOS에 포획된 정공이 게이트 절연막 내의 비가교 산소 정공 포획 중심(NBOHC1)에 주입된다. 또한, 전계에 의하여, 게이트 절연막의 더욱 내부에 있는 비가교 산소 정공 포획 중심(NBOHC2)으로도 일부의 정공이 주입된다(스텝 S117). 다만, 게이트 절연막 내의 비가교 산소 정공 포획 중심(NBOHC2)은, 스텝 S115에서 도입된 정공이 방출되지 않아 잔존한 상태이다. 그러므로 정공이 더욱 주입됨으로써 고정 전하로서 행동하는 정공의 개수는 더 증가된다. 문턱 전압을 더 음 방향으로 변화시키고, 보다 노멀리온화되기 쉬워진다.

[0087] 다음에 빛을 조사한 채 플러스 게이트 BT 스트레스 시험을 수행하면, 양의 게이트 전압을 인가함으로써, 산화물 반도체층 내부의 bulk deep DOS에 포획된 정공 및 게이트 절연막 내의 비가교 산소 정공 포획 중심(NBOHC1)의 정공이 방출된다(스텝 S118). 이 결과, 문턱 전압은 양 방향으로 변화된다. 다만, 게이트 절연막 내의 비가교 산소 정공 포획 중심(NBOHC2)의 정공은 거의 방출되지 않는다. 따라서, 문턱 전압의 양 방향으로의 변화량도 작고 초기 값까지 완전히 되돌아가지 않는다.

[0088] 상술한 바와 같이, 빛을 조사한 상태에서, 마이너스 게이트 BT 스트레스 시험과 플러스 게이트 BT 스트레스 시험을 번갈아 수행함으로써, 문턱 전압은 양 방향으로 또는 음 방향으로 번갈아 변화되면서 전체로서는 음 방향으로 서서히 변화되는 것으로 생각된다.

[0089] 상기로부터, 광 조사하에의 게이트 BT 스트레스 시험에 의한 트랜지스터의 문턱 전압의 변화는 산화물 반도체층 내부의 bulk deep DOS, 및 게이트 절연막 내의 비가교 산소 정공 포획 중심(NBOHC1 및 NBOHC2)을 이해함으로

써 설명할 수 있다.

[0090] <산화물 반도체층의 탈수화 및 탈수소화, 및 가산소화(加酸素化)의 프로세스 모델>

[0091] 트랜지스터에 안정적인 전기 특성을 부여하기 위해서는, 산화물 반도체층 내부, 및 이의 계면 근방의 DOS를 더 적게 하는 것(고순도 진성화)이 중요하다. 이하에서는, 산화물 반도체층의 고순도 진성화의 프로세스 모델에 대하여 설명하기로 한다. 그래서, 우선, 산화물 반도체층의 탈수화 및 탈수소화에 대하여 설명하고, 그 다음에 산소 결손(Vo)을 산소로 매립하는 가산소화에 대하여 설명하기로 한다.

[0092] 이하에서는 인듐과 산소의 결합이 끊어져 산소 결손이 형성되는 모델에 대하여 설명하기로 한다.

[0093] 인듐과 산소의 결합이 끊어지면, 산소가 이탈되어 인듐과 결합되어 있던 산소의 사이트가 산소 결손이 된다. 산소 결손은 산화물 반도체층의 깊은 위치의 DOS(deep level DOS)를 형성한다. 산화물 반도체층의 산소 결손은, 불안정적이므로 산소 또는 수소를 포획함으로써 안정적이 되도록 한다. 그러므로 산소 결손 부근에 수소가 있으면, 산소 결손이 수소를 포획함으로써 VoH가 된다. VoH는 산화물 반도체층의 얕은 위치의 DOS(shallow level DOS)를 형성한다.

[0094] 다음에 산화물 반도체층의 VoH에 산소가 접근하면, 산소는 VoH로부터 수소를 빼앗고, 수산기(OH)의 상태에서 수소를 이탈시킨다(도 8의 (A) 및 (B) 참조). 산소는, 가열 처리 등에 의하여 산화물 반도체층 내를 이동함으로써 접근한다.

[0095] 또한 이탈된 수산기는, 다른 산화물 반도체층의 VoH에 접근하면 VoH로부터 수소를 빼앗고 물 분자(H_2O)의 상태에서 수소를 더 이탈시킨다(도 8의 (C) 및 (D) 참조). 상술한 바와 같이, 하나의 산소는 산화물 반도체층의 2 개의 수소를 이탈시킨다. 이것을, 산화물 반도체층의 탈수화 및 탈수소화라고 부른다. 탈수화 및 탈수소화함으로써, 산화물 반도체층의 얕은 위치의 DOS(shallow level DOS)가 저감되고, 깊은 위치의 DOS(deep level DOS)가 형성된다.

[0096] 다음에, 산화물 반도체층의 산소 결손에 산소가 접근하면, 산소는 산소 결손에 포획되고, 산소 결손을 소실시킨다(도 8의 (E) 및 (F) 참조). 이것을 산화물 반도체층의 가산소화라고 부른다. 가산소화함으로써, 산화물 반도체층의 깊은 위치의 DOS(deep level DOS)를 저감시킬 수 있다.

[0097] 상술한 바와 같이 하여, 산화물 반도체층의 탈수화 및 탈수소화, 및 가산소화를 수행하면, 산화물 반도체층의 얕은 위치의 DOS(shallow level DOS) 및 깊은 위치의 DOS(deep level DOS)를 저감시킬 수 있다. 이것을 산화물 반도체의 고순도 진성화라고 부른다.

[0098] 여기까지는 산화물 반도체층의 DOS의 기원에 대하여 설명하였고, 다음에 DOS에 기인하는 트랜지스터의 열화에 대하여 설명하였다. 또한, 고순도 진성화시킴으로써 산화물 반도체층의 DOS를 저감시킬 수 있다는 것을 설명하였다. 이하에서는, 고순도 진성화와 다른 접근 방법으로, 트랜지스터의 열화를 저감시키는 방법에 대하여 설명하기로 한다.

[0099] <트랜지스터의 열화를 저감시키기 위한, 구조에 의한 접근법>

[0100] 산화물 반도체층을 갖는 트랜지스터에 있어서, 산화물 반도체층과 절연막의 계면에는 DOS가 형성되는 경우가 있다. 또한, 형성된 DOS에 전하가 포획되면 트랜지스터의 문턱 전압을 변화시키는 요인이 된다.

[0101] 따라서, 트랜지스터에 안정적인 전기 특성을 부여하기 위해서는 산화물 반도체층과 절연막이 직접 접촉하지 않도록 구조를 연구하는 것이 바람직하다.

[0102] 예를 들어 산화물 반도체층과 절연막 사이에 산화물층을 제공하는 구조로 하면 좋다. 다만, 산화물층에는, 산화물 반도체층과 같은 종류의 원소를 포함한 산화물층을 사용한다. 같은 종류의 원소를 포함함으로써, 산화물층과 산화물 반도체층의 계면의 DOS를 적게 할 수 있다. 또한, 산화물층에는, 산화물 반도체층보다 전도대 하단의 에너지가 높은 산화물층을 사용한다. 이로써, 트랜지스터의 채널은 산화물층이 아니라 산화물 반도체층에 형성된다.

[0103] 산화물 반도체층과 절연막 사이에 산화물층을 제공하는 구조로 함으로써 산화물층과 절연막의 계면에 DOS가 형성되는 경우가 있다. 그래서, 이하에서는 산화물층과 절연막의 계면에 형성된 DOS가 트랜지스터의 문턱 전압을 변화시킨다는 열화 모델에 대하여 고찰한다. 또한, 문턱 전압의 변화를 작게 하는 구조에 대하여 고찰한다.

[0104] 도 9의 (A)는 산화물 반도체층을 갖는 트랜지스터의 단면도의 일례를 도시한 것이다. 도 9의 (A)에 도시된 트

랜지스터는, 게이트 전극(bg)과, 게이트 전극(bg) 위의 게이트 절연막(bg)과, 게이트 절연막(bg) 위의 산화물층(I1)과, 산화물층(I1) 위의 산화물 반도체층(S2)과, 산화물 반도체층(S2) 위의 소스 전극 및 드레인 전극과, 산화물 반도체층(S2) 위, 소스 전극 위, 및 드레인 전극 위의 산화물층(I3)과, 산화물층(I3) 위의 게이트 절연막(tg)과, 게이트 절연막(tg) 위의 게이트 전극(tg)을 갖는다. 또한, 도 9의 (A)에 도시된 트랜지스터는, 이해하기 쉽게 하기 위하여 게이트 전극(bg)을 갖는 것인데, 게이트 전극(bg)을 갖지 않는 트랜지스터에 이하에서 제시하는 열화 모델을 적용하여도 좋다. 또한, 게이트 전극(bg)을 갖지 않는 경우 게이트 절연막(bg)은 하지 절연막이 된다.

[0105] 여기서, 산화물층(I1) 및 산화물층(I3)은 예를 들어 산화물 반도체층(S2)을 구성하는 금속 원소를 1종류 이상, 바람직하게는 2종류 이상, 더 바람직하게는 3종류 이상 갖는 것으로 한다. 또한, 게이트 절연막(bg)은 예를 들어 산화물층(I1)을 구성하는 금속 원소를 갖지 않는 것으로 한다. 또한, 게이트 절연막(tg)은 예를 들어 산화물층(I3)을 구성하는 금속 원소를 갖지 않는 것으로 한다.

[0106] 게이트 절연막(bg)과 산화물층(I1)의 계면은 이종(異種) 물질간의 접합 계면이므로 DOS가 많다. 또한, 게이트 절연막(tg)과 산화물층(I3)의 계면은 이종 물질간의 접합 계면이므로 DOS가 많다. 한편, 산화물층(I1)과 산화물 반도체층(S2)의 계면은 동종(同種) 물질간의 접합 계면이므로 DOS가 적다. 또한, 산화물층(I3)과 산화물 반도체층(S2)의 계면은 동종 물질간의 접합 계면이므로 DOS가 적다.

[0107] 여기서는, 게이트 절연막(bg)과 산화물층(I1)의 계면에서의 DOS를 전하 트랩이라고 가정한다. 또한, 게이트 절연막(tg)과 산화물층(I3)의 계면에서의 DOS를 전하 트랩이라고 가정한다. 또한, 이 DOS에 포획된 전하가 매우 긴 완화 시간을 갖는 것으로 가정하면, 이 전하는 트랜지스터의 문턱 전압을 변화시키는 경우가 있다. DOS에는, 트랜지스터의 동작 스트레스에 기인하여 전하가 포획될 수 있다.

[0108] 여기서, 게이트 절연막(bg)과 산화물층(I1)의 계면에서의 DOS에 포획되는 전하를 Q_{ssb} 로 한다. 또한, 게이트 절연막(tg)과 산화물층(I3)의 계면에서의 DOS에 포획되는 전하를 Q_{sst} 로 한다. 이 경우, Q_{ssb} , Q_{sst} 가 트랜지스터의 문턱 전압을 변화시키는 것을 검증한다.

[0109] 또한, 게이트 전극(bg)은, 예를 들어 포텐셜을 고정한다. 따라서, 트랜지스터의 온 상태/오프 상태의 제어는, 예를 들어 게이트 전극(tg)에 의하여 수행된다. 또한, 도 9에서는 게이트 전극(bg) 및 게이트 절연막(bg)이 제공되어 있는 경우에 대하여 도시하였으나, 이에 제한되지 않는다. 게이트 전극(bg)으로서는, 도전층, 반도체층, 불순물이 도입된 반도체층(예를 들어 p형 반도체나 n형 반도체)이 제공되어 있어도 좋다. 또한, 게이트 전극(bg)은 게이트 전극으로서의 기능을 반드시 가질 필요는 없다. 또한, 게이트 절연막(bg)은 게이트 절연막으로서의 기능을 반드시 가질 필요는 없다.

[0110] 도 9의 (B)는 도 9의 (A)의 트랜지스터의 게이트 전극(bg)으로부터 게이트 전극(tg)까지의 적층 구조에 대응하는 등가 회로를 도시한 것이다. 여기서, 게이트 절연막(bg)의 용량을 C_{bg} , 산화물층(I1)의 용량을 C_{I1} , 산화물 반도체층(S2)의 용량을 C_{S2} , 산화물층(I3)의 용량을 C_{I3} , 게이트 절연막(tg)의 용량을 C_{tg} 로 한다. 도 9의 (B)를 보면 알다시피, 도 9의 (A)에 도시된 트랜지스터의 게이트 전극(bg)으로부터 게이트 전극(tg)까지의 적층 구조를, 게이트 전극(bg)과 게이트 전극(tg) 사이가 직렬로 접속된 게이트 절연막(bg), 산화물층(I1), 산화물 반도체층(S2), 산화물층(I3), 및 게이트 절연막(tg)에 대응하는 커뮤니케이션 케이블을 갖는 등가 회로로서 도시할 수 있었다.

[0111] 게이트 전극(bg)의 포텐셜을 V_{bg} , 게이트 전극(tg)의 포텐셜을 V_{tg} 로 한다. 또한, 게이트 절연막(bg)과 산화물층(I1)의 계면의 포텐셜을 Φ_{ssb} , 산화물층(I1)과 산화물 반도체층(S2)의 계면의 포텐셜을 Φ_{S2b} , 산화물 반도체층(S2)과 산화물층(I3)의 계면의 포텐셜을 Φ_{S2t} , 산화물층(I3)과 게이트 절연막(tg)의 계면의 포텐셜을 Φ_{sst} 로 한다.

[0112] 게이트 절연막(bg)은 게이트 전극(bg) 측에 전하 $-(Q_{ssb} + Q_{I1})$ 을 갖고, 산화물층(I1) 측에 전하 $Q_{ssb} + Q_{I1}$ 을 갖는다. 산화물층(I1)은 게이트 절연막(bg) 측에 전하 $-Q_{I1}$ 을 갖고, 산화물 반도체층(S2) 측에 전하 Q_{I1} 을 갖는다. 산화물 반도체층(S2)은, 산화물층(I1) 측에 전하 $-Q_{S2}$ 를 갖고, 산화물층(I3) 측에 전하 Q_{S2} 를 갖는다. 산화물층(I3)은 산화물 반도체층(S2) 측에 전하 $-Q_{I3}$ 을 갖고, 게이트 절연막(tg) 측에 전하 Q_{I3} 을 갖는다. 게이트 절연막(tg)은 산화물층(I3) 측에 전하 $Q_{sst} - Q_{I3}$ 을 갖고, 게이트 전극(tg) 측에 전하 $-(Q_{sst} - Q_{I3})$ 을 갖는다.

[0113] 이하에서 각 용량과 전하의 관계에 대하여 제시한다. 다만, 산화물층(I1) 및 산화물층(I3)을 절연체라고 가정

한다.

[0114] 게이트 절연막(tg)에 있어서, 용량과 전하의 관계는 하기 수학식(1)으로 나타내어진다.

수학식 1

$$C_{tg} [(V_{tg} - V_{fbt}) - \phi_{sst}] = - (Q_{sst} - Q_{I3}) \quad (1)$$

[0115] [0116] 산화물층(I3)에 있어서, 용량과 전하의 관계는 하기 수학식(2)으로 나타내어진다.

수학식 2

$$C_{I3} (\phi_{sst} - \phi_{S2t}) = Q_{I3} \quad (2)$$

[0117] [0118] 산화물 반도체층(S2)에 있어서, 용량과 전하의 관계는 하기 수학식(3)으로 나타내어진다.

수학식 3

$$C_{S2} (\phi_{S2t} - \phi_{S2b}) = Q_{S2} \quad (3)$$

[0119] [0120] 산화물층(I1)에 있어서, 용량과 전하의 관계는 하기 수학식(4)으로 나타내어진다.

수학식 4

$$C_{I1} (\phi_{S2b} - \phi_{ssb}) = Q_{I1} \quad (4)$$

[0121] [0122] 게이트 절연막(bg)에 있어서, 용량과 전하의 관계는 하기 수학식(5)으로 나타내어진다.

수학식 5

$$C_{bg} [\phi_{ssb} - (V_{bg} - V_{fb})] = Q_{ssb} + Q_{I1} \quad (5)$$

[0123] [0124] 다음에, 상기 수학식(1) 및 수학식(2)을 연립시켜 ϕ_{sst} 를 소거하면, 하기 수학식(6)으로 나타낸 바와 같이 된다. 또한, V_{fbt} 는 플랫 밴드 전압이다.

수학식 6

$$(V_{tg} - V_{fb}) - \phi_{S2t} + \frac{Q_{sst}}{C_{tg}} = \left(\frac{1}{C_{tg}} + \frac{1}{C_{I3}} \right) Q_{I3} \quad (6)$$

[0125] [0126] 또한, 상기 수학식(4) 및 수학식(5)에서 ϕ_{ssb} 를 소거하면, 하기 수학식(7)으로 나타낸 바와 같이 된다. 또한,

V_{fbb} 는 플랫 밴드 전압이다.

수학식 7

$$\phi_{S2b} - (V_{bg} - V_{fbb}) - \frac{Q_{ssb}}{C_{bg}} = \left(\frac{1}{C_{bg}} + \frac{1}{C_{nI}} \right) Q_{nI} \quad (7)$$

[0127]

- [0128] 산화물 반도체층(S2) 전체가 공핍화되어 있다고 가정한다. 즉, $0 < x < t_{S2}$ 일 때 $\phi(x) < 0$ 으로 한다. t_{S2} 는 산화물 반도체층(S2)의 두께를 나타낸다. 이 때 산화물 반도체층(S2)에서의 포아송 방정식(Poisson's equation)은 하기 수학식(8)으로 나타내어진다.

수학식 8

$$\frac{d^2\phi}{dx^2} = -\frac{e(N_D - n)}{\epsilon_{S2}} \quad (8)$$

[0129]

- [0130] 다만, e 는 전기소량을 나타낸다. 또한, N_D 는 산화물 반도체층(S2)의 도너 밀도를 나타낸다. 또한, n 은 산화물 반도체층(S2)의 전자 밀도를 나타낸다. 또한, ϵ_{S2} 는 산화물 반도체층(S2)의 유전율을 나타낸다.

- [0131] 산화물 반도체층(S2)의 전체가 공핍화되어 있을 때 $N_D \gg n$ 으로, 상기 수학식(8)은 하기 수학식(9)과 같이 근사할 수 있다.

수학식 9

$$\frac{d^2\phi}{dx^2} = -\frac{eN_D}{\epsilon_{S2}} \quad (9)$$

[0132]

- [0133] 다음에, 상기 수학식(9)을, 하기 수학식(10) 및 수학식(11)으로 한다. $E(x)$ 는 막 두께 방향의 전계, k_1 및 k_2 는 미정계수이다.

수학식 10

$$\phi(x) = -\frac{eN_D}{2\epsilon_{S2}} x^2 + k_1 x + k_2 \quad (10)$$

[0134]

수학식 11

$$E(x) = -\frac{d\phi}{dx} = \frac{eN_D}{\epsilon_{S2}} x - k_1 \quad (11)$$

[0135]

[0136] 경계 조건 $\phi(0)=\phi_{S2t}$, $\phi(t_{S2})=\phi_{S2b}$ 에 따라, k_1 및 k_2 는 상기 수학식(10) 및 수학식(11)으로부터 각각 하기 수학식(12) 및 수학식(13)과 같이 나타내어진다.

수학식 12

$$k_1 = \frac{\phi_{S2b} - \phi_{S2t}}{t_{S2}} + \frac{eN_D t_{S2}}{2\varepsilon_{S2}} \quad (12)$$

수학식 13

$$k_2 = \phi_{S2t} \quad (13)$$

[0138] 또한, 가우스 법칙에 따라, 표면 전하 밀도는 하기 수학식(14) 및 수학식(15)으로 나타내어진다.

수학식 14

$$Q_{I3} = \varepsilon_{S2} E(0) \quad (14)$$

수학식 15

$$Q_{I1} = \varepsilon_{S2} E(t_{S2}) \quad (15)$$

[0141] 따라서, Q_{I3} 및 Q_{I1} 은, 하기 수학식(16) 및 수학식(17)과 같이 나타내어진다.

수학식 16

$$Q_{I3} = C_{S2} (\phi_{S2t} - \phi_{S2b}) - \frac{eN_D t_{S2}}{2} \quad (16)$$

수학식 17

$$Q_{I1} = C_{S2} (\phi_{S2t} - \phi_{S2b}) + \frac{eN_D t_{S2}}{2} \quad (17)$$

[0145] 상기 수학식(6) 및 수학식(7)에 상기 수학식(16) 및 수학식(17)을 대입하여 정리하면, 하기 수학식(18) 및 수학식(19)을 얻을 수 있다.

수학식 18

$$(V_{tg} - V_{fbt}) + \frac{Q_{sst}}{C_{tg}} = \left[\left(\frac{1}{C_{tg}} + \frac{1}{C_{I3}} \right) C_{S2} + 1 \right] \phi_{S2t} - \left(\frac{1}{C_{tg}} + \frac{1}{C_{I3}} \right) \left(C_{S2} \phi_{S2b} + \frac{eN_D t_{S2}}{2} \right) \quad (18)$$

[0146]

수학식 19

$$(V_{bg} - V_{fbb}) + \frac{Q_{ssb}}{C_{bg}} = - \left(\frac{1}{C_{bg}} + \frac{1}{C_{I1}} \right) \left(C_{S2} \phi_{S2t} + \frac{eN_D t_{S2}}{2} \right) + \left[\left(\frac{1}{C_{bg}} + \frac{1}{C_{I1}} \right) C_{S2} + 1 \right] \phi_{S2b} \quad (19)$$

[0147]

[0148] 여기서, 트랜지스터의 채널이 산화물층(I1)과 산화물 반도체층(S2)의 계면 측으로부터 형성된다고 가정하면, 문턱 전압 V_{th} 는 $\phi_{S2b}=0$ 일 때의 V_{tg} 가 된다. 따라서, 상기 수학식(18) 및 수학식(19)의 연립 방정식을 계산하여 ϕ_{S2t} 를 소거하면 문턱 전압 V_{th} 는 하기 수학식(20)과 같이 나타내어진다.

수학식 20

$$V_{th} = V_{fbt} - \frac{Q_{sst}}{C_{tg}} - \left(\frac{1}{C_{tg}} + \frac{1}{C_{I3}} + \frac{1}{C_{S2}} \right) \frac{C_{I1}}{C_{bg} + C_{I1}} [Q_{ssb} + C_{bg} (V_{bg} - V_{fbb})] - \left(\frac{1}{C_{tg}} + \frac{1}{C_{I3}} + \frac{1}{2C_{I3}} \right) eN_D t_{S2} \quad (20)$$

[0149]

[0150] 따라서, 전하 Q_{sst} 및 전하 Q_{ssb} 에 의한 문턱 전압 V_{th} 의 변화량 ΔV_{th} 는 하기 수학식(21)으로 나타내어진다.

수학식 21

$$\Delta V_{th} = - \frac{Q_{sst}}{C_{tg}} - \left(\frac{1}{C_{tg}} + \frac{1}{C_{I3}} + \frac{1}{C_{S2}} \right) \frac{C_{I1}}{C_{bg} + C_{I1}} Q_{ssb} \quad (21)$$

[0151]

[0152] 따라서, ΔV_{th} 는 C_{I3} 을 크게 함으로써(예를 들어 산화물층(I3)을 얇게 함으로써) Q_{ssb} 의 기여가 작게 되는 것을 알 수 있다. 또한, ΔV_{th} 는 C_{S2} 를 크게 함으로써(예를 들어 산화물 반도체층(S2)을 얇게 함으로써) Q_{ssb} 의 기여가 작게 되는 것을 알 수 있다. 또한, ΔV_{th} 는 C_{I1} 을 작게 함으로써(예를 들어 산화물층(I1)을 두껍게 함으로써) Q_{ssb} 의 기여가 작게 되는 것을 알 수 있다.

[0153] 또한, C_{tg} 를 크게 함으로써(게이트 절연막(tg)을 얇게 함으로써) Q_{ssb} 의 기여가 작게 되는 것을 알 수 있다. 또한, C_{bg} 를 크게 함으로써(게이트 절연막(bg)을 얇게 함으로써) Q_{ssb} 의 기여가 작게 되는 것을 알 수 있다.

[0154] 한편, C_{I3} , C_{S2} , C_{I1} 은 Q_{sst} 의 기여에 영향을 미치지 않는 것을 알 수 있다. 또한, ΔV_{th} 는 C_{tg} 를 크게 함으로써(게이트 절연막(tg)을 얇게 함으로써) Q_{sst} 의 기여가 작게 되는 것을 알 수 있다.

[0155] 따라서, 도 9의 (A)에 도시된 트랜지스터에 있어서, DOS에 기인하는 문턱 전압의 변화를 작게 하기 위해서는 산화물층(I3)을 얇게 하면 좋다. 또는, 산화물 반도체층(S2)을 얇게 하면 좋다. 또는, 산화물층(I1)을 두껍게 하면 좋다. 또는, 게이트 절연막(tg)을 얇게 하면 좋다. 또는, 게이트 절연막(bg)을 얇게 하면 좋다.

[0156] 그런데, 트랜지스터의 채널은 산화물 반도체층(S2)에 형성된다. 즉, 산화물층(I1) 및 산화물층(I3)이 산화물

반도체층(S2)보다 높은 전도대 하단의 에너지(Ec)를 갖는다. 이 때, 트랜ジ스터의 밴드 구조의 모식도를 도 10에 나타냈다.

[0157] 상술한 열화 모델은, 게이트 절연막(bg)과 산화물층(I1)의 계면의 DOS의 포텐셜 및 게이트 절연막(tg)과 산화물층(I3)의 계면의 DOS의 포텐셜이 페르미 준위보다 낮은 경우에 대하여 설명하였다. 이 경우, 게이트 전극(bg) 및 게이트 전극(tg)이 OV일 때도 각각의 계면의 DOS에 전자가 포획되어 전하 Q_{ssb} 및 전하 Q_{sst} 가 축적된다(도 10의 (A) 참조).

[0158] 한편, 산화물층(I1) 및 산화물층(I3)을 갖는 경우, 산화물층(I1) 및 산화물층(I3)을 갖지 않는 경우에 비하여 각각의 계면의 DOS의 포텐셜이 페르미 준위보다 높게 되는 경우(전도대 하단의 에너지에 가까워지는 경우)가 있다. 이와 같이, 각각의 계면의 DOS의 포텐셜이 페르미 준위보다 높은 경우, 각각의 계면의 DOS에는 전자가 포획되지 않기 때문에 전하 Q_{ssb} 및 전하 Q_{sst} 가 축적되지 않는다(도 10의 (B) 참조). 또한, 게이트 전극(tg) 등에 전압이 인가됨으로써 각각의 계면의 DOS에도 전하가 포획되는 경우가 있다. 포획된 전하는, 각각의 계면의 DOS의 포텐셜이 전도대 하단의 에너지에 가깝기 때문에 짧은 완화 시간 안에 소멸된다. 따라서, 각각의 계면의 DOS는 트랜ジ스터의 문턱 전압을 변화시키는 요인이 되기 어렵다.

[0159] 도 10의 (B)에 나타낸 바와 같이, 페르미 준위와 각각의 계면의 DOS의 포텐셜의 대소 관계에 따라서는, 산화물층(I3)을 제공함으로써 전하 Q_{sst} 가 축적되지 않는 경우가 있다. 전하 Q_{sst} 가 축적되지 않는 경우 열화의 요인 자체가 없어져 트랜ジ스터의 신뢰성이 높아진다.

[0160] 상술한 열화 모델에 의하여, 산화물 반도체층과 절연막 사이에 산화물층을 갖는 트랜ジ스터에서 문턱 전압의 변화량이 작게 되는 구조에 대하여 설명하였다. DOS에 기인하는 문턱 전압의 변화를 작게 하기 위해서는, 트랜ジ스터의 온 상태/오프 상태를 제어하는 게이트 전극에 가까운 산화물층을 얇게 하면 좋다는 것을 알 수 있다. 또한, 트랜ジ스터의 온 상태/오프 상태를 제어하는 게이트 전극으로부터 멀어진 산화물층을 두껍게 하면 좋다는 것을 알 수 있다.

[0161] <산화물 반도체층을 갖는 트랜ジ스터에 대한 설명>

[0162] 이하에서는, 산화물 반도체층을 갖는 트랜ジ스터에 대하여 설명하기로 한다.

[0163] <트랜ジ스터 구조 (1)>

[0164] 우선, 틱 게이트 틱 콘택트형의 트랜ジ스터의 일례에 대하여 설명하기로 한다.

[0165] 도 11은 트랜ジ스터의 상면도 및 단면도를 도시한 것이다. 도 11의 (A)는 트랜ジ스터의 상면도를 도시한 것이다. 도 11의 (B)는, 도 11의 (A)의 일점 쇄선 A1-A2 부분에 대응하는 단면도를 도시한 것이다. 또한, 도 11의 (C)는, 도 11의 (A)의 일점 쇄선 A3-A4 부분에 대응하는 단면도를 도시한 것이다.

[0166] 도 11의 (B)에 도시된 트랜ジ스터는, 기판(100) 위의 하지 절연막(102)과, 하지 절연막(102) 위의 산화물층(106a)과, 산화물층(106a) 위의 산화물 반도체층(106b)과, 산화물 반도체층(106b) 위의 산화물층(106c)과, 산화물층(106c)에 접촉하는 소스 전극(116a) 및 드레인 전극(116b)과, 산화물층(106c), 소스 전극(116a) 및 드레인 전극(116b) 위의 게이트 절연막(112)과, 게이트 절연막(112) 위의 게이트 전극(104)을 갖는다. 또한, 바람직하게는 게이트 절연막(112) 및 게이트 전극(104) 위에, 보호 절연막(108)과, 보호 절연막(108) 위의 보호 절연막(118)을 제공한다. 또한, 트랜ジ스터는 하지 절연막(102)을 갖지 않아도 좋다.

[0167] 또한, 도 11에 도시된 트랜ジ스터의 하지 절연막(102)은, 예를 들어 도 9의 (A)에 도시된 트랜ジ스터의 게이트 절연막(bg)에 상당한다. 또한, 도 11에 도시된 트랜ジ스터는, 예를 들어 도 9의 (A)에 도시된 트랜ジ스터의 게이트 전극(bg)을 가져도 좋다. 도 11에 도시된 트랜ジ스터는, 예를 들어 게이트 전극(104)과 대향하며, 하지 절연막(102)의 하면과 접촉하는 백 게이트 전극을 가져도 좋다. 또한, 도 11에 도시된 트랜ジ스터에 있어서, 기판(100)이 도전성을 갖는 경우, 예를 들어 기판(100)이 도 9의 (A)에 도시된 트랜ジ스터의 게이트 절연막(bg)에 상당하여도 좋다. 또한, 도 11에 도시된 트랜ジ스터에 있어서, 하지 절연막(102)보다 아래쪽에 배선 등의 도전막을 갖는 경우 이 도전막이 도 9의 (A)에 도시된 트랜ジ스터의 게이트 절연막(bg)에 상당하여도 좋다.

[0168] 또한, 소스 전극(116a) 및 드레인 전극(116b)에 사용되는 도전막의 종류에 따라서는, 산화물 반도체층(106b), 산화물층(106c)의 일부로부터 산소를 빼앗음으로써, 또는 혼합층을 형성함으로써, 산화물 반도체층(106b), 산화물층(106c) 내에 n형 영역(저저항 영역)을 형성하는 경우가 있다.

[0169] 도 11의 (A)에 있어서, 게이트 전극(104)과 중첩되는 영역에서의 소스 전극(116a)과 드레인 전극(116b) 사이의

간격을 채널 길이로 한다. 다만, 트랜지스터가 n형 영역을 포함한 경우, 게이트 전극(104)과 중첩되는 영역에서의 소스 영역과 드레인 영역 사이의 간격을 채널 길이로 하여도 좋다.

[0170] 또한, 채널 형성 영역이란, 산화물층(106a), 산화물 반도체층(106b), 및 산화물층(106c)에 있어서 게이트 전극(104)과 중첩되며 소스 전극(116a)과 드레인 전극(116b)에 의하여 끼워지는 영역을 말한다(도 11의 (B) 참조). 또한, 채널이란, 채널 형성 영역에 있어서 전류가 주로 흐르는 영역을 말한다.

[0171] 또한, 도 11의 (A)에 도시된 상면도에 있어서, 산화물 반도체층(106b)은 게이트 전극(104)의 외측까지 제공된다. 다만, 산화물 반도체층(106b) 전체가 게이트 전극(104)의 내측에 제공되어도 좋다. 이로써, 게이트 전극(104) 측으로 빛이 입사되었을 때 산화물 반도체층(106b) 내에서 빛에 의하여 캐리어가 생성되는 것을 억제 할 수 있다. 즉, 게이트 전극(104)은 차광막으로서의 기능을 갖는다.

[0172] 또한, 보호 절연막(118)과 보호 절연막(108)의 상하 관계를 바꿔도 좋다. 예를 들어, 보호 절연막(118) 위에 보호 절연막(108)이 제공되어도 좋다.

[0173] 이하에서는, 산화물층(106a), 산화물 반도체층(106b), 및 산화물층(106c)에 대하여 설명하기로 한다.

[0174] 산화물 반도체층(106b)은 인듐을 포함한 산화물이다. 산화물은 예를 들어 인듐을 포함하면, 캐리어 이동도(전자 이동도)가 높아진다. 또한, 산화물 반도체층(106b)은 원소 M을 포함하면 바람직하다. 원소 M으로서는, 예를 들어 알루미늄, 갈륨, 이트륨, 또는 주석 등이 있다. 원소 M은, 예를 들어 산소와의 결합 에너지가 높은 원소이다. 원소 M은 예를 들어 산화물의 에너지 캡을 크게 하는 기능을 갖는 원소이다. 또한, 산화물 반도체층(106b)은 아연을 포함하면 바람직하다. 산화물이 아연을 포함하면, 예를 들어, 산화물을 결정화시키기 쉬워진다. 산화물의 가전자대 상단의 에너지는 예를 들어 아연의 원자수 비율에 의하여 제어된다.

[0175] 다만, 산화물 반도체층(106b)은, 인듐을 포함한 산화물에 제한되지 않는다. 산화물 반도체층(106b)은 예를 들어 Zn-Sn 산화물, Ga-Sn 산화물이라도 좋다.

[0176] 산화물층(106a)은 산화물 반도체층(106b)을 구성하는 산소 이외의 원소 1종류 이상, 또는 2종류 이상으로 구성되는 산화물층이다. 산화물층(106a)은 산화물 반도체층(106b)을 구성하는 산소 이외의 원소 1종류 이상, 또는 2종류 이상으로 구성되므로 산화물 반도체층(106b)과 산화물층(106a)의 계면에서 DOS가 형성되기 어렵다.

[0177] 산화물층(106c)은 산화물 반도체층(106b)을 구성하는 산소 이외의 원소 1종류 이상, 또는 2종류 이상으로 구성되는 산화물층이다. 산화물층(106c)은 산화물 반도체층(106b)을 구성하는 산소 이외의 원소 1종류 이상, 또는 2종류 이상으로 구성되므로, 산화물 반도체층(106b)과 산화물층(106c)의 계면에서 DOS가 형성되기 어렵다.

[0178] 또한, 산화물층(106a)이 In-M-Zn산화물인 경우, In 및 M의 합을 100atomic%로 하였을 때 바람직하게는 In을 50atomic% 미만, M을 50atomic% 이상, 더 바람직하게는 In을 25atomic% 미만, M을 75atomic% 이상으로 한다. 또한, 산화물 반도체층(106b)이 In-M-Zn산화물인 경우, In 및 M의 합을 100atomic%로 하였을 때 바람직하게는 In을 25atomic% 이상, M을 75atomic% 미만, 더 바람직하게는 In을 34atomic% 이상, M을 66atomic% 미만으로 한다. 또한, 산화물층(106c)이 In-M-Zn산화물인 경우 In 및 M의 합을 100atomic%로 하였을 때 바람직하게는 In을 50atomic% 미만, M을 50atomic% 이상, 더 바람직하게는 In을 25atomic% 미만, M을 75atomic% 이상으로 한다. 또한, 산화물층(106c)에는 산화물층(106a)과 동종의 산화물을 사용하여도 좋다.

[0179] 여기서, 산화물층(106a)과 산화물 반도체층(106b) 사이에, 산화물층(106a)과 산화물 반도체층(106b)의 혼합 영역을 갖는 경우가 있다. 또한, 산화물 반도체층(106b)과 산화물층(106c) 사이에, 산화물 반도체층(106b)과 산화물층(106c)의 혼합 영역을 갖는 경우가 있다. 혼합 영역에서 DOS는 낮게 된다. 그러므로 산화물층(106a), 산화물 반도체층(106b), 및 산화물층(106c)의 적층체는, 각각의 계면 근방에서 에너지가 연속적으로 변화되는 (연속 접합이라고도 함) 밴드 구조가 된다(도 22 참조). 다만, 산화물층(106a)의 전도대 하단의 에너지를 EcA, 산화물 반도체층(106b)의 전도대 하단의 에너지를 EcB, 산화물층(106c)의 전도대 하단의 에너지를 EcC로 한다.

[0180] 또한, 산화물 반도체층(106b)에는 에너지 캡이 큰 산화물을 사용한다. 산화물 반도체층(106b)의 에너지 캡은, 예를 들어 2.5eV 이상 4.2eV 이하, 바람직하게는 2.8eV 이상 3.8eV 이하, 더 바람직하게는 3eV 이상 3.5eV 이하로 한다. 또한, 산화물층(106c)의 에너지 캡은 예를 들어 2.7eV 이상 4.9eV 이하, 바람직하게는 3eV 이상 4.7eV 이하, 더 바람직하게는 3.2eV 이상 4.4eV 이하로 한다.

[0181] 또한, 산화물층(106a)에는 에너지 캡이 큰 산화물을 사용한다. 산화물층(106a)의 에너지 캡은 2.7eV 이상 4.9eV 이하, 바람직하게는 3eV 이상 4.7eV 이하, 더 바람직하게는 3.2eV 이상 4.4eV 이하로 한다.

- [0182] 또한, 산화물층(106c)에는 에너지 갭이 큰 산화물을 사용한다. 예를 들어 산화물층(106c)의 에너지 갭은 2.7eV 이상 4.9eV 이하, 바람직하게는 3eV 이상 4.7eV 이하, 더 바람직하게는 3.2eV 이상 4.4eV 이하로 한다. 다만, 산화물층(106a) 및 산화물층(106c)은 산화물 반도체층(106b)보다 에너지 갭이 큰 산화물로 한다.
- [0183] 산화물 반도체층(106b)에는 산화물층(106a)보다 전자 친화력이 큰 산화물을 사용한다. 예를 들어, 산화물 반도체층(106b)으로서, 산화물층(106a)보다 전자 친화력이 0.07eV 이상 1.3eV 이하, 바람직하게는 0.1eV 이상 0.7eV 이하, 더 바람직하게는 0.15eV 이상 0.4eV 이하 큰 산화물을 사용한다. 또한, 전자 친화력은 진공 준위와 전도대 하단의 에너지와의 차이이다.
- [0184] 또한, 산화물 반도체층(106b)에는 산화물층(106c)보다 전자 친화력이 큰 산화물을 사용한다. 예를 들어, 산화물 반도체층(106b)으로서 산화물층(106c)보다 전자 친화력이 0.07eV 이상 1.3eV 이하, 바람직하게는 0.1eV 이상 0.7eV 이하, 더 바람직하게는 0.15eV 이상 0.4eV 이하 큰 산화물을 사용한다.
- [0185] 이 때, 게이트 전극(104)에 전계를 인가하면, 산화물층(106a), 산화물 반도체층(106b), 산화물층(106c) 중 전자 친화력이 큰 산화물인 산화물 반도체층(106b)에 채널이 형성된다.
- [0186] 또한, 상기 트랜지스터의 열화 모델에서 설명한 바와 같이, 산화물층(106a)은 두껍고, 산화물 반도체층(106b)은 얇고, 산화물층(106c)은 얇게 제공되는 것이 바람직하다. 구체적으로는 산화물층(106a)의 두께는 20nm 이상, 바람직하게는 30nm 이상, 더 바람직하게는 40nm 이상, 더욱 바람직하게는 60nm 이상으로 한다. 산화물층(106a)의 두께를 20nm 이상, 바람직하게는 30nm 이상, 더 바람직하게는 40nm 이상, 더욱 바람직하게는 60nm 이상으로 함으로써, 하지 절연막(102)과 산화물층(106a)의 계면으로부터 채널이 형성되는 산화물 반도체층(106b)까지가 20nm 이상, 바람직하게는 30nm 이상, 더 바람직하게는 40nm 이상, 더욱 바람직하게는 60nm 이상 떨어지도록 할 수 있다. 다만, 반도체 장치의 생산성이 저하되는 경우가 있으므로 산화물층(106a)의 두께는 200nm 이하, 바람직하게는 120nm 이하, 더 바람직하게는 80nm 이하로 한다. 또한, 산화물 반도체층(106b)의 두께는 3nm 이상 100nm 이하, 바람직하게는 3nm 이상 80nm 이하, 더 바람직하게는 3nm 이상 50nm 이하로 한다. 또한, 산화물층(106c)의 두께는 3nm 이상 50nm 이하, 바람직하게는 3nm 이상 20nm 이하로 한다. 예를 들어, 산화물층(106a)의 두께는 산화물 반도체층(106b)보다 두껍게 하고, 산화물 반도체층(106b)의 두께는 산화물층(106c)보다 두껍게 하면 좋다.
- [0187] 또한, 산화물층(106a), 산화물 반도체층(106b), 및 산화물층(106c)의 3층으로 이루어진 산화물 적층에 대하여 설명하였으나 이에 제한되지 않는다. 예를 들어, 산화물 반도체층(106b)만으로 이루어진 구성으로 하여도 좋다. 또한, 예를 들어, 산화물층(106a) 및 산화물 반도체층(106b)의 2층으로 이루어진 산화물 적층, 또는 산화물 반도체층(106b) 및 산화물층(106c)의 2층으로 이루어진 산화물 적층으로 하여도 좋다. 또한, 예를 들어 산화물층(106a)과 산화물 반도체층(106b) 사이에 산화물층을 갖는 4층 이상으로 이루어진 산화물 적층으로 하여도 좋다. 이 경우 산화물층(106a)과 산화물 반도체층(106b) 사이에 있는 산화물층은, 예를 들어 산화물층(106a)의 전자 친화력 이상, 산화물 반도체층(106b)의 전자 친화력 이하의 전자 친화력을 갖는 산화물로 한다. 또한, 예를 들어, 산화물층(106c)과 산화물 반도체층(106b) 사이에 산화물층을 갖는 4층 이상으로 이루어진 산화물 적층으로 하여도 좋다. 이 경우, 산화물층(106c)과 산화물 반도체층(106b) 사이에 있는 산화물층은, 예를 들어 산화물층(106c)의 전자 친화력 이상, 산화물 반도체층(106b)의 전자 친화력 이하의 전자 친화력을 갖는 산화물로 한다.
- [0188] 또한, 산화물층(106a), 산화물 반도체층(106b), 및 산화물층(106c)을 스퍼터링법으로 형성하는 경우, 파티클수를 늘리지 않기 위하여 인듐을 포함한 타깃을 사용하면 바람직하다. 또한, 원소 M의 원자수 비율이 높은 산화물 타깃을 사용한 경우, 타깃의 도전성이 낮게 되는 경우가 있다. 원소 M으로서, 예를 들어 알루미늄, 갈륨, 이트륨, 또는 주석 등이 있다. 인듐을 포함한 타깃을 사용하는 경우, 타깃의 도전율을 높일 수 있고 DC방전 및 AC방전이 용이하게 되므로 대면적의 기판에 대응하기 쉽다. 따라서, 반도체 장치의 생산성을 높일 수 있다.
- [0189] 산화물층(106a)을 스퍼터링법으로 형성하는 경우, 타깃의 원자수 비율은, $\text{In:M:Zn} \approx 1:1:0.5, 1:1:1, 1:1:2, 1:3:1, 1:3:2, 1:3:4, 1:3:6, 1:6:2, 1:6:4, 1:6:6, 1:6:8, 1:6:10, 1:9:2, 1:9:4, 1:9:6, 1:9:8, 1:9:10$ 등으로 하면 좋다.
- [0190] 산화물 반도체층(106b)을 스퍼터링법으로 형성하는 경우, 타깃의 원자수 비율은, $\text{In:M:Zn} \approx 3:1:1, 3:1:2, 3:1:4, 1:1:0.5, 1:1:1, 1:1:2$ 등으로 하면 좋다.
- [0191] 산화물층(106c)을 스퍼터링법으로 형성하는 경우, 타깃의 원자수 비율은, $\text{In:M:Zn} \approx 1:1:0.5, 1:1:1, 1:1:2, 1:3:1, 1:3:2, 1:3:4, 1:3:6, 1:6:2, 1:6:4, 1:6:6, 1:6:8, 1:6:10, 1:9:2, 1:9:4, 1:9:6, 1:9:8, 1:9:10$ 등

으로 하면 좋다.

[0192] 산화물층(106a), 산화물 반도체층(106b), 및 산화물층(106c)을 스팍터링법으로 형성하는 경우, 타깃의 원자수 비율에 일치하지 않는 원자수 비율의 막이 형성되는 경우가 있다. 특히, 아연은, 타깃의 원자수 비율보다 막의 원자수 비율이 작게 되는 경우가 있다. 구체적으로는, 타깃에 포함되는 아연의 원자수 비율의 40atomic% 이상 90atomic% 이하 정도가 되는 경우가 있다.

[0193] 이하에서는, 산화물 내에서 실리콘의 미치는 영향에 대하여 설명하기로 한다. 또한, 트랜지스터의 전기 특성을 안정화시키기 위해서는, 산화물 반도체층(106b) 내의 불순물 농도를 저감시키고 고순도 진성화시키는 것이 유효적이다. 또한, 산화물 반도체층(106b)의 캐리어 밀도는 $1 \times 10^{17}/\text{cm}^3$ 미만, $1 \times 10^{15}/\text{cm}^3$ 미만, 또는 $1 \times 10^{13}/\text{cm}^3$ 미만으로 한다. 또한, 산화물에 있어서, 주성분 외(1atomic% 미만)의 경(輕)원소, 반(半) 금속 원소, 금속 원소 등은 불순물이다. 예를 들어, 수소, 리튬, 탄소, 질소, 불소, 나트륨, 실리콘, 염소, 칼륨, 칼슘, 티타늄, 철, 니켈, 구리, 게르마늄, 스트론튬, 지르코늄 및 하프늄은 산화물 내에서 불순물이 되는 경우가 있다. 따라서, 근접하는 막 내의 불순물 농도도 저감시키는 것이 바람직하다.

[0194] 예를 들어, 상술한 바와 같이 산화물에 실리콘의 포함됨으로써 DOS를 형성하는 경우가 있다. 또한, 산화물 반도체층(106b)의 표층에 실리콘의 있음으로써 DOS를 형성하는 경우가 있다. 그러므로, 산화물 반도체층(106b)과 산화물층(106a) 사이에서의 실리콘 농도를 $1 \times 10^{19}\text{ atoms}/\text{cm}^3$ 미만, 바람직하게는 $5 \times 10^{18}\text{ atoms}/\text{cm}^3$ 미만, 더 바람직하게는 $2 \times 10^{18}\text{ atoms}/\text{cm}^3$ 미만으로 한다. 또한, 산화물 반도체층(106b)과 산화물층(106c) 사이에서의 실리콘 농도를 $1 \times 10^{19}\text{ atoms}/\text{cm}^3$ 미만, 바람직하게는 $5 \times 10^{18}\text{ atoms}/\text{cm}^3$ 미만, 더 바람직하게는 $2 \times 10^{18}\text{ atoms}/\text{cm}^3$ 미만으로 한다.

[0195] 또한, 상술한 바와 같이, 산화물 내에서 수소는 DOS를 형성하고 캐리어 밀도를 증대시키는 경우가 있다. 산화물 반도체층(106b)의 수소 농도는 이차 이온 질량 분석법(SIMS : Secondary Ion Mass Spectrometry)에 있어서, $2 \times 10^{20}\text{ atoms}/\text{cm}^3$ 이하, 바람직하게는 $5 \times 10^{19}\text{ atoms}/\text{cm}^3$ 이하, 더 바람직하게는 $1 \times 10^{19}\text{ atoms}/\text{cm}^3$ 이하, 더 바람직하게는 $5 \times 10^{18}\text{ atoms}/\text{cm}^3$ 이하로 한다. 또한, 산화물 반도체층(106b) 내에서 질소는 DOS를 형성하고 캐리어 밀도를 증대시키는 경우가 있다. 산화물 반도체층(106b)의 질소 농도는 SIMS에 있어서, $5 \times 10^{19}\text{ atoms}/\text{cm}^3$ 미만, 바람직하게는 $5 \times 10^{18}\text{ atoms}/\text{cm}^3$ 이하, 더 바람직하게는 $1 \times 10^{18}\text{ atoms}/\text{cm}^3$ 이하, 더 바람직하게는 $5 \times 10^{17}\text{ atoms}/\text{cm}^3$ 이하로 한다.

[0196] 또한, 산화물 반도체층(106b)의 수소 농도를 저감시키기 위하여, 산화물층(106a)의 수소 농도를 저감시키면 바람직하다. 산화물층(106a)의 수소 농도는 SIMS에 있어서, $2 \times 10^{20}\text{ atoms}/\text{cm}^3$ 이하, 바람직하게는 $5 \times 10^{19}\text{ atoms}/\text{cm}^3$ 이하, 더 바람직하게는 $1 \times 10^{19}\text{ atoms}/\text{cm}^3$ 이하, 더 바람직하게는 $5 \times 10^{18}\text{ atoms}/\text{cm}^3$ 이하로 한다. 또한, 산화물 반도체층(106b)의 질소 농도를 저감시키기 위하여 산화물층(106a)의 질소 농도를 저감시키면 바람직하다. 산화물층(106a)의 질소 농도는 SIMS에 있어서, $5 \times 10^{19}\text{ atoms}/\text{cm}^3$ 미만, 바람직하게는 $5 \times 10^{18}\text{ atoms}/\text{cm}^3$ 이하, 더 바람직하게는 $1 \times 10^{18}\text{ atoms}/\text{cm}^3$ 이하, 더 바람직하게는 $5 \times 10^{17}\text{ atoms}/\text{cm}^3$ 이하로 한다.

[0197] 또한, 산화물 반도체층(106b)의 수소 농도를 저감시키기 위하여 산화물층(106c)의 수소 농도를 저감시키면 바람직하다. 산화물층(106c)의 수소 농도는 SIMS에 있어서, $2 \times 10^{20}\text{ atoms}/\text{cm}^3$ 이하, 바람직하게는 $5 \times 10^{19}\text{ atoms}/\text{cm}^3$ 이하, 더 바람직하게는 $1 \times 10^{19}\text{ atoms}/\text{cm}^3$ 이하, 더 바람직하게는 $5 \times 10^{18}\text{ atoms}/\text{cm}^3$ 이하로 한다. 또한, 산화물 반도체층(106b)의 질소 농도를 저감시키기 위하여 산화물층(106c)의 질소 농도를 저감시키면 바람직하다. 산화물층(106c)의 질소 농도는 SIMS에 있어서, $5 \times 10^{19}\text{ atoms}/\text{cm}^3$ 미만, 바람직하게는 $5 \times 10^{18}\text{ atoms}/\text{cm}^3$ 이하, 더 바람직하게는 $1 \times 10^{18}\text{ atoms}/\text{cm}^3$ 이하, 더 바람직하게는 $5 \times 10^{17}\text{ atoms}/\text{cm}^3$ 이하로 한다.

[0198] 이하에서는, 산화물 반도체층(106b) 등에 사용할 수 있는 산화물 반도체의 구조에 대하여 설명하기로 한다.

[0199] 본 명세서에 있어서 "평행"이란, 2개의 직선이 -10° 이상 10° 이하의 각도로 배치되어 있는 상태를 말한다. 따라서, -5° 이상 5° 이하의 각도로 배치되는 경우도 그 범주에 포함된다. 또한, "수직"이란, 2개의 직선이 80° 이상 100° 이하의 각도로 배치되어 있는 상태를 말한다. 따라서, 85° 이상 95° 이하의 각도로 배치되

는 경우도 그 범주에 포함된다.

[0200] 또한, 본 명세서에 있어서, 결정이 삼방정 또는 능면체정이라면 육방정계에 포함된다.

[0201] 산화물 반도체층은 비단결정 산화물 반도체층과 단결정 산화물 반도체층으로 대별된다. 비단결정 산화물 반도체층이란, CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)층, 다결정 산화물 반도체층, 미결정 산화물 반도체층, 비정질 산화물 반도체층 등을 말한다.

[0202] 우선, CAAC-OS층에 대하여 설명하기로 한다.

[0203] CAAC-OS층은 c축 배향된 복수의 결정부를 갖는 산화물 반도체층 중 하나이다.

[0204] CAAC-OS층을 투과형 전자 현미경(TEM: Transmission Electron Microscope)에 의하여 관찰하면, 결정부끼리의 명확한 경계, 즉, 결정립계(그레이인 바운더리라고도 함)는 확인되지 않는다. 그러므로, CAAC-OS층은, 결정립계에 기인하는 전자 이동도의 저하가 일어나기 어렵다고 할 수 있다.

[0205] CAAC-OS층을 시료 면에 대략 평행한 방향으로부터 TEM에 의하여 관찰(단면 TEM 관찰)하면, 결정부에서 금속 원자가 층상으로 배열되어 있는 것을 확인할 수 있다. 금속 원자의 각 층은 CAAC-OS층을 형성하는 면(괴형성면이라고도 함) 또는 상면의 요철이 반영된 형상을 갖고, CAAC-OS층의 괴형성면 또는 상면에 평행하게 배열된다.

[0206] 한편, CAAC-OS층을 시료 면에 대략 수직인 방향으로부터 TEM에 의하여 관찰(평면 TEM 관찰)하면, 결정부에서 금속 원자가 삼각형 또는 육각형으로 배열되어 있는 것을 확인할 수 있다. 그러나, 상이한 결정부들간에서 금속 원자의 배열에는 규칙성이 보이지 않는다.

[0207] 도 23의 (A)는 CAAC-OS층을 갖는 시료의 나노 빔 전자선 회절 패턴의 일례를 나타낸 것이다. 여기서는, 시료를 CAAC-OS층의 괴형성면에 수직인 방향으로 절단하고, 두께가 40nm 정도가 되도록 박편화시킨다. 또한, 여기서는, 빔 직경이 $1\text{nm}\phi$ 인 전자선을 시료의 절단면에 수직인 방향으로부터 입사시킨다. 도 23의 (A)를 보면, CAAC-OS층의 나노 빔 전자선 회절 패턴에서는 스포이 관측되는 것을 알 수 있다. 또한, 시료의 박편화는 아르곤 이온을 사용한 이온 밀링법에 의하여 수행하였다.

[0208] 단면 TEM 관찰과 평면 TEM 관찰로부터 CAAC-OS층의 결정부가 배향성을 가지는 것을 알 수 있다.

[0209] 또한, CAAC-OS층에 포함되는 결정부의 대부분은 한 변이 100nm 미만인 입방체 내에 들어가는 사이즈를 갖는다. 따라서, CAAC-OS층에 포함되는 결정부는 한 변이 10nm 미만, 5nm 미만, 또는 3nm 미만인 입방체 내에 들어가는 사이즈를 갖는 경우도 포함된다. 다만, CAAC-OS층에 포함되는 복수의 결정부가 연결됨으로써 하나의 큰 결정 영역을 형성하는 경우가 있다. 예를 들어, 평면 TEM상으로부터 2500nm^2 이상, $5\mu\text{m}^2$ 이상 또는 $1000\mu\text{m}^2$ 이상의 결정 영역이 관찰되는 경우가 있다.

[0210] X선 회절(XRD: X-Ray Diffraction) 장치를 사용하여 CAAC-OS층의 구조 해석을 수행하면, 예를 들어 InGaZnO₄의 결정을 갖는 CAAC-OS층의 out-of-plane법에 의한 해석에서는, 회절각(2θ)의 피크가 31° 근방에 나타나는 경우가 있다. 이 피크는 InGaZnO₄의 결정의 (009)면에 귀속되기 때문에, CAAC-OS층의 결정이 c축 배향성을 갖고, c축이 괴형성면 또는 상면에 대략 수직인 방향으로 배향되어 있는 것을 확인할 수 있다.

[0211] 한편, CAAC-OS층에 대하여 c축에 대략 수직인 방향으로부터 X선을 입사시키는 in-plane법에 의한 해석에서는, 2θ 의 피크가 56° 근방에 나타나는 경우가 있다. 이 피크는 InGaZnO₄의 결정의 (110)면에 귀속된다. InGaZnO₄의 단결정 산화물 반도체층의 경우, 2θ 를 56° 근방에 고정하고, 시료면의 법선 벡터를 축(ϕ 축)으로 하여 시료를 회전시키면서 분석(ϕ 스캔)을 수행하면, (110)면과 등가인 결정면에 귀속되는 6개의 피크가 관찰된다. 한편, CAAC-OS층의 경우에, 2θ 를 56° 근방에 고정하고 ϕ 스캔을 수행하여도 명료한 피크가 나타나지 않는다.

[0212] 상술한 것으로부터, CAAC-OS층에 있어서, 다른 결정부들간에서는 a축 및 b축의 배향이 불규칙하지만, c축 배향성을 갖고, 또한 c축이 괴형성면 또는 상면의 법선 벡터에 평행한 방향으로 배향되어 있는 것을 알 수 있다. 따라서, 상술한 단면 TEM 관찰로 확인된 층상으로 배열된 금속 원자의 각층은, 결정의 ab면에 평행한 면이다.

[0213] 또한, 결정부는 CAAC-OS층을 형성하였을 때 또는 가열 처리 등의 결정화 처리를 수행하였을 때에 형성된다. 상술한 바와 같이, 결정부의 c축은 CAAC-OS층의 괴형성면 또는 상면의 법선 벡터에 평행한 방향으로 배향된다. 따라서, 예를 들어 CAAC-OS층의 형상을 에칭 등에 의하여 변화시킨 경우, 결정의 c축이 CAAC-OS층의 괴형성면 또는 상면의 법선 벡터에 평행하게 배향되지 않을 수도 있다.

- [0214] 또한, CAAC-OS층 내에서 c축 배향된 결정부의 분포가 균일하지 않아도 좋다. 예를 들어, CAAC-OS층의 결정부가 CAAC-OS층의 상면 근방으로부터의 결정 성장에 의하여 형성되는 경우, 상면 근방의 영역은 폐형성면 근방의 영역보다 c축 배향된 결정부의 비율이 높게 되는 경우가 있다. 또한, CAAC-OS층에 불순물을 첨가하는 경우에는, 불순물이 첨가된 영역이 변질되어, 부분적으로 c축 배향된 결정부의 비율이 상이한 영역이 형성될 수도 있다.
- [0215] 또한, InGaZnO₄의 결정을 갖는 CAAC-OS층의 out-of-plane법에 의한 해석에서는, 2θ의 피크가 31° 근방 외에, 36° 근방에도 2θ의 피크가 나타나는 경우가 있다. 36° 근방에 나타나는 2θ의 피크는, CAAC-OS층 내의 일부에 c축 배향성을 갖지 않는 결정이 포함되는 것을 나타낸다. CAAC-OS층은, 2θ의 피크가 31° 근방에 나타나고, 2θ의 피크가 36° 근방에 나타나지 않는 것이 바람직하다.
- [0216] CAAC-OS층은 불순물 농도가 낮은 산화물 반도체층이다. 불순물은 수소, 탄소, 실리콘, 천이 금속 원소 등의 산화물 반도체층의 주성분 이외의 원소이다. 특히, 산화물 반도체층을 구성하는 금속 원소보다 산소와의 결합력이 강한 실리콘 등의 원소는, 산화물 반도체층으로부터 산소를 빼앗는 것으로 산화물 반도체층의 원자 배열을 흐트러지게 하여 결정성을 저하시키는 요인이 된다. 또한, 철이나 니켈 등의 중금속, 아르곤, 이산화 탄소 등은 원자 반경(또는 분자 반경)이 크기 때문에 산화물 반도체층 내부에 포함되면, 산화물 반도체층의 원자 배열을 흐트러지게 하여 결정성을 저하시키는 요인이 된다. 또한, 산화물 반도체층에 포함되는 불순물은 캐리어 트랩이나 캐리어 발생원이 되는 경우가 있다.
- [0217] 또한, CAAC-OS층은 DOS가 낮은 산화물 반도체층이다. 예를 들어, 산화물 반도체층 내의 산소 결손은 캐리어 트랩이 되거나, 수소를 포획함으로써 캐리어 발생원이 되는 경우가 있다.
- [0218] 불순물 농도가 낮고, DOS가 낮은(산소 결손이 적은) 것을 고순도 진성 또는 실질적으로 고순도 진성이라고 부른다. 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체층은, 캐리어 발생원이 적기 때문에 캐리어 밀도를 낮게 할 수 있다. 따라서, 상기 산화물 반도체층을 사용한 트랜지스터는 문턱 전압이 음이 되는 전기 특성(노멀리온이라고도 함)이 되는 경우가 적다. 또한, 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체층은 캐리어 트랩이 적다. 그래서, 상기 산화물 반도체층을 사용한 트랜지스터는 전기 특성의 변동이 작고, 신뢰성이 높은 트랜지스터가 된다. 또한, 산화물 반도체층의 캐리어 트랩에 포획된 전하는, 방출될 때까지에 걸리는 시간이 길고, 마치 고정 전하일 듯 행동하는 경우가 있다. 그래서, 불순물 농도가 높으면 DOS가 높은 산화물 반도체층을 사용한 트랜지스터는 전기 특성이 불안정적이 될 경우가 있다.
- [0219] 또한, CAAC-OS층을 사용한 트랜지스터는 가시광이나 자외광의 조사로 인한 전기 특성의 변동이 작다.
- [0220] 다음에, 다결정 산화물 반도체층에 대하여 설명하기로 한다.
- [0221] 다결정 산화물 반도체층에서는, TEM에 의한 관찰상에서 결정립을 확인할 수 있다. 다결정 산화물 반도체층에 포함되는 결정립의 입경은, 예를 들어 TEM에 의한 관찰상에서 2nm 이상 300nm 이하, 3nm 이상 100nm 이하, 또는 5nm 이상 50nm 이하인 경우가 많다. 또한, 다결정 산화물 반도체층에서는, TEM에 의한 관찰상에서 결정립계를 확인할 수 있는 경우가 있다.
- [0222] 다결정 산화물 반도체층은 복수의 결정립을 갖고, 상기 복수의 결정립간에 있어서 결정의 방위가 다른 경우가 있다. 또한, XRD 장치를 사용하여 다결정 산화물 반도체층의 구조 해석을 수행하면, 예를 들어 InGaZnO₄의 결정을 갖는 다결정 산화물 반도체층의 out-of-plane법에 의한 해석에서는 2θ의 피크가 31° 근방 또는 36° 근방에 나타나거나, 또는 이들 외의 피크가 나타나는 경우가 있다.
- [0223] 다결정 산화물 반도체층은 높은 결정성을 갖기 때문에 높은 전자 이동도를 갖는 경우가 있다. 따라서, 다결정 산화물 반도체층을 사용한 트랜지스터는, 높은 전계 효과 이동도를 갖는다. 다만, 다결정 산화물 반도체층에서는, 결정립계에 불순물이 편석(偏析)하는 경우가 있다. 또한, 다결정 산화물 반도체층의 결정립계는 결함 준위가 된다. 다결정 산화물 반도체층에서는 결정립계가 캐리어 트랩이나 캐리어 발생원이 되는 경우가 있으므로, 다결정 산화물 반도체층을 사용한 트랜지스터는 CAAC-OS층을 사용한 트랜지스터에 비하여 전기 특성의 변동이 크고 신뢰성이 낮은 트랜지스터가 되는 경우가 있다.
- [0224] 다음에, 미결정 산화물 반도체층에 대하여 설명하기로 한다.
- [0225] 미결정 산화물 반도체층에서는, TEM에 의한 관찰상에서 결정부를 명확히 확인할 수 없는 경우가 있다. 미결정 산화물 반도체층에 포함되는 결정부는 1nm 이상 100nm 이하, 또는 1nm 이상 10nm 이하의 사이즈인 경우가 많다. 특히, 1nm 이상 10nm 이하, 또는 1nm 이상 3nm 이하의 미결정인 나노 결정(nc: nanocrystal)을 갖는 산화물 반

도체층을 nc-OS(nanocrystalline Oxide Semiconductor)층이라고 부른다. 또한, nc-OS층에서는, 예를 들어 TEM에 의한 관찰상에서 결정립계를 명확히 확인할 수 없는 경우가 있다.

[0226] nc-OS층은 미소한 영역(예를 들어, 1nm 이상 10nm 이하의 영역, 특히 1nm 이상 3nm 이하의 영역)에 있어서 원자 배열에 주기성을 갖는다. 또한, nc-OS층에서는, 다른 결정부들간에서 결정 방위에 규칙성이 없다. 그러므로, 막 전체에서 배향성을 찾을 수 없다. 따라서, 분석 방법에 따라 nc-OS층은 비정질 산화물 반도체층과 구별할 수 없는 경우가 있다. 예를 들어, 결정부보다 큰 직경을 갖는 X선을 사용하는 XRD 장치를 사용하여 nc-OS층의 구조 해석을 수행하면, out-of-plane법에 의한 해석에서는 결정 면을 나타내는 피크가 검출되지 않는다. 또한, nc-OS층에 대하여 결정부보다 큰 프로브 직경(예를 들어 50nm 이상)을 갖는 전자선을 사용하는 전자선 회절(제한 시야 전자 회절이라고도 함)을 수행하면, 할로 패턴과 같은 회절 패턴이 관측된다. 한편, nc-OS층에 대하여 결정부의 크기와 비슷하거나 결정부보다 작은 프로브 직경(예를 들어, 1nm 이상 30nm 이하)을 갖는 전자선을 사용하는 전자선 회절(나노 빔 전자선 회절이라고도 함)을 수행하면 스포트이 관측된다. 또한, nc-OS층에 대하여 나노 빔 전자선 회절을 수행하면 원을 그리듯이(링 형상의) 휘도가 높은 영역이 관측되는 경우가 있다. 또한, nc-OS층에 대하여 나노 빔 전자선 회절을 수행하면 링 형상의 영역 내에 복수의 스포트이 관측되는 경우가 있다.

[0227] 도 23의 (B)는 nc-OS층을 갖는 시료의 나노 빔 전자선 회절 패턴의 일례를 나타낸 것이다. 여기서는, 시료를 nc-OS층의 피형성면에 수직인 방향으로 절단하고 두께가 40nm 정도가 되도록 박편화시킨다. 또한, 여기서는 빔 직경이 1nm ϕ 인 전자선을 시료의 절단면에 수직인 방향으로부터 입사시킨다. 도 23의 (B)를 보면, nc-OS층의 나노 빔 전자선 회절 패턴에서는, 원을 그리듯이 휘도가 높은 영역이 관측되며 이 영역 내에 복수의 스포트이 관측되는 것을 알 수 있다. 또한, 시료의 박편화는 아르곤 이온을 사용한 이온 밀링법에 의하여 수행하였다.

[0228] 또한, 도 23의 (C1) 및 (C2)는 nc-OS층을 갖는 시료의 나노 빔 전자선 회절 패턴의 일례를 나타낸 것이다. 여기서는, 시료를 nc-OS층을 피형성면에 수직인 방향으로 절단하고 두께가 5nm 내지 10nm 정도가 되도록 박편화시킨다. 또한, 여기서는 빔 직경이 1nm ϕ 인 전자선을 시료의 절단면에 수직인 방향으로부터 입사시킴으로써, 관측하는 위치에 따라, 관측 개소 1에서는 스포트(도 23의 (C1) 참조)이 관측되고, 측정 개소 2에서는 원을 그리듯이 휘도가 높은 영역(도 23의 (C2) 참조)이 관측되었다. 이것은, 원을 그리듯이 휘도가 높은 영역이 관측되는 위치에서는, 펠릿 형상의 결정을 전자선이 투과함으로써 깊이 방향으로 존재하는 다른 펠릿 형상의 결정의 스포트도 관측되기 때문일 수도 있다. 또한, 시료의 박편화는 낮은 각도(약 3°)로 아르곤 이온을 입사시키는 이온 밀링법에 의하여 수행하였다.

[0229] nc-OS층은 미소한 영역에 있어서 원자 배열에 주기성을 가지므로 비정질 산화물 반도체보다 DOS가 적다. 다만, nc-OS층에서는, 결정부들간에서 규칙성이 없으므로 CAAC-OS층에 비하여 DOS가 많다.

[0230] 따라서, nc-OS층은 CAAC-OS층에 비하여 캐리어 밀도가 높게 되는 경우가 있다. 캐리어 밀도가 높은 산화물 반도체는 전자 이동도가 높게 되는 경우가 있다. 따라서, nc-OS층을 채널 형성 영역에 사용한 트랜지스터는 높은 전계 효과 이동도를 갖는 경우가 있다. 또한, nc-OS층은, CAAC-OS층에 비하여 DOS가 많기 때문에 전하 트랩도 많게 되는 경우가 있다. 따라서, nc-OS층을 채널 형성 영역에 사용한 트랜지스터는 CAAC-OS층을 채널 형성 영역에 사용한 트랜지스터에 비하여 전기 특성의 변화가 크고 신뢰성이 낮은 트랜지스터가 되는 경우가 있다. 다만, nc-OS층은, 비교적 불순물이 많이 포함되어 있어도 형성할 수 있으므로 CAAC-OS층보다 형성하기 쉽고, 용도에 따라서는 적합하게 사용할 수 있는 경우가 있다. 예를 들어, AC전원을 사용한 스퍼터링법 등의 성막 방법에 의하여 nc-OS층을 형성하여도 좋다. AC전원을 사용한 스퍼터링법으로는 대형 기판에 균일성 높게 성막할 수 있으므로, nc-OS층을 채널 형성 영역에 사용한 트랜지스터를 갖는 반도체 장치를 생산성 높게 제작할 수 있다.

[0231] 따라서, nc-OS층은 CAAC-OS층에 비하여 캐리어 밀도가 높게 되는 경우가 있다. 캐리어 밀도가 높은 산화물 반도체층은 전자 이동도가 높게 되는 경우가 있다. 따라서, nc-OS층을 사용한 트랜지스터는 높은 전계 효과 이동도를 갖는 경우가 있다. 또한, nc-OS층은, CAAC-OS층에 비하여 DOS가 많기 때문에 캐리어 트랩이 많게 되는 경우가 있다. 따라서, nc-OS층을 사용한 트랜지스터는 CAAC-OS층을 사용한 트랜지스터에 비하여 전기 특성의 변동이 크고 신뢰성이 낮은 트랜지스터가 된다. 다만, nc-OS층은 비교적 불순물이 많이 포함되어 있어도 형성할 수 있으므로 CAAC-OS층보다 형성하기 쉽고, 용도에 따라서는 적합하게 사용할 수 있는 경우가 있다. 그러므로, nc-OS층을 사용한 트랜지스터를 갖는 반도체 장치를 생산성 높게 제작할 수 있는 경우가 있다.

[0232] 다음에는, 비정질 산화물 반도체층에 대하여 설명하기로 한다.

[0233] 비정질 산화물 반도체층은, 막 내에서의 원자 배열이 불규칙적이며 결정부를 갖지 않는 산화물 반도체층이다. 석영과 같이 무정형 상태를 갖는 산화물 반도체층이 이의 일례이다.

- [0234] 비정질 산화물 반도체층에서는, TEM에 의한 관찰상으로부터 결정부를 확인할 수 없다.
- [0235] out-of-plane법에 의하여, XRD 장치를 사용하여 비정질 산화물 반도체층의 구조 해석을 수행하면, 결정 면을 나타내는 피크가 검출되지 않는다. 또한, 비정질 산화물 반도체층에 대하여 전자선 회절을 수행하면, 할로 패턴이 관측된다. 또한, 비정질 산화물 반도체층에 대하여 나노 빔 전자선 회절을 수행하면 스풋이 관측되지 않고 할로 패턴이 관측된다.
- [0236] 비정질 산화물 반도체층은 수소 등의 불순물을 높은 농도로 포함한 산화물 반도체층이다. 또한, 비정질 산화물 반도체층은 DOS가 높은 산화물 반도체층이다.
- [0237] 불순물 농도가 높으며 DOS가 높은 산화물 반도체층은, 캐리어 트랩이나 캐리어 발생원이 많은 산화물 반도체층이다.
- [0238] 따라서, 비정질 산화물 반도체층은 nc-OS층에 비하여 캐리어 밀도가 더 높게 되는 경우가 있다. 그러므로, 비정질 산화물 반도체층을 사용한 트랜지스터는 노멀리온의 전기 특성이 되기 쉽다. 따라서, 노멀리온의 전기 특성이 요구된 트랜지스터에 적합하게 사용할 수 있는 경우가 있다. 비정질 산화물 반도체층에서는, DOS가 높기 때문에 캐리어 트랩이 많게 되는 경우가 있다. 따라서, 비정질 산화물 반도체층을 사용한 트랜지스터는 CAAC-OS층이나 nc-OS층을 사용한 트랜지스터에 비하여 전기 특성의 변동이 크고 신뢰성이 낮은 트랜지스터가 된다.
- [0239] 다음으로, 단결정 산화물 반도체층에 대하여 설명하기로 한다.
- [0240] 단결정 산화물 반도체층은 불순물 농도가 낮으며 DOS가 낮은(산소 결손이 적은) 산화물 반도체층이다. 그러므로, 캐리어 밀도를 낮게 할 수 있다. 따라서, 단결정 산화물 반도체층을 사용한 트랜지스터는 노멀리온의 전기 특성을 갖는 경우가 적다. 또한, 단결정 산화물 반도체층에서는, 불순물 농도가 낮으며 DOS가 낮기 때문에 캐리어 트랩이 적게 되는 경우가 있다. 따라서, 단결정 산화물 반도체층을 사용한 트랜지스터는, 전기 특성의 변동이 작고 신뢰성이 높은 트랜지스터가 된다.
- [0241] 또한, 산화물 반도체층에서는, 결함이 적으면 밀도가 높아진다. 또한, 산화물 반도체층에서는 결정성이 높으면 밀도가 높아진다. 또한, 산화물 반도체층에서는 수소 등의 불순물 농도가 낮으면 밀도가 높아진다. 단결정 산화물 반도체층은 CAAC-OS층보다 밀도가 높다. 또한, CAAC-OS층은 미결정 산화물 반도체층보다 밀도가 높다. 또한, 다결정 산화물 반도체층은 미결정 산화물 반도체층보다 밀도가 높다. 또한, 미결정 산화물 반도체층은 비정질 산화물 반도체층보다 밀도가 높다.
- [0242] 또한, 산화물 반도체층은, 예를 들어 비정질 산화물 반도체층, 미결정 산화물 반도체층, CAAC-OS층 중 2종류 이상을 갖는 적층막이라도 좋다.
- [0243] 이하에서는, 산화물 반도체층(106b) 내의 DOS에 대하여 설명하기로 한다. 산화물 반도체층(106b) 내의 DOS를 저감시킴으로써 산화물 반도체층(106b)을 사용한 트랜지스터에 안정적인 전기 특성을 부여할 수 있다. 산화물 반도체층(106b) 내의 DOS는 일정 광전류 측정법(CPM: Constant Photocurrent Method)에 의하여 평가가 가능하다.
- [0244] 트랜지스터에 안정적인 전기 특성을 부여하기 위해서는, CPM 측정으로 얻어지는 산화물 반도체층(106b) 내의 DOS에 의한 흡수 계수를 $1 \times 10^{-3} \text{ cm}^{-1}$ 미만, 바람직하게는 $3 \times 10^{-4} \text{ cm}^{-1}$ 미만으로 하면 좋다. 또한, CPM 측정으로 얻어지는 산화물 반도체층(106b) 내의 DOS에 의한 흡수 계수를 $1 \times 10^{-3} \text{ cm}^{-1}$ 미만, 바람직하게는 $3 \times 10^{-4} \text{ cm}^{-1}$ 미만으로 함으로써, 트랜지스터의 전계 효과 이동도를 높일 수 있다. 또한, CPM 측정으로 얻어지는 산화물 반도체층(106b) 내의 DOS에 의한 흡수 계수를 $1 \times 10^{-3} \text{ cm}^{-1}$ 미만, 바람직하게는 $3 \times 10^{-4} \text{ cm}^{-1}$ 미만으로 하기 위해서는, 산화물 내에서 DOS를 형성하는 원소인 수소, 리튬, 탄소, 질소, 불소, 나트륨, 실리콘, 염소, 칼륨, 칼슘, 티타늄, 철, 니켈, 구리, 게르마늄, 스트론튬, 지르코늄 및 하프늄 등의 농도를 각각 $2 \times 10^{19} \text{ atoms/cm}^3$ 미만, 바람직하게는 $2 \times 10^{18} \text{ atoms/cm}^3$ 미만, 더 바람직하게는 $2 \times 10^{17} \text{ atoms/cm}^3$ 미만으로 하면 좋다.
- [0245] 여기서, 산화물층(106a), 산화물 반도체층(106b), 및 산화물층(106c)의 적층을 기판 위에 제공한 시료의 DOS를 CPM에 의하여 평가하였다.
- [0246] 산화물층(106a)은, In-Ga-Zn산화물(In:Ga:Zn=1:3:2[원자수 비율])인 타깃을 사용하고 스팍터링법에 의하여 형성하였다. 또한, 성막 가스로서 아르곤 가스를 30sccm 및 산소 가스를 15sccm 사용하고, 압력을 0.4Pa로 하고, 기판 온도를 200°C로 하고, DC전력을 0.5kW로 하였다.

- [0247] 산화물 반도체층(106b)은, In-Ga-Zn산화물(In:Ga:Zn=1:1:1[원자수 비율])인 타깃을 사용하고 스퍼터링법에 의하여 형성하였다. 또한, 성막 가스로서 아르곤 가스를 30sccm 및 산소 가스를 15sccm 사용하고, 압력을 0.4Pa로 하고, 기판 온도를 200°C로 하고, DC전력을 0.5kW로 하였다.
- [0248] 산화물층(106c)은, In-Ga-Zn산화물(In:Ga:Zn=1:3:2[원자수 비율])인 타깃을 사용하고 스퍼터링법에 의하여 형성하였다. 또한, 성막 가스로서 아르곤 가스를 30sccm 및 산소 가스를 15sccm 사용하고, 압력을 0.4Pa로 하고, 기판 온도를 200°C로 하고, DC전력을 0.5kW로 하였다.
- [0249] 여기서는, CPM 측정의 정밀도를 높이기 위하여 산화물층(106a)의 두께를 30nm, 산화물 반도체층(106b)의 두께를 100nm, 산화물층(106c)의 두께를 30nm로 하였다.
- [0250] CPM 측정에서는, 산화물 반도체층(106b)에 접촉하도록 제공된 제1전극 및 제2전극간에 전압을 인가한 상태에서 광전류 값이 일정한 값이 되도록 단자간의 시료면에 조사하는 광량을 조정하고, 조사 광량으로부터 흡수 계수를 도출한다. 여기서는, 흡수 계수의 도출을 각 파장에서 수행하였다. CPM 측정에서는 DOS에 따른 에너지(파장에 의하여 환산)에서의 흡수 계수가 증가한다. 이 흡수 계수의 증가분에 상수를 곱함으로써 시료의 DOS를 도출할 수 있다.
- [0251] 도 24는, 분광 광도계를 사용하여 측정한 흡수 계수(점선)와, CPM 측정한 흡수 계수(실선)를, 산화물 반도체층(106b)의 에너지 캡 이상의 에너지 범위에서 폐팅한 결과를 나타낸 것이다. 또한, CPM 측정한 흡수 계수로부터 얻어진 우르바흐 에너지(Urbach energy)는 78.7meV이었다. 도 24에 있어서, CPM 측정한 흡수 계수로부터 백 그라운드(가는 점선)를 빼고 흡수 계수의 적분값을 도출하면 본 시료의 DOS에 의한 흡수 계수는 $2.02 \times 10^{-4} \text{ cm}^{-1}$ 인 것을 알았다.
- [0252] 도 11에 도시된 하지 절연막(102)은, 예를 들어 산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 갈륨, 산화 게르마늄, 산화 이트륨, 산화 지르코늄, 산화 란타늄, 산화 네오디뮴, 산화 하프늄, 산화 탄탈럼 중 1종류 이상을 포함한 절연막을 단층으로 또는 적층으로 사용하면 좋다.
- [0253] 하지 절연막(102)은, 예를 들어 첫 번째 층이 질화 실리콘층이고 두 번째 층이 산화 실리콘층인 다층막으로 하면 좋다. 이 경우, 산화 실리콘층은 산화 질화 실리콘층이라도 좋다. 또한, 질화 실리콘층은 질화 산화 실리콘층이라도 좋다. 산화 실리콘층에는 결합 밀도가 작은 산화 실리콘층을 사용하면 바람직하다. 구체적으로는 전자 스핀 공명(ESR: Electron Spin Resonance)으로 g값이 2.001인 신호에서 유래하는 스핀의 밀도가 $3 \times 10^{17} \text{ spins/cm}^3$ 이하, 바람직하게는 $5 \times 10^{16} \text{ spins/cm}^3$ 이하인 산화 실리콘층을 사용한다. 질화 실리콘층에는 수소 가스 및 암모니아 가스의 방출량이 적은 질화 실리콘층을 사용한다. 수소 가스 및 암모니아 가스의 방출량은 승온 이탈 가스 분광법(TDS: Thermal Desorption Spectroscopy) 분석으로 측정하면 좋다. 또한, 질화 실리콘층에는 수소, 물, 및 산소를 투과시키지 않거나 또는 거의 투과시키지 않는 질화 실리콘층을 사용한다.
- [0254] 또는, 하지 절연막(102)은, 예를 들어 첫 번째 층이 질화 실리콘층이고 두 번째 층이 제1산화 실리콘층이고, 세 번째 층이 제2산화 실리콘층인 다층막으로 하면 좋다. 이 경우, 제1산화 실리콘층 또는/및 제2산화 실리콘층은 산화 질화 실리콘층이라도 좋다. 또한, 질화 실리콘층은 질화 산화 실리콘층이라도 좋다. 제1산화 실리콘층에는 결합 밀도가 작은 산화 실리콘층을 사용하면 바람직하다. 구체적으로는 ESR에서 측정한 경우에 g값이 2.001인 신호에서 유래하는 스핀의 밀도가 $3 \times 10^{17} \text{ spins/cm}^3$ 이하, 바람직하게는 $5 \times 10^{16} \text{ spins/cm}^3$ 이하인 산화 실리콘층을 사용한다. 제2산화 실리콘층에는 파잉 산소를 포함한 산화 실리콘층을 사용한다. 질화 실리콘층에는 수소 가스 및 암모니아 가스의 방출량이 적은 질화 실리콘층을 사용한다. 또한, 질화 실리콘층에는 수소, 물, 및 산소를 투과시키지 않거나 또는 거의 투과시키지 않는 질화 실리콘층을 사용한다.
- [0255] 파잉 산소를 포함한 산화 실리콘층이란, 가열 처리 등에 의하여 산소를 방출할 수 있는 산화 실리콘층을 말한다. 또한, 파잉 산소를 포함한 절연막은, 가열 처리에 의하여 산소를 방출하는 기능을 갖는 절연막이다.
- [0256] 파잉 산소를 포함한 절연막은, 산화물 반도체층(106b) 내의 산소 결손을 저감시킬 수 있다. 산화물 반도체층(106b) 내에서 산소 결손은 DOS를 형성하고 정공 트랩 등이 된다. 또한, 산소 결손의 사이트에 수소가 들어감으로써 캐리어인 전자를 생성하는 경우가 있다. 따라서, 산화물 반도체층(106b) 내의 산소 결손을 저감시킴으로써 트랜지스터에 안정적인 전기 특성을 부여할 수 있다.
- [0257] 여기서, 가열 처리에 의하여 산소를 방출하는 막은, TDS 분석에 의하여, 막의 표면 온도가 100°C 이상 700°C 이

하, 또는 100°C 이상 500°C 이하의 범위 내에서 $1 \times 10^{18} \text{ atoms/cm}^3$ 이상, $1 \times 10^{19} \text{ atoms/cm}^3$ 이상, 또는 $1 \times 10^{20} \text{ atoms/cm}^3$ 이상의 산소(산소 원자수로 환산)를 방출할 수도 있다.

[0258] 이하에서는, TDS 분석을 이용한 산소의 방출량의 측정 방법에 대하여 설명하기로 한다.

[0259] 측정 시료를 TDS 분석하였을 때의 기체의 총 방출량은 방출 가스의 이온 강도의 적분값에 비례한다. 그리고, 표준 시료와의 비교에 의하여 기체의 총 방출량을 계산할 수 있다.

[0260] 예를 들어, 표준 시료인 소정의 밀도의 수소를 포함한 실리콘 웨이퍼의 TDS 분석 결과 및 측정 시료의 TDS 분석 결과로부터, 측정 시료의 산소 분자의 방출량(N_{O_2})은 하기 수학식 22를 사용하여 계산할 수 있다. 여기서, TDS 분석에 의하여 검출된 질량수가 32인 가스 모두가 산소 분자에서 유래한다고 가정한다. 질량수가 32의 가스로서 그 외에 CH₃OH가 있으나, 존재할 가능성이 낮은 것으로서 여기서는 고려하지 않는다. 또한, 산소 원자의 동위체인 질량수가 17인 산소 원자 및 질량수가 18인 산소 원자를 포함한 산소 분자에 대해서도 자연계에서의 존재 비율이 극미량이므로 고려하지 않는다.

수학식 22

$$N_{O_2} = \frac{N_{H_2}}{S_{H_2}} \times S_{O_2} \times \alpha \quad (22)$$

[0261]

[0262] N_{H_2} 는 표준 시료로부터 이탈된 수소 분자를 밀도로 환산한 값이다. S_{H_2} 는 표준 시료를 TDS 분석하였을 때의 이온 강도의 적분값이다. 여기서, 표준 시료의 기준 값을 N_{H_2}/S_{H_2} 로 한다. S_{O_2} 는 측정 시료를 TDS 분석하였을 때의 이온 강도의 적분값이다. α 는 TDS 분석에서의 이온 강도에 영향을 미치는 계수이다. 상기 수학식(22)의 자세한 설명에 관해서는 일본국 특개평 6-275697 공보를 참조한다. 또한, 상술한 산소의 방출량은 승온 이탈 분석 장치 EMD-WA1000S/W(ESCO Ltd. 제조)를 사용하고, 표준 시료로서 $1 \times 10^{16} \text{ atoms/cm}^2$ 의 수소 원자를 포함한 실리콘 웨이퍼를 사용하여 측정하였다.

[0263] 또한, TDS 분석에서, 산소의 일부는 산소 원자로서 검출된다. 산소 분자와 산소 원자의 비율은 산소 분자의 이온화율로부터 산출할 수 있다. 또한, 상술한 α 는 산소 분자의 이온화율을 포함하기 때문에, 산소 분자의 방출량을 평가함으로써 산소 원자의 방출량도 어림잡을 수 있다.

[0264] 또한, N_{O_2} 는 산소 분자의 방출량이다. 산소 원자로 환산하였을 때의 방출량은 산소 분자의 방출량의 2배가 된다.

[0265] 또는, 가열 처리에 의하여 산소를 방출하는 막은 과산화 라디칼을 포함할 수도 있다. 구체적으로는 과산화 라디칼에 기인한 스핀 밀도가 $5 \times 10^{17} \text{ spins/cm}^3$ 이상인 것을 말한다. 또한, 과산화 라디칼을 포함한 막은, ESR에서 측정한 경우에 g값이 2.01 근방에 비대칭성을 갖는 신호를 가질 수도 있다.

[0266] 또는, 과잉 산소를 포함한 절연막은 산소가 과잉으로 포함된 산화 실리콘(SiO_x(X>2))이어도 좋다. 산소가 과잉으로 포함된 산화 실리콘(SiO_x(X>2))은 실리콘 원자수의 2배보다 많은 산소 원자를 단위 체적당에 포함하는 것이다. 단위 체적당의 실리콘 원자수 및 산소 원자수는 러더퍼드 후방 산란법(RBS: Rutherford Backscattering Spectrometry)에 의하여 측정한 값이다.

[0267] 소스 전극(116a) 및 드레인 전극(116b)은 예를 들어 알루미늄, 티타늄, 크롬, 코발트, 니켈, 구리, 이트륨, 지르코늄, 몰리브데늄, 루테늄, 은, 탄탈럼, 및 텉스텐 중 1종류 이상을 포함한 도전막을 단층으로 또는 적층으로 사용하면 좋다. 바람직하게는 소스 전극(116a) 및 드레인 전극(116b)은 구리를 포함한 층을 갖는 다층막으로 한다. 소스 전극(116a) 및 드레인 전극(116b)을 구리를 포함한 층을 갖는 다층막으로 함으로써, 소스 전극(116a) 및 드레인 전극(116b)과 동일 층으로 배선을 형성하는 경우에는 배선 저항을 낮게 할 수 있다. 또한, 소스 전극(116a) 및 드레인 전극(116b)은 동일한 조성이라도 좋고, 다른 조성이라도 좋다.

- [0268] 그런데, 소스 전극(116a) 및 드레인 전극(116b)에 구리를 포함한 층을 갖는 다층막을 사용하는 경우, 구리가 산화물 반도체층(106b)에 들어감으로써 산화물 반도체층(106b)의 캐리어 밀도가 높게 되는 경우가 있다. 또는, 구리가 산화물 반도체층(106b)에 DOS를 형성하고, DOS가 전하 트랩으로서 기능하는 경우가 있다. 이 때 산화물 층(106c)이 구리를 블록하는 기능을 갖는 경우, 구리가 산화물 반도체층(106b)에 들어가는 것으로 인한 트랜지스터의 오프 전류의 증가, 문턱 전압의 변화를 억제할 수 있다.
- [0269] 도 12는 트랜지스터의 소스 전극(116a) 및 드레인 전극(116b) 근방의 단면도를 도시한 것이다. 소스 전극(116a) 및 드레인 전극(116b)은 도 12에 도시된 구조 중 어느 구조로 하여도 좋다. 또한, 도 12에서는 소스 전극(116a) 및 드레인 전극(116b)의 형성에 의하여 산화물층(106c)의 상면이 오목해지는 경우의 형상을 도시하였다.
- [0270] 도 12의 (A)는 소스 전극(116a) 및 드레인 전극(116b)에 단차가 생긴 구조를 도시한 것이다. 산화물층(106c) 중 파선으로 도시된 영역에 n형 영역이 형성된다. n형 영역은, 산화물층(106c) 위에 소스 전극(116a) 및 드레인 전극(116b)을 형성할 때의 대미지나, 소스 전극(116a) 및 드레인 전극(116b)인 도전막의 작용에 따라 산화물층(106c)에 산소 결손이 생기는 것에 기인하여 형성된다. 예를 들어 산소 결손의 사이트에 수소가 들어감으로써 캐리어인 전자를 생성하는 경우가 있다. 또한, n형 영역은, 산화물층(106c)과 산화물 반도체층(106b)의 경계 근방까지 형성되어 있지만 이에 제한되지 않는다. 예를 들어, n형 영역은, 산화물층(106c) 및 산화물 반도체층(106b)에 형성되거나, 또는 산화물층(106c)에만 형성되어도 좋다.
- [0271] 도 12의 (B)는 산화되기 어려운 도전층(116a2)과, 도전층(116a2) 위에 제공된 도전층(116a1)을 소스 전극(116a)으로서 갖고, 산화되기 어려운 도전층(116b2)과, 도전층(116b2) 위에 제공된 도전층(116b1)을 드레인 전극(116b)으로서 갖는 구조를 도시한 것이다. 또한, 산화되기 어려운 도전층은 산화물층(106c)을 환원하는 작용이 약한 도전층이다. 소스 전극(116a) 및 드레인 전극(116b)이 도 12의 (B)에 도시된 구조를 가짐으로써, n형 영역은 산화물층(106c)에만 형성된다. 또한, 채널 길이 방향으로의 산소 결손의 확장이 작고 채널 형성 영역이 n형화하기 어렵다. 또한, 도전층(116a1) 및 도전층(116b1)을 갖기 때문에 도전층(116a2) 및 도전층(116b2) 자체는 도전성이 낮아도 좋다. 따라서, 도전층(116a2) 및 도전층(116b2)은 두께가 작아도 좋고, 미세 가공에도 유리하다. 즉, 도 12의 (B)에 도시된 구조는 채널 길이가 작은 미세화된 트랜지스터에 적합한 구조이다.
- [0272] 또한, 도전층(116a1)과 도전층(116a2)이 같은 도전층이어도 좋다. 또한, 도전층(116b1)과 도전층(116b2)이 같은 도전층이어도 좋다.
- [0273] 도 12의 (C)는, 도전층(116a3)과 도전층(116a3) 위에 제공된 산화되기 어려운 도전층(116a4)을 소스 전극(116a)으로서 갖고, 도전층(116b3)과 도전층(116b3) 위에 제공된 산화되기 어려운 도전층(116b4)을 드레인 전극(116b)으로서 갖는 구조를 도시한 것이다. 소스 전극(116a) 및 드레인 전극(116b)이 도 12의 (C)에 도시된 구조를 가짐으로써, 산화물층(106c)에 형성되는 n형 영역은, 일부가 산화물층(106c)과 산화물 반도체층(106b)의 경계 근방까지 형성되고, 일부가 산화물층(106c)에만 형성된다. 따라서, 산소 결손의 채널 길이 방향으로의 확장이 작고 채널 형성 영역이 n형화하기 어렵다. 또한, 도전층(116a3) 및 도전층(116b3)의 하부에서는 산화물 반도체층(106b)까지 n형 영역이 형성되어 있으므로 소스 전극(116a)과 드레인 전극(116b)간의 저항이 작게 되고 트랜지스터의 전계 효과 이동도를 높게 할 수 있다. 또한, 도전층(116a3) 및 도전층(116b3)을 갖기 때문에 도전층(116a4) 및 도전층(116b4) 자체는 도전성이 낮아도 좋다. 따라서, 도전층(116a4) 및 도전층(116b4)은 두께가 작아도 좋고, 미세 가공에도 유리하다. 즉, 도 12의 (C)에 도시된 구조는 채널 길이가 작은 미세화된 트랜지스터에 적합한 구조이다.
- [0274] 또한, 도전층(116a3)과 도전층(116a4)이 같은 도전층이어도 좋다. 또한, 도전층(116b3)과 도전층(116b4)이 같은 도전층이어도 좋다.
- [0275] 도 11에 도시된 게이트 절연막(112)은, 예를 들어 산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 갈륨, 산화 게르마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄, 및 산화 탄탈럼 중 1종류 이상을 포함한 절연막을 단층으로 또는 적층으로 사용하면 좋다.
- [0276] 게이트 절연막(112)은, 예를 들어 첫 번째 층이 질화 실리콘층이고 두 번째 층이 산화 실리콘층인 다층막으로 하면 좋다. 이 경우, 산화 실리콘층은 산화 질화 실리콘층이라도 좋다. 또한, 질화 실리콘층은 질화 산화 실리콘층이라도 좋다. 산화 실리콘층에는 결함 밀도가 작은 산화 실리콘층을 사용하면 바람직하다. 구체적으로는 ESR에서 측정한 경우에 g값이 2.001인 신호에서 유래하는 스판의 밀도가 $3 \times 10^{17} \text{ spins/cm}^3$ 이하, 바람직하게

는 5×10^{16} spins/cm³ 이하인 산화 실리콘층을 사용한다. 산화 실리콘층에는 파인 산소를 포함한 산화 실리콘층을 사용하면 바람직하다. 질화 실리콘층에는, 수소 가스 및 암모니아 가스의 방출량이 적은 질화 실리콘층을 사용한다. 수소 가스 및 암모니아 가스의 방출량은 TDS 분석에 의하여 측정하면 좋다.

[0277] 게이트 절연막(112) 및 하지 절연막(102) 중 적어도 한쪽이 파인 산소를 포함한 절연막을 포함하는 경우, 산화 물 반도체층(106b)의 산소 결손이 저감되고 트랜지스터에 안정적인 전기 특성을 부여할 수 있다.

[0278] 게이트 전극(104)은 예를 들어 알루미늄, 티타늄, 크롬, 코발트, 니켈, 구리, 이트륨, 지르코늄, 몰리브데넘, 루테늄, 은, 탄탈럼, 및 텉스텐 중 1종류 이상을 포함한 도전막을 단층으로 또는 적층으로 사용하면 좋다.

[0279] 보호 절연막(108)은, 예를 들어 산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 갈륨, 산화 게르마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄, 및 산화 탄탈럼 중 1종류 이상을 포함한 절연막을 단층으로 또는 적층으로 사용하면 좋다.

[0280] 보호 절연막(108)은 예를 들어 질화 실리콘층을 갖는다. 이 경우, 질화 실리콘층은 질화 산화 실리콘층이어도 좋다. 질화 실리콘층은 수소 가스 및 암모니아 가스의 방출량이 적으면 바람직하다. 수소 가스 및 암모니아 가스의 방출량은 TDS 분석에 의하여 측정하면 좋다. 또한, 질화 실리콘층은, 수소, 물, 및 산소를 투과시키지 않거나 또는 거의 투과시키지 않는 것이 바람직하다.

[0281] 보호 절연막(108)은 예를 들어 산화 알루미늄층을 갖는다. 이 경우, 산화 알루미늄층은 수소 가스의 방출량이 적으면 바람직하다. 수소 가스의 방출량은 TDS 분석에 의하여 측정하면 좋다. 또한, 산화 알루미늄층은, 수소, 물, 및 산소를 투과시키지 않거나 또는 거의 투과시키지 않는 것이 바람직하다.

[0282] 보호 절연막(118)은, 예를 들어 산화 실리콘, 산화 질화 실리콘, 산화 게르마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄, 및 산화 탄탈럼 중 1종류 이상을 포함한 절연막을 단층으로 또는 적층으로 사용하면 좋다. 보호 절연막(118)을 제공함으로써 보호 절연막(108)을 제공하지 않아도 되는 경우가 있다.

[0283] 기판(100)에 대한 큰 제한은 없다. 예를 들어, 유리 기판, 세라믹 기판, 석영 기판, 사파이어 기판 등을 기판(100)으로서 사용하여도 좋다. 또한, 실리콘이나 탄소화 실리콘 등으로 이루어진 단결정 반도체 기판이나 다결정 반도체 기판, 실리콘 게르마늄 등으로 이루어진 화합물 반도체 기판, SOI(Silicon On Insulator) 기판 등을 적용할 수도 있고, 이 기판 위에 반도체 소자가 제공된 것을 기판(100)으로서 사용하여도 좋다.

[0284] 또한, 기판(100)으로서 제5세대(1000mm×1200mm 또는 1300mm×1500mm), 제6세대(1500mm×1800mm), 제7세대(1870mm×2200mm), 제8세대(2200mm×2500mm), 제9세대(2400mm×2800mm), 제10세대(2880mm×3130mm) 등의 대형 유리 기판을 사용하는 경우에는, 반도체 장치의 제작 공정에서 가열 처리 등으로 인하여 기판(100)이 수축됨으로써 미세한 가공이 어려워지는 경우가 있다. 따라서, 상술한 바와 같은 대형 유리 기판을 기판(100)으로서 사용하는 경우에는, 가열 처리로 인하여 그다지 수축되지 않는 것을 사용하는 것이 바람직하다. 예를 들어 기판(100)으로서는, 400°C, 바람직하게는 450°C, 더 바람직하게는 500°C의 온도로 1시간 동안 가열 처리를 수행한 후의 수축량이 10ppm 이하, 바람직하게는 5ppm 이하, 더 바람직하게는 3ppm 이하인 대형 유리 기판을 사용하면 좋다.

[0285] 또한, 기판(100)으로서 가요성 기판을 사용하여도 좋다. 또한, 가요성 기판 위에 트랜지스터를 제공하는 방법으로서는 비가요성 기판 위에 트랜지스터를 제작한 후, 트랜지스터를 박리하고, 가요성 기판인 기판(100)에 전치(轉置)하는 방법도 있다. 이 경우에는 비가요성 기판과 트랜지스터 사이에 박리층을 제공하면 좋다.

[0286] <트랜지스터 구조(1)의 제작 방법>

[0287] 이하에서는, 트랜지스터 구조(1)의 제작 방법의 일례에 대하여 설명하기로 한다.

[0288] 도 13 및 도 14는 도 11의 (B)에 대응하는 단면도를 도시한 것이다.

[0289] 우선, 기판(100)을 준비한다.

[0290] 다음에, 하지 절연막(102)을 형성한다. 하지 절연막(102)은 스펀터링법, 화학 기상 성장(CVD: Chemical Vapor Deposition)법, 분자선 에피택시(MBE: Molecular Beam Epitaxy)법, 원자층 퇴적(ALD: Atomic Layer Deposition)법, 또는 펄스 레이저 퇴적(PLD: Pulsed Laser Deposition)법을 이용하여 형성하면 좋다.

[0291] 또는, 기판(100)으로서 실리콘 웨이퍼를 사용한 경우, 하지 절연막(102)은 열 산화법에 의하여 형성하여도

좋다.

[0292] 다음에 하지 절연막(102)의 표면을 평탄화하기 위하여 화학적 기계 연마(CMP: Chemical Mechanical Polishing) 처리를 수행하여도 좋다. CMP 처리를 수행함으로써 하지 절연막(102)의 평균 면 거칠기(Ra)를 1nm 이하, 바람직하게는 0.3nm 이하, 더 바람직하게는 0.1nm 이하로 한다. Ra를 상술한 수치 이하로 함으로써 산화물 반도체 층(106b)의 결정성이 높게 되는 경우가 있다. 또한, Ra는 JIS B 0601:2001(ISO4287:1997)에서 정의되어 있는 산술 평균 거칠기를 곡면에 대하여 적용할 수 있도록 3차원으로 확장한 것이며, "기준면으로부터 지정면까지의 편차의 절대값을 평균한 값"으로 표현할 수 있고, 하기 수학식(23)으로 정의된다.

수학식 23

$$Ra = \frac{1}{S_0} \int_{y_1}^{y_2} \int_{x_1}^{x_2} |f(x, y) - Z_0| dx dy \quad (23)$$

[0293]

[0294] 여기서 지정면이란 거칠기 계측의 대상이 되는 면이고, 좌표($x_1, y_1, f(x_1, y_1)$), ($x_1, y_2, f(x_1, y_2)$), ($x_2, y_1, f(x_2, y_1)$), ($x_2, y_2, f(x_2, y_2)$)의 4지점을 연결하여 이루어진 사각형의 영역으로 하고, 지정면을 xy 평면에 투영한 장방형의 면적을 S_0 , 기준면의 높이(지정면의 평균의 높이)를 Z_0 으로 한다. Ra는 원자간력 현미경(AFM: Atomic Force Microscope)으로 측정이 가능하다.

[0295] 다음에 하지 절연막(102)에 산소 이온을 첨가함으로써 과잉 산소를 포함한 절연막을 형성하여도 좋다. 산소 이온의 첨가는 예를 들어 이온 주입법에 의하여 가속 전압을 2kV 이상 100kV 이하로 하고, 도즈량을 5×10^{14} ions/cm² 이상 5×10^{16} ions/cm² 이하로 하여 수행하면 좋다.

[0296] 다음에, 산화물층(136a), 산화물 반도체층(136b), 및 산화물층(136c)을 이 순서대로 형성한다(도 13의 (A) 참조). 산화물층(136a), 산화물 반도체층(136b), 및 산화물층(136c)은 각각 산화물층(106a), 산화물 반도체층(106b), 및 산화물층(106c)으로서 상기에서 예로 든 산화물로부터 선택하여 형성하면 좋다. 산화물 반도체층(136b) 및 산화물층(136c)은 스퍼터링법, CVD법, MBE법, ALD법, 또는 PLD법을 이용하여 형성하면 좋다.

[0297] 이하에서, 비정질 표면상, 비정질 절연 표면상, 또는 비정질 산화물 표면상에서도 결정성을 갖는 산화물층의 스퍼터링법에 의한 형성 방법 중 한 모델에 대하여 설명하기로 한다. 이하에서 제시하는 산화물층의 형성 방법은 산화물층(136a), 산화물 반도체층(136b), 및 산화물층(136c)의 형성 방법에 적용할 수 있다.

[0298] 도 25의 (A)는 다결정 산화물을 갖는 타깃(1000)에 이온(1001)이 충돌하고 결정성을 갖는 스퍼터링 입자(1002)가 박리되고, 비정질막(1004) 위에 퇴적됨으로써, 산화물층(1003)을 형성하는 태양을 도시한 모식도이다. 타깃에 포함되는 결정립은 예를 들어 결정의 ab면에 평행한 벽개(劈開)면(1005)을 갖는다. 또한, 타깃에 포함되는 결정립은 예를 들어 원자간의 결합이 약한 부분(1006)을 갖는다.

[0299] 타깃에 포함되는 결정립에 이온(1001)이 충돌하면, 벽개면(1005) 및 원자간의 결합이 약한 부분(1006)에서의 원자간 결합이 끊어져 스퍼터링 입자(1002)가 튀어나온다.

[0300] 또는, 타깃에 포함되는 결정립에 이온(1001)이 충돌하면, 벽개면(1005)에서의 원자간 결합이 끊어져 타깃에 포함되는 결정립을 등글게 썬 바와 같은 형상의 결정성을 갖는 입자가 튀어나온다. 다음에 타깃으로부터 튀어나온 입자는 플라즈마(1007)에 노출되면, 결합이 약한 부분(1006)에서의 원자간 결합이 끊어져, 복수의 결정성을 갖는 스퍼터링 입자(1002)로 나눠진다.

[0301] 스퍼터링 입자(1002)는 예를 들어 평판 형상이다. 평판 형상은, 예를 들어 서로 평행한 두 개의 면(하나 하나를 평판 면이라고도 함)을 갖는다. 또한, 특히, 내각이 모두 120°인 육각 형상(정육각 형상)이며 서로 평행한 두 개의 면을 갖는 평판을 펠릿이라고 부른다. 펠릿 형상의 스퍼터링 입자(1002)는, 예를 들어 육각 형상의 면에 대하여 ab면이 평행하다. 또한, 펠릿 형상의 스퍼터링 입자(1002)는, 예를 들어 육각 형상의 면에 대하여 수직인 방향이 결정의 c축 방향이다(도 25의 (B) 참조). 또한, 펠릿 형상의 스퍼터링 입자(1002)는, 예를 들어 육각 형상의 면의 직경이 1nm 이상 100nm 이하, 1nm 이상 30nm 이하, 또는 1nm 이상 10nm 이하가 된다. 또한,

이하에서 제시하는 모델에 있어서, 스퍼터링 입자(1002)는 서로 평행한 두 개의 면이 육각 형상인 평판 형상에 제한되는 것은 아니다. 스퍼터링 입자(1002)는, 생성과 소실이 단시간 안에 일어난다. 그러므로, 스퍼터링 입자(1002) 자체를 직접 관찰하는 것은 매우 어렵다. 여기서는, 스퍼터링 입자(1002)가, 서로 평행한 두 개의 면이 육각 형상을 가진 평판 형상이라고 가정하여 논의를 진행하기로 한다.

[0302] 이온(1001)은 예를 들어 산소의 양 이온을 갖는다. 이온(1001)이 산소의 양 이온을 가지면, 예를 들어 성막 시의 플라즈마 대미지를 경감시킬 수 있다. 또한, 이온(1001)이 산소의 양 이온을 가지는 경우, 예를 들어 이온(1001)이 타깃의 표면에 충돌하였을 때 타깃의 결정성을 저하시키는 것 또는 비정질화시키는 것을 억제할 수 있다. 또한, 이온(1001)이 산소의 양 이온을 가지는 경우, 예를 들어 이온(1001)이 타깃의 표면에 충돌하였을 때 타깃의 결정성을 높일 수 있는 경우가 있다. 또한, 이온(1001)은 예를 들어 희가스(헬륨, 네온, 아르곤, 크립톤, 크세논 등)의 양 이온을 가져도 좋다.

[0303] 여기서, 타깃에 포함되는 결정의 일례로서, $\text{InGaO}_3(\text{ZnO})_m$ (m 은 자연수)으로 표기되는 동족 화합물의 $m=1$ 인 경우의 결정 구조를, ab면에 대하여 평행한 시점으로부터 나타냈다(도 27의 (A) 참조). 또한, 도 27의 (A)에 있어서의 과선으로 둘러싸인 부분을 확대하여 도 27의 (B)에 나타냈다.

[0304] 예를 들어, 타깃에 포함되는 결정에 있어서, 도 27의 (B)에 나타낸 갈륨 원자 또는/및 아연 원자, 및 산소 원자를 갖는 제1층과, 갈륨 원자 또는/및 아연 원자, 및 산소 원자를 갖는 제2층 사이에 벽개면을 갖는 경우가 있다. 이것은, 제1층이 갖는 산소 원자와 제2층이 갖는 산소 원자가 근거리에 있는 것에 기인한다(도 27의 (B)에 도시된 둘러싸인 부분 참조). 산소 원자는 예를 들어 음의 전하를 갖기 때문에, 산소 원자끼리가 근거리에 있으면 층과 층 사이의 결합이 약해지는 경우가 있다. 이와 같이 벽개면은 ab면에 대하여 평행한 면인 경우가 있다. 또한, 도 27에 나타낸 결정 구조는, ab면에 대하여 수직인 시점에서 보아 정삼각 형상, 정육각 형상으로 금속 원자가 배열되어 있다. 그러므로, 도 27에 나타낸 결정 구조를 갖는 결정을 포함한 타깃을 사용한 경우, 스퍼터링 입자(1002)가 내각 120° 의 정육각 형상의 면, 또는 내각 60° 의 정삼각 형상의 면을 갖는 형상(펠릿 형상)이 되는 개연성(蓋然性)이 높다고 생각된다. 또한, 도 25에서 스퍼터링 입자(1002)는 내각 120° 의 정육각 형상의 면을 갖는 형상이다. 다만, 스퍼터링 입자(1002)는 내각 60° 의 정삼각 형상의 면을 갖는 형상일 수도 있다. 예를 들어, 도 26에 도시된 바와 같이, 스퍼터링 입자(1002)를 구성하는 최소 단위는, 내각 60° 의 정삼각 형상의 면을 갖는 형상일 수도 있다. 이 경우, 내각 120° 의 정육각 형상의 면을 갖는 스퍼터링 입자(1002)는, 내각 60° 의 정삼각 형상의 면을 갖는 스퍼터링 입자(1002)를 6개 조합한 형상인 것을 알 수 있다. 또한, 도 25에서는 타깃(1000)을 위에 배치하였으나 도 26에서는 타깃(1000)을 아래에 배치하였다.

[0305] 도 25에 도시된 바와 같이, 스퍼터링 입자(1002)는 대전시키는 것이 바람직하다. 스퍼터링 입자(1002)의 각부에 각각 같은 극성의 전하가 있는 경우, 스퍼터링 입자(1002)의 형상이 유지되도록 상호 작용이 일어나기(서로 반발하기) 때문에 바람직하다. 스퍼터링 입자(1002)는, 예를 들어 양으로 대전되는 경우가 있다. 스퍼터링 입자(1002)를 양으로 대전시키는 타이밍에 특별한 제한은 없다. 예를 들어 이온(1001)이 충돌하였을 때 전하를 받게 함으로써 스퍼터링 입자(1002)를 양으로 대전시킬 수 있다. 또한, 예를 들어 플라즈마(1007)에 노출시킴으로써 스퍼터링 입자(1002)를 양으로 대전시킬 수 있다. 또한, 예를 들어 산소의 양 이온인 이온(1001)을 스퍼터링 입자(1002)의 측면, 상면 또는 하면에 결합시킴으로써, 스퍼터링 입자(1002)를 양으로 대전시킬 수 있다.

[0306] 스퍼터링 입자(1002)의 각부가 양의 전하를 갖도록, 예를 들어 직류(DC) 전원을 이용하는 것이 바람직하다. 또한, 고주파(RF) 전원, 교류(AC) 전원을 이용할 수도 있다. 다만, RF전원을 이용한 스퍼터링법에 있어서는 대면적에 균일하게 플라즈마 방전하기가 어렵다. 그러므로, RF 전원을 이용한 스퍼터링법을 대면적 기판으로의 성막에 적용하기가 어려운 경우가 있다. 또한, 이하에서 제시하는 관점에서, AC전원보다 DC전원이 바람직한 경우가 있다.

[0307] DC전원을 이용한 스퍼터링법에서는, 예를 들어 도 28의 (A1)에 도시된 바와 같이 타깃-기판간에 직류 전압이 인가된다. 따라서, 직류 전압이 인가되고 있는 동안의 타깃과 기판간의 전위 차이는 도 28의 (B1)에 나타낸 바와 같이 일정하게 된다. 따라서, DC전원을 이용한 스퍼터링법은 지속적인 플라즈마 방전을 유지할 수 있다.

[0308] DC전원을 이용한 스퍼터링법으로는, 스퍼터링 입자(1002)는 전계가 계속 가해져 있으므로 스퍼터링 입자(1002)의 각부의 전하가 소실되는 일이 없다. 스퍼터링 입자(1002)는 각부에 전하가 유지됨으로써 형상을 유지할 수 있다(도 28의 (C1) 참조).

[0309] 한편, AC전원을 이용한 스퍼터링법으로는, 예를 들어 도 28의 (A2)에 도시된 바와 같이 인접하는 타깃에서는 기

간 A, 기간 B에서 음극(cathode)과 양극(anode)이 전환된다. 예를 들어, 도 28의 (B2)에 나타낸 기간 A에서는, 타깃(1)이 음극으로서 기능하고, 타깃(2)이 양극으로서 기능한다. 또한, 예를 들어 도 28의 (B2)에 나타낸 기간 B에서는, 타깃(1)이 양극으로서 기능하고 타깃(2)이 음극으로서 기능한다. 기간 A 및 기간 B의 시간의 합계는, 예를 들어 20μ초 내지 50μ초 정도이다. 이와 같이, AC전원을 이용한 스퍼터링법으로는, 기간 A와 기간 B를 서로 전환하면서 플라즈마 방전한다.

[0310] AC전원을 이용한 스퍼터링법으로는, 전계가 순간적으로 가해지지 않는 시간이 있으므로 스퍼터링 입자(1002)의 각부의 전하가 소실되는 경우가 있다. 스퍼터링 입자(1002)는 각부의 전하가 소실됨으로써 형상이 변형될 수 있다(도 28의 (C2) 참조). 따라서, 스퍼터링 입자(1002)의 형상을 유지하기 위해서는, AC전원보다 DC전원을 이용하는 것이 바람직한 경우가 있다.

[0311] 도 25에 도시된 바와 같이, 타깃으로부터 튀어나온 스퍼터링 입자(1002)는 플라즈마(1007) 내를 연처럼 난다. 다음에, 스퍼터링 입자(1002)는 팔랑팔랑 흘날려 괴형성면에 떨어진다. 다음에, 기판 가열 등이 수행되어 괴형성면이 고온(예를 들어 150°C 이상)인 경우, 스퍼터링 입자(1002)는 괴성막면 위를 행글라이더와 같이 활공한다. 이 때, 예를 들어 스퍼터링 입자(1002)는 각부에 전하를 가지기 때문에 이미 퇴적되어 있는 다른 스퍼터링 입자(1002) 사이에 척력(斥力)을 발생시킨다. 또한, 스퍼터링 입자(1002)는 예를 들어 고온의 괴형성면 위에서 마이그레이션을 일으킨다. 그러므로 스퍼터링 입자(1002)는, 예를 들어 다른 스퍼터링 입자(1002)가 최 표층에 퇴적되어 있지 않은 영역에, 다른 스퍼터링 입자(1002)의 옆에 결합하도록 움직여 퇴적된다. 이와 같이, 스퍼터링 입자(1002)는 평판면이 괴형성면에 대하여 평행하게 되도록, 빈틈없이 제공된다. 상술한 방법으로 형성한 산화물층(1003)은, 예를 들어 괴성막면에 대하여 수직인 방향으로 c축의 방향이 정렬된 결정(CAA C)을 갖는다. 또한, 산화물층(1003)은, 예를 들어 균일한 두께를 갖고 결정의 배향이 정렬된 산화물층이 된다. 이와 같이, 스퍼터링 입자가 무질서하게 퇴적되는 것이 아니라, 대전된 스퍼터링 입자끼리 서로 작용하여 괴성막면에 수직인 방향으로 c축이 정렬되도록 정연하게 퇴적된다.

[0312] 상술한 형성 방법으로 얻어지는 산화물층은, 예를 들어 비정질 표면 위, 비정질 절연 표면 위, 비정질 산화물 표면 위 등이라도 높은 결정성을 갖는다.

[0313] 다음에는, 예를 들어 기판 가열을 수행하지 않는 것 등으로 괴형성면의 온도가 저온(예를 들어 130°C 미만, 100°C 미만, 70°C 미만 또는 실온(20°C 내지 25°C) 정도)인 경우의 산화물층의 형성 방법에 대하여 도 29를 사용하여 설명하기로 한다.

[0314] 도 29의 (A)에 도시된 바와 같이, 괴형성면의 온도가 저온인 경우 스퍼터링 입자(1002)는 괴성막면에 불규칙하게 도달된다. 스퍼터링 입자(1002)는, 예를 들어 마이그레이션을 일으키지 않기 때문에 다른 스퍼터링 입자(1002)가 이미 퇴적되어 있는 영역도 포함하여 무질서하게 퇴적된다. 즉, 퇴적되어 얻어지는 산화물층은 예를 들어 두께가 균일하지 않고, 결정의 배향도 무질서하게 되는 경우가 있다. 이와 같이 하여 얻어진 산화물층은, 스퍼터링 입자(1002)의 결정성을 어느 정도 유지하기 때문에 결정부(나노 결정)를 갖는다.

[0315] 예를 들어 나노 결정의 크기가 1nm 내지 3nm 정도라고 가정한다. 극히 얇은 시료(5nm 내지 10nm)인 경우, 나노빔 전자선 회절 패턴에서는 관측 위치에 따라 스포트, 또는 원을 그리듯이 휘도가 높은 영역이 관측된다. 원을 그리듯이 휘도가 높은 영역이 관측되는 위치에서는, 전자선이 펠릿 형상의 결정을 투과함으로써 깊이 방향으로 존재하는 다른 펠릿 형상의 결정의 스포트도 관측되어 있기 때문일 수도 있다(도 29의 (B) 참조).

[0316] 또한, 예를 들어 성막 시의 압력이 높으면 날고 있는 스퍼터링 입자(1002)는 아르곤 등 다른 입자(원자, 분자, 이온, 라디칼 등)와 충돌하는 빈도가 높아진다. 스퍼터링 입자(1002)는 날고 있는 도중에 다른 입자와 충돌함으로써(다시 스퍼터링됨으로써) 결정 구조가 무너지는 경우가 있다. 예를 들어 스퍼터링 입자(1002)는 다른 입자와 충돌함으로써 평판 형상을 유지할 수 없어 산산조각이 나는(각 원자로 나누어진 상태가 되는) 경우가 있다. 이 때 스퍼터링 입자(1002)로부터 나누어진 각 원자가 괴형성면에 퇴적됨으로써 비정질 산화물층이 형성되는 경우가 있다.

[0317] 또한, 출발점으로서 다결정 산화물을 갖는 타깃을 사용한 스퍼터링법이 아니라, 액체를 사용하여 성막하는 방법을 이용한 경우 또는 타깃 등의 고체를 기체화시킴으로써 성막하는 방법을 이용한 경우, 각 원자로 나누어진 상태에서 날아 괴형성면에 퇴적되기 때문에 비정질 산화물층이 형성되는 경우가 있다. 또한, 예를 들어 레이저 어블레이션법으로는, 타깃으로부터 방출된 원자, 분자, 이온, 라디칼, 클러스터 등이 날아 괴형성면에 퇴적되므로 비정질 산화물층이 형성되는 경우가 있다.

[0318] 상술한 방법으로 산화물층을 형성하면 좋다. 산화물층을 형성하는 스퍼터링 장치의 자세한 사항은 후술하기로

한다.

- [0319] 산화물층(136c)을 형성한 후에 제1가열 처리를 수행하는 것이 바람직하다. 제1가열 처리는 250°C 이상 650°C 이하, 바람직하게는 300°C 이상 500°C 이하의 온도로 수행하면 좋다. 제1가열 처리의 분위기는 불활성 가스 분위기, 또는 산화성 가스를 10ppm 이상, 1% 이상, 또는 10% 이상 포함한 분위기에서 수행한다. 또한, 제1가열 처리는 감압 상태에서 수행하여도 좋다. 또는, 제1가열 처리의 분위기는 불활성 가스 분위기에서 가열 처리를 수행한 후에, 이탈된 산소를 보전하기 위하여 산화성 가스를 10ppm 이상, 1% 이상, 또는 10% 이상 포함한 분위기에서, 가열 처리를 수행하여도 좋다. 제1가열 처리에 의하여, 산화물 반도체층(136b)의 결정성을 높이고, 또한 산화물 반도체층(136b)으로부터 수소나 물 등 불순물을 제거할 수 있다. 또한, 제1가열 처리에 의하여, 산화물 반도체층(106b)의 DOS가 저감되고 고순도 진성화시킬 수 있다. 또한, DOS가 저감되는 모델에 대해서는 고순도 진성화에 대한 기재를 참조한다.
- [0320] 다음에, 산화물층(136a), 산화물 반도체층(136b), 및 산화물층(136c)의 일부를 예칭하고 섬 형상의 산화물층(106a), 산화물 반도체층(106b), 및 산화물층(106c)을 형성한다(도 13의 (B) 참조).
- [0321] 다음에 도전막(116)을 형성한다. 도전막(116)은 소스 전극(116a) 및 드레인 전극(116b)으로서 상기에 예로 든 도전막으로부터 선택하여 형성하면 좋다. 도전막(116)은 스퍼터링법, CVD법, MBE법, ALD법, 또는 PLD법을 이용하여 형성하면 좋다. 이 때 산화물층(106a), 산화물 반도체층(106b), 및 산화물층(106c) 중 파선으로 도시된 영역에 n형 영역이 형성되는 경우가 있다(도 13의 (C) 참조). n형 영역은, 산화물층(106c) 위에 도전막(116)을 형성할 때의 대미지나 도전막(116)의 작용에 따라 산화물층(106c)에 산소 결손이 생기는 것에 기인하여 형성된다. 예를 들어 산소 결손의 사이트에 수소가 들어감으로써 캐리어인 전자를 생성하는 경우가 있다. 또한, n형 영역은 산화물층(106c)과 산화물 반도체층(106b)의 경계 근방까지 형성되어 있으나 이에 제한되는 것은 아니다. 예를 들어 n형 영역이 산화물층(106c) 및 산화물 반도체층(106b), 또는 산화물층(106c)에만 형성되어도 좋다.
- [0322] 다음에, 도전막(116)의 일부를 예칭하여 소스 전극(116a) 및 드레인 전극(116b)을 형성한다(도 13의 (D) 참조).
- [0323] 다음에 제2가열 처리를 수행하는 것이 바람직하다. 제2가열 처리는 제1가열 처리에서 제시한 조건 중으로부터 선택하여 수행하면 좋다. 제2가열 처리를 수행함으로써 산화물층(106c) 중 노출된 n형 영역을 i형 영역으로 할 수 있는 경우가 있다(도 14의 (A) 참조). 그러므로 산화물층(106c)에 있어서, 소스 전극(116a) 및 드레인 전극(116b)의 바로 아래의 영역에만 n형 영역을 제공할 수 있다. n형 영역을 가짐으로써 산화물층(106c)과 소스 전극(116a) 및 드레인 전극(116b) 사이의 접촉 저항을 저감시킬 수 있어 트랜지스터의 온 전류를 높게 할 수 있다. 또한, 제2가열 처리를 수행함으로써 제1가열 처리를 수행하지 않아도 되는 경우가 있다.
- [0324] 다음에, 게이트 절연막(112)을 형성한다(도 14의 (B) 참조). 게이트 절연막(112)은 스퍼터링법, CVD법, MBE법, ALD법, 또는 PLD법을 이용하여 형성하면 좋다.
- [0325] 다음에, 게이트 전극(104)이 되는 도전막을 형성한다. 게이트 전극(104)이 되는 도전막은, 게이트 전극(104)으로서 상기에 예로 든 도전막으로부터 선택하여 형성하면 좋다. 게이트 전극(104)이 되는 도전막은 스퍼터링법, CVD법, MBE법, ALD법, 또는 PLD법을 이용하여 형성하면 좋다.
- [0326] 다음에 게이트 전극(104)이 되는 도전막의 일부를 예칭하여 게이트 전극(104)을 형성한다(도 14의 (C) 참조).
- [0327] 다음에 보호 절연막(108)을 형성한다. 보호 절연막(108)은, 스퍼터링법, CVD법, MBE법, ALD법, 또는 PLD법을 이용하여 형성하면 좋다.
- [0328] 다음에, 보호 절연막(118)을 형성한다(도 14의 (D) 참조). 보호 절연막(118)은 스퍼터링법, CVD법, MBE법, ALD법, 또는 PLD법을 이용하여 형성하면 좋다.
- [0329] 다음에 제3가열 처리를 수행하는 것이 바람직하다. 제3가열 처리는, 제1가열 처리의 조건 중으로부터 선택하여 수행하거나, 또는 제1가열 처리 및 제2가열 처리보다 저온으로 수행하면 좋다.
- [0330] 상술한 공정을 거쳐 도 11에 도시된 트랜지스터를 제작할 수 있다.
- [0331] <제조 장치에 대하여>
- [0332] 산화물 반도체층(106b)에 포함되는 불순물 농도가 낮으며 결함 밀도가 낮은 것에 의하여(즉, 고순도 진성인 것에 의하여) 트랜지스터의 전기 특성이 안정적이 된다. 또한, 산화물 반도체층(106b)이 높은 결정성을 가짐으로써, 산화물 반도체층(106b)이 비정질인 경우에 비하여 트랜지스터의 전기 특성이 안정적이 된다. 이하에서는 불순물 농도가 낮으며 결정성이 높은 산화물 반도체층(106b)을 형성하기 위한 성막 장치에 대하여 설명하기로

한다. 또한, 이하에서 설명하는 성막 장치는 트랜지스터 내의 다른 구성을 형성할 때 사용하여도 좋다. 이하에서 설명하는 성막 장치를 사용함으로써, 다른 구성에서도 불순물 농도를 저감시킬 수 있다.

[0333] 우선, 성막 시에 불순물의 혼입이 적은 성막 장치의 구성에 대하여 도 30을 사용하여 설명하기로 한다.

[0334] 도 30의 (A)는 멀티 챔버의 성막 장치의 상면도를 도시한 것이다. 이 성막 장치는, 기판을 수용하는 카세트 포트(74)를 세 개 갖는 대기 측 기판 공급실(71)과, 로드록실(72a) 및 언로드록실(72b)과, 반송실(73)과, 반송실(73a)과, 반송실(73b)과, 기판 가열실(75)과, 성막실(70a)과, 성막실(70b)을 갖는다. 대기 측 기판 공급실(71)은 로드록실(72a) 및 언로드록실(72b)에 접속된다. 로드록실(72a) 및 언로드록실(72b)은 반송실(73a)과 반송실(73b)을 통하여 반송실(73)에 접속된다. 기판 가열실(75), 성막실(70a) 및 성막실(70b)은 반송실(73)에만 접속된다. 또한, 각 실의 접속부에는 게이트 벨브(GV)가 제공되어 있고, 대기 측 기판 공급실(71)을 제외하고, 각 실을 독립하여 진공 상태로 유지할 수 있다. 또한, 대기 측 기판 공급실(71) 및 반송실(73)은 하나 이상의 기판 반송 로봇(76)을 가지며 기판을 반송할 수 있다. 여기서 기판 가열실(75)은 플라즈마 처리실을 겸하면 바람직하다. 멀티 챔버의 성막 장치는 처리와 처리 사이에서 기판을 대기에 노출시키지 않고 반송할 수 있기 때문에, 기판에 불순물이 흡착되는 것을 억제할 수 있다. 또한, 성막이나 가열 처리 등의 순서를 자유롭게 구축할 수 있다. 또한, 반송실, 성막실, 로드록실, 언로드록실, 및 기판 가열실의 개수는 상술한 개수에 한정되는 것은 아니며, 설치 스페이스나 프로세스에 맞춰서 적절히 결정하면 된다.

[0335] 도 30의 (B)는 도 30의 (A)와 다른 구성의 멀티 챔버 성막 장치의 상면도를 도시한 것이다. 이 성막 장치는, 카세트 포트(84)를 갖는 대기 측 기판 공급실(81)과, 로드/언로드록실(82)과, 반송실(83)과, 기판 가열실(85)과, 기판 반송용 로봇(86)과, 성막실(80a)과, 성막실(80b)과, 성막실(80c)과, 성막실(80d)을 갖는다. 대기 측 기판 공급실(81)과, 기판 가열실(85)과, 성막실(80a)과, 성막실(80b)과, 성막실(80c)과, 성막실(80d)은 반송실(83)을 통하여 각각 접속된다.

[0336] 여기서 도 31의 (A)를 사용하여 도 30의 (B)에 도시된 성막실(스퍼터링실)의 일례에 대하여 설명하기로 한다. 예를 들어 성막실(80b)은 타깃(87)과, 방착판(88)과, 기판 스테이지(90)를 갖는다. 또한, 여기서는 기판 스테이지(90)에는 유리 기판(89)이 설치되어 있다. 기판 스테이지(90)는, 도시되지 않았지만 유리 기판(89)을 유지하는 기판 유지 기구나, 유리 기판(89)을 이면으로부터 가열하는 이면 히터 등을 구비하여도 좋다. 또한, 방착판(88)에 의하여, 타깃(87)으로부터 스퍼터링되는 입자가 불필요한 영역에 퇴적되는 것을 억제할 수 있다.

[0337] 또한, 도 31의 (A)에 도시된 성막실(80b)은 매스 플로우 컨트롤러(97)를 통하여 정제기(94)에 접속된다. 또한, 정제기(94) 및 매스 플로우 컨트롤러(97)는 가스의 종류의 수만큼 제공되지만, 간략화를 위하여 하나만을 도시하였다. 성막실(80b) 등에 사용하는 가스로서는, 이슬점이 -80°C 이하, 바람직하게는 -100°C 이하, 더 바람직하게는 -120°C 이하인 가스를 사용한다. 이슬점이 낮은 산소 가스, 희가스(아르곤 가스 등) 등을 사용함으로써, 성막 시에 혼입되는 수분을 저감시킬 수 있다.

[0338] 또한, 진공 펌프(96)는, 예를 들어 드라이 펌프 및 메커니컬 부스터 펌프가 직렬로 접속된 것이라면 좋다. 이와 같은 구성으로 함으로써, 성막실(80b) 및 반송실(83)은 대기압부터 저진공(0.1Pa 내지 10Pa 정도)까지는 진공 펌프(96)를 사용하여 배기되고, 밸브를 전환하여 저진공부터 고진공($1 \times 10^{-7}\text{Pa}$ 내지 $1 \times 10^{-4}\text{Pa}$)까지는 크라이오 펌프(95a) 또는 크라이오 펌프(95b)를 사용하여 배기된다.

[0339] 또한, 도 31의 (B)를 사용하여 도 30의 (B)에 도시된 성막실과는 다른 일례에 대하여 설명하기로 한다.

[0340] 도 31의 (B)에 도시된 성막실(80b)은 게이트 벨브를 통하여 반송실(83)에 접속되고, 반송실(83)은 게이트 벨브를 통하여 로드/언로드록실(82)에 접속된다.

[0341] 도 31의 (B)에 도시된 성막실(80b)은 가스 가열 기구(98)를 통하여 매스 플로우 컨트롤러(97)에 접속되고, 가스 가열 기구(98)는 매스 플로우 컨트롤러(97)를 통하여 정제기(94)에 접속된다. 가스 가열 기구(98)에 의하여, 성막실(80b)에 사용되는 가스의 온도가 40°C 이상 400°C 이하, 또는 50°C 이상 200°C 이하가 되도록 가열할 수 있다. 또한, 가스 가열 기구(98), 정제기(94), 및 매스 플로우 컨트롤러(97)는 가스의 종류의 수만큼 제공될 수 있지만, 간략화를 위하여 하나만 도시하였다.

[0342] 도 31의 (B)에 도시된 성막실(80b)은 밸브를 통하여 터보 분자 펌프(95c) 및 진공 펌프(96b)에 접속된다. 또한, 터보 분자 펌프(95c)에는, 밸브를 통하여 보조 펌프로서 진공 펌프(96a)가 제공된다. 진공 펌프(96a) 및 진공 펌프(96b)는 진공 펌프(96)와 같은 구성으로 하면 좋다. 또한, 도 31의 (B)에 도시된 성막실(80b)에는 크라이오타랩(99)(cryotrap)이 제공된다.

- [0343] 터보 분자 펌프(95c)는 사이즈가 큰 분자(원자)를 안정적으로 배기하고, 또한 유지 보수의 빈도가 낮기 때문에 생산성이 우수한 반면, 수소나 물의 배기 능력이 낮은 것이 알려져 있다. 그래서, 물 등 비교적 용접이 높은 분자(원자)에 대한 배기 능력이 높은 크라이오트랩(99)이 성막실(80b)에 접속된 구성으로 한다. 크라이오트랩(99)의 냉동기의 온도는 100K 이하, 바람직하게는 80K 이하로 한다. 또한, 크라이오트랩(99)이 복수의 냉동기를 갖는 경우에는, 냉동기마다 온도를 다르게 하면 효율적으로 배기할 수 있기 때문에 바람직하다. 예를 들어, 첫 번째 단의 냉동기의 온도를 100K 이하로 하고, 두 번째 단의 냉동기의 온도를 20K 이하로 하면 좋다.
- [0344] 또한, 도 31의 (B)에 도시된 반송실(83)은 진공 펌프(96b), 크라이오 펌프(95d) 및 크라이오 펌프(95e)와 각각 밸브를 통하여 접속된다. 크라이오 펌프가 하나 제공되는 경우 크라이오 펌프의 리제너레이션(regeneration) 중에는 배기할 수 없지만, 크라이오 펌프를 2개 이상 병렬로 접속함으로써, 하나가 리제너레이션 중인 경우에도 나머지 크라이오 펌프를 사용하여 배기할 수 있다. 또한, 크라이오 펌프의 리제너레이션이란, 크라이오 펌프 내에 갇힌 분자(원자)를 방출하는 처리를 가리킨다. 크라이오 펌프는 분자(원자)를 지나치게 많이 가두면 배기 능력이 저하되기 때문에, 정기적으로 리제너레이션을 수행한다.
- [0345] 또한, 도 31의 (B)에 도시된 로드/언로드록실(82)은, 크라이오 펌프(95f) 및 진공 펌프(96c)와 각각 밸브를 통하여 접속된다. 또한, 진공 펌프(96c)는 진공 펌프(96)와 같은 구성으로 하면 좋다.
- [0346] 성막실(80b)에 타깃 대향식 스퍼터링 장치를 적용하여도 좋다. 또한, 성막실(80b)에 평행 평판형 스퍼터링 장치, 이온 빔 스퍼터링 장치를 적용하여도 좋다.
- [0347] 다음에, 도 30의 (B)에 도시된 기판 가열실의 배기의 일례에 대하여 도 32를 사용하여 설명하기로 한다.
- [0348] 도 32에 도시된 기판 가열실(85)은, 게이트 밸브를 통하여 반송실(83)에 접속된다. 또한, 반송실(83)은, 게이트 밸브를 통하여 로드/언로드록실(82)에 접속된다.
- [0349] 도 32에 도시된 기판 가열실(85)은, 매스 플로우 컨트롤러(97)를 통하여 정제기(94)에 접속된다. 또한, 정제기(94) 및 매스 플로우 컨트롤러(97)는 가스의 종류의 수만큼 제공되지만, 간략화를 위하여 하나만 도시하였다. 또한, 기판 가열실(85)은, 밸브를 통하여 진공 펌프(96b)에 접속된다.
- [0350] 또한, 기판 가열실(85)은 기판 스테이지(92)를 갖는다. 기판 스테이지(92)는 적어도 기판 한 장을 설치할 수 있으면 좋지만, 복수의 기판을 설치할 수 있는 기판 스테이지로 하여도 좋다. 또한, 기판 가열실(85)은 가열기구(93)를 갖는다. 가열기구(93)는 예를 들어 저항 발열체 등을 사용하여 가열을 수행하는 가열기구로 하여도 좋다. 또는, 가열이 수행된 가스 등의 매체로부터의 열전도 또는 열복사에 의하여 가열을 수행하는 가열기구로 하여도 좋다. 예를 들어, GRTA(Gas Rapid Thermal Anneal), LRTA(Lamp Rapid Thermal Anneal) 등의 RTA(Rapid Thermal Anneal)를 이용할 수 있다. LRTA는, 할로겐 램프, 메탈할라이드 램프, 크세논아크 램프, 카본아크 램프, 고압 나트륨 램프, 고압 수은 램프 등의 램프로부터 발생하는 광(전자기파)의 복사에 의하여 퍼처리물의 가열을 수행한다. GRTA는 고온의 가스를 사용하여 가열 처리를 수행한다. 가스로서는, 불활성 가스가 사용된다. RTA를 이용하면 단시간 안에 가열 처리를 수행할 수 있기 때문에, 가열 처리로 인한 기판의 휘어짐량을 줄일 수 있다. 특히, 대형 유리 기판은, 휘어짐량이 아주 적더라도 반도체 장치의 수율이 저하될 수 있다. 따라서, 기판이 휘어질 가능성이 있는 고온 가열 처리에는 RTA를 사용하는 것이 바람직하다.
- [0351] 또한, 성막실(80b) 및 기판 가열실(85)의 배압은 1×10^{-4} Pa 이하, 바람직하게는 3×10^{-5} Pa 이하, 더 바람직하게는 1×10^{-5} Pa 이하이다. 또한, 성막실(80b) 및 기판 가열실(85)은, m/z가 18인 기체 분자(원자)의 분압이 3×10^{-5} Pa 이하, 바람직하게는 1×10^{-5} Pa 이하, 더 바람직하게는 3×10^{-6} Pa 이하이다. 또한, 성막실(80b) 및 기판 가열실(85)은, m/z가 28인 기체 분자(원자)의 분압이 3×10^{-5} Pa 이하, 바람직하게는 1×10^{-5} Pa 이하, 더 바람직하게는 3×10^{-6} Pa 이하이다. 또한, 성막실(80b) 및 기판 가열실(85)은, m/z가 44인 기체 분자(원자)의 분압이 3×10^{-5} Pa 이하, 바람직하게는 1×10^{-5} Pa 이하, 더 바람직하게는 3×10^{-6} Pa 이하이다.
- [0352] 또한, 성막실(80b) 및 기판 가열실(85)은, 누설률이 3×10^{-6} Pa · m³/s 이하, 바람직하게는 1×10^{-6} Pa · m³/s 이하이다. 또한, 성막실(80b) 및 기판 가열실(85)은, m/z가 18인 기체 분자(원자)의 누설률이 1×10^{-7} Pa · m³/s 이하, 바람직하게는 3×10^{-8} Pa · m³/s 이하이다. 또한, 성막실(80b) 및 기판 가열실(85)은, m/z가 28인 기체 분자(원자)의 누설률이 1×10^{-5} Pa · m³/s 이하, 바람직하게는 1×10^{-6} Pa · m³/s 이하이다. 또한, 성막실(80b) 및

기판 가열실(85)은, m/z가 44인 기체 분자(원자)의 누설률이 3×10^{-6} Pa · m³/s 이하, 바람직하게는 1×10^{-6} Pa · m³/s 이하이다.

[0353] 또한, 성막실, 기판 가열실, 반송실 등의 진공실 내의 전압(全壓) 및 분압은 질량 분석계를 사용하여 측정할 수 있다. 예를 들어, 4중극형 질량 분석계(Q-mass라고도 함) Quelle CGM-051(ULVAC, Inc. 제작)을 사용하면 좋다. 또한, 누설률에 대해서는, 상술한 질량 분석계를 사용하여 측정한 전압 및 분압으로부터 도출하면 좋다. 누설률은 외부 누설 및 내부 누설에 의존한다. 외부 누설은, 미소한 구멍이나 밀봉(sealing) 불량 등으로 인하여 진공계 외부로부터 기체가 유입되는 것을 말한다. 내부 누설은 진공계 내의 밸브 등의 칸막이로부터의 누설이나 내부의 부재로부터의 방출 가스에 기인한 것이다. 누설률을 상술한 수치 이하로 하기 위하여, 외부 누설 및 내부 누설의 양쪽 측면으로부터 대책을 마련할 필요가 있다.

[0354] 성막실에 존재하는 흡착물은, 내벽 등에 흡착되어 있기 때문에 성막실의 압력에 영향을 미치지 않지만, 성막실을 배기하였을 때의 가스 방출의 원인이 된다. 따라서, 배기 능력이 높은 펌프를 사용하여 성막실에 존재하는 흡착물을 가능한 한 이탈시키는 것은 중요하다. 또한, 흡착물의 이탈을 촉진하기 위하여 성막실을 베이킹하여도 좋다.

[0355] 또는, 가열이 수행된 희가스 등의 불활성 가스 또는 산소 등을 훌림으로써 성막실 내의 압력을 높이고, 일정 시간이 경과된 후에 성막실을 다시 배기하는 처리를 수행하는 것이 바람직하다. 가열이 수행된 가스를 훌림으로써 성막실 내의 흡착물을 이탈시킬 수 있어, 성막실 내에 존재하는 불순물을 저감시킬 수 있다.

[0356] 또한, 더미 성막을 수행하는 것으로 흡착물의 이탈 속도를 더 높일 수도 있다. 더미 성막이란, 더미 기판에 대하여 스퍼터링법 등으로 성막을 수행함으로써, 더미 기판 및 성막실 내벽에 막을 퇴적시키고, 성막실 내의 불순물 및 성막실 내벽의 흡착물을 막 내에 가두는 것을 말한다. 더미 기판으로서는, 방출 가스가 적은 기판이 바람직하고, 예를 들어 후술하는 기판(100)과 같은 기판을 사용하여도 좋다. 더미 성막을 수행함으로써, 나중에 형성되는 막 내의 불순물 농도를 저감시킬 수 있다. 또한, 더미 성막은 베이킹과 동시에 수행하여도 좋다.

[0357] 상술한 성막 장치를 사용하여 산화물 반도체층(106b)을 형성함으로써, 산화물 반도체층(106b)에 불순물이 혼입되는 것을 억제할 수 있다. 또한 상술한 성막 장치를 사용하여 산화물 반도체층(106b)에 접촉하는 막을 형성함으로써, 산화물 반도체층(106b)에 접촉하는 막으로부터 산화물 반도체층(106b)에 불순물이 혼입되는 것을 억제할 수 있다.

[0358] 다음에, 상술한 성막 장치를 사용하여 산화물층(106a), 산화물 반도체층(106b), 및 산화물층(106c)을 연속하여 형성하는 방법에 대하여 설명하기로 한다.

[0359] 우선, 산화물층(106a)을 형성한다. 산화물층(106a)은, 형성 시의 가열 온도가 높을수록 불순물 농도가 낮게 된다. 예를 들어, 형성 시의 기판 온도는 150°C 이상 500°C 이하, 바람직하게는 170°C 이상 450°C 이하로 한다. 산화물층(106a)은, 기판을 성막실에 반송한 후에 성막 가스를 훌리고 압력을 안정화시키기 위하여 10초 이상 1000초 이하, 바람직하게는 15초 이상 720초 이하 유지하고 나서 형성한다. 압력을 안정화시키기 위하여 상술한 시간 동안 유지시킴으로써, 산화물층(106a)을 형성할 때 불순물의 혼입량을 줄일 수 있다.

[0360] 다음에 다른 성막실로 이동시켜 산화물 반도체층(106b)을 형성한다. 산화물 반도체층(106b)은 형성 시의 가열 온도가 높을수록 불순물 농도가 낮게 된다. 예를 들어, 성막 시의 기판 온도는 150°C 이상 500°C 이하, 바람직하게는 170°C 이상 450°C 이하로 한다. 산화물 반도체층(106b)은, 기판을 성막실에 반송한 후, 성막 가스를 훌리고 압력을 안정화시키기 위하여 10초 이상 1000초 이하, 바람직하게는 15초 이상 720초 이하 유지하고 나서 형성한다. 압력을 안정화시키기 위하여 상술한 시간 동안 유지하면 산화물 반도체층(106b)을 형성할 때 불순물의 혼입량을 줄일 수 있다.

[0361] 그 다음에 다른 성막실로 이동시켜 산화물층(106c)을 형성한다. 산화물층(106c)은 형성 시의 가열 온도가 높을수록 불순물 농도가 낮게 된다. 예를 들어, 형성 시의 기판 온도는 150°C 이상 500°C 이하, 바람직하게는 170°C 이상 450°C 이하로 한다. 산화물층(106c)은, 기판을 성막실에 반송한 후에 성막 가스를 훌리고 압력을 안정화시키기 위하여 10초 이상 1000초 이하, 바람직하게는 15초 이상 720초 이하 유지하여 형성한다. 압력을 안정화시키기 위하여 상술한 시간을 유지하면 산화물층(106c)을 형성할 때 불순물의 혼입량을 줄일 수 있다.

[0362] 산화물층(106a), 산화물 반도체층(106b), 및 산화물층(106c)을 복수의 기판에 형성하는 경우에는, 형성하지 않는 기간에서도 미량의 희가스 또는 산소 가스 등을 계속해서 훌리는 것이 바람직하다. 이로써, 성막실의 압력을 높게 유지할 수 있기 때문에, 진공 펌프 등으로부터 불순물이 역류하는 것을 억제할 수 있다. 또한, 배관,

이 외의 부재 등으로부터 불순물이 방출되는 것을 억제할 수 있다. 따라서, 산화물층(106a), 산화물 반도체층(106b), 및 산화물층(106c)에 불순물이 흔입되는 것을 저감시킬 수 있다. 예를 들어, 아르곤을 1sccm 이상 500sccm 이하, 바람직하게는 2sccm 이상 200sccm 이하, 더 바람직하게는 5sccm 이상 100sccm 이하 흘리면 좋다.

[0363] 다음에, 가열 처리를 수행한다. 가열 처리는, 불활성 분위기 또는 산화성 분위기에서 수행한다. 가열 처리는 감압 상태에서 수행하여도 좋다. 가열 처리에 의하여 산화물층(106a), 산화물 반도체층(106b), 및 산화물층(106c)의 불순물 농도를 저감시킬 수 있다.

[0364] 불활성 분위기에서 가열 처리를 수행한 후, 온도를 유지하면서 산화성 분위기로 전환시켜 가열 처리를 더 수행하면 바람직하다. 이렇게 하는 이유로서는, 불활성 분위기에서 가열 처리를 수행하면, 산화물층(106a), 산화물 반도체층(106b), 및 산화물층(106c)의 불순물 농도를 저감시킬 수 있지만, 동시에 산소 결손도 생기는 경우가 있기 때문에, 이 때 생긴 산소 결손을 산화성 분위기에서의 가열 처리에 의하여 저감시킬 수 있다.

[0365] 이로써 얻어진 산화물층(106a), 산화물 반도체층(106b), 및 산화물층(106c)의 수소 농도는 SIMS에 있어서, $2 \times 10^{20} \text{ atoms/cm}^3$ 이하, 바람직하게는 $5 \times 10^{19} \text{ atoms/cm}^3$ 이하, 더 바람직하게는 $1 \times 10^{19} \text{ atoms/cm}^3$ 이하, 더욱 바람직하게는 $5 \times 10^{18} \text{ atoms/cm}^3$ 이하가 된다.

[0366] 또한, 산화물층(106a), 산화물 반도체층(106b), 및 산화물층(106c)의 각각의 탄소 농도는 SIMS에 있어서, $5 \times 10^{19} \text{ atoms/cm}^3$ 미만, 바람직하게는 $5 \times 10^{18} \text{ atoms/cm}^3$ 이하, 더 바람직하게는 $2 \times 10^{18} \text{ atoms/cm}^3$ 이하, 더욱 바람직하게는 $5 \times 10^{17} \text{ atoms/cm}^3$ 이하가 된다.

[0367] 상술한 바와 같이 하여, 산화물층(106a), 산화물 반도체층(106b), 및 산화물층(106c)을 형성함으로써 산화물 반도체층(106b)의 결정성을 높일 수 있고, 또한 산화물층(106a), 산화물 반도체층(106b), 산화물층(106c), 산화물층(106a)과 산화물 반도체층(106b)의 계면, 및 산화물 반도체층(106b)과 산화물층(106c)의 계면에서의 불순물 농도를 저감시킬 수 있다.

[0368] <트랜지스터 구조 (2)>

[0369] 다음에 트랜지스터 구조 (1)와 다른 텁 게이트 텁 콘택트형의 트랜지스터의 일례에 대하여 설명하기로 한다.

[0370] 도 15는 트랜지스터의 상면도 및 단면도를 도시한 것이다. 도 15의 (A)는 트랜지스터의 상면도를 도시한 것이다. 도 15의 (B)는, 도 15의 (A)에서의 일점 쇄선 B1-B2부분에 대응하는 단면도를 도시한 것이다. 또한, 도 15의 (C)는, 도 15의 (A)에서의 일점 쇄선 B3-B4부분에 대응하는 단면도를 도시한 것이다.

[0371] 도 15의 (B)에 도시된 트랜지스터는, 기판(200) 위의 하지 절연막(202)과, 하지 절연막(202) 위의 산화물층(206a)과, 산화물층(206a) 위의 산화물 반도체층(206b)과, 산화물 반도체층(206b)에 접촉하는 소스 전극(216a) 및 드레인 전극(216b)과, 산화물 반도체층(206b) 위, 소스 전극(216a) 및 드레인 전극(216b) 위의 산화물층(206c)과, 산화물층(206c) 위의 게이트 절연막(212)과, 게이트 절연막(212) 위의 게이트 전극(204)을 갖는다. 또한, 바람직하게는 게이트 절연막(212) 및 게이트 전극(204) 위에, 보호 절연막(218)과, 보호 절연막(218) 위의 보호 절연막(208)을 제공한다. 또한, 트랜지스터는 하지 절연막(202)을 갖지 않아도 좋다.

[0372] 또한, 도 15에 도시된 트랜지스터의 하지 절연막(202)은, 예를 들어 도 9의 (A)에 도시된 트랜지스터의 게이트 절연막(bg)에 상당한다. 또한, 도 15에 도시된 트랜지스터는 예를 들어 도 9의 (A)에 도시된 트랜지스터의 게이트 전극(bg)을 가져도 좋다. 도 15에 도시된 트랜지스터는, 예를 들어 게이트 전극(204)과 대향하도록, 하지 절연막(202)의 하면과 접촉하는 백 게이트 전극을 가져도 좋다. 또한, 도 15에 도시된 트랜지스터에 있어서, 기판(200)이 도전성을 갖는 경우, 예를 들어 기판(200)이 도 9의 (A)에 도시된 트랜지스터의 게이트 절연막(bg)에 상당하여도 좋다. 또한, 도 15에 도시된 트랜지스터에 있어서, 하지 절연막(202)보다 아래쪽에 배선 등의 도전막을 갖는 경우, 이 도전막이 도 9의 (A)에 도시된 트랜지스터의 게이트 절연막(bg)에 상당하여도 좋다.

[0373] 또한, 도 15에서는 게이트 전극(204), 게이트 절연막(212), 및 산화물층(206c)이 대략 동일한 상면 형상(상면도로부터 본 형상)을 갖는 예에 대하여 도시하였으나 이에 제한되는 것이 아니다. 예를 들어, 산화물층(206c) 또는/및 게이트 절연막(212)이 게이트 전극(204)의 외측까지 제공되어 있어도 좋다.

[0374] 또한, 소스 전극(216a) 및 드레인 전극(216b)에 사용되는 도전막의 종류에 따라서는, 산화물 반도체층(206b)의 일부로부터 산소를 빼앗음으로써, 또는 혼합층을 형성함으로써, 산화물 반도체층(206b) 내에 n형 영역을 형성하

는 경우가 있다.

[0375] 또한, 도 15의 (A)에 도시된 상면도에 있어서, 산화물 반도체층(206b)은 게이트 전극(204)의 외측까지 제공된다. 다만, 산화물 반도체층(206b) 전체가 게이트 전극(204)의 내측에 제공되어도 좋다. 이로써, 게이트 전극(204) 측으로부터 빛이 입사되었을 때 산화물 반도체층(206b) 내에서 빛에 의하여 캐리어가 생성되는 것을 억제할 수 있다. 즉, 게이트 전극(204)은 차광막으로서의 기능을 갖는다.

[0376] 또한, 보호 절연막(218)과 보호 절연막(208)의 상하 관계를 바꿔도 좋다. 예를 들어, 보호 절연막(208) 위에 보호 절연막(218)이 제공되어도 좋다.

[0377] 산화물층(206a), 산화물 반도체층(206b), 및 산화물층(206c)에 대해서는, 각각 산화물층(106a), 산화물 반도체층(106b), 및 산화물층(106c)에 대한 기재를 참조한다. 또한, 하지 절연막(202)에 대해서는 하지 절연막(102)의 기재를 참조한다. 또한, 소스 전극(216a) 및 드레인 전극(216b)에 대해서는 소스 전극(116a) 및 드레인 전극(116b)의 기재를 참조한다. 게이트 절연막(212)은 게이트 절연막(112)의 기재를 참조한다. 게이트 전극(204)에 대해서는 게이트 전극(104)의 기재를 참조한다. 보호 절연막(218)에 대해서는 보호 절연막(118)의 기재를 참조한다. 보호 절연막(208)에 대해서는 보호 절연막(108)의 기재를 참조한다. 기판(200)은 기판(100)의 기재를 참조한다.

[0378] <트랜지스터 구조 (2)의 제작 방법>

[0379] 이하에서는 트랜지스터 구조 (2)의 제작 방법의 일례에 대하여 설명하기로 한다.

[0380] 도 16 및 도 17은 도 15의 (B)에 대응하는 단면도를 도시한 것이다.

[0381] 우선, 기판(200)을 준비한다.

[0382] 다음에, 하지 절연막(202)을 형성한다. 하지 절연막(202)의 형성 방법에 대해서는 하지 절연막(102)의 기재를 참조한다.

[0383] 그 다음에, 산화물층(236a) 및 산화물 반도체층(236b)을 이 순서대로 형성한다(도 16의 (A) 참조). 산화물층(236a) 및 산화물 반도체층(236b)의 형성 방법에 대해서는 각각 산화물층(136a) 및 산화물 반도체층(136b)의 형성 방법을 참조한다.

[0384] 이 다음에 제1가열 처리를 수행하는 것이 바람직하다. 제1가열 처리에 대해서는 트랜지스터 구조 (1)의 제작 방법의 기재를 참조한다.

[0385] 다음에 산화물층(236a) 및 산화물 반도체층(236b)의 일부를 에칭하여 섬 형상의 산화물층(206a) 및 산화물 반도체층(206b)을 형성한다(도 16의 (B) 참조).

[0386] 다음에, 도전막(216)을 형성한다(도 16의 (C) 참조). 도전막(216)의 형성 방법에 대해서는 도전막(116)의 기재를 참조한다.

[0387] 다음에, 도전막(216)의 일부를 에칭하여 소스 전극(216a) 및 드레인 전극(216b)을 형성한다.

[0388] 그 다음으로 제2가열 처리를 수행하는 것이 바람직하다. 제2가열 처리에 대해서는 트랜지스터 구조 (1)의 제작 방법의 기재를 참조한다. 제2가열 처리를 수행함으로써 산화물 반도체층(206b) 중 노출된 n형 영역을 i형 영역으로 할 수 있는 경우가 있다(도 16의 (D) 참조).

[0389] 다음에는 산화물층(236c)을 형성한다(도 17의 (A) 참조). 산화물층(236c)의 형성 방법에 대해서는 산화물층(136c)의 기재를 참조한다.

[0390] 다음은, 절연막(242)을 형성한다. 절연막(242)의 형성 방법에 대해서는 게이트 절연막(112)의 형성 방법을 참조한다.

[0391] 절연막(242)은 예를 들어 플라즈마를 이용한 CVD법에 의하여 형성하면 좋다. CVD법을 이용하면, 기판 온도를 높게 할수록, 치밀하며 결합 밀도가 낮은 절연막을 얻을 수 있다. 절연막(242)은 가공된 후에 게이트 절연막(212)으로서 기능하기 때문에, 치밀하며 결합 밀도가 낮을수록 트랜지스터의 전기 특성이 안정적이 된다. 한편, 하지 절연막(202)이 과잉 산소를 포함하는 경우 트랜지스터의 전기 특성이 안정적이 된다. 그런데 하지 절연막(202)이 노출된 상태에서 기판 온도를 높게 하면 하지 절연막(202)으로부터 산소가 방출되어 과잉 산소가 저감되는 경우가 있다. 여기서는, 절연막(242) 형성 시에 하지 절연막(202)이 산화물층(236c)으로 덮여 있으므로 하지 절연막(202)으로부터의 산소 방출을 억제할 수 있다. 그러므로, 하지 절연막(202)에 포함되는 과잉 산

소를 저감시키는 일 없이 절연막(242)을 치밀하며 결함 밀도가 낮은 절연막으로 할 수 있다. 따라서, 트랜지스터의 신뢰성을 높일 수 있다.

[0392] 다음에, 도전막(234)을 형성한다(도 17의 (B) 참조). 도전막(234)의 형성 방법에 대해서는 게이트 전극(104)이 되는 도전막의 기재를 참조한다.

[0393] 다음에 산화물층(236c), 절연막(242), 및 도전막(234)의 일부를 에칭하여 각각 산화물층(206c), 게이트 절연막(212), 및 게이트 전극(204)으로 한다(도 17의 (C) 참조).

[0394] 다음에, 보호 절연막(218)을 형성한다. 보호 절연막(218)의 형성 방법에 대해서는 보호 절연막(118)의 기재를 참조한다.

[0395] 다음에, 보호 절연막(208)을 형성한다(도 17의 (D) 참조). 보호 절연막(208)의 형성 방법에 대해서는 보호 절연막(108)의 기재를 참조한다.

[0396] 그 다음으로 제3가열 처리를 수행하는 것이 바람직하다. 제3가열 처리는 트랜지스터 구조 (1)의 제작 방법의 기재를 참조한다.

[0397] 상술한 바와 같이 하여 도 15에 도시된 트랜지스터를 제작할 수 있다.

[0398] <트랜지스터 구조 (3)>

[0399] 이하에서는, 보텀 게이트 톱 콘택트형의 트랜지스터의 일례에 대하여 설명하기로 한다.

[0400] 도 18은 트랜지스터의 상면도 및 단면도를 도시한 것이다. 도 18의 (A)는 트랜지스터의 상면도를 도시한 것이다. 도 18의 (B)는, 도 18의 (A)에서의 일점 쇄선 C1-C2부분에 대응하는 단면도를 도시한 것이다. 또한, 도 18의 (C)는, 도 18의 (A)에서의 일점 쇄선 C3-C4부분에 대응하는 단면도를 도시한 것이다.

[0401] 도 18의 (B)에 도시된 트랜지스터는, 기판(300) 위의 게이트 전극(304)과, 게이트 전극(304) 위의 게이트 절연막(312)과, 게이트 절연막(312) 위의 산화물층(306a)과, 산화물층(306a) 위의 산화물 반도체층(306b)과, 산화물 반도체층(306b) 위의 산화물층(306c)과, 산화물층(306c)에 접촉하는 소스 전극(316a) 및 드레인 전극(316b)을 갖는다. 또한, 산화물층(306c) 위, 소스 전극(316a) 및 드레인 전극(316b) 위의 보호 절연막(318)을 제공한다.

[0402] 또한, 도 18에 도시된 트랜지스터의 보호 절연막(318)은, 예를 들어 도 9의 (A)에 도시된 트랜지스터의 게이트 절연막(bg)에 상당한다. 또한, 도 18에 도시된 트랜지스터는 예를 들어 도 9의 (A)에 도시된 트랜지스터의 게이트 전극(bg)을 가져도 좋다. 도 18에 도시된 트랜지스터는, 예를 들어 게이트 전극(304)과 대향하도록, 보호 절연막(318)의 상면과 접촉하는 백 게이트 전극을 가져도 좋다. 또한, 도 18에 도시된 트랜지스터에 있어서, 보호 절연막(318)보다 위쪽에 배선 등의 도전막을 갖는 경우, 이 도전막이 도 9의 (A)에 도시된 트랜지스터의 게이트 절연막(bg)에 상당하여도 좋다.

[0403] 또한, 소스 전극(316a) 및 드레인 전극(316b)에 사용되는 도전막의 종류에 따라서는, 산화물 반도체층(306b), 산화물층(306c)의 일부로부터 산소를 빼았음으로써, 또는 혼합층을 형성함으로써, 산화물 반도체층(306b), 산화물층(306c) 내에 n형 영역(저저항 영역)을 형성하는 경우가 있다.

[0404] 또한, 도 18의 (A)에 도시된 상면도에 있어서, 게이트 전극(304)은 산화물 반도체층(306b)의 내측에 포함되도록 제공된다. 이로써, 게이트 전극(304) 측으로부터 빛이 입사되었을 때 산화물 반도체층(306b) 내에서 빛에 의하여 캐리어가 생성되는 것을 억제할 수 있다. 즉, 게이트 전극(304)은 차광막으로서의 기능을 갖는다. 다만, 게이트 전극(304)의 외측까지 산화물 반도체층(306b)이 제공되어도 좋다.

[0405] 산화물층(306a), 산화물 반도체층(306b), 및 산화물층(306c)에 대해서는 각각 산화물층(106a), 산화물 반도체층(106b), 및 산화물층(106c)에 대한 기재를 참조한다. 즉, 보텀 게이트 톱 콘택트형의 트랜지스터는, 톱 게이트 톱 콘택트형의 트랜지스터와 상하가 바뀐 바와 같은 적층 구조를 갖는다.

[0406] 보호 절연막(318)은, 산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 갈륨, 산화 게르마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄, 산화 탄탈럼 중 1종류 이상을 포함한 절연막을 단층으로 또는 적층으로 사용하면 좋다.

[0407] 보호 절연막(318)은, 예를 들어 첫 번째 층이 산화 실리콘층이고 두 번째 층이 질화 실리콘층인 다층막으로 하면 좋다. 이 경우, 산화 실리콘층은 산화 질화 실리콘층이라도 좋다. 또한, 질화 실리콘층은 질화 산화 실리콘층이라도 좋다. 산화 실리콘층에는 결함 밀도가 작은 산화 실리콘층을 사용하면 바람직하다. 구체적으로는

ESR에서 측정한 경우에 g값이 2.001인 신호에서 유래하는 스픈의 밀도가 3×10^{17} spins/cm³ 이하, 바람직하게는 5 $\times 10^{16}$ spins/cm³ 이하인 산화 실리콘층을 사용한다. 질화 실리콘층에는 수소 가스 및 암모니아 가스의 방출량이 적은 질화 실리콘층을 사용한다. 수소 가스 및 암모니아 가스의 방출량은 TDS 분석으로 측정하면 좋다. 또한, 질화 실리콘층에는 수소, 물, 및 산소를 투과시키지 않거나 또는 거의 투과시키지 않는 질화 실리콘층을 사용한다.

[0408] 또는, 보호 절연막(318)은, 예를 들어 첫 번째 층이 제1산화 실리콘층(318a)이고 두 번째 층이 제2산화 실리콘층(318b)이고, 세 번째 층이 질화 실리콘층(318c)인 다층막으로 하면 좋다(도 18의 (D) 참조). 이 경우, 제1산화 실리콘층(318a) 또는/및 제2산화 실리콘층(318b)은 산화 질화 실리콘층이라도 좋다. 또한, 질화 실리콘층은 질화 산화 실리콘층이라도 좋다. 제1산화 실리콘층(318a)에는 결함 밀도가 작은 산화 실리콘층을 사용하면 바람직하다. 구체적으로는 ESR에서 측정한 경우에 g값이 2.001인 신호에서 유래하는 스픈의 밀도가 3×10^{17} spins/cm³ 이하, 바람직하게는 5×10^{16} spins/cm³ 이하인 산화 실리콘층을 사용한다. 제2산화 실리콘층(318b)에는 과잉 산소를 포함한 산화 실리콘층을 사용한다. 질화 실리콘층(318c)에는 수소 가스 및 암모니아 가스의 방출량이 적은 질화 실리콘층을 사용한다. 또한, 질화 실리콘층에는 수소, 물, 및 산소를 투과시키지 않거나 또는 거의 투과시키지 않는 질화 실리콘층을 사용한다.

[0409] 과잉 산소를 포함한 산화 실리콘층이란, 가열 처리 등에 의하여 산소를 방출할 수 있는 산화 실리콘층을 말한다. 또한, 과잉 산소를 포함한 절연막은, 가열 처리에 의하여 산소를 방출하는 기능을 갖는 절연막이다.

[0410] 과잉 산소를 포함한 절연막은, 산화물 반도체층(306b) 내의 산소 결손을 저감시킬 수 있다. 산화물 반도체층(306b) 내에서 산소 결손은 DOS를 형성하고 전하 트랩 등이 된다. 따라서, 산화물 반도체층(306b) 내의 산소 결손을 저감시킴으로써 트랜지스터에 안정적인 전기 특성을 부여할 수 있다.

[0411] 또한, 소스 전극(316a) 및 드레인 전극(316b)에 대해서는 소스 전극(116a) 및 드레인 전극(116b)의 기재를 참조한다. 게이트 절연막(312)에 대해서는 게이트 절연막(112)의 기재를 참조한다. 게이트 전극(304)에 대해서는 게이트 전극(104)의 기재를 참조한다. 기판(300)에 대해서는 기판(100)의 기재를 참조한다.

[0412] <트랜지스터 구조 (3)의 제작 방법>

[0413] 이하에서는 트랜지스터 구조 (3)의 제작 방법의 일례에 대하여 설명하기로 한다.

[0414] 도 19는 도 18의 (B)에 대응하는 단면도를 도시한 것이다.

[0415] 우선, 기판(300)을 준비한다.

[0416] 다음에 게이트 전극(304)이 되는 도전막을 형성한다. 게이트 전극(304)이 되는 도전막의 형성 방법에 대해서는 게이트 전극(104)이 되는 도전막의 기재를 참조한다.

[0417] 다음에 게이트 전극(304)이 되는 도전막의 일부를 에칭하고 게이트 전극(304)을 형성한다.

[0418] 다음에 게이트 절연막(312)을 형성한다. 게이트 절연막(312)의 형성 방법에 대해서는 게이트 절연막(112)의 형성 방법을 참조한다.

[0419] 게이트 절연막(312)은 예를 들어 플라즈마를 이용한 CVD법에 의하여 형성하면 좋다. CVD법을 이용하면, 기판 온도를 높게 할수록, 치밀하며 결함 밀도가 낮은 절연막을 얻을 수 있다. 게이트 절연막(312)이 치밀하며 결함 밀도가 낮을수록 트랜지스터의 전기 특성이 안정적이 된다.

[0420] 다음에 산화물층(336a), 산화물 반도체층(336b), 및 산화물층(336c)을 이 순서대로 형성한다(도 19의 (A) 참조). 산화물층(336a), 산화물 반도체층(336b), 및 산화물층(336c)의 형성 방법에 대해서는 각각 산화물층(136c), 산화물 반도체층(136b), 및 산화물층(136a)의 형성 방법을 참조한다.

[0421] 다음에는 제1가열 처리를 수행하는 것이 바람직하다. 제1가열 처리에 대해서는 트랜지스터 구조 (1)의 제작 방법의 기재를 참조한다.

[0422] 이 다음에 산화물층(336a), 산화물 반도체층(336b), 및 산화물층(336c)의 일부를 에칭하여 섬 형상의 산화물층(306a), 산화물 반도체층(306b), 및 산화물층(306c)을 형성한다(도 19의 (B) 참조).

[0423] 다음에 소스 전극(316a) 및 드레인 전극(316b)이 되는 도전막을 형성한다. 소스 전극(316a) 및 드레인 전극(316b)이 되는 도전막의 형성 방법에 대해서는 도전막(116)의 기재를 참조한다. 이 때 산화물층(306c) 중 파선

으로 도시된 영역에 n형 영역이 형성되는 경우가 있다. n형 영역은, 산화물층(306c) 위에 도전막을 형성할 때의 대미지나, 도전막의 작용에 따라 산화물층(306c)에 산소 결손이 생기는 것에 기인하여 형성된다. 예를 들어 산소 결손의 사이트에 수소가 들어감으로써 캐리어인 전자를 생성하는 경우가 있다. 또한, n형 영역은 산화물층(306c)과 산화물 반도체층(306b)의 경계 근방까지 형성되어 있으나 이에 제한되는 것이 아니다. 예를 들어 n형 영역이 산화물층(306c) 및 산화물 반도체층(306b), 또는 산화물층(306c)에만 형성되어도 좋다.

[0424] 다음은, 소스 전극(316a) 및 드레인 전극(316b)이 되는 도전막의 일부를 에칭하여 소스 전극(316a) 및 드레인 전극(316b)을 형성한다.

[0425] 다음에는 제2가열 처리를 수행하는 것이 바람직하다. 제2가열 처리에 대해서는 트랜지스터 구조 (1)의 제작 방법의 기재를 참조한다. 제2가열 처리를 수행함으로써 산화물층(306c) 또는/및 산화물 반도체층(306b) 중 노출된 n형 영역을 i형 영역으로 할 수 있는 경우가 있다(도 19의 (C) 참조).

[0426] 다음에 보호 절연막(318)을 형성한다(도 19의 (D) 참조).

[0427] 여기서 도 18의 (D)에 도시된 바와 같이 보호 절연막(318)의 구조를 3층 구조로 하는 경우에 대하여 설명하기로 한다. 우선, 제1산화 실리콘층(318a)을 형성한다. 다음에 제2산화 실리콘층(318b)을 형성한다. 그 다음에는 제2산화 실리콘층(318b)에 산소 이온을 첨가하는 처리를 수행하여도 좋다. 산소 이온을 첨가하는 처리에는, 이온 도핑 장치 또는 플라즈마 처리 장치를 사용하면 좋다. 이온 도핑 장치로서는, 질량 분리 기능을 갖는 이온 도핑 장치를 사용하여도 좋다. 산소 이온의 원료로서 $^{16}\text{O}_2$ 또는 $^{18}\text{O}_2$ 등의 산소 가스, 아산화 질소 가스 또는 오존 가스 등을 사용하면 좋다. 다음에, 질화 실리콘층(318c)을 형성함으로써 보호 절연막(318)을 형성하면 좋다.

[0428] 제1산화 실리콘층(318a)은, CVD법의 일종인 플라즈마 CVD법에 의하여 형성하는 것이 바람직하다. 구체적으로는, 기판 온도를 180°C 이상 400°C 이하, 바람직하게는 200°C 이상 370°C 이하로 하고, 실리콘을 포함한 퇴적성 가스 및 산화성 가스를 사용하여 압력을 20Pa 이상 250Pa 이하, 바람직하게는 40Pa 이상 200Pa 이하로 하고, 전극에 고주파 전력을 공급함으로써 성막하면 좋다. 또한, 실리콘을 포함한 퇴적성 가스의 대표적인 예로서는, 실레인, 다이실레인, 트라이실레인, 불화 실레인 등이 있다. 산화성 가스로서는, 산소, 오존, 아산화 질소, 이산화 질소 등이 있다.

[0429] 또한, 실리콘을 포함한 퇴적성 가스에 대한 산화성 가스의 유량을 100배 이상으로 함으로써, 제1산화 실리콘층(318a) 내의 수소 함유량을 줄이며 탱글링 본드를 저감시킬 수 있다.

[0430] 상술한 바와 같이 하여, 결합 밀도가 작은 제1산화 실리콘층(318a)을 형성한다. 즉, 제1산화 실리콘층(318a)은 ESR에서 측정한 경우에 g값이 2.001인 신호에서 유래하는 스펜의 밀도를 $3 \times 10^{17} \text{ spins/cm}^3$ 이하, 또는 $5 \times 10^{16} \text{ spins/cm}^3$ 이하로 할 수 있다.

[0431] 제2산화 실리콘층(318b)은, 플라즈마 CVD법에 의하여 형성하는 것이 바람직하다. 구체적으로는, 기판 온도를 160°C 이상 350°C 이하, 바람직하게는 180°C 이상 260°C 이하로 하고, 실리콘을 포함한 퇴적성 가스 및 산화성 가스를 사용하여 압력을 100Pa 이상 250Pa 이하, 바람직하게는 100Pa 이상 200Pa 이하로 하고, 전극에 0.17W/cm^2 이상 0.5W/cm^2 이하, 바람직하게는 0.25W/cm^2 이상 0.35W/cm^2 이하의 고주파 전력을 공급함으로써 성막하면 좋다.

[0432] 상술한 방법에 의하여, 플라즈마 내의 가스의 분해 효율이 높아지고, 산소 라디칼이 증가되고, 가스의 산화가 진행되기 때문에, 과잉 산소를 포함한 제2산화 실리콘층(318b)을 형성할 수 있다.

[0433] 질화 실리콘층(318c)은 플라즈마 CVD법으로 형성하는 것이 바람직하다. 구체적으로는, 기판 온도를 180°C 이상 400°C 이하, 바람직하게는 200°C 이상 370°C 이하로 하고, 실리콘을 포함한 퇴적성 가스, 질소 가스 및 암모니아 가스를 사용하여 압력을 20Pa 이상 250Pa 이하, 바람직하게는 40Pa 이상 200Pa 이하로 하고, 전극에 고주파 전력을 공급함으로써 성막하면 좋다.

[0434] 또한, 질소 가스는 암모니아 가스의 유량의 5배 이상 50배 이하, 바람직하게는 10배 이상 50배 이하로 한다. 또한, 암모니아 가스를 사용함으로써, 실리콘을 포함한 퇴적성 가스 및 질소 가스의 분해를 촉진할 수 있고, 이것은 암모니아 가스가 플라즈마 에너지 및 열 에너지에 의하여 해리되고, 해리됨으로써 발생되는 에너지가 실리콘을 포함한 퇴적성 가스의 결합 및 질소 가스의 결합의 분해에 기여하기 때문이다.

- [0435] 따라서, 상술한 방법에 의하여, 수소 가스 및 암모니아 가스의 방출량이 적은 질화 실리콘층(318c)을 형성할 수 있다. 또한, 수소의 함유량이 적기 때문에, 수소, 물 및 산소를 투과시키지 않거나 또는 거의 투과시키지 않는 치밀한 질화 실리콘층(318c)으로 할 수 있다.
- [0436] 상술한 바와 같이 하여 보호 절연막(318)을 형성하면 좋다.
- [0437] 다음에, 제3가열 처리를 수행하는 것이 바람직하다. 제3가열 처리에 대해서는 트랜지스터 구조 (1)의 제작 방법의 기재를 참조한다.
- [0438] 상술한 공정을 거쳐 도 18에 도시된 트랜지스터를 제작할 수 있다.
- [0439] <트랜지스터 구조 (4)>
- [0440] 트랜지스터 구조 (3)와 다른 보텀 게이트 톱 콘택트형의 트랜지스터의 일례에 대하여 설명하기로 한다.
- [0441] 도 20은 트랜지스터의 상면도 및 단면도를 도시한 것이다. 도 20의 (A)는 트랜지스터의 상면도를 도시한 것이다. 도 20의 (B)는, 도 20의 (A)에서의 일점 쇄선 D1-D2부분에 대응하는 단면도를 도시한 것이다. 또한, 도 20의 (C)는, 도 20의 (A)에서의 일점 쇄선 D3-D4부분에 대응하는 단면도를 도시한 것이다.
- [0442] 도 20의 (B)에 도시된 트랜지스터는, 기판(400) 위의 게이트 전극(404)과, 게이트 전극(404) 위의 게이트 절연막(412)과, 게이트 절연막(412) 위의 산화물층(406a)과, 산화물층(406a) 위의 산화물 반도체층(406b)과, 산화물 반도체층(406b) 위의 산화물층(406c)과, 게이트 절연막(412) 위 및 산화물층(406c) 위의 보호 절연막(418)과, 보호 절연막(418)에 제공된 개구부를 통하여 산화물층(406c)에 접촉하는 소스 전극(416a) 및 드레인 전극(416b)을 갖는다.
- [0443] 또한, 도 20에 도시된 트랜지스터의 보호 절연막(418)은, 예를 들어 도 9의 (A)에 도시된 트랜지스터의 게이트 절연막(bg)에 상당한다. 또한, 도 20에 도시된 트랜지스터는 예를 들어 도 9의 (A)에 도시된 트랜지스터의 게이트 전극(bg)을 가져도 좋다. 도 20에 도시된 트랜지스터는, 예를 들어 보호 절연막(418) 위, 소스 전극(416a) 위, 및 드레인 전극(416b) 위에 백 게이트 절연막을 제공하고, 게이트 전극(404)과 대향하도록, 백 게이트 절연막의 상면에 접촉하는 백 게이트 전극을 가져도 좋다.
- [0444] 또한, 소스 전극(416a) 및 드레인 전극(416b)에 사용되는 도전막의 종류에 따라서는, 산화물 반도체층(406b), 산화물층(406c)의 일부로부터 산소를 빼앗음으로써, 또는 혼합층을 형성함으로써, 산화물 반도체층(406b), 산화물층(406c) 내에 n형 영역(저저항 영역)을 형성하는 경우가 있다.
- [0445] 또한, 도 20의 (A)에 도시된 상면도에 있어서, 산화물 반도체층(406b)이 내측에 포함되도록 게이트 전극(404)이 제공된다. 이로써, 게이트 전극(404) 측으로부터 빛이 입사되었을 때 산화물 반도체층(406b) 내에서 빛에 의하여 캐리어가 생성되는 것을 억제할 수 있다. 즉, 게이트 전극(404)은 차광막으로서의 기능을 갖는다. 다만, 게이트 전극(404)의 외측까지 산화물 반도체층(406b)이 제공되어도 좋다.
- [0446] 산화물층(406a), 산화물 반도체층(406b), 및 산화물층(406c)에 대해서는 각각 산화물층(106a), 산화물 반도체층(106b), 및 산화물층(106c)에 대한 기재를 참조한다. 즉, 보텀 게이트 톱 콘택트형 트랜지스터는, 톱 게이트 톱 콘택트형의 트랜지스터와 상하가 바뀐 바와 같은 적층 구조를 갖는다.
- [0447] 보호 절연막(418)에 대해서는 보호 절연막(318)의 기재를 참조한다.
- [0448] 보호 절연막(418)은 과잉 산소를 포함한 절연막을 가지면 바람직하다. 과잉 산소를 포함한 절연막은 산화물 반도체층(406b) 내의 산소 결손을 저감시킬 수 있다. 산화물 반도체층(406b) 내에서 산소 결손은 DOS를 형성하고 전하 트랩 등이 된다. 따라서, 산화물 반도체층(406b) 내의 산소 결손을 저감시킴으로써 트랜지스터에 안정적인 전기 특성을 부여할 수 있다.
- [0449] 또한, 소스 전극(416a) 및 드레인 전극(416b)에 대해서는 소스 전극(116a) 및 드레인 전극(116b)의 기재를 참조한다. 게이트 절연막(412)에 대해서는 게이트 절연막(112)의 기재를 참조한다. 게이트 전극(404)에 대해서는 게이트 전극(104)의 기재를 참조한다. 기판(400)에 대해서는 기판(100)의 기재를 참조한다.
- [0450] <트랜지스터 구조 (4)의 제작 방법>
- [0451] 이하에서는 트랜지스터 구조 (4)의 제작 방법의 일례에 대하여 설명하기로 한다.
- [0452] 도 21은 도 20의 (B)에 대응하는 단면도를 도시한 것이다.

- [0453] 우선, 기판(400)을 준비한다.
- [0454] 다음에 게이트 전극(404)이 되는 도전막을 형성한다. 게이트 전극(404)이 되는 도전막의 형성 방법에 대해서는 게이트 전극(104)이 되는 도전막의 기재를 참조한다.
- [0455] 다음에 게이트 전극(404)이 되는 도전막의 일부를 에칭하여 게이트 전극(404)을 형성한다.
- [0456] 다음에 게이트 절연막(412)을 형성한다. 게이트 절연막(412)의 형성 방법에 대해서는 게이트 절연막(112)의 형성 방법을 참조한다.
- [0457] 게이트 절연막(412)은 예를 들어 플라즈마 CVD법을 이용하여 형성하면 좋다. CVD법을 이용하면, 기판 온도를 높게 할수록, 치밀하며 결합 밀도가 낮은 절연막을 얻을 수 있다. 게이트 절연막(412)이 치밀하며 결합 밀도가 낮을수록 트랜지스터의 전기 특성이 안정적이 된다.
- [0458] 다음에 산화물층(436a), 산화물 반도체층(436b), 및 산화물층(436c)을 이 순서대로 형성한다(도 21의 (A) 참조). 산화물층(436a), 산화물 반도체층(436b), 및 산화물층(436c)의 형성 방법에 대해서는 각각 산화물층(136a), 산화물 반도체층(136b), 및 산화물층(136c)의 형성 방법을 참조한다.
- [0459] 다음에는 제1가열 처리를 수행하는 것이 바람직하다. 제1가열 처리에 대해서는 트랜지스터 구조 (1)의 제작 방법의 기재를 참조한다.
- [0460] 이 다음에 산화물층(436a), 산화물 반도체층(436b), 및 산화물층(436c)의 일부를 에칭하여 섬 형상의 산화물층(406a), 산화물 반도체층(406b), 및 산화물층(406c)을 형성한다(도 21의 (B) 참조).
- [0461] 다음에 보호 절연막(418)이 되는 절연막을 형성한다. 보호 절연막(418)이 되는 절연막의 형성 방법에 대해서는 보호 절연막(318)의 기재를 참조한다.
- [0462] 다음에는 제2가열 처리를 수행하는 것이 바람직하다. 제2가열 처리에 대해서는 트랜지스터 구조 (1)의 제작 방법의 기재를 참조한다.
- [0463] 이 다음에 보호 절연막(418)이 되는 절연막의 일부를 에칭하여 보호 절연막(418)을 형성한다(도 21의 (C) 참조).
- [0464] 다음에 소스 전극(416a) 및 드레인 전극(416b)이 되는 도전막을 형성한다. 소스 전극(416a) 및 드레인 전극(416b)이 되는 도전막의 형성 방법에 대해서는 도전막(116)의 기재를 참조한다. 이 때 산화물층(406c) 중 파선으로 도시된 영역에 n형 영역이 형성되는 경우가 있다. n형 영역은, 산화물층(406c) 위에 도전막을 형성할 때의 대미지나, 도전막의 작용에 따라 산화물층(406c)에 산소 결손이 생기는 것에 기인하여 형성된다. 예를 들어 산소 결손의 사이트에 수소가 들어감으로써 캐리어인 전자를 생성하는 경우가 있다. 또한, n형 영역은 산화물층(406c)과 산화물 반도체층(406b)의 경계 근방까지 형성되어 있으나 이에 제한되는 것이 아니다. 예를 들어 n형 영역이 산화물층(406c) 및 산화물 반도체층(406b), 또는 산화물층(406c)에만 형성되어도 좋다.
- [0465] 다음은, 소스 전극(416a) 및 드레인 전극(416b)이 되는 도전막의 일부를 에칭하여 소스 전극(416a) 및 드레인 전극(416b)을 형성한다(도 21의 (D) 참조).
- [0466] 다음에는 제3가열 처리를 수행하는 것이 바람직하다. 제3가열 처리에 대해서는 트랜지스터 구조 (1)의 제작 방법의 기재를 참조한다.
- [0467] 상술한 공정을 거쳐 도 20에 도시된 트랜지스터를 제작할 수 있다.
- [0468] <응용 제품에 대해서>
- [0469] 이하에서는 상술한 트랜지스터를 사용한 응용 제품에 대하여 설명하기로 한다.
- [0470] <마이크로 컴퓨터>
- [0471] 상술한 트랜지스터는 다양한 전자 기기에 탑재되는 마이크로 컴퓨터에 적용할 수 있다.
- [0472] 이하에서는 마이크로 컴퓨터를 탑재한 전자 기기의 예로서 화재 경보기의 구성 및 동작에 대하여 도 33 및 도 34를 사용하여 설명하기로 한다.
- [0473] 또한, 본 명세서 중에 있어서 화재 경보기란, 화재 발생을 급보하는 장치 전반을 말하며, 예를 들어 주택용 화재 경보기, 자동 화재 경보 설비, 및 이 자동 화재 경보 설비에 사용되는 화재 감지기 등도 화재 경보기에 포함

된다.

[0474] 도 33에 도시된 경보 장치는 마이크로 컴퓨터(500)를 적어도 갖는다. 여기서, 마이크로 컴퓨터(500)는 경보 장치 내부에 제공되어 있다. 마이크로 컴퓨터(500)에는, 고전위 전원선 VDD와 전기적으로 접속된 파워 게이트 컨트롤러(503)와, 고전위 전원선 VDD 및 파워 게이트 컨트롤러(503)와 전기적으로 접속된 파워 게이트(504)와, 파워 게이트(504)와 전기적으로 접속된 CPU(Central Processing Unit; 505)와, 파워 게이트(504) 및 CPU(505)와 전기적으로 접속된 검출부(509)가 제공된다. 또한, CPU(505)에는 휘발성 기억부(506)와 비휘발성 기억부(507)가 포함된다.

[0475] 또한, CPU(505)는 인터페이스(508)를 통하여 버스 라인(502)과 전기적으로 접속된다. 인터페이스(508)도 CPU(505)와 마찬가지로 파워 게이트(504)와 전기적으로 접속된다. 인터페이스(508)의 버스 규격으로서는, 예를 들어 I²C버스 등을 사용할 수 있다. 또한, 경보 장치에는, 인터페이스(508)를 통하여 파워 게이트(504)와 전기적으로 접속되는 발광 소자(530)가 제공된다.

[0476] 발광 소자(530)는 지향성이 높은 빛을 방출하는 것이 바람직하고, 예를 들어 유기 EL 소자, 무기 EL 소자, LED 등을 사용할 수 있다.

[0477] 파워 게이트 컨트롤러(503)는 타이머를 갖고, 이 타이머에 따라 파워 게이트(504)를 제어한다. 파워 게이트(504)는 파워 게이트 컨트롤러(503)의 제어에 따라, 고전위 전원선 VDD로부터 CPU(505), 검출부(509), 및 인터페이스(508)로 공급되는 전원을 공급 또는 차단한다. 여기서, 파워 게이트(504)로서는, 예를 들어 트랜ジ스터 등 스위칭 소자를 사용할 수 있다.

[0478] 이와 같은 파워 게이트 컨트롤러(503) 및 파워 게이트(504)를 사용함으로써, 광량을 측정하는 기간에, 검출부(509), CPU(505), 및 인터페이스(508)에 전원을 공급하고, 측정 기간과 다음 측정 기간 사이에는 검출부(509), CPU(505), 및 인터페이스(508)로의 전원 공급을 차단할 수 있다. 이와 같이 경보 장치를 동작시킴으로써, 상기 각 구성에 상시적으로 전원을 공급하는 경우보다 소비 전력의 저감을 도모할 수 있다.

[0479] 또한, 파워 게이트(504)로서 트랜ジ스터를 사용하는 경우, 비휘발성 기억부(507)에 사용되며 오프 전류가 매우 낮은 트랜ジ스터, 예를 들어 상술한 산화물 반도체층을 사용한 트랜ジ스터를 사용하는 것이 바람직하다. 이와 같은 트랜ジ스터를 사용함으로써, 파워 게이트(504)에서 전원을 차단할 때 누설 전류를 저감시키고, 소비 전력의 저감을 도모할 수 있다.

[0480] 경보 장치에 직류 전원(501)을 제공하고, 직류 전원(501)으로부터 고전위 전원선 VDD에 전원을 공급하여도 좋다. 직류 전원(501)의 고전위 측의 전극은 고전위 전원선 VDD와 전기적으로 접속되고, 직류 전원(501)의 저전위 측의 전극은 저전위 전원선 VSS와 전기적으로 접속된다. 저전위 전원선 VSS는 마이크로 컴퓨터(500)에 전기적으로 접속된다. 여기서, 고전위 전원선 VDD에는 고전위 H가 공급되어 있다. 또한, 저전위 전원선 VSS에는, 예를 들어 접지 전위(GND) 등의 저전위 L이 공급되어 있다.

[0481] 직류 전원(501)으로서 전지를 사용하는 경우에는, 예를 들어 고전위 전원선 VDD와 전기적으로 접속된 전극과, 저전위 전원선 VSS와 전기적으로 접속된 전극과, 상기 전지를 유지할 수 있는 하우징을 갖는 전지 케이스를 하우징에 제공하는 구성으로 하면 좋다. 또한, 경보 장치에는 직류 전원(501)을 반드시 제공할 필요는 없으며, 예를 들어 상기 경보 장치의 외부에 제공된 교류 전원으로부터 배선을 통하여 전원을 공급하는 구성으로 하여도 좋다.

[0482] 또한, 상기 전지로서, 이차 전지, 예를 들어 리튬 이온 이차 전지(리튬 이온 축전지), 리튬 이온 전지, 또는 리튬 이온 배터리라고도 부름)를 사용할 수도 있다. 또한, 이 이차 전지를 충전할 수 있도록 태양 전지를 제공하는 것이 바람직하다.

[0483] 검출부(509)는 이상(異常) 상태에 관계되는 물리량을 계측하여 계측 값을 CPU(505)로 송신한다. 이상 상태에 관계되는 물리량은 경보 장치의 용도에 따라 다르고, 화재 경보기로서 기능하는 경보 장치에서는 화재에 관계되는 물리량을 계측한다. 그러므로, 검출부(509)는 화재에 관계되는 물리량으로서 광량을 계측하고, 연기의 존재를 감지한다.

[0484] 검출부(509)는 파워 게이트(504)와 전기적으로 접속된 광센서(511)와, 파워 게이트(504)와 전기적으로 접속된 앰프(512)와, 파워 게이트(504) 및 CPU(505)와 전기적으로 접속된 AD컨버터(513)를 갖는다. 발광 소자(530), 광센서(511), 앰프(512), 및 AD컨버터(513)는 파워 게이트(504)가 검출부(509)에 전원을 공급하였을 때 동작한다.

- [0485] 도 34의 (A)는 경보 장치의 단면의 일부를 도시한 것이다. 또한, 도 34의 (A)는 채널 길이 방향의 A-B 단면, 및 채널 길이 방향과 직교하는 C-D 단면을 도시한 것이다. p형 반도체 기판(451)에 소자 분리 영역(453)을 갖고, 게이트 절연막(457) 및 게이트 전극(459), n형 불순물 영역(461a), n형 불순물 영역(461b), 절연막(465) 및 절연막(467)을 갖는 트랜지스터(519)가 형성되어 있다. 트랜지스터(519)는 단결정 실리콘 등의 반도체를 사용하여 형성되어 있고, 고속 동작이 가능하다. 따라서, 고속 액세스가 가능한 CPU의 휘발성 기억부를 형성할 수 있다.
- [0486] 또한, 절연막(465) 및 절연막(467)의 일부를 선택적으로 에칭하여 형성된 개구부에 콘택트 플러그(469a) 및 콘택트 플러그(469b)를 형성하고, 절연막(467), 콘택트 플러그(469a), 및 콘택트 플러그(469b) 위에 홈부를 갖는 절연막(471)을 제공한다. 또한, 절연막(471)의 홈부에 배선(473a) 및 배선(473b)을 형성한다. 또한, 절연막(471), 배선(473a), 및 배선(473b) 위에 스퍼터링 법, CVD법 등에 의하여 절연막(470)을 형성하고, 이 절연막(470) 위에 홈부를 갖는 절연막(472)을 형성한다. 절연막(472)의 홈부에 전극(474)을 형성한다. 전극(474)은 트랜지스터(517)의 백 게이트 전극으로서 기능하는 전극이다. 이런 전극(474)을 제공함으로써, 트랜지스터(517)의 문턱 전압을 제어할 수 있다.
- [0487] 또한, 절연막(472) 및 전극(474) 위에 스퍼터링 법, CVD법 등에 의하여 절연막(475)을 제공한다.
- [0488] 절연막(475) 위에는 트랜지스터(517)와, 광전 변환 소자(514)가 제공된다. 트랜지스터(517)는 산화물층(106a), 산화물 반도체층(106b), 및 산화물층(106c)과, 소스 전극(116a) 및 드레인 전극(116b)과, 게이트 절연막(112)과, 게이트 전극(104)과, 보호 절연막(108)과, 보호 절연막(118)을 포함한다. 또한, 광전 변환 소자(514)와 트랜지스터(517)를 덮는 절연막(445)이 제공되고, 절연막(445) 위에는 드레인 전극(116b)에 접촉하도록 배선(449)이 제공된다. 배선(449)은 트랜지스터(517)의 드레인 전극과 트랜지스터(519)의 게이트 전극(459)을 전기적으로 접속시킨다.
- [0489] 도 34의 (B)는 검출부의 회로도를 도시한 것이다. 검출부는, 광센서(511)와, 앰프(512)와, AD컨버터(513)를 갖는다. 광센서(511)는 광전 변환 소자(514)와, 용량 소자(515)와, 트랜지스터(516)와, 트랜지스터(517)와, 트랜지스터(518)와, 트랜지스터(519)를 포함한다. 여기서, 광전 변환 소자(514)로서는, 예를 들어 포토다이오드 등을 사용할 수 있다.
- [0490] 광전 변환 소자(514)의 단자 중 한쪽이 저전위 전원선 VSS와 전기적으로 접속되고, 다른 쪽이 트랜지스터(517)의 소스 전극 및 드레인 전극 중 한쪽과 전기적으로 접속된다. 트랜지스터(517)의 게이트 전극에는 전하 축적 제어 신호 Tx가 공급되고, 소스 전극 및 드레인 전극 중 다른 쪽은 용량 소자(515)의 한 쌍의 전극 중 한쪽과, 트랜지스터(516)의 소스 전극 및 드레인 전극 중 한쪽과, 트랜지스터(519)의 게이트 전극과 전기적으로 접속된다(이하, 상기 노드를 노드 FD라고 부르는 경우가 있다). 용량 소자(515)의 한 쌍의 전극 중 다른 쪽은 저전위 전원선 VSS와 전기적으로 접속된다. 트랜지스터(516)의 게이트 전극에는 리셋 신호 Res가 공급되고, 소스 전극 및 드레인 전극 중 다른 쪽은 고전위 전원선 VDD와 전기적으로 접속된다. 트랜지스터(519)의 소스 전극 및 드레인 전극 중 한쪽은 트랜지스터(518)의 소스 전극 및 드레인 전극 중 한쪽과, 앰프(512)와 전기적으로 접속된다. 또한, 트랜지스터(519)의 소스 전극 및 드레인 전극 중 다른 쪽은 고전위 전원선 VDD와 전기적으로 접속된다. 트랜지스터(518)의 게이트 전극에는 바이어스 신호 Bias가 공급되고, 소스 전극 및 드레인 전극 중 다른 쪽은 저전위 전원선 VSS와 전기적으로 접속된다.
- [0491] 또한, 용량 소자(515)는 반드시 제공할 필요는 없으며, 예를 들어 트랜지스터(519) 등의 기생 용량이 충분히 큰 경우에는 용량 소자를 제공하지 않는 구성으로 하여도 좋다.
- [0492] 또한, 트랜지스터(516) 및 트랜지스터(517)에는 오프 전류가 매우 낮은 트랜지스터를 사용하는 것이 바람직하다. 또한, 오프 전류가 매우 낮은 트랜지스터로서는, 상술한 트랜지스터를 사용하는 것이 바람직하다. 이와 같은 구성으로 함으로써, 노드 FD의 전위를 오랫동안 유지할 수 있다.
- [0493] 또한, 도 34의 (A)에 도시된 구성에서는, 절연막(475) 위에, 트랜지스터(517)와 전기적으로 접속되는 광전 변환 소자(514)가 제공되어 있다.
- [0494] 광전 변환 소자(514)는, 절연막(475) 위에 제공된 반도체층(460)과, 반도체층(460) 위에 접촉하도록 제공된 소스 전극(116a), 전극(466c)을 갖는다. 소스 전극(116a)은 트랜지스터(517)의 소스 전극 또는 드레인 전극으로서 기능하는 전극이고, 광전 변환 소자(514)와 트랜지스터(517)를 전기적으로 접속시킨다.
- [0495] 반도체층(460), 소스 전극(116a), 및 전극(466c) 위에는 게이트 절연막(112), 보호 절연막(108), 보호 절연막

(118), 및 절연막(445)이 제공되어 있다. 또한, 절연막(445) 위에 배선(456)이 제공되어 있으며, 배선(456)은 게이트 절연막(112), 보호 절연막(108), 보호 절연막(118), 및 절연막(445)에 형성된 개구를 통하여 전극(466c)과 접촉한다.

[0496] 전극(466c)은 소스 전극(116a) 및 드레인 전극(116b)과 같은 공정으로 형성할 수 있고, 배선(456)은 배선(449)과 같은 공정으로 형성할 수 있다.

[0497] 반도체층(460)으로서는 광전 변환을 수행할 수 있는 반도체층을 제공하면 좋고, 예를 들어 실리콘이나 게르마늄 등을 사용할 수 있다. 반도체층(460)에 실리콘을 사용한 경우에는, 가시광을 검지하는 광센서로서 기능한다. 또한, 실리콘과 게르마늄은 흡수할 수 있는 전자기파의 파장이 다르기 때문에, 반도체층(460)에 게르마늄을 사용하는 구성으로 하면, 적외선을 검지하는 센서로서 사용할 수 있다.

[0498] 상술한 바와 같이, 광센서(511)를 포함하는 검출부(509)를 마이크로 컴퓨터(500)에 내장하여 제공할 수 있기 때문에, 부품수를 줄임하여 경보 장치의 하우징을 축소할 수 있다.

[0499] 상술한 IC칩을 포함한 화재 경보기에는 상술한 트랜지스터를 사용한 복수의 회로가 조합되고, 이들을 하나의 IC 칩에 탑재한 CPU(505)가 사용된다.

[0500] <CPU>

[0501] 도 35는 상술한 트랜지스터를 적어도 일부에 사용한 CPU의 구체적인構成을 도시한 블록도이다.

[0502] 도 35의 (A)에 도시된 CPU는, 기판(1190) 위에 ALU(1191)(ALU: Arithmetic logic unit, 논리 연산 회로), ALU 컨트롤러(1192), 인스트럭션 디코더(1193), 인터럽트 컨트롤러(1194), 타이밍 컨트롤러(1195), 레지스터(1196), 레지스터 컨트롤러(1197), 버스 인터페이스(1198), 채기록이 가능한 ROM(1199), 및 ROM 인터페이스(1189)를 갖는다. 기판(1190)에는, 반도체 기판, SOI 기판, 유리 기판 등을 사용한다. ROM(1199) 및 ROM 인터페이스(1189)는 다른 칩에 제공되어도 좋다. 물론, 도 35의 (A)에 도시된 CPU는 이의 구성이 간략화되어 도시된 일례에 지나지 않고, 실제의 CPU는 그 용도에 따라 각종 다양한 구성을 갖는다.

[0503] 버스 인터페이스(1198)를 통하여 CPU에 입력된 명령은 인스트럭션 디코더(1193)에 입력되어 디코드된 후, ALU 컨트롤러(1192), 인터럽트 컨트롤러(1194), 레지스터 컨트롤러(1197), 타이밍 컨트롤러(1195)에 입력된다.

[0504] ALU 컨트롤러(1192), 인터럽트 컨트롤러(1194), 레지스터 컨트롤러(1197), 타이밍 컨트롤러(1195)는, 디코드된 명령에 기초하여, 각종 제어를 수행한다. 구체적으로는 ALU 컨트롤러(1192)는 ALU(1191)의 동작을 제어하기 위한 신호를 생성한다. 또한, CPU가 프로그램을 실행하고 있는 동안에, 인터럽트 컨트롤러(1194)는 외부의 입출력 장치나 주변 회로로부터의 인터럽트 요구를 그 우선도나 마스크 상태에 따라 판단하여 처리한다. 레지스터 컨트롤러(1197)는 레지스터(1196)의 어드레스를 생성하고, CPU의 상태에 따라 레지스터(1196)의 판독이나 기록을 수행한다.

[0505] 또한, 타이밍 컨트롤러(1195)는 ALU(1191), ALU 컨트롤러(1192), 인스트럭션 디코더(1193), 인터럽트 컨트롤러(1194), 및 레지스터 컨트롤러(1197)의 동작의 타이밍을 제어하는 신호를 생성한다. 예를 들어 타이밍 컨트롤러(1195)는, 기준 클록 신호 CLK1을 바탕으로 내부 클록 신호 CLK2를 생성하는 내부 클록 생성부를 구비하며, 내부 클록 신호 CLK2를 상기 각종 회로에 공급한다.

[0506] 도 35의 (A)에 도시된 CPU의 레지스터(1196)에는 메모리 셀이 제공되어 있다. 레지스터(1196)의 메모리 셀로서는 상술한 트랜지스터를 사용할 수 있다.

[0507] 도 35의 (A)에 도시된 CPU의 레지스터 컨트롤러(1197)는, ALU(1191)로부터의 지시에 따라, 레지스터(1196)에서의 유지 동작의 선택을 수행한다. 즉, 레지스터(1196)가 갖는 메모리 셀에서 플립플롭에 의한 데이터 유지를 수행할지 또는 용량 소자에 의한 데이터 유지를 수행할지를 선택한다. 플립플롭에 의한 데이터 유지가 선택되어 있는 경우, 레지스터(1196) 내의 메모리 셀에 전원 전압이 공급된다. 용량 소자에 의한 데이터 유지가 선택되어 있는 경우, 용량 소자로의 데이터 채기록이 수행되고, 레지스터(1196) 내의 메모리 셀로의 전원 전압의 공급을 정지할 수 있다.

[0508] 전원 정지는, 도 35의 (B) 또는 (C)에 도시된 바와 같이, 메모리 셀군과, 전원 전위 VDD 또는 전원 전위 VSS가 공급되는 노드간에, 스위칭 소자를 제공함으로써 수행할 수 있다. 이하에서는, 도 35의 (B) 및 (C)에 도시된 회로에 대하여 설명하기로 한다.

[0509] 도 35의 (B) 및 (C)는, 메모리 셀로의 전원 전위의 공급을 제어하는 스위칭 소자에 상술한 트랜지스터를 사용한

기억 장치를 도시한 것이다.

[0510] 도 35의 (B)에 도시된 기억 장치는 스위칭 소자(1141)와, 복수의 메모리 셀(1142)을 갖는 메모리 셀군(1143)을 갖는다. 구체적으로는, 상술한 트랜지스터를 각 메모리 셀(1142)에 사용할 수 있다. 메모리 셀군(1143)이 갖는 각 메모리 셀(1142)에는, 스위칭 소자(1141)를 통하여 HIGH 레벨의 전원 전위 VDD가 공급되어 있다. 또한 메모리 셀군(1143)이 갖는 각 메모리 셀(1142)에는 신호 IN의 전위와, LOW 레벨의 전원 전위 VSS의 전위가 공급되어 있다.

[0511] 도 35의 (B)에서는, 스위칭 소자(1141)로서 상술한 트랜지스터가 사용되고, 상기 트랜지스터는 그 게이트 전극 층에 공급되는 신호 SigA에 의하여 스위칭이 제어된다.

[0512] 또한, 도 35의 (B)에서는 스위칭 소자(1141)가 트랜지스터를 하나만 갖는 구성을 도시하였으나 이 구성에 특별히 제한되지 않고, 복수의 트랜지스터를 가져도 좋다. 스위칭 소자(1141)가 스위칭 소자로서 기능하는 복수의 트랜지스터를 갖는 경우에는, 상기 복수의 트랜지스터는 병렬로 접속되어 있어도 좋고, 직렬로 접속되어 있어도 좋고, 직렬과 병렬이 조합되어 접속되어 있어도 좋다.

[0513] 또한, 도 35의 (B)에서는, 스위칭 소자(1141)에 의하여 메모리 셀군(1143)이 갖는 각 메모리 셀(1142)로의 HIGH 레벨의 전원 전위 VDD의 공급이 제어되어 있지만, 스위칭 소자(1141)에 의하여 LOW 레벨의 전원 전위 VSS의 공급이 제어되어 있어도 좋다.

[0514] 또한, 도 35의 (C)는 스위칭 소자(1141)를 통하여 메모리 셀군(1143)이 갖는 각 메모리 셀(1142)에 LOW 레벨의 전원 전위 VSS가 공급되는 기억 장치의 일례를 도시한 것이다. 스위칭 소자(1141)에 의하여, 메모리 셀군(1143)이 갖는 각 메모리 셀(1142)로의 LOW 레벨의 전원 전위 VSS의 공급을 제어할 수 있다.

[0515] 메모리 셀군과, 전원 전위 VDD 또는 전원 전위 VSS가 공급되는 노드간에, 스위칭 소자를 제공하고, 일시적으로 CPU의 동작을 정지하고, 전원 전압의 공급을 정지한 경우에도 데이터를 유지할 수 있고, 소비 전력을 저감시킬 수 있다. 구체적으로는 예를 들어, 퍼스널 컴퓨터의 사용자가 키보드 등의 입력 장치에 대한 정보 입력을 정지하는 동안에도, CPU의 동작을 정지할 수 있고, 이에 따라 소비 전력을 저감시킬 수 있다.

[0516] 여기서는 CPU를 예로 들어 설명하였지만, DSP(Digital Signal Processor), 커스텀 LSI, FPGA(Field Programmable Gate Array) 등의 LSI에도 응용할 수 있다.

<표시 장치>

[0518] 여기서는, 상술한 트랜지스터를 적용한 표시 장치에 대하여 설명하기로 한다.

[0519] 표시 장치에 제공되는 표시 소자로서는 액정 소자(액정 표시 소자라고도 함), 발광 소자(발광 표시 소자라고도 함) 등을 사용할 수 있다. 발광 소자는, 전류 또는 전압에 의하여 휘도가 제어되는 소자를 그 범주에 포함하고, 구체적으로는 무기 EL(Electro Luminescence) 소자, 유기 EL 소자 등을 포함한다. 또한, 전자 잉크, 전기 영동 소자 등, 전기적 작용에 의하여 콘트라스트가 변화되는 표시 매체도 표시 소자로서 적용할 수 있다. 이하에서는 표시 장치의 일례로서 EL 소자를 사용한 표시 장치 및 액정 소자를 사용한 표시 장치에 대하여 설명하기로 한다.

[0520] 또한, 이하에서 제시하는 표시 장치는, 표시 소자가 밀봉된 상태의 패널과, 이 패널에 컨트롤러를 포함하는 IC 등을 실장한 상태의 모듈을 포함한다.

[0521] 또한, 이하에서 제시하는 표시 장치는 화상 표시 디바이스 또는 광원(조명 장치를 포함함)을 가리킨다. 또한, 커넥터, 예를 들어 FPC나 TCP가 장착된 모듈, TCP 끝에 프린트 배선판이 제공된 모듈, 또는 표시 소자에 COG 방식에 의하여 IC(접적 회로)가 직접 실장된 모듈도 모두 표시 장치에 포함한다.

<EL 표시 장치>

[0523] 우선, EL 소자를 사용한 표시 장치(EL 표시 장치라고도 함)에 대하여 설명하기로 한다.

[0524] 도 37의 (A)는 EL 표시 장치의 화소의 회로도의 일례를 도시한 것이다.

[0525] 또한, 본 명세서 등에서는 능동 소자(트랜지스터, 다이오드 등), 수동 소자(용량 소자, 저항 소자 등) 등이 갖는 모든 단자에 관하여 그 접속 대상을 특정하지 않더라도, 당업자이면 발명의 일 형태를 구성하는 것이 가능한 경우가 있다. 즉, 접속 대상을 특정하지 않더라도, 발명의 일 형태가 명확하다고 할 수 있다. 그리고 접속 대상이 특정된 내용이 본 명세서 등에 기재되어 있는 경우 접속 대상을 특정하지 않은 발명의 일 형태가 본 명세

서 등에 기재되어 있다고 판단할 수 있는 경우가 있다. 특히, 단자의 접속 대상에서 복수의 경우가 고려되면, 그 단자의 접속 대상을 특정한 개소에 한정할 필요는 없다. 따라서, 능동 소자(트랜지스터, 다이오드 등), 수동 소자(용량 소자, 저항 소자 등) 등이 갖는 일부의 단자에 대해서만 그 접속 대상을 특정함으로써 발명의 일 형태를 구성하는 것이 가능한 경우가 있다.

[0526] 또한, 본 명세서 등에서는, 어떤 회로에 대해서 적어도 접속 대상을 특정하면, 당업자이면 발명을 특정하는 것이 가능한 경우가 있다. 또한, 어떤 회로에 대해서 적어도 기능을 특정하면, 당업자이면 발명을 특정하는 것이 가능한 경우가 있다. 즉, 기능을 특정하면, 발명의 일 형태는 명확하다고 할 수 있다. 그리고, 기능이 특정된 발명의 일 형태가 본 명세서 등에 기재되어 있다고 판단할 수 있는 경우가 있다. 따라서, 어떤 회로에 대해서 기능을 특정하지 않더라도 접속 대상을 특정하면 발명의 일 형태로서 제시되어 있는 것이고, 발명의 일 형태를 구성하는 것이 가능하다. 또는, 어떤 회로에 대해서 접속 대상을 특정하지 않더라도 기능을 특정하면 발명의 일 형태로서 제시되어 있는 것이고, 발명의 일 형태를 구성하는 것이 가능하다.

[0527] 도 37에 도시된 EL 표시 장치는 스위칭 소자(743)와, 트랜지스터(741)와, 커패시터(742)와, 발광 소자(719)를 갖는다.

[0528] 또한, 도 37의 (A) 등은 회로 구성의 일례이기 때문에, 트랜지스터를 더 추가하여 제공하는 것이 가능하다. 이와 반대로 도 37의 (A)에 도시된 각 노드에 트랜지스터, 스위치, 수동 소자 등을 추가로 제공하지 않는 것도 가능하다. 예를 들어, node A, node B, node C, node D, node E, node F, 또는/및 node G에서 직접적으로 접속된 트랜지스터를 더 이상 제공하지 않는 것이 가능하다. 따라서, 예를 들어, node C에서, 직접적으로 접속되어 있는 트랜지스터는 트랜지스터(741)뿐이고, 다른 트랜지스터는 node C와 직접적으로 접속되어 있지 않다는 구성으로 하는 것이 가능하다.

[0529] 트랜지스터(741)의 게이트는 스위칭 소자(743)의 단자 중 한쪽 및 커패시터(742)의 단자 중 한쪽과 전기적으로 접속된다. 트랜지스터(741)의 소스는 커패시터(742)의 단자 중 다른 쪽 및 발광 소자(719)의 단자 중 한쪽과 전기적으로 접속된다. 트랜지스터(741)의 드레인에는 전원 전위 VDD가 공급된다. 스위칭 소자(743)의 단자 중 다른 쪽은 신호선(744)과 전기적으로 접속된다. 발광 소자(719)의 단자 중 다른 쪽에는 정전위가 공급된다. 또한, 정전위는 접지 전위(GND) 또는 이것보다 작은 전위로 한다.

[0530] 또한, 트랜지스터(741)에는 상술한 산화물 반도체층을 사용한 트랜지스터를 사용한다. 이 트랜지스터는 안정적인 전기 특성을 갖는다. 그러므로, 표시 품위가 높은 EL 표시 장치로 할 수 있다.

[0531] 스위칭 소자(743)로서는 트랜지스터를 사용하는 것이 바람직하다. 트랜지스터를 사용함으로써, 화소의 면적을 작게 할 수 있어, 해상도가 높은 EL 표시 장치로 할 수 있다. 또한, 스위칭 소자(743)로서 상술한 산화물 반도체층을 사용한 트랜지스터를 사용하여도 좋다. 스위칭 소자(743)로서 이 트랜지스터를 사용함으로써, 트랜지스터(741)와 동일한 공정으로 스위칭 소자(743)를 제작할 수 있어, EL 표시 장치의 생산성을 높일 수 있다.

[0532] 도 37의 (B)는 EL 표시 장치의 상면도를 도시한 것이다. EL 표시 장치는 기판(300)과, 기판(700)과, 실재(734)와, 구동 회로(735)와, 구동 회로(736)와, 화소(737)와, FPC(732)를 갖는다. 실재(734)는 화소(737), 구동 회로(735), 및 구동 회로(736)를 둘러싸도록 기판(300)과 기판(700) 사이에 제공된다. 또한, 구동 회로(735) 또는/및 구동 회로(736)를 실재(734)의 외측에 제공하여도 좋다.

[0533] 도 37의 (C)는 도 37의 (B)의 일점 쇄선 M-N부분에 대응하는 EL 표시 장치의 단면도를 도시한 것이다. FPC(732)는 단자(731)를 통하여 배선(733a)과 접속된다. 또한, 배선(733a)은 게이트 전극(304)과 동일층이다.

[0534] 또한, 도 37의 (C)는 트랜지스터(741)와 커패시터(742)가 동일 평면에 제공된 예를 도시한 것이다. 이런 구조로 함으로써, 커패시터(742)를 트랜지스터(741)의 게이트 전극, 게이트 절연막, 및 소스 전극(드레인 전극)과 동일 평면에 제작할 수 있다. 이와 같이 트랜지스터(741)와 커패시터(742)를 동일 평면에 제공함으로써 EL 표시 장치의 제작 공정을 단축화하여 생산성을 높일 수 있다.

[0535] 도 37의 (C)는, 트랜지스터(741)로서 도 18에 도시된 트랜지스터와 같은 구조를 갖는 트랜지스터를 적용한 예를 도시한 것이다.

[0536] 도 18에 도시된 트랜지스터는 문턱 전압의 변화가 작은 트랜지스터이다. 따라서, 문턱 전압의 약간의 변화에 따라서도 계조의 변화가 발생되는 경우가 있는, EL 표시 장치에 적합한 트랜지스터이다.

[0537] 트랜지스터(741) 및 커패시터(742) 위에는 절연막(720)이 제공된다. 여기서, 절연막(720) 및 보호 절연막(31

8)에는 트랜지스터(741)의 소스 전극(316a)에 도달하는 개구부가 형성된다.

[0538] 절연막(720) 위에는 전극(781)이 제공된다. 전극(781)은 절연막(720) 및 보호 절연막(318)에 형성된 개구부를 통하여 트랜지스터(741)의 소스 전극(316a)과 접촉한다.

[0539] 전극(781) 위에는 전극(781)에 도달하는 개구부를 갖는 격벽(784)이 제공된다. 격벽(784) 위에는 격벽(784)에 형성된 개구부에서 전극(781)과 접촉한 발광층(782)이 제공된다. 발광층(782) 위에는 전극(783)이 제공된다. 전극(781), 발광층(782), 및 전극(783)이 중첩된 영역이 발광 소자(719)가 된다.

[0540] <액정 표시 장치>

[0541] 다음에, 액정 소자를 사용한 표시 장치(액정 표시 장치라고도 함)에 대하여 설명하기로 한다.

[0542] 도 38의 (A)는 액정 표시 장치의 화소의 구성예의 회로도를 도시한 것이다. 도 38의 (A)에 도시된 화소(750)는 트랜지스터(751), 커패시터(752), 및 한 쌍의 전극 사이에 액정이 충전된 소자(753)(이하에서 액정 소자라고도 함)를 갖는다.

[0543] 트랜지스터(751)에서는, 소스 및 드레인 중 한쪽이 신호선(755)과 전기적으로 접속되어 있고, 게이트가 주사선(754)과 전기적으로 접속되어 있다.

[0544] 커패시터(752)는, 전극 중 한쪽이 트랜지스터(751)의 소스 및 드레인 중 다른 쪽과 전기적으로 접속되어 있고, 전극 중 다른 쪽이 공통 전위를 공급하는 배선과 전기적으로 접속되어 있다.

[0545] 액정 소자(753)는, 전극 중 한쪽이 트랜지스터(751)의 소스 및 드레인 중 다른 쪽과 전기적으로 접속되어 있고, 전극 중 다른 쪽이 공통 전위를 공급하는 배선과 전기적으로 접속되어 있다. 또한, 상술한 커패시터(752)의 전극 중 다른 쪽이 전기적으로 접속된 배선에 공급되는 공통 전위와, 액정 소자(753)의 전극 중 다른 쪽이 전기적으로 접속되는 배선에 공급되는 공통 전위가 달라도 좋다.

[0546] 또한, 액정 표시 장치도, 상면도는 EL 표시 장치와 대략 마찬가지이다. 도 37의 (B)의 일점 쇄선 M-N부분에 대응하는 액정 표시 장치의 단면도를 도 38의 (B)에 도시하였다. 도 38의 (B)에 있어서, FPC(732)는 단자(731)를 통하여 배선(733a)과 접속된다. 또한, 배선(733a)은 게이트 전극(304)과 동일층이다.

[0547] 도 38의 (B)는 트랜지스터(751)와 커패시터(752)가 동일 평면에 제공된 예를 도시한 것이다. 이런 구조로 함으로써, 커패시터(752)를 트랜지스터(751)의 게이트 전극, 게이트 절연막, 및 소스 전극(드레인 전극)과 동일 평면에 제작할 수 있다. 이와 같이 트랜지스터(751)와 커패시터(752)를 동일 평면에 제공함으로써 액정 표시 장치의 제작 공정을 단축화하여 생산성을 높일 수 있다.

[0548] 트랜지스터(751)로서는 상술한 트랜지스터를 적용할 수 있다. 도 38의 (B)는 도 18에 도시된 트랜지스터와 같은 구조를 갖는 트랜지스터를 적용한 예를 도시한 것이다.

[0549] 또한, 트랜지스터(751)는, 오프 전류가 매우 작은 트랜지스터로 할 수 있다. 따라서, 커패시터(752)에 유지된 전하가 누설되기 어렵고, 액정 소자(753)에 인가되는 전압을 오랫동안 유지할 수 있다. 그러므로, 움직임이 적은 동영상이나 정지 화상을 표시할 때, 트랜지스터(751)를 오프 상태로 함으로써, 트랜지스터(751)를 동작시키기 위한 전력이 필요 없게 되어, 소비 전력이 작은 액정 표시 장치로 할 수 있다.

[0550] 트랜지스터(751) 및 커패시터(752) 위에는 절연막(721)이 제공된다. 여기서, 절연막(721) 및 보호 절연막(318)에는 트랜지스터(751)의 드레인 전극(316b)까지 도달하는 개구부가 형성된다.

[0551] 절연막(721) 위에는 전극(791)이 제공된다. 전극(791)은, 절연막(721) 및 보호 절연막(318)에 형성된 개구부를 통하여 트랜지스터(751)의 드레인 전극(316b)에 접촉한다.

[0552] 전극(791) 위에는 배향막으로서 기능하는 절연막(792)이 제공된다. 절연막(792) 위에는 액정층(793)이 제공된다. 액정층(793) 위에는 배향막으로서 기능하는 절연막(794)이 제공된다. 절연막(794) 위에는 스페이서(795)가 제공된다. 스페이서(795) 및 절연막(794) 위에는 전극(796)이 제공된다. 전극(796) 위에는 기판(797)이 제공된다.

[0553] <설치 예>

[0554] 도 36의 (A)에 있어서, 텔레비전 장치(8000)는, 하우징(8001)에 표시부(8002)가 장착되고, 표시부(8002)에 의하여 영상을 표시하고, 스피커부(8003)로부터 음성을 출력하는 것이 가능하다. 상술한 표시 장치를 표시부(8002)

2)에 사용할 수 있다.

[0555] 텔레비전 장치(8000)는 수신기나 모뎀 등을 구비하여도 좋다. 텔레비전 장치(8000)는 수신기에 의하여 일반적인 텔레비전 방송을 수신할 수 있고, 또한 모뎀을 통하여 유선 또는 무선에 의한 통신 네트워크에 접속함으로써 일방향(송신자로부터 수신자) 또는 쌍방향(송신자와 수신자간, 또는 수신자들간 등)의 정보 통신을 수행할 수도 있다.

[0556] 또한, 텔레비전 장치(8000)는 정보 통신을 수행하기 위한 CPU나, 메모리를 구비하여도 좋다. 텔레비전 장치(8000)에는 상술한 메모리나 CPU를 사용할 수 있다.

[0557] 도 36의 (A)에 있어서, 경보 장치(8100)는 주택용 화재 경보기이며, 검출부 및 마이크로 컴퓨터(8101)를 갖는다. 마이크로 컴퓨터(8101)에는 상술한 트랜지스터를 사용한 CPU가 포함된다.

[0558] 도 36의 (A)에 있어서, 실내기(8200) 및 실외기(8204)를 갖는 에어컨디셔너에는 상술한 트랜지스터를 사용한 CPU가 포함된다. 구체적으로, 실내기(8200)는 하우징(8201), 송풍구(8202), CPU(8203) 등을 갖는다. 도 36의 (A)는 CPU(8203)가 실내기(8200)에 제공되는 경우를 도시한 것이지만, CPU(8203)는 실외기(8204)에 제공되어도 좋다. 또는, 실내기(8200)와 실외기(8204) 양쪽 모두에 CPU(8203)가 제공되어도 좋다. 상술한 트랜지스터를 사용한 CPU가 포함됨으로써 에어컨디셔너의 소비 전력을 삭감할 수 있다.

[0559] 도 36의 (A)에 있어서, 전기 냉동 냉장고(8300)에는 상술한 트랜지스터를 사용한 CPU가 포함된다. 구체적으로, 전기 냉동 냉장고(8300)는 하우징(8301), 냉장실용 문(8302), 냉동실용 문(8303), CPU(8304) 등을 갖는다. 도 36의 (A)에서는, 하우징(8301) 내부에 CPU(8304)가 제공된다. 상술한 트랜지스터를 사용한 CPU가 포함됨으로써 전기 냉동 냉장고(8300)의 소비 전력을 삭감할 수 있다.

[0560] 도 36의 (B) 및 (C)는 전기 자동차의 예를 도시한 것이다. 전기 자동차(9700)에는, 이차 전지(9701)가 탑재되어 있다. 이차 전지(9701)의 전력은, 제어 회로(9702)에 의하여 출력이 조정되어 있고, 구동 장치(9703)에 공급된다. 제어 회로(9702)는, 도시하지 않은 ROM, RAM, CPU 등을 갖는 처리 장치(9704)에 의하여 제어된다. 상술한 트랜지스터를 사용한 CPU가 포함됨으로써 전기 자동차(9700)의 소비 전력을 삭감할 수 있다.

[0561] 구동 장치(9703)는 직류 전동기 또는 교류 전동기 단독으로 구성되거나, 또는 전동기와 내연 기관이 조합되어 구성된다. 처리 장치(9704)는 전기 자동차(9700) 운전자의 조작 정보(가속, 감속, 정지 등)나 주행 시의 정보(오르막길인지 내리막길인지 등의 정보, 구동륜에 가해지는 부하 정보 등)의 입력 정보에 따라 제어 회로(9702)에 제어 신호를 출력한다. 제어 회로(9702)는, 이차 전지(9701)로부터 공급되는 전기 에너지를 처리 장치(9704)의 제어 신호에 따라 조정하여, 구동 장치(9703)의 출력을 제어한다. 교류 전동기가 탑재되어 있는 경우에는, 도시하지 않았지만 직류를 교류로 변환시키는 인버터도 내장된다.

[0562] 또한, 본 실시형태는, 기본 원리의 일례에 대하여 제시한 것이다. 따라서, 본 실시형태의 일부는, 실시형태의 다른 일부와 자유롭게 조합하거나, 적용하거나, 치환하여 실시할 수 있다.

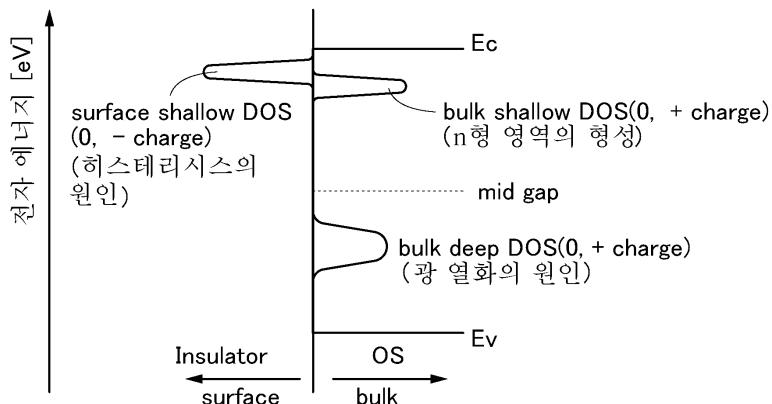
부호의 설명

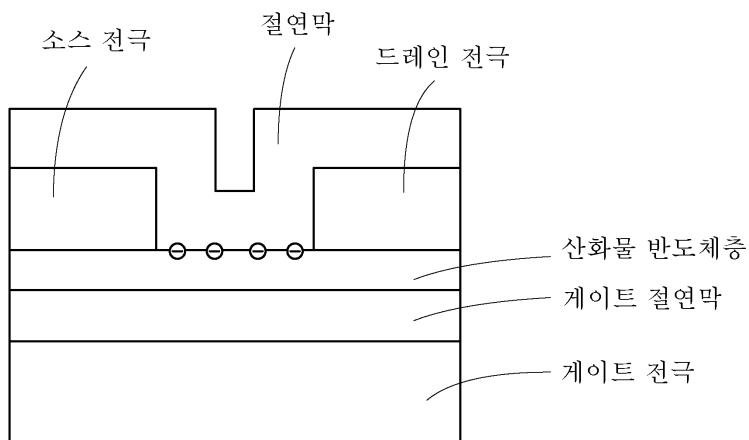
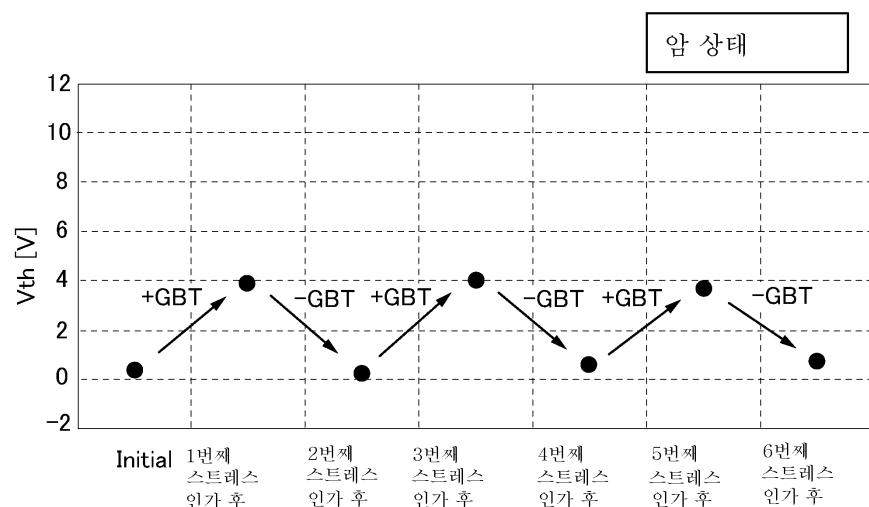
[0563] 70a: 성막실, 70b: 성막실, 71: 대기 층 기관 공급실, 72a: 로드록실, 72b: 언로드록실, 73: 반송실, 73a: 반송실, 73b: 반송실, 74: 카세트 포트, 75: 기관 가열실, 76: 기관 반송 로봇, 80: 성막실, 80a: 성막실, 80b: 성막실, 80c: 성막실, 80d: 성막실, 81: 대기 층 기관 공급실, 82: 로드/언로드록실, 83: 반송실, 84: 카세트 포트, 85: 기관 가열실, 86: 기관 반송 로봇, 87: 타깃, 88: 방착판, 89: 유리 기관, 90: 기관 스테이지, 92: 기관 스테이지, 93: 가열 기구, 94: 정제기, 95a: 크라이오 펌프, 95b: 크라이오 펌프, 95c: 터보 분자 펌프, 95d: 크라이오 펌프, 95e: 크라이오 펌프, 95f: 크라이오 펌프, 96: 진공 펌프, 96a: 진공 펌프, 96b: 진공 펌프, 96c: 진공 펌프, 97: 매스 플로우 컨트롤러, 98: 가스 가열 기구, 99: 크라이오토트랩, 100: 기관, 102: 하지 절연막, 104: 게이트 전극, 106a: 산화물층, 106b: 산화물 반도체층, 106c: 산화물층, 108: 보호 절연막, 112: 게이트 절연막, 116: 도전막, 116a: 소스 전극, 116a1: 도전층, 116a2: 도전층, 116a3: 도전층, 116a4: 도전층, 116b: 드레인 전극, 116b1: 도전층, 116b2: 도전층, 116b3: 도전층, 116b4: 도전층, 118: 보호 절연막, 136a: 산화물층, 136b: 산화물 반도체층, 136c: 산화물층, 200: 기관, 202: 하지 절연막, 204: 게이트 전극, 206a: 산화물층, 206b: 산화물 반도체층, 206c: 산화물층, 208: 보호 절연막, 212: 게이트 절연막, 216: 도전막, 216a: 소스 전극, 216b: 드레인 전극, 218: 보호 절연막, 234: 도전막, 236a: 산화물층, 236b: 산화물 반도체층, 236c: 산화물층, 242: 절연막, 300: 기관, 304: 게이트 전극, 306a: 산화물층, 306b: 산화물 반도체층, 306c: 산화물층, 312: 게이트 절연막, 316a: 소스 전극, 316b: 드레인 전극, 318: 보호 절연막, 318a: 산

화 실리콘층, 318b: 산화 실리콘층, 318c: 질화 실리콘층, 336a: 산화물층, 336b: 산화물 반도체층, 336c: 산화물층, 400: 기판, 404: 게이트 전극, 406a: 산화물층, 406b: 산화물 반도체층, 406c: 산화물층, 412: 게이트 절연막, 416a: 소스 전극, 416b: 드레인 전극, 418: 보호 절연막, 436a: 산화물층, 436b: 산화물 반도체층, 436c: 산화물층, 445: 절연막, 449: 배선, 451: 반도체 기판, 453: 소자 분리 영역, 456: 배선, 457: 게이트 절연막, 459: 게이트 전극, 460: 반도체층, 461a: 불순물 영역, 461b: 불순물 영역, 465: 절연막, 466c: 전극, 467: 절연막, 469a: 콘택트 플러그, 469b: 콘택트 플러그, 470: 절연막, 471: 절연막, 472: 절연막, 473a: 배선, 473b: 배선, 474: 전극, 475: 절연막, 500: 마이크로 컴퓨터, 501: 직류 전원, 502: 버스 라인, 503: 파워 게이트 컨트롤러, 504: 파워 게이트, 505: CPU, 506: 휘발성 기억부, 507: 비휘발성 기억부, 508: 인터페이스, 509: 검출부, 511: 광센서, 512: 앰프, 513: AD컨버터, 514: 광전 변환 소자, 516: 트랜지스터, 517: 트랜지스터, 518: 트랜지스터, 519: 트랜지스터, 530: 발광 소자, 700: 기판, 719: 발광 소자, 720: 절연막, 721: 절연막, 731: 단자, 732: FPC, 733a: 배선, 734: 실재, 735: 구동 회로, 736: 구동 회로, 737: 화소, 741: 트랜지스터, 742: 커패시터, 743: 스위칭 소자, 744: 신호선, 750: 화소, 751: 트랜지스터, 752: 커패시터, 753: 액정 소자, 754: 주사선, 755: 신호선, 781: 전극, 782: 발광층, 783: 전극, 784: 격벽, 791: 전극, 792: 절연막, 793: 액정층, 794: 절연막, 795: 스페이서, 796: 전극, 797: 기판, 1000: 타깃, 1001: 이온, 1002: 스퍼터링 입자, 1003: 산화물층, 1004: 비정질막, 1005: 벽개면, 1006: 부분, 1007: 플라즈마, 1141: 스위칭 소자, 1142: 메모리 셀, 1143: 메모리 셀군, 1189: ROM 인터페이스, 1190: 기판, 1191: ALU, 1192: ALU 컨트롤러, 1193: 인스트럭션 디코더, 1194: 인터럽트 컨트롤러, 1195: 타이밍 컨트롤러, 1196: 레지스터, 1197: 레지스터 컨트롤러, 1198: 버스 인터페이스, 1199: ROM, 8000: 텔레비전 장치, 8001: 하우징, 8002: 표시부, 8003: 스피커부, 8100: 경보 장치, 8101: 마이크로 컴퓨터, 8200: 실내기, 8201: 하우징, 8202: 송풍구, 8203: CPU, 8204: 실외기, 8300: 전기 냉동 냉장고, 8301: 하우징, 8302: 냉장실용 문, 8303: 냉동실용 문, 8304: CPU, 9700: 전기 자동차, 9701: 이차 전지, 9702: 제어 회로, 9703: 구동 장치, 9704: 처리 장치

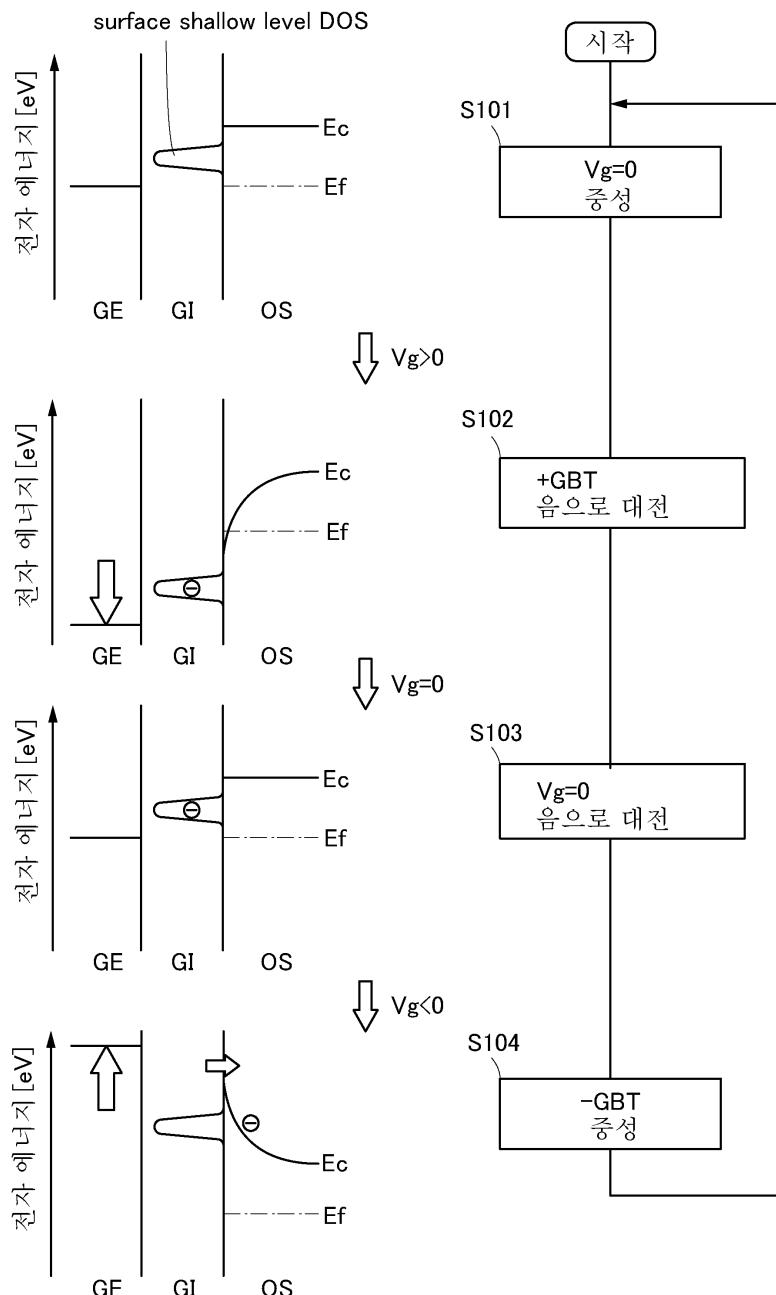
도면

도면1

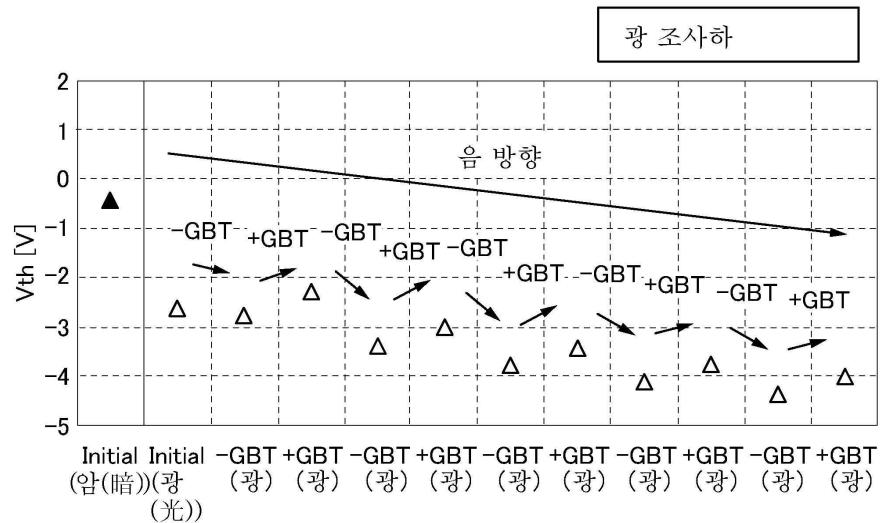


도면2**도면3**

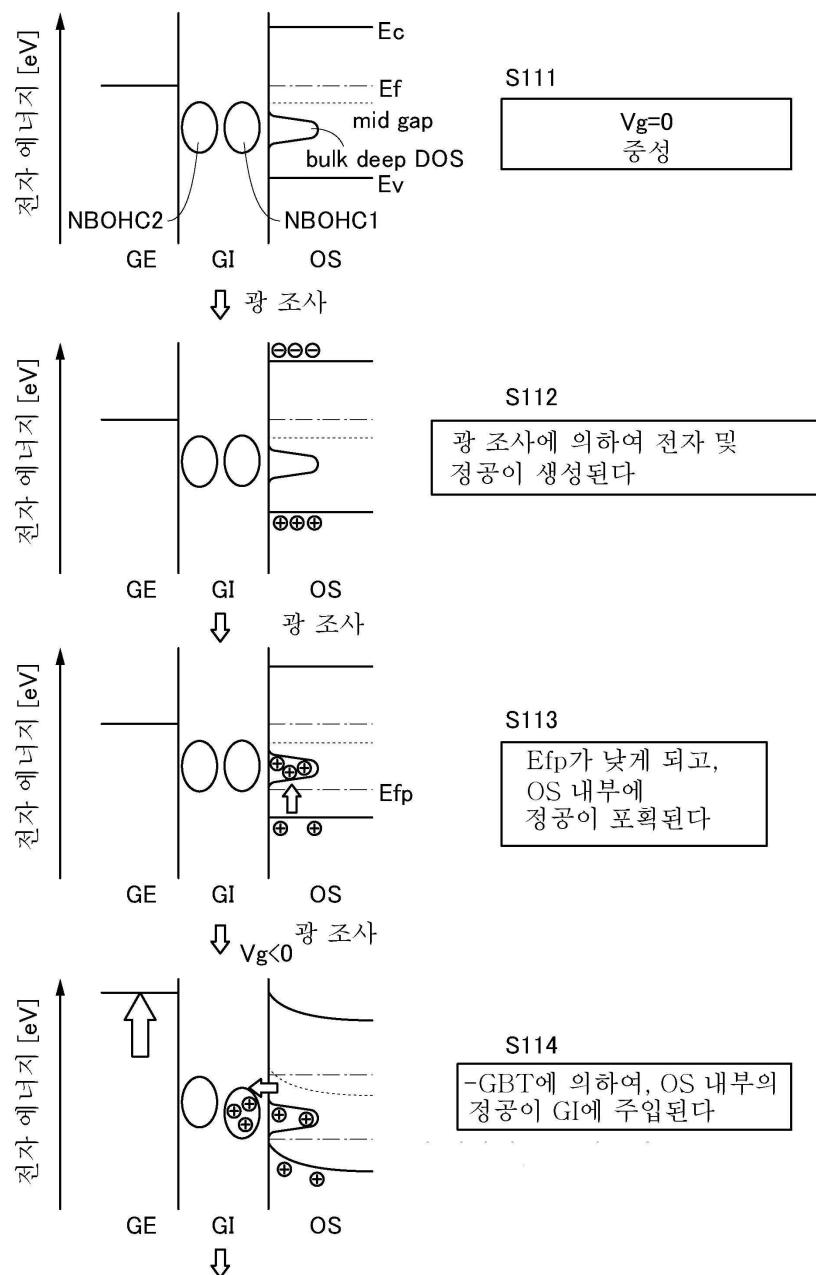
도면4



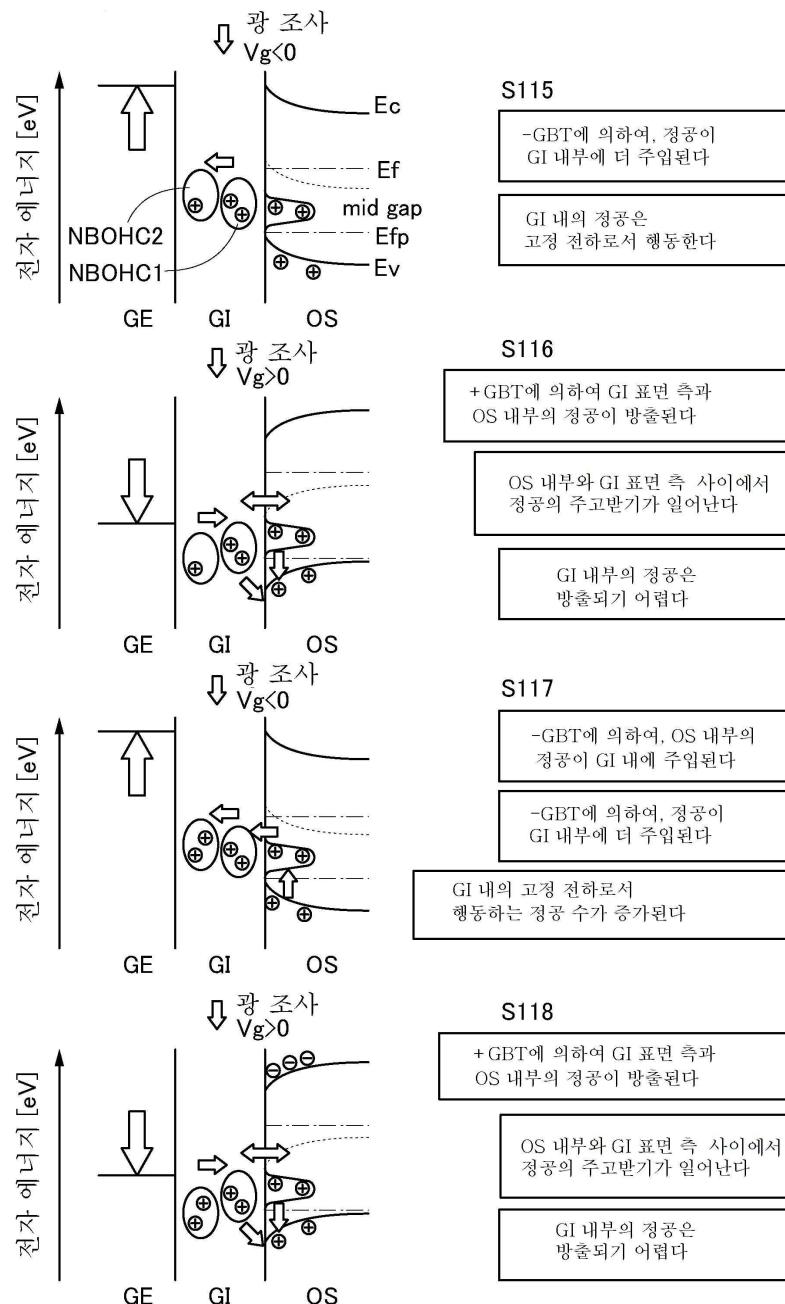
도면5



도면6

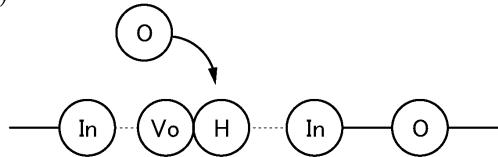


도면7

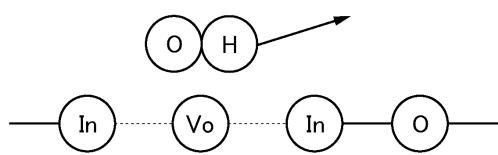


도면8

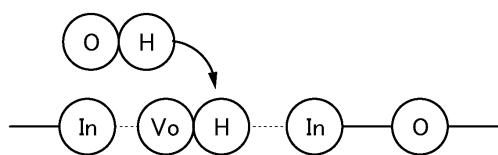
(A)



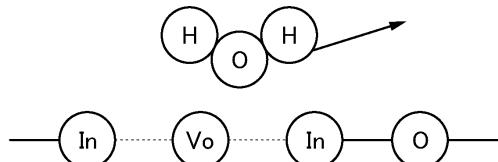
(B)



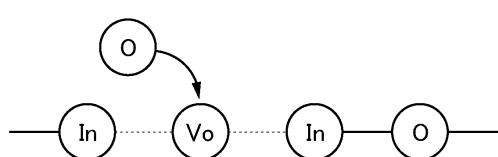
(C)



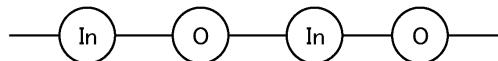
(D)



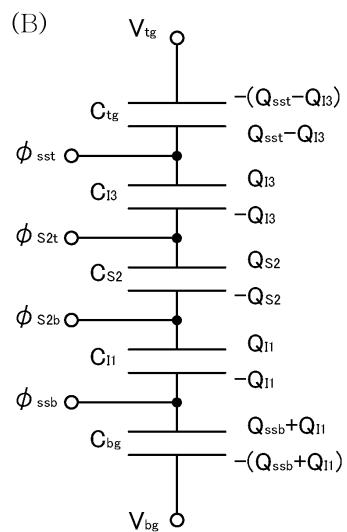
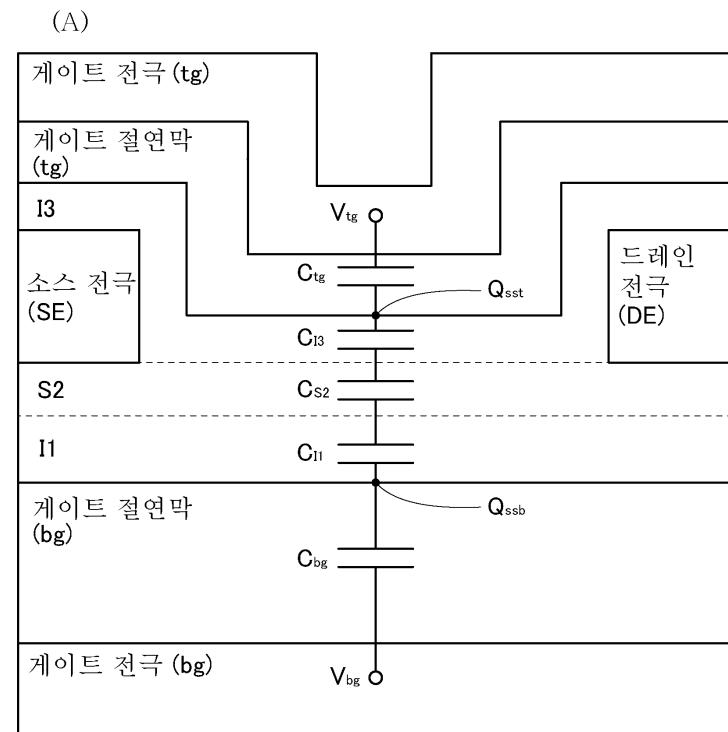
(E)



(F)

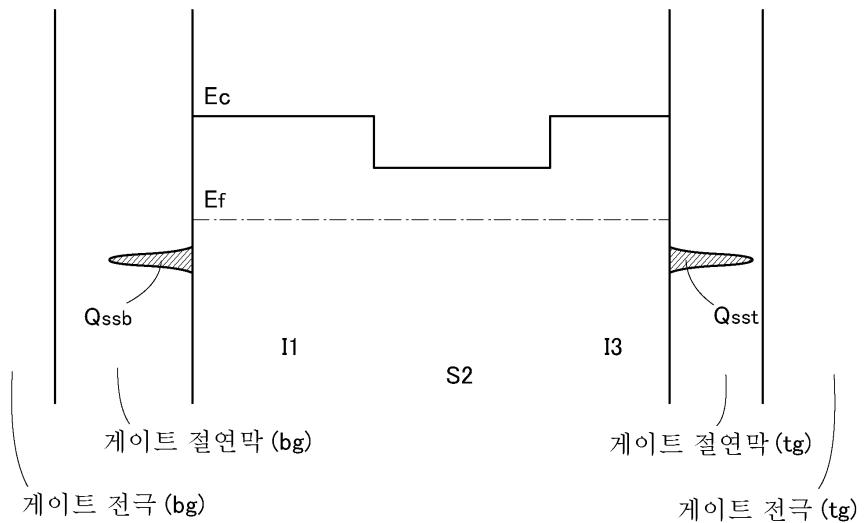


도면9

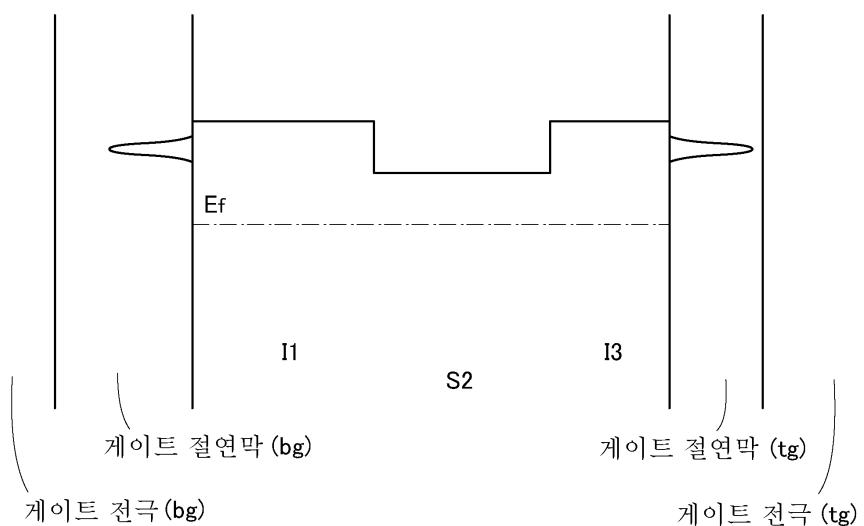


도면10

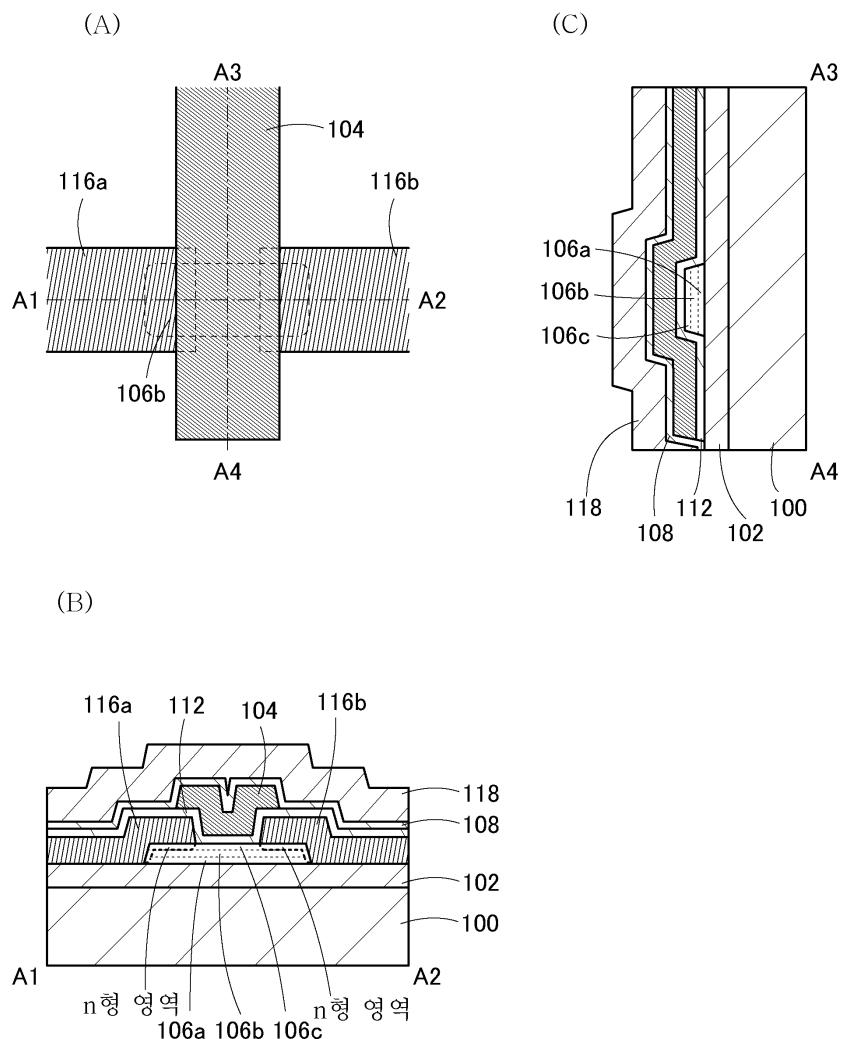
(A)



(B)

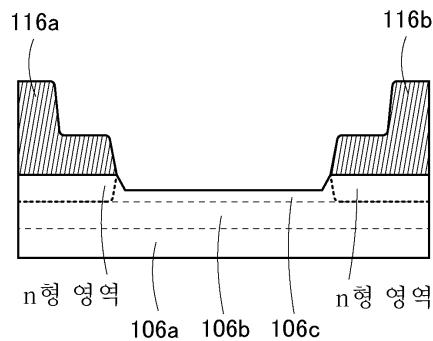


도면11

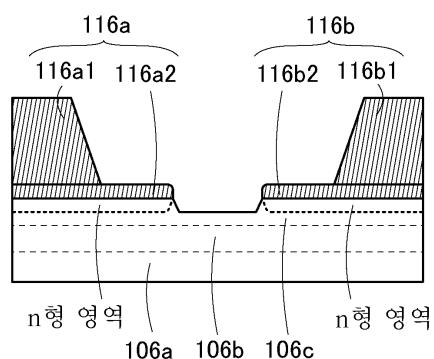


도면12

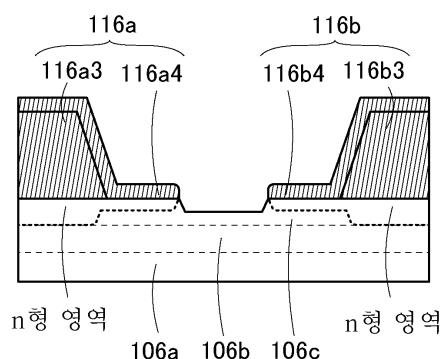
(A)



(B)

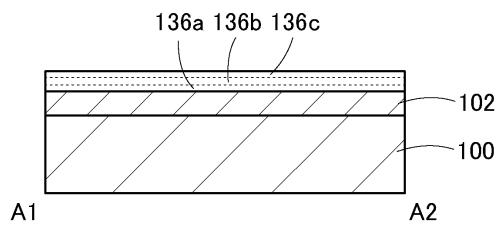


(C)

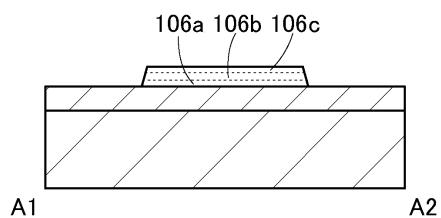


도면13

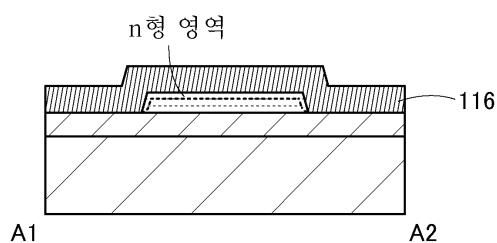
(A)



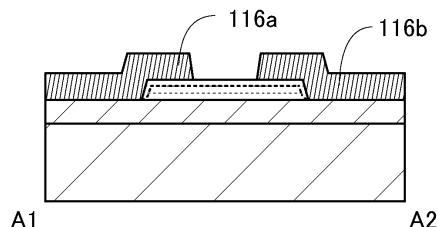
(B)



(C)

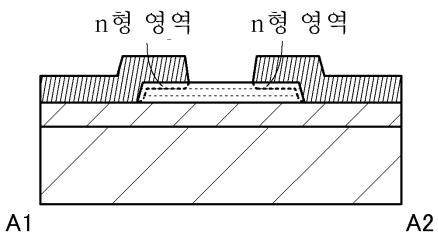


(D)



도면14

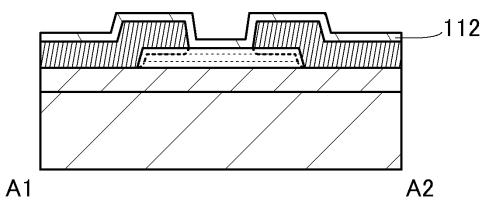
(A)



A1

A2

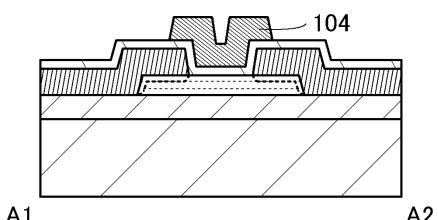
(B)



A1

A2

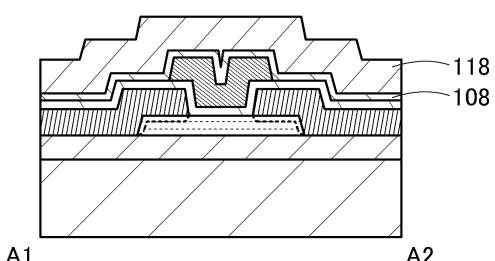
(C)



A1

A2

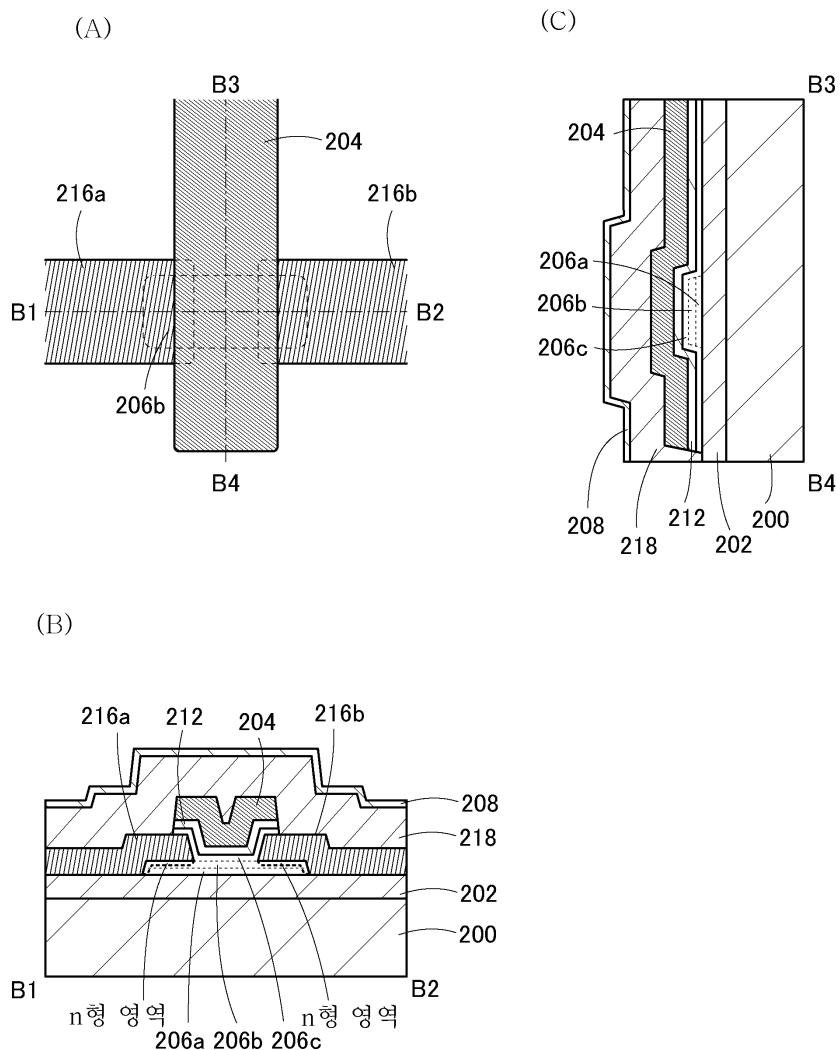
(D)



A1

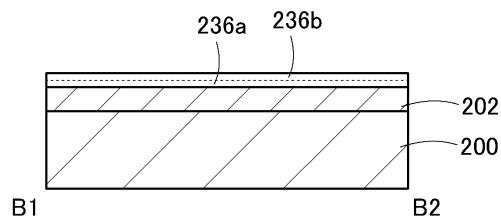
A2

도면15

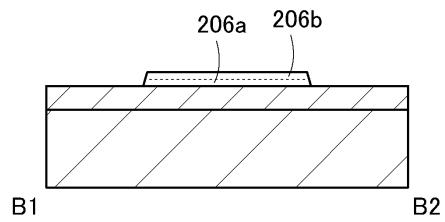


도면16

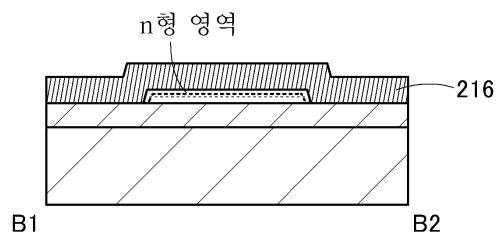
(A)



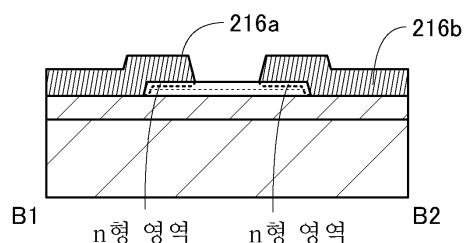
(B)



(C)

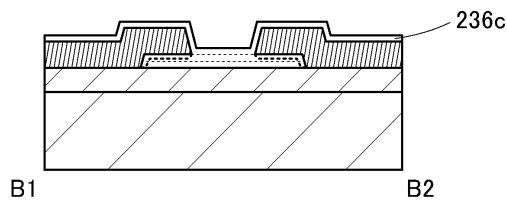


(D)

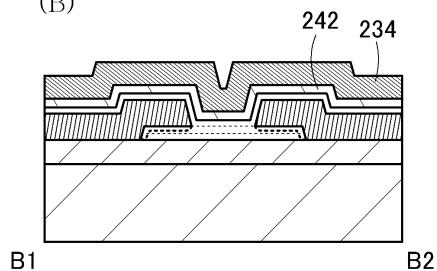


도면17

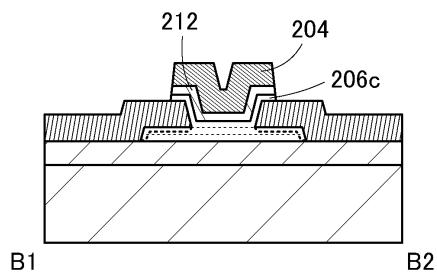
(A)



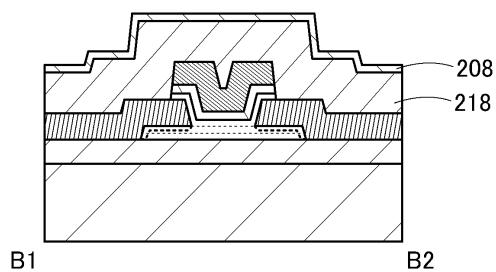
(B)



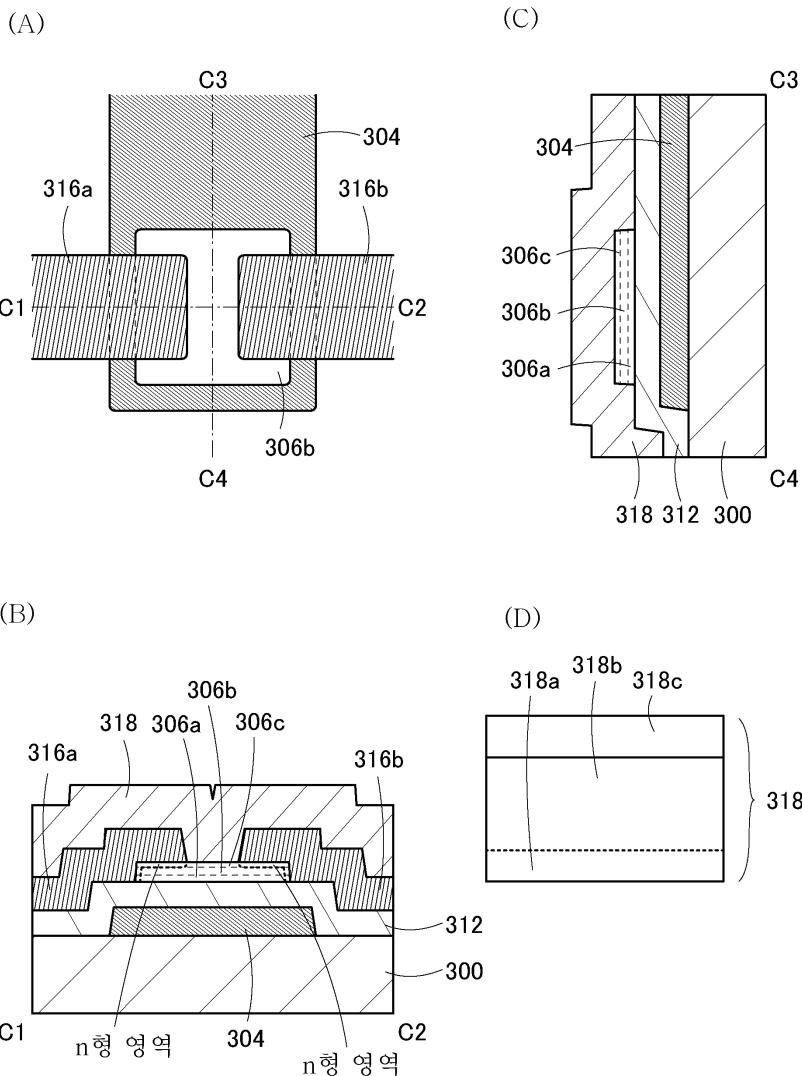
(C)



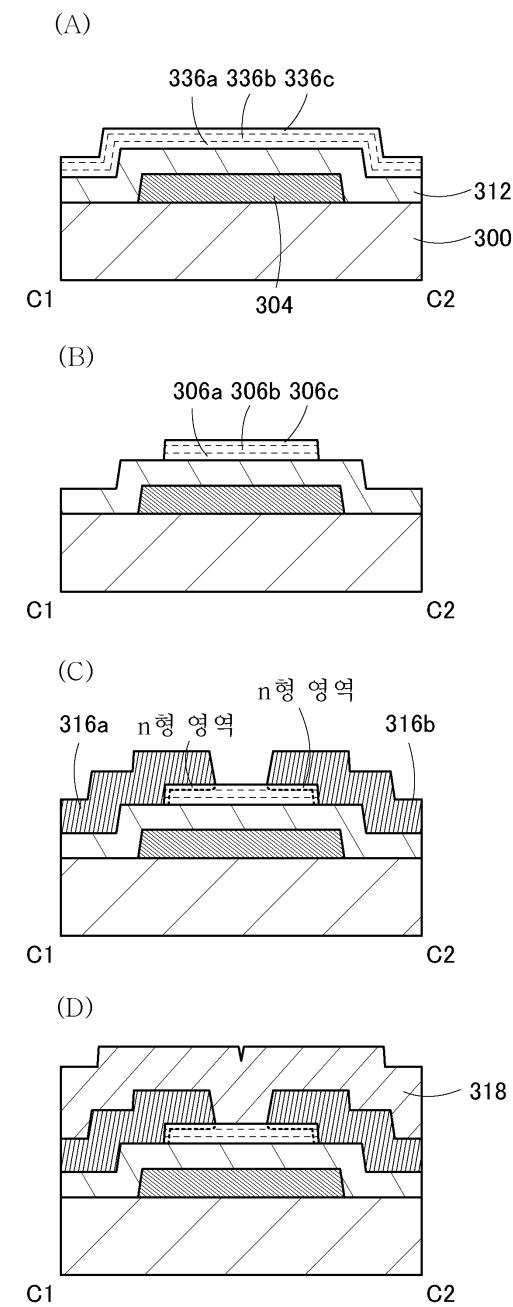
(D)



도면18

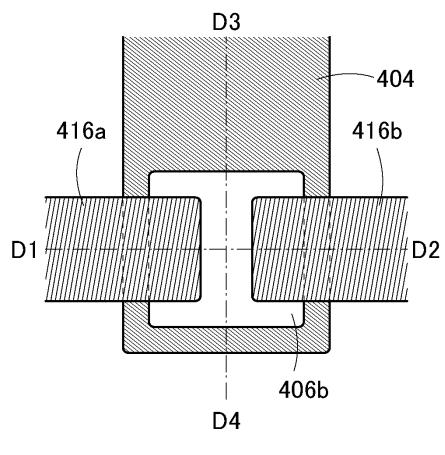


도면19

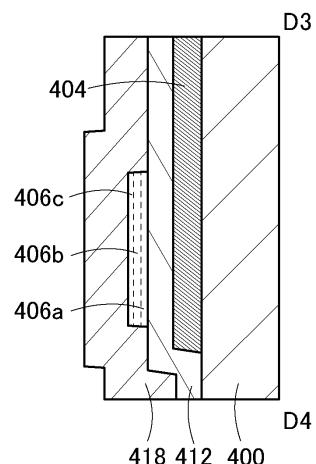


도면20

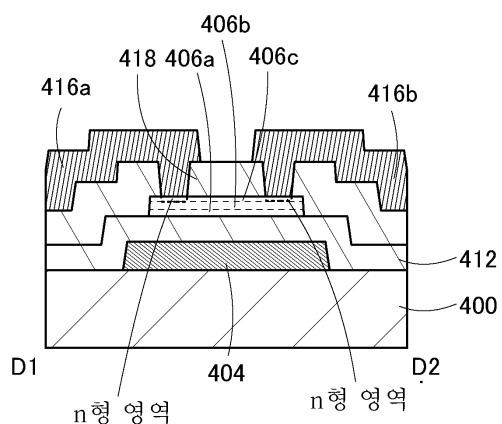
(A)



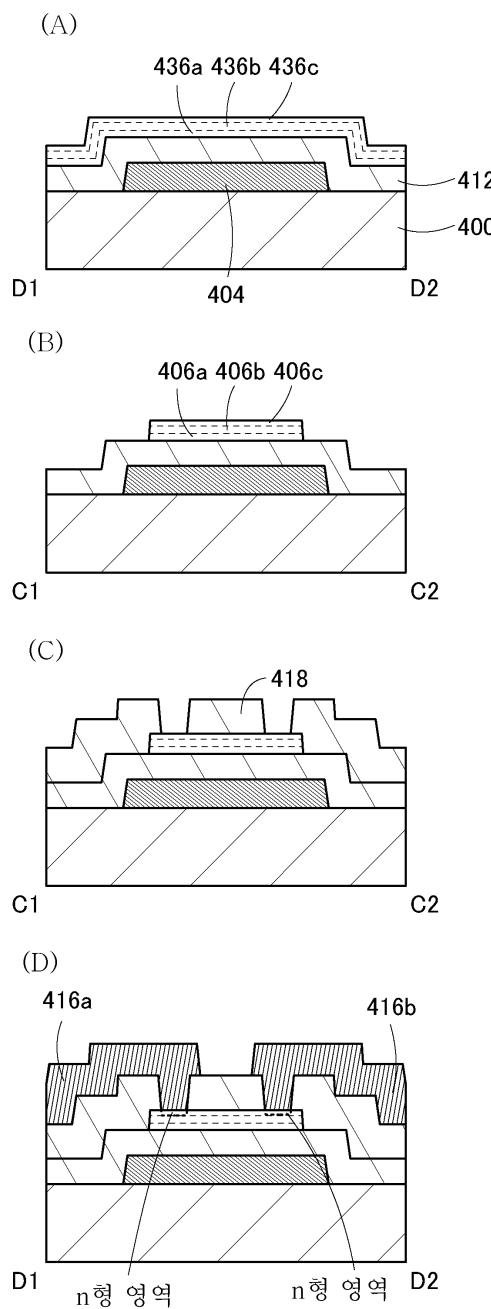
(C)



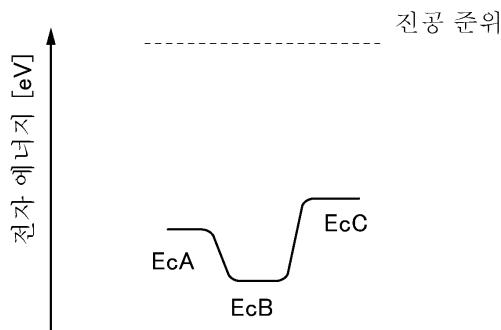
(B)



도면21

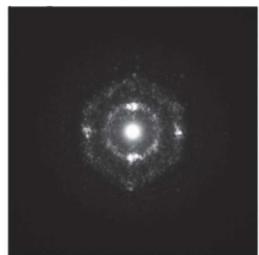


도면22



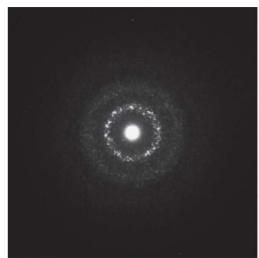
도면23

(A)



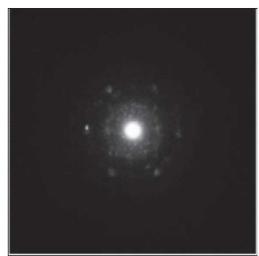
40nm 박판 CAAC

(B)



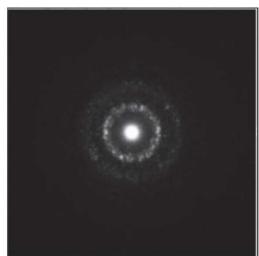
40nm 박판 nc

(C1)



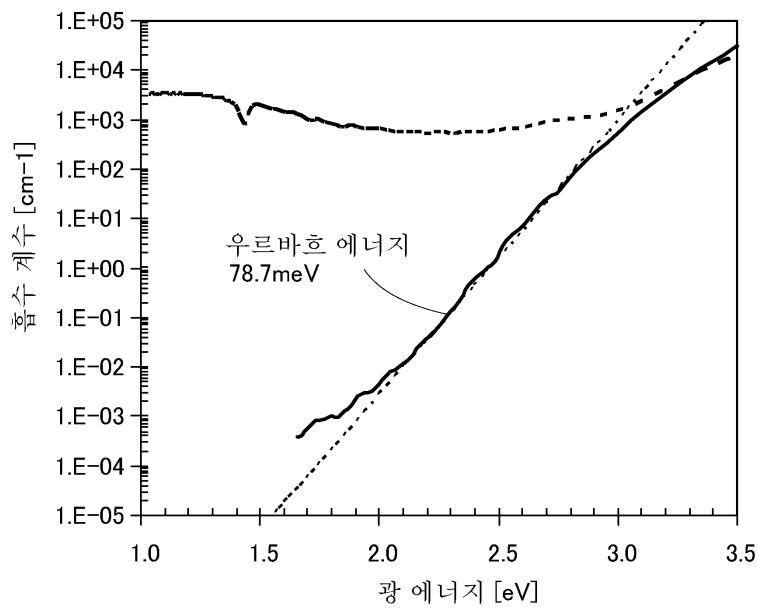
5-10nm 박판 nc
관측 개소 1

(C2)

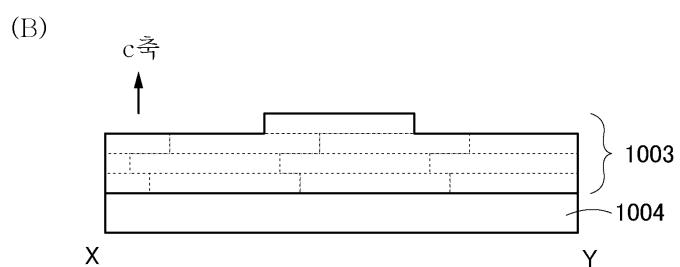
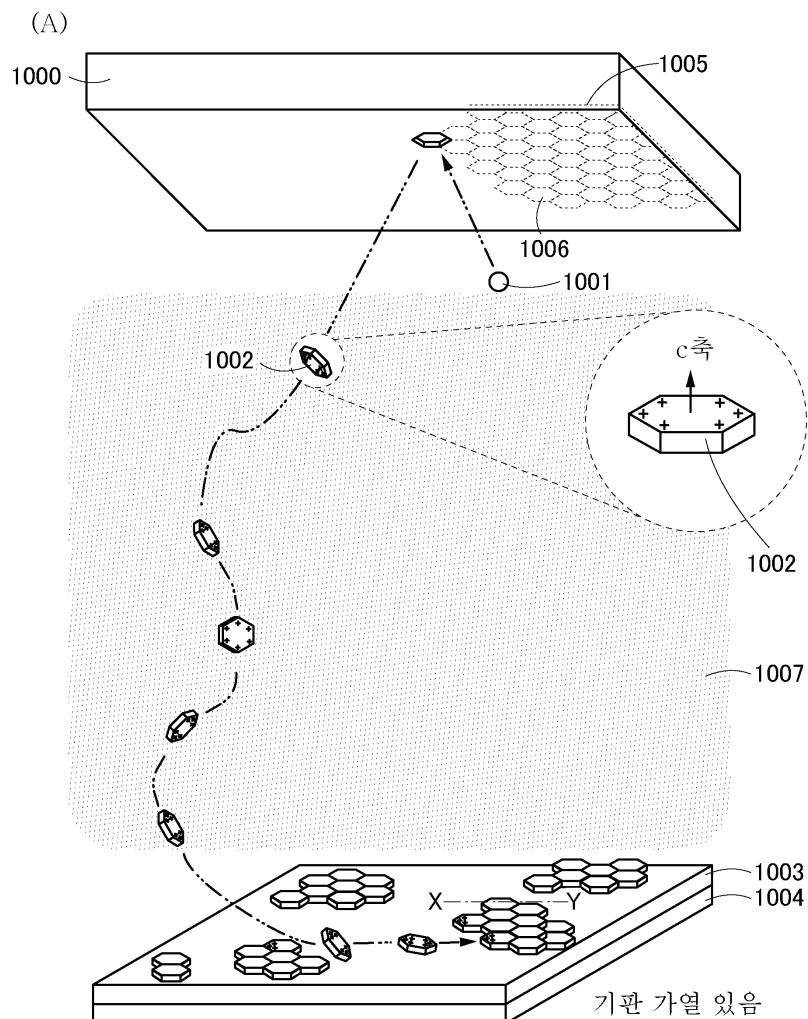


5-10nm 박판 nc
관측 개소 2

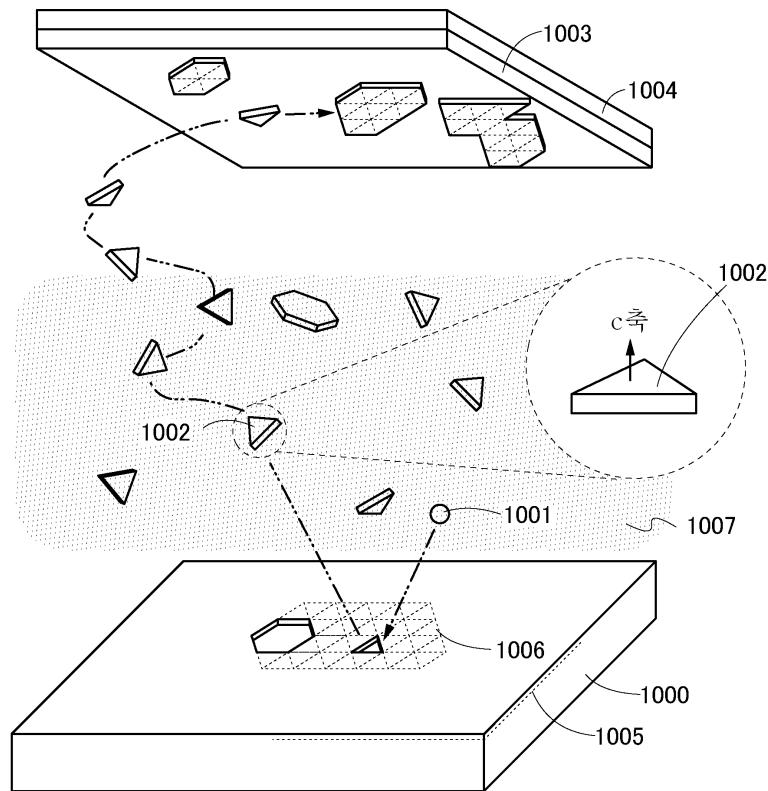
도면24



도면25

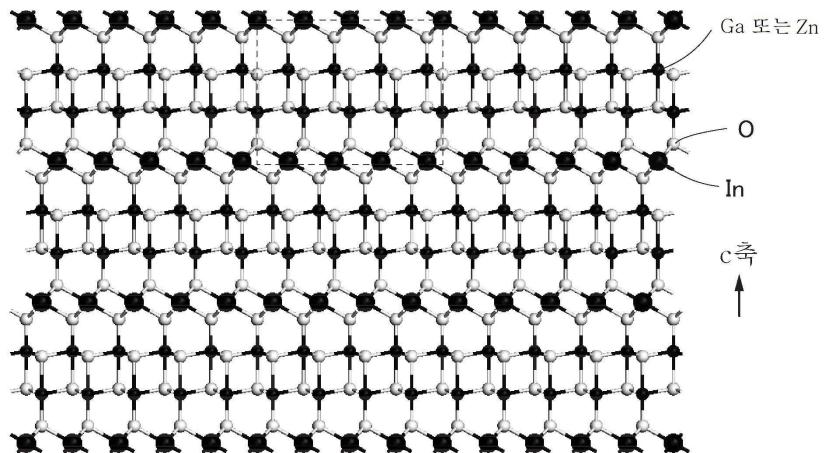


도면26

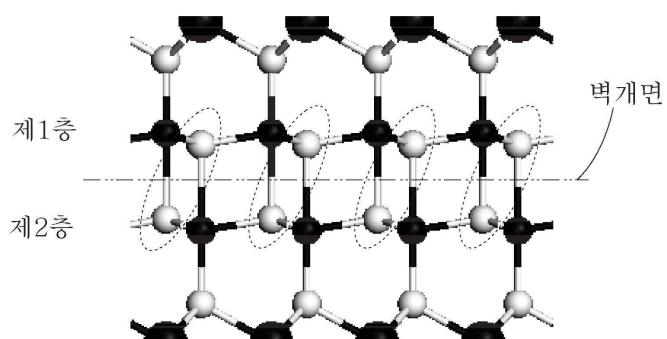


도면27

(A)

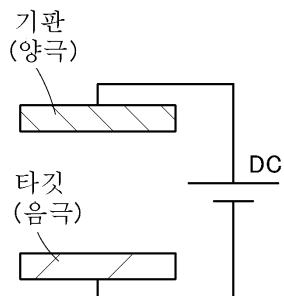


(B)

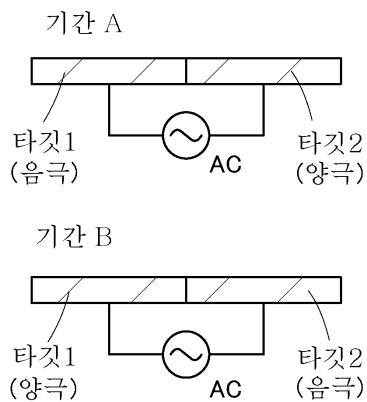


도면28

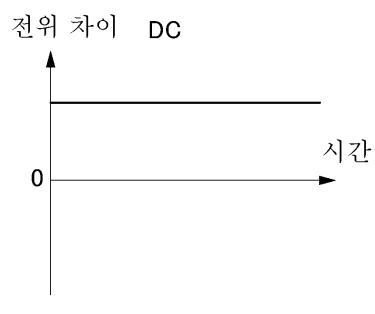
(A1)



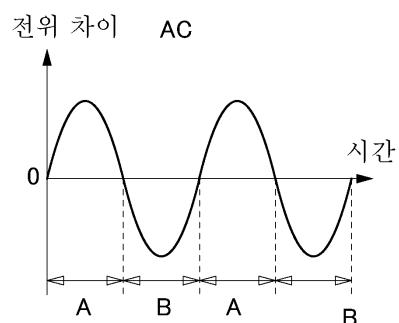
(A2)



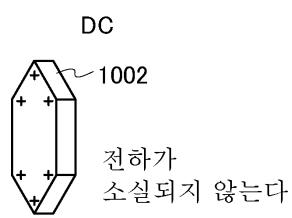
(B1)



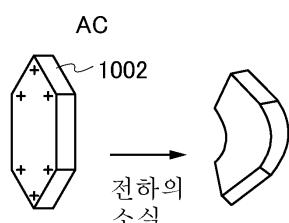
(B2)



(C1)

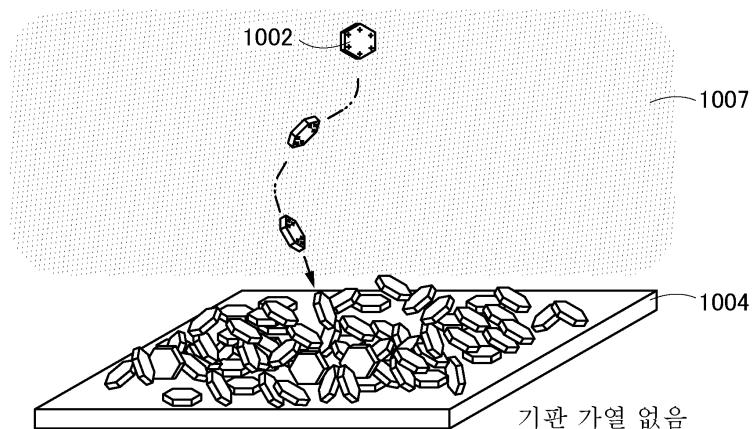


(C2)

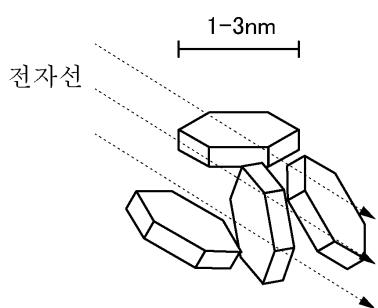


도면29

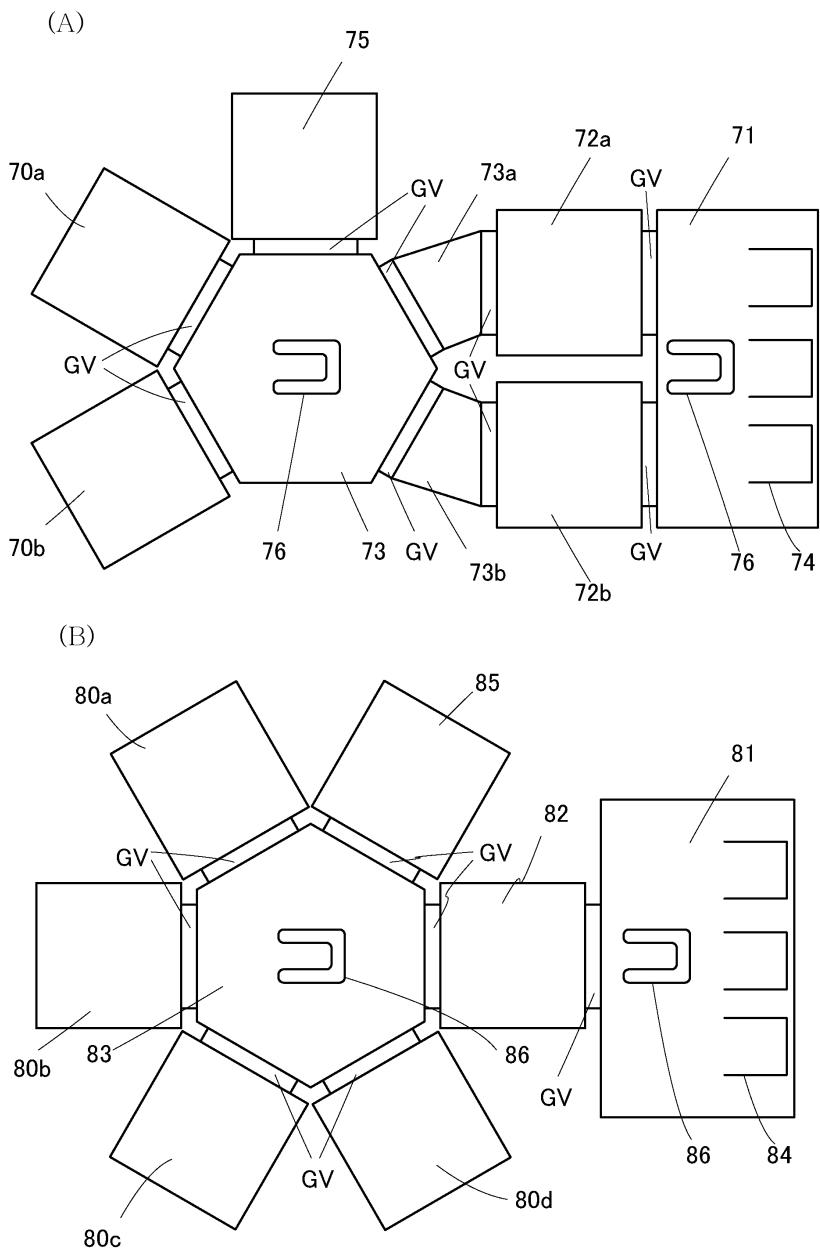
(A)



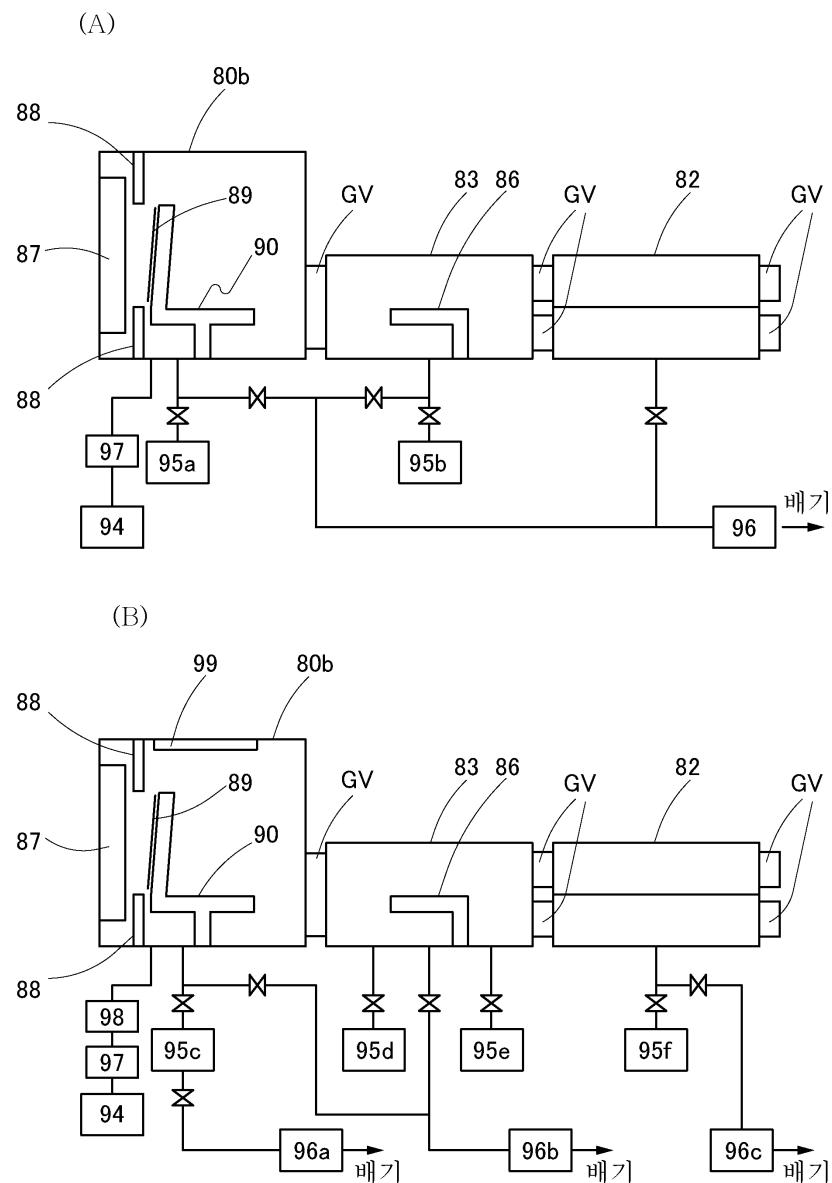
(B)



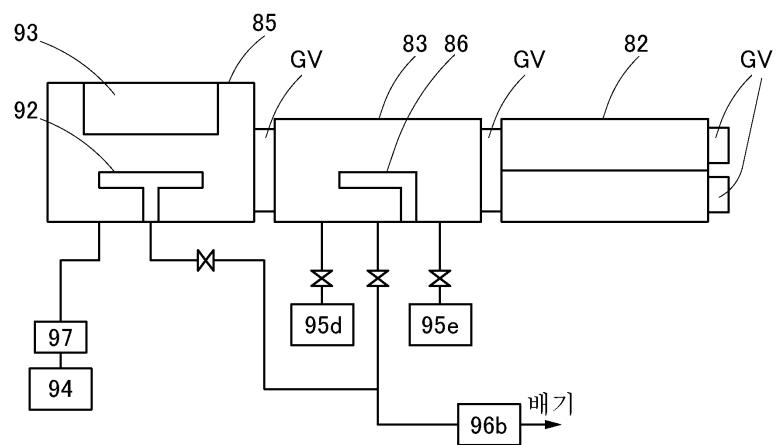
도면30



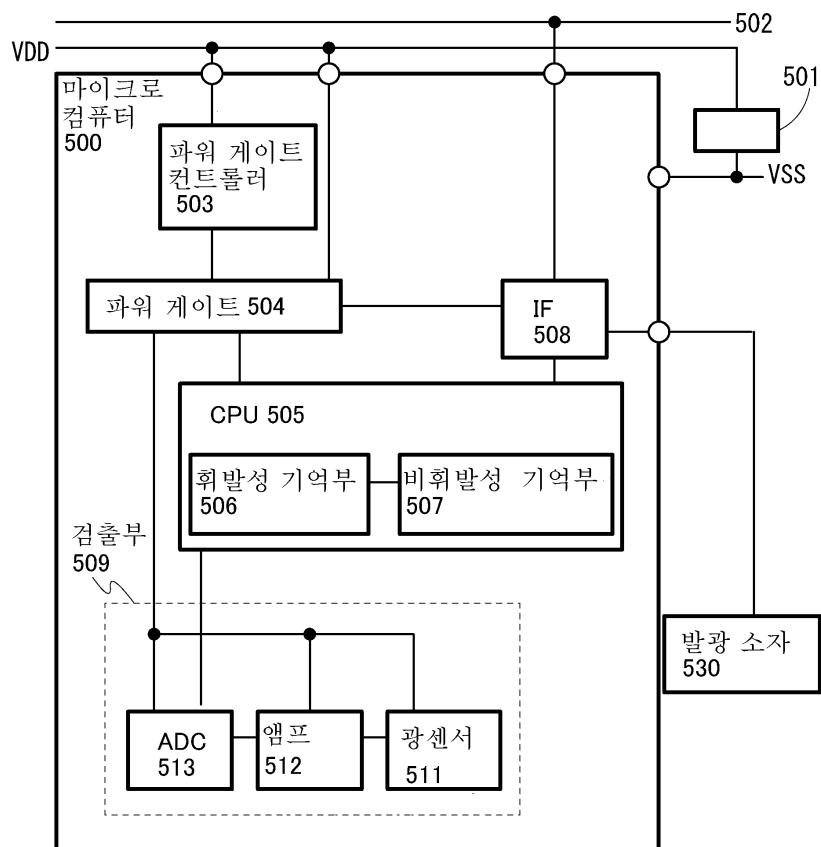
도면31



도면32

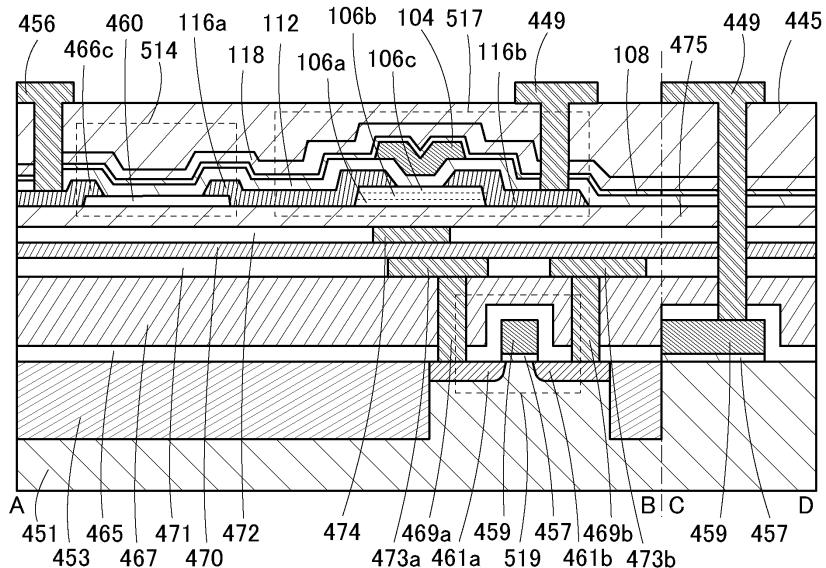


도면33

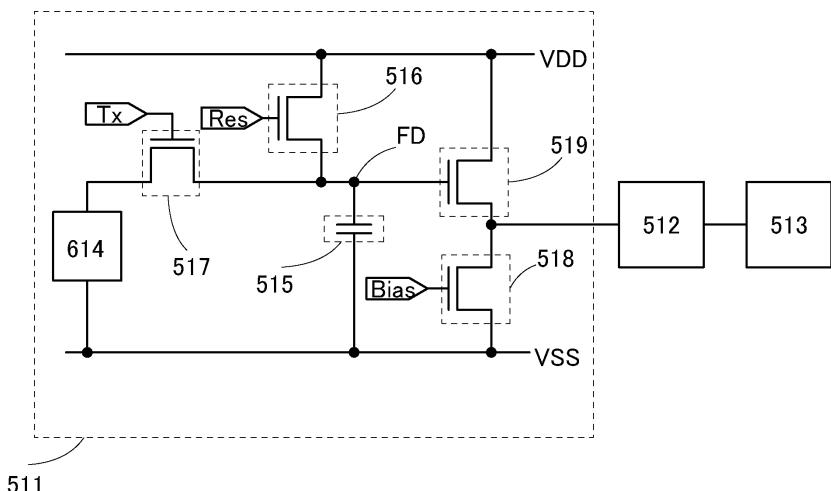


도면34

(A)

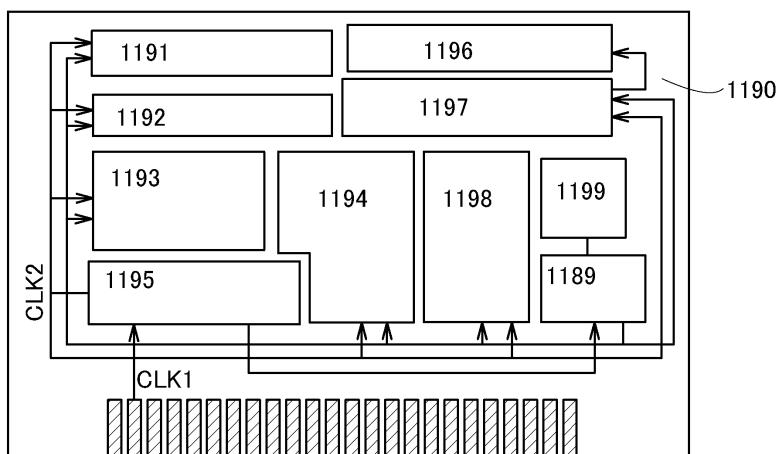


(B)

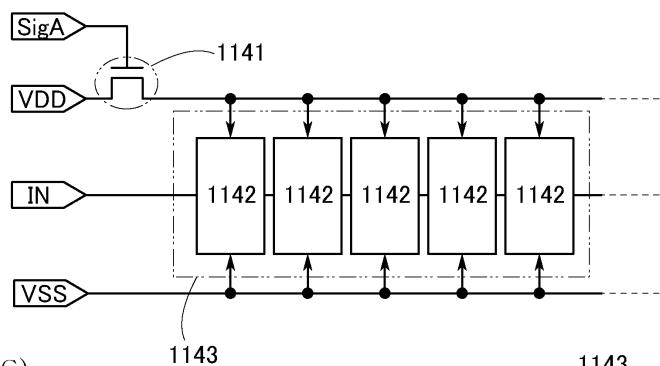


도면35

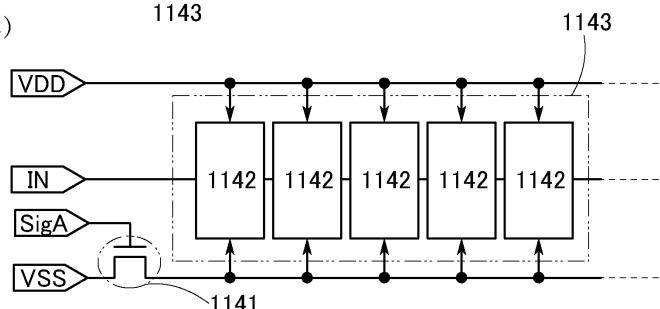
(A)



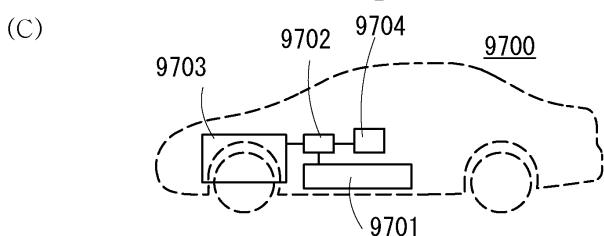
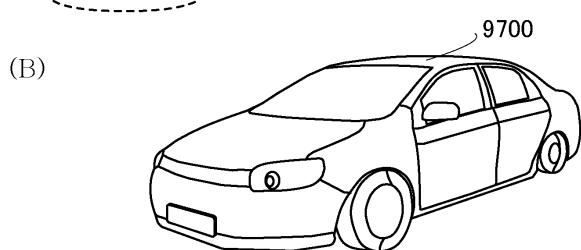
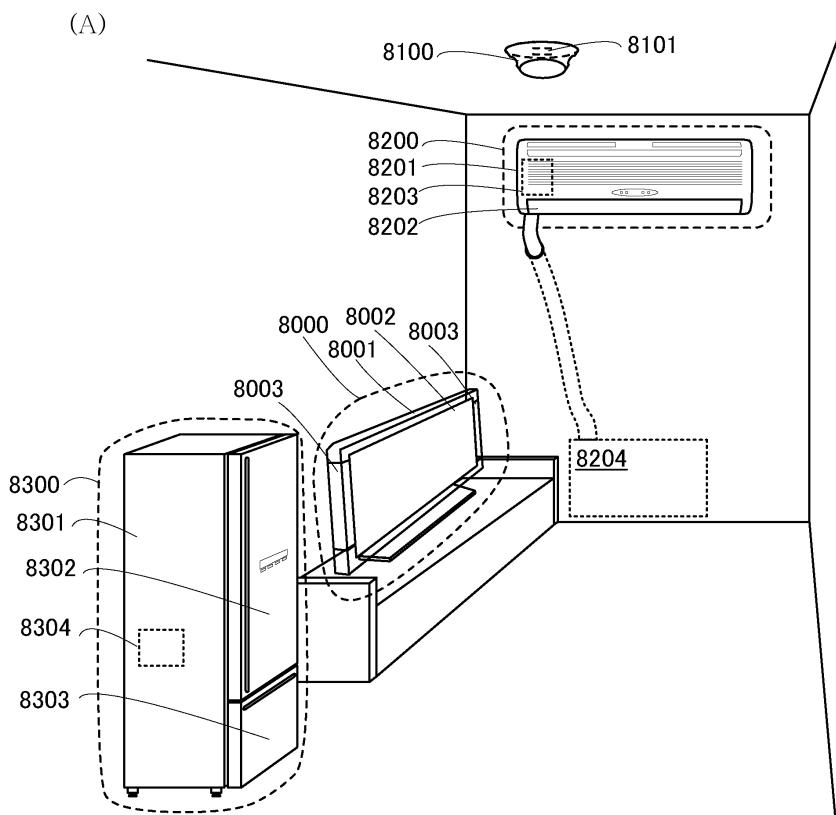
(B)



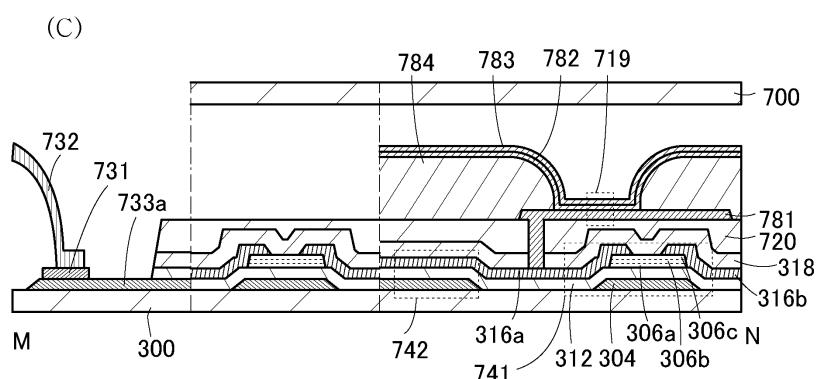
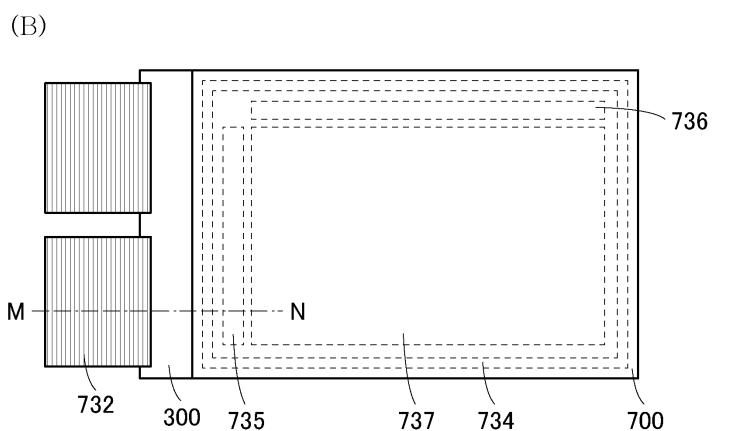
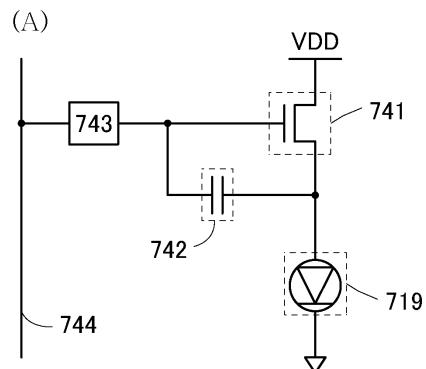
(C)



도면36

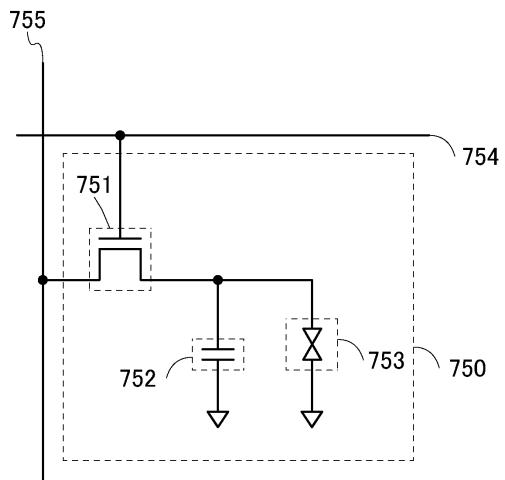


도면37



도면38

(A)



(B)

