

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号

特許第7242527号

(P7242527)

(45)発行日 令和5年3月20日(2023.3.20)

(24)登録日 令和5年3月10日(2023.3.10)

(51)国際特許分類

F I

H 0 1 L 27/146(2006.01)

H 0 1 L 27/146

A

H 0 1 L 31/107(2006.01)

H 0 1 L 31/10

B

請求項の数 15 (全41頁)

(21)出願番号 特願2019-527577(P2019-527577)
(86)(22)出願日 平成30年11月1日(2018.11.1)
(86)国際出願番号 PCT/JP2018/040660
(87)国際公開番号 WO2019/098035
(87)国際公開日 令和1年5月23日(2019.5.23)
審査請求日 令和3年9月13日(2021.9.13)
(31)優先権主張番号 特願2017-219685(P2017-219685)
(32)優先日 平成29年11月15日(2017.11.15)
(33)優先権主張国・地域又は機関
日本国(JP)

(73)特許権者 316005926
ソニーセミコンダクタソリューションズ
株式会社
神奈川県厚木市旭町四丁目1 4 番 1 号
(74)代理人 100121131
弁理士 西川 孝
(74)代理人 100082131
弁理士 稲本 義雄
(74)代理人 100168686
弁理士 三浦 勇介
(72)発明者 大竹 悠介
神奈川県厚木市旭町四丁目1 4 番 1 号
ソニーセミコンダクタソリューションズ
株式会社内
(72)発明者 若野 壽史

最終頁に続く

(54)【発明の名称】 光検出素子およびその製造方法

(57)【特許請求の範囲】

【請求項1】

マトリクス状に配置された複数の画素を備え、

前記画素は、

画素境界近傍の外周部に形成された第1導電型の第1半導体層と、

平面視において前記第1半導体層の内側に前記第1半導体層と接触して形成された、
前記第1導電型と反対の第2導電型の第2半導体層と、平面視において前記第2半導体層の内側に前記第2半導体層と接触して形成された、前
記第2半導体層よりも不純物濃度が低い前記第2導電型の第3半導体層と

を備え、

逆バイアス電圧が印加されたときに前記第1半導体層と前記第2半導体層とで形成され
る高電界領域が、断面視で基板の深さ方向に縦長に形成されるように構成された

光検出素子。

【請求項2】

マトリクス状に配置された複数の画素を備え、

前記画素は、

画素境界近傍の外周部に形成された第1導電型の第1半導体層と、

平面視において前記第1半導体層の内側に前記第1半導体層と接触して形成された、
前記第1導電型と反対の第2導電型の第2半導体層と

を備え、

前記第 2 半導体層は、基板の表面に向かって不純物濃度が濃くなる電位勾配を有し、逆バイアス電圧が印加されたときに前記第 1 半導体層と前記第 2 半導体層とで形成される高電界領域が、断面視で前記基板の深さ方向に縦長に形成されるように構成された光検出素子。

【請求項 3】

画素境界に、隣接する画素間を絶縁分離する分離部をさらに備え、
前記高電界領域は、前記分離部に隣接して形成されるように構成された
請求項 1 または 2 に記載の光検出素子。

【請求項 4】

前記第 2 半導体層の前記基板の深さ方向に隣接して、不純物濃度が低い前記第 1 導電型
または前記第 2 導電型の第 4 半導体層をさらに備える
請求項 1 または 2 に記載の光検出素子。

【請求項 5】

前記第 4 半導体層は、前記第 2 半導体層に対して前記基板の表面側に隣接し、前記第 1 導電型または前記第 2 導電型のいずれかである
請求項 4 に記載の光検出素子。

【請求項 6】

前記第 4 半導体層は、前記第 2 半導体層に対して前記基板の裏面側に隣接し、前記第 1 導電型または前記第 2 導電型のいずれかである
請求項 4 に記載の光検出素子。

【請求項 7】

前記分離部の断面視の形状は、テーパ形状である
請求項 3 に記載の光検出素子。

【請求項 8】

画素内の対向する前記高電界領域の平面方向の距離が前記基板の表面側と裏面側とで異なる
請求項 1 乃至 7 のいずれかに記載の光検出素子。

【請求項 9】

前記基板の表面に形成された前記第 1 導電型のウェル内に、読み出し回路をさらに備える
請求項 1 または 2 に記載の光検出素子。

【請求項 10】

前記読み出し回路は、複数の前記画素で共有される
請求項 9 に記載の光検出素子。

【請求項 11】

前記第 2 半導体層に隣接し、かつ、前記基板の表面に、前記第 1 導電型の第 5 半導体層
をさらに備える
請求項 9 に記載の光検出素子。

【請求項 12】

前記読み出し回路は、ゲート電極を制御することによって、信号の蓄積と読み出しを切り替える
請求項 11 に記載の光検出素子。

【請求項 13】

マトリクス状に配置される画素の境界近傍の外周部に、第 1 導電型の第 1 半導体層を形成し、

平面視において前記第 1 半導体層の内側に、前記第 1 導電型と反対の第 2 導電型の第 2 半導体層を形成し、

前記第 2 導電型のイオンを含んだ第 1 酸化膜を埋め込み、熱拡散によって前記第 2 半導体層を形成した後、前記第 1 酸化膜を除去して、その除去された部分に、前記第 1 導電型のイオンを含んだ第 2 酸化膜を埋め込み、熱拡散によって前記第 1 半導体層を形成することによって、前記外周部の前記第 1 半導体層と、その内側の前記第 2 半導体層とが形成され、

10

20

30

40

50

逆バイアス電圧が印加されたときに前記第 1 半導体層と前記第 2 半導体層とで形成される高電界領域が、基板の深さ方向に形成されるように構成された光検出素子の製造方法。

【請求項 1 4】

マトリクス状に配置される画素の境界近傍の外周部に、第 1 導電型の第 1 半導体層を形成し、

平面視において前記第 1 半導体層の内側に、前記第 1 導電型と反対の第 2 導電型の第 2 半導体層を形成し、

前記第 1 導電型のイオンを含んだ第 1 酸化膜を埋め込み、前記第 2 導電型のイオンを含んだ第 2 酸化膜を前記第 1 酸化膜とは別の領域に埋め込み、熱拡散によって前記第 1 半導体層と前記第 2 半導体層を形成することによって、前記外周部の前記第 1 半導体層と、その内側の前記第 2 半導体層とが形成され、

逆バイアス電圧が印加されたときに前記第 1 半導体層と前記第 2 半導体層とで形成される高電界領域が、基板の深さ方向に形成されるように構成された

光検出素子の製造方法。

【請求項 1 5】

マトリクス状に配置される画素の境界近傍の外周部に、第 1 導電型の第 1 半導体層を形成し、

平面視において前記第 1 半導体層の内側に、前記第 1 導電型と反対の第 2 導電型の第 2 半導体層を形成し、

基板の前記画素の境界に、前記基板の所定の深さまで掘り込んだトレンチを形成し、前記トレンチの側面から前記第 1 導電型のイオン注入と前記第 2 導電型のイオン注入を行うことで、前記外周部の前記第 1 半導体層と、その内側の前記第 2 半導体層とが形成され、

逆バイアス電圧が印加されたときに前記第 1 半導体層と前記第 2 半導体層とで形成される高電界領域が、前記基板の深さ方向に形成されるように構成された

光検出素子の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本技術は、光検出素子およびその製造方法に関し、特に、画素サイズを小さくすることができるようにした光検出素子およびその製造方法に関する。

【背景技術】

【0002】

PN接合に逆バイアス電圧を印加したときに生じる電子雪崩を利用した高速かつ高感度のフォトダイオードであるアバランシェフォトダイオード（以下、APDと称する。）は、一般に、高電界領域が平面方向に形成され、高電界領域の横方向にガードリングが設けられる（例えば、特許文献 1、2 参照）。

【先行技術文献】

【特許文献】

【0003】

【文献】特開 2015-41746 号公報
特開 2013-48278 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかしながら、平面方向に高電界領域を形成した構造では、画素サイズを小さくすることに限界がある。

【0005】

本技術は、このような状況に鑑みてなされたものであり、画素サイズを小さくすることができるようにするものである。

10

20

30

40

50

【課題を解決するための手段】

【0006】

本技術の第1の側面の光検出素子は、マトリクス状に配置された複数の画素を備え、前記画素は、画素境界近傍の外周部に形成された第1導電型の第1半導体層と、平面視において前記第1半導体層の内側に前記第1半導体層と接触して形成された、前記第1導電型と反対の第2導電型の第2半導体層と、平面視において前記第2半導体層の内側に前記第2半導体層と接触して形成された、前記第2半導体層よりも不純物濃度が低い前記第2導電型の第3半導体層とを備え、逆バイアス電圧が印加されたときに前記第1半導体層と前記第2半導体層とで形成される高電界領域が、断面視で基板の深さ方向に縦長に形成されるように構成された光検出素子である。

10

本技術の第1の側面においては、マトリクス状に配置された複数の画素が設けられ、前記画素には、画素境界近傍の外周部に形成された第1導電型の第1半導体層と、平面視において前記第1半導体層の内側に前記第1半導体層と接触して形成された、前記第1導電型と反対の第2導電型の第2半導体層と、平面視において前記第2半導体層の内側に前記第2半導体層と接触して形成された、前記第2半導体層よりも不純物濃度が低い前記第2導電型の第3半導体層とが設けられ、逆バイアス電圧が印加されたときに前記第1半導体層と前記第2半導体層とで形成される高電界領域が、断面視で基板の深さ方向に縦長に形成されるように構成される。

【0007】

本技術の第2の側面の光検出素子は、マトリクス状に配置された複数の画素を備え、前記画素は、画素境界近傍の外周部に形成された第1導電型の第1半導体層と、平面視において前記第1半導体層の内側に形成された、前記第1導電型と反対の第2導電型の第2半導体層とを備え、前記第2半導体層は、基板の表面に向かって不純物濃度が濃くなる電位勾配を有し、逆バイアス電圧が印加されたときに前記第1半導体層と前記第2半導体層とで形成される高電界領域が、断面視で前記基板の深さ方向に縦長に形成されるように構成された光検出素子である。

20

本技術の第2の側面においては、マトリクス状に配置された複数の画素が設けられ、前記画素には、画素境界近傍の外周部に形成された第1導電型の第1半導体層と、平面視において前記第1半導体層の内側に前記第1半導体層と接触して形成された、前記第1導電型と反対の第2導電型の第2半導体層とが設けられ、前記第2半導体層には、基板の表面に向かって不純物濃度が濃くなる電位勾配が形成され、逆バイアス電圧が印加されたときに前記第1半導体層と前記第2半導体層とで形成される高電界領域が、断面視で前記基板の深さ方向に縦長に形成されるように構成される。

30

【0008】

本技術の第3の側面の光検出素子の製造方法は、マトリクス状に配置される画素の境界近傍の外周部に、第1導電型の第1半導体層を形成し、平面視において前記第1半導体層の内側に、前記第1導電型と反対の第2導電型の第2半導体層を形成し、前記第2導電型のイオンを含んだ第1酸化膜を埋め込み、熱拡散によって前記第2半導体層を形成した後、前記第1酸化膜を除去して、その除去された部分に、前記第1導電型のイオンを含んだ第2酸化膜を埋め込み、熱拡散によって前記第1半導体層を形成することによって、前記外周部の前記第1半導体層と、その内側の前記第2半導体層とが形成され、逆バイアス電圧が印加されたときに前記第1半導体層と前記第2半導体層とで形成される高電界領域が、基板の深さ方向に形成されるように構成される。

40

本技術の第3の側面においては、マトリクス状に配置される画素の境界近傍の外周部に、第1導電型の第1半導体層が形成され、平面視において前記第1半導体層の内側に、前記第1導電型と反対の第2導電型の第2半導体層が形成され、前記第2導電型のイオンを含んだ第1酸化膜を埋め込み、熱拡散によって前記第2半導体層を形成した後、前記第1酸化膜を除去して、その除去された部分に、前記第1導電型のイオンを含んだ第2酸化膜を埋め込み、熱拡散によって前記第1半導体層を形成することによって、前記外周部の前記第1半導体層と、その内側の前記第2半導体層とが形成され、逆バイアス電圧が印加され

50

たときに前記第1半導体層と前記第2半導体層とで形成される高電界領域が、基板の深さ方向に形成されるように構成される。

【0009】

本技術の第4の側面の光検出素子の製造方法は、マトリクス状に配置される画素の境界近傍の外周部に、第1導電型の第1半導体層を形成し、平面視において前記第1半導体層の内側に、前記第1導電型と反対の第2導電型の第2半導体層を形成し、前記第1導電型のイオンを含んだ第1酸化膜を埋め込み、前記第2導電型のイオンを含んだ第2酸化膜を前記第1酸化膜とは別の領域に埋め込み、熱拡散によって前記第1半導体層と前記第2半導体層を形成することによって、前記外周部の前記第1半導体層と、その内側の前記第2半導体層とが形成され、逆バイアス電圧が印加されたときに前記第1半導体層と前記第2半導体層とで形成される高電界領域が、基板の深さ方向に形成されるように構成される。

10

本技術の第4の側面においては、マトリクス状に配置される画素の境界近傍の外周部に、第1導電型の第1半導体層が形成され、平面視において前記第1半導体層の内側に、前記第1導電型と反対の第2導電型の第2半導体層が形成され、前記第1導電型のイオンを含んだ第1酸化膜を埋め込み、前記第2導電型のイオンを含んだ第2酸化膜を前記第1酸化膜とは別の領域に埋め込み、熱拡散によって前記第1半導体層と前記第2半導体層を形成することによって、前記外周部の前記第1半導体層と、その内側の前記第2半導体層とが形成され、逆バイアス電圧が印加されたときに前記第1半導体層と前記第2半導体層とで形成される高電界領域が、基板の深さ方向に形成されるように構成される。

本技術の第5の側面の光検出素子の製造方法は、マトリクス状に配置される画素の境界近傍の外周部に、第1導電型の第1半導体層を形成し、平面視において前記第1半導体層の内側に、前記第1導電型と反対の第2導電型の第2半導体層を形成し、基板の前記画素の境界に、前記基板の所定の深さまで掘り込んだトレンチを形成し、前記トレンチの側面から前記第1導電型のイオン注入と前記第2導電型のイオン注入を行うことで、前記外周部の前記第1半導体層と、その内側の前記第2半導体層とが形成され、逆バイアス電圧が印加されたときに前記第1半導体層と前記第2半導体層とで形成される高電界領域が、前記基板の深さ方向に形成されるように構成される。

20

本技術の第5の側面においては、マトリクス状に配置される画素の境界近傍の外周部に、第1導電型の第1半導体層が形成され、平面視において前記第1半導体層の内側に、前記第1導電型と反対の第2導電型の第2半導体層が形成され、基板の前記画素の境界に、前記基板の所定の深さまで掘り込んだトレンチを形成し、前記トレンチの側面から前記第1導電型のイオン注入と前記第2導電型のイオン注入を行うことで、前記外周部の前記第1半導体層と、その内側の前記第2半導体層とが形成され、逆バイアス電圧が印加されたときに前記第1半導体層と前記第2半導体層とで形成される高電界領域が、前記基板の深さ方向に形成されるように構成される。

30

【0010】

光検出素子は、独立した装置であっても良いし、他の装置に組み込まれるモジュールであっても良い。

【発明の効果】

【0011】

本技術の第1ないし第5の側面によれば、画素サイズを小さくすることができる。

40

【0012】

なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれかの効果であってもよい。

【図面の簡単な説明】

【0013】

【図1】本技術を適用した光検出素子としてのフォトダイオードアレイの第1実施の形態の構成例を示す図である。

【図2】第1実施の形態において裏面照射型の場合の断面図である。

【図3】本技術を適用した光検出素子としてのフォトダイオードアレイの第2実施の形態

50

の構成例を示す図である。

【図 4】第 2 実施の形態においてテーパ形状の分離部を有する場合の断面図である。

【図 5】本技術を適用した光検出素子としてのフォトダイオードアレイの第 3 実施の形態の構成例を示す図である。

【図 6】第 3 実施の形態においてテーパ形状の分離部を有する場合の断面図である。

【図 7】本技術を適用した光検出素子としてのフォトダイオードアレイの第 4 実施の形態の構成例を示す図である。

【図 8】図 3 のフォトダイオードアレイに第 4 実施の形態の特徴的構成を追加した構成例を示す断面図である。

【図 9】図 4 のフォトダイオードアレイに第 4 実施の形態の特徴的構成を追加した構成例を示す断面図である。

10

【図 10】図 5 のフォトダイオードアレイに第 4 実施の形態の特徴的構成を追加した構成例を示す断面図である。

【図 11】図 6 のフォトダイオードアレイに第 4 実施の形態の特徴的構成を追加した構成例を示す断面図である。

【図 12】本技術を適用した光検出素子としてのフォトダイオードアレイの第 5 実施の形態の構成例を示す図である。

【図 13】本技術を適用した光検出素子としてのフォトダイオードアレイの第 6 実施の形態の構成例を示す図である。

【図 14】本技術を適用した光検出素子としてのフォトダイオードアレイの第 7 実施の形態の構成例を示す図である。

20

【図 15】本技術を適用した光検出素子としてのフォトダイオードアレイの第 8 実施の形態の構成例を示す図である。

【図 16】図 3 のフォトダイオードアレイに第 8 実施の形態の特徴的構成を追加した構成例を示す断面図である。

【図 17】図 5 のフォトダイオードアレイに第 8 実施の形態の特徴的構成を追加した構成例を示す断面図である。

【図 18】図 9 のフォトダイオードアレイに第 8 実施の形態の特徴的構成を追加した構成例を示す断面図である。

【図 19】図 11 のフォトダイオードアレイに第 8 実施の形態の特徴的構成を追加した構成例を示す断面図である。

30

【図 20】本技術を適用した光検出素子としてのフォトダイオードアレイの第 9 実施の形態の構成例を示す図である。

【図 21】図 16 のフォトダイオードアレイに第 9 実施の形態の特徴的構成を追加した構成例を示す断面図である。

【図 22】図 17 のフォトダイオードアレイに第 9 実施の形態の特徴的構成を追加した構成例を示す断面図である。

【図 23】図 18 のフォトダイオードアレイに第 9 実施の形態の特徴的構成を追加した構成例を示す断面図である。

【図 24】図 19 のフォトダイオードアレイに第 9 実施の形態の特徴的構成を追加した構成例を示す断面図である。

40

【図 25】本技術を適用した光検出素子としてのフォトダイオードアレイの第 10 実施の形態の構成例を示す図である。

【図 26】本技術を適用した光検出素子としてのフォトダイオードアレイの第 11 実施の形態の構成例を示す図である。

【図 27】図 21 のフォトダイオードアレイに第 11 実施の形態の特徴的構成を追加した構成例を示す断面図である。

【図 28】図 22 のフォトダイオードアレイに第 11 実施の形態の特徴的構成を追加した構成例を示す断面図である。

【図 29】図 23 のフォトダイオードアレイに第 11 実施の形態の特徴的構成を追加した

50

構成例を示す断面図である。

【図 30】図 24 のフォトダイオードアレイに第 11 実施の形態の特徴的構成を追加した構成例を示す断面図である。

【図 31】本技術を適用した光検出素子としてのフォトダイオードアレイの第 12 実施の形態の構成例を示す図である。

【図 32】第 12 実施の形態において裏面照射型の場合の断面図である。

【図 33】本技術を適用した光検出素子としてのフォトダイオードアレイの第 13 実施の形態の構成例を示す図である。

【図 34】本技術を適用した光検出素子としてのフォトダイオードアレイの第 14 実施の形態の構成例を示す図である。

【図 35】第 14 実施の形態のその他の構成例を示す図である。

【図 36】第 14 実施の形態のその他の構成例を示す図である。

【図 37】第 14 実施の形態のその他の構成例を示す図である。

【図 38】本技術を適用した光検出素子としてのフォトダイオードアレイの第 15 実施の形態の構成例を示す図である。

【図 39】本技術を適用した光検出素子としてのフォトダイオードアレイの第 16 実施の形態の構成例を示す図である。

【図 40】読み出し回路領域が複数画素で共有される場合の構成例を示す図である。

【図 41】第 1 の製造方法を説明する図である。

【図 42】第 2 の製造方法を説明する図である。

【図 43】第 3 の製造方法を説明する図である。

【図 44】第 4 の製造方法を説明する図である。

【図 45】第 5 の製造方法を説明する図である。

【図 46】第 6 の製造方法を説明する図である。

【図 47】第 7 の製造方法を説明する図である。

【図 48】第 7 の製造方法を説明する図である。

【発明を実施するための形態】

【0014】

以下、本技術を実施するための形態（以下、実施の形態という）について説明する。なお、説明は以下の順序で行う。

1. 第 1 実施の形態（光検出素子の基本構成例）
2. 第 2 実施の形態（分離部を備える構成例）
3. 第 3 実施の形態（分離部を備える裏面照射型の構成例）
4. 第 4 実施の形態（内側に低濃度 N 型半導体層を備える構成例）
5. 第 5 実施の形態（基板表面に STI を備える構成例）
6. 第 6 実施の形態（アノードおよびカソードを対角に離れた構成例）
7. 第 7 実施の形態（STI とアノードおよびカソードを対角に配置した構成例）
8. 第 8 実施の形態（隣接縦方向に低濃度 N 型半導体層を備える構成例）
9. 第 9 実施の形態（隣接縦方向に低濃度 P 型半導体層を備える構成例）
10. 第 10 実施の形態（N 型半導体層が電位勾配を有する構成例）
11. 第 11 実施の形態（深さ方向の一部に高電界領域を備える構成例）
12. 第 12 実施の形態（画素毎に OCL を備える構成例）
13. 第 13 実施の形態（1 画素に複数の OCL を備える構成例）
14. 第 14 実施の形態（複数画素に 1 個の OCL を備える構成例）
15. 第 15 実施の形態（隣接画素の信号を共有する構成例）
16. 第 16 実施の形態（信号をゲート制御する構成例）
17. 第 1 の製造方法（イオン注入で形成する製造方法）
18. 第 2 の製造方法（イオン注入と固相拡散で形成する製造方法）
19. 第 3 の製造方法（高濃度基板と固相拡散で形成する製造方法）
20. 第 4 の製造方法（2 回の固相拡散で形成する製造方法）

- 2 1. 第 5 の製造方法（1 回の固相拡散で形成する製造方法）
- 2 2. 第 6 の製造方法（表面からトレンチ形成し、イオン注入する製造方法）
- 2 3. 第 7 の製造方法（裏面からトレンチ形成し、イオン注入する製造方法）
- 2 4. まとめ

【0 0 1 5】

< 1. 第 1 実施の形態 >

図 1 は、本技術を適用した光検出素子としてのフォトダイオードアレイの第 1 実施の形態の構成例を示している。

【0 0 1 6】

図 1 の A は、フォトダイオードアレイ 1 の半導体基板（半導体層）の平面図であり、図 1 の B は、フォトダイオードアレイ 1 の半導体基板の断面図である。図 1 の A は、半導体基板の表面側に相当する図 1 の B の断面図における下面の平面図であり、図 1 の B は、図 1 の A の X-X 線における断面図である。

10

【0 0 1 7】

図 1 のフォトダイオードアレイ 1 は、画素 1 0 が 3 x 3 のマトリクス状に配置されて構成され、各画素 1 0 には、アバランシェフォトダイオード（以下、APD と称する。）が形成されている。図 1 の A において破線は、各画素 1 0 の境界を示している。

【0 0 1 8】

なお、図 1 のフォトダイオードアレイ 1 は、3 x 3 の 9 個の画素で構成されているが、行方向および列方向の配列数並びに画素の総数は、これに限定されず任意である。

20

【0 0 1 9】

フォトダイオードアレイ 1 の各画素 1 0 は、第 1 導電型の第 1 半導体層 2 1 と、第 2 導電型の第 2 半導体層 2 2 を備える。

【0 0 2 0】

より具体的には、図 1 の B に示されるように、各画素 1 0 において、画素境界を含む境界近傍の外周部に、第 1 導電型の第 1 半導体層 2 1 が形成され、第 1 導電型の第 1 半導体層 2 1 の内側に、第 1 導電型と反対の導電型である第 2 導電型の第 2 半導体層 2 2 が形成されている。

【0 0 2 1】

第 1 導電型としては、P 型および N 型のどちらも取ることができ、例えば、第 1 導電型を P 型とすると、第 2 導電型は N 型となり、第 1 導電型を N 型とすると、第 2 導電型は P 型となる。

30

【0 0 2 2】

以下では、第 1 導電型を P 型とし、第 2 導電型を N 型とした場合について説明し、理解を容易にするため、第 1 半導体層 2 1 を P+ 型第 1 半導体層 2 1、第 2 半導体層 2 2 を N+ 型第 2 半導体層 2 2、のように、導電型と不純物濃度を付加して記述する。後述するその他の半導体層についても同様とする。

【0 0 2 3】

なお、不純物濃度については、P 型の場合、“P++”、“P+”、“P”、“P-”のように記述し、“P++”の不純物濃度が最も高く、“P++”、“P+”、“P”、“P-”の順で不純物濃度が低いことを表す。N 型の場合についても同様に、“N++”、“N+”、“N”、“N-”のように記述し、“N++”の不純物濃度が最も高く、“N++”、“N+”、“N”、“N-”の順で不純物濃度が低いことを表す。

【0 0 2 4】

図 1 の B の断面図の下面に相当する半導体基板の表面の、画素 1 0 の中央部には、逆バイアス電圧を印加する際のカソードとなるコンタクト 2 3（以下、カソードコンタクト 2 3 という。）が、高濃度の N 型の拡散層（N++）で形成されている。また、基板の表面の、画素 1 0 の境界部には、逆バイアス電圧を印加する際のアノードとなるコンタクト 2 4（以下、アノードコンタクト 2 4 という。）が、高濃度の P 型の拡散層（P++）で形成されている。

50

【0025】

図1のAに示されるように、アノードコンタクト24は、画素10の境界部に沿って格子状に形成されており、画素単位には分離されていないのに対して、カソードコンタクト23が、画素10の中央部に画素単位に形成されている。光電変換された光信号は、カソードコンタクト23から出力される。

【0026】

フォトダイオードアレイ1を構成する各画素10のアノードおよびカソードに、ブレークダウン電圧よりも高い逆バイアス電圧を印加すると、アバランシェ増倍が起こる領域である高電界領域25が、図1のBに示されるように、半導体基板の深さ方向に形成される。N+型第2半導体層22は、断面視において、P+型第1半導体層21内に縦長に形成されているので、高電界領域25が、長方形の長辺側に形成される。画素内に入射された光子は、N+型第2半導体層22で光電変換されて正孔（キャリア）となり、正孔は、横方向に移動して高電界領域25で増倍される。

【0027】

高電界領域25が、半導体基板の深さ方向に縦長に形成されるので、画素の平面サイズが小さくなった場合でも、基板深さ方向に、十分な高電界領域を確保することができる。また、高電界領域25が縦方向に形成されることで、ガードリングを横方向に形成しなくても、エッジのブレークダウンを回避することが可能となる。したがって、図1のフォトダイオードアレイ1の構造によれば、ガードリングが不要で、十分な高電界領域を確保しつつ、画素サイズを小さくすることができる。

【0028】

また、N+型第2半導体層22が縦長に形成されているので、光子の到達から増倍されるまでの距離は、長方形のN+型第2半導体層22の短辺に平行な方向の移動となり、短くなる。これにより、ジッター特性を改善することができる。

【0029】

なお、図1のフォトダイオードアレイ1において、光が入射される面は、半導体基板の表面または裏面のどちらにすることもできるが、光の入射面を、半導体基板の裏面側とする裏面照射型の場合には、図2に示されるように、裏面界面における暗電流の発生を抑制するための固定電荷膜28を裏面側界面に形成することが好ましい。この固定電荷膜28は、例えば、 HfO_2 、 Al_2O_3 等の膜で形成することができる。

【0030】

<2. 第2実施の形態>

図3は、本技術を適用した光検出素子としてのフォトダイオードアレイの第2実施の形態の構成例を示している。

【0031】

図3のAは、フォトダイオードアレイ1の半導体基板の平面図であり、図3のBは、フォトダイオードアレイ1の半導体基板の断面図である。図3の平面図および断面図における半導体基板の表裏の関係は、第1実施の形態と同様とする。

【0032】

図3においては、図1に示した第1実施の形態と対応する部分については同一の符号を付してあり、その部分の説明は適宜省略して、第2実施の形態が第1実施の形態と異なる部分について説明する。

【0033】

第2実施の形態では、図1に示した第1実施の形態と比較すると、図3のAおよびBに示されるように、画素10の境界に、シリコン酸化膜(SiO_2)などの絶縁膜41と、タンゲステン(W)、アルミニウム(Al)又は銅(Cu)などの金属膜42とからなる分離部43が新たに形成されている。分離部43は、隣接する画素間を絶縁分離する。高電界領域25は、分離部43に隣接して形成される。

【0034】

分離部43を半導体基板に形成することで、絶縁膜41と半導体基板との界面に発生す

10

20

30

40

50

る暗電流が懸念されるが、分離部 4 3 を P+ 型第 1 半導体層 2 1 内に形成することで、界面に起因する暗電流を抑制することができる。また、分離部 4 3 を画素境界に設けたことにより、クロストークの発生も抑制することができる。

【0035】

したがって、画素境界に分離部 4 3 を設けたことにより、微細画素で問題となるクロストークと界面の暗電流に起因するダークカウントレート（以下、DCRと称する。）を低減することができる。

【0036】

分離部 4 3 は、金属膜 4 2 を省略して、絶縁膜 4 1 のみで形成してもよいが、絶縁膜 4 1 の内部に金属膜 4 2 を設けることで、遮光性を向上させることができる。また、金属膜 4 2 にアノードと同電位の電圧を印加すると、P+ 型第 1 半導体層 2 1 との界面で発生する暗電流をさらに抑制することができる。

【0037】

なお、図 3 のフォトダイオードアレイ 1 においても、光が入射される面は、半導体基板の表面または裏面のどちらでもよい。裏面照射型の場合には、図 2 と同じように、固定電荷膜 2 8 を半導体基板の裏面側界面に形成することが好ましい。

【0038】

また、分離部 4 3 の断面形状は、図 4 のように、裏面側と表面側の平面領域面積が異なるテーパ形状となってもよい。

【0039】

図 4 は、絶縁膜 4 1 および金属膜 4 2 を埋め込むためのトレンチを、表面側から形成した場合の分離部 4 3 の形成例を示しており、この場合、分離部 4 3 の断面形状は、裏面側から表面側に行くほど平面領域面積が大きくなる下広がり（テーパ）形状となる。反対に、図示は省略するが、絶縁膜 4 1 および金属膜 4 2 を埋め込むためのトレンチを、裏面側から形成した場合には、分離部 4 3 の断面形状は、裏面側から表面側に行くほど平面領域面積が小さくなる下すぼみ（テーパ）形状となる。

【0040】

< 3. 第 3 実施の形態 >

図 5 は、本技術を適用した光検出素子としてのフォトダイオードアレイの第 3 実施の形態の構成例を示している。

【0041】

図 5 の A は、フォトダイオードアレイ 1 の半導体基板の平面図であり、図 5 の B は、フォトダイオードアレイ 1 の半導体基板の断面図である。図 5 の平面図および断面図における半導体基板の表裏の関係は、第 1 実施の形態と同様とする。

【0042】

図 5 においては、図 3 に示した第 2 実施の形態と対応する部分については同一の符号を付してあり、その部分の説明は適宜省略して、第 3 実施の形態が第 2 実施の形態と異なる部分について説明する。

【0043】

図 5 に示されるフォトダイオードアレイ 1 は、図 3 に示した第 2 実施の形態に係るフォトダイオードアレイ 1 を、裏面照射型に特化した構造であり、図 3 の構成に対して、固定電荷膜 2 9 が、新たに追加されている。

【0044】

固定電荷膜 2 9 は、半導体基板の裏面側界面に形成され、裏面側界面で発生する暗電流を抑制することができる。分離部 4 3 がある部分では、固定電荷膜 2 9 は、P+ 型第 1 半導体層 2 1 と絶縁膜 4 1 との間に形成されており、分離部 4 3 と P+ 型第 1 半導体層 2 1 との界面で発生する暗電流を抑制する。

【0045】

分離部 4 3 の断面形状は、第 2 実施の形態と同様にテーパ形状となってもよい。分離部 4 3 の断面形状をテーパ形状とする場合には、絶縁膜 4 1 および金属膜 4 2 を埋め込

10

20

30

40

50

むためのトレンチを、裏面側から形成するため、図 6 のように、下すぼみのテーパ形状となる。

【 0 0 4 6 】

< 4 . 第 4 実施の形態 >

図 7 は、本技術を適用した光検出素子としてのフォトダイオードアレイの第 4 実施の形態の構成例を示している。

【 0 0 4 7 】

図 7 の A は、フォトダイオードアレイ 1 の半導体基板の平面図であり、図 7 の B は、フォトダイオードアレイ 1 の半導体基板の断面図である。図 7 の A の平面図は、図 7 の B の Y-Y 線における平面図である。

10

【 0 0 4 8 】

図 7 の B に示される断面図では、半導体基板の裏面界面に、暗電流抑制のための固定電荷膜 2 8 が形成されており、図 7 は、裏面照射型の構成例を示している。

【 0 0 4 9 】

図 2 に示した第 1 実施の形態の裏面照射型の構成では、カソードコンタクト 2 3 に接続される N+ 型第 2 半導体層 2 2 が、領域内で均一かつ高濃度な N 型不純物領域で形成されていた。

【 0 0 5 0 】

これに対して、図 7 に示される第 4 実施の形態では、カソードコンタクト 2 3 に接続される N+ 型第 2 半導体層 2 2 の内側に、それよりも低濃度の N 型 (N-) の第 3 半導体層 6 1 (以下、N- 型第 3 半導体層 6 1 という。) が形成されている。N- 型第 3 半導体層 6 1 は、図 7 の A に示されるように、平面視において、高濃度な N+ 型第 2 半導体層 2 2 の内側で、画素 1 0 の中央部に形成されている。

20

【 0 0 5 1 】

図 7 の第 4 実施の形態のその他の構成は、図 2 に示した第 1 実施の形態の裏面照射型の構成と同様であるので、説明を省略する。

【 0 0 5 2 】

第 4 実施の形態のように、平面視において画素中央部に低濃度の N- 型第 3 半導体層 6 1 を配置し、その外側、換言すれば、PN 接合が配置される方向に、高濃度な N+ 型第 2 半導体層 2 2 を配置することにより、平面方向に形成される電位勾配 (ポテンシャル勾配) によって、入射光の光電変換によって発生した電荷を、高濃度な N+ 型第 2 半導体層 2 2 に効率的に取り込むことができる。

30

【 0 0 5 3 】

なお、このように、カソードコンタクト 2 3 に接続される N 型不純物領域を、高濃度な N+ 型第 2 半導体層 2 2 と、その内側の N- 型第 3 半導体層 6 1 とで構成する構造は、上述した第 2 および第 3 実施の形態にも適用することができる。

【 0 0 5 4 】

図 8 は、図 3 に示した分離部 4 3 を有する第 2 実施の形態のフォトダイオードアレイ 1 に、第 4 実施の形態の特徴的構成を追加した構成例を示す断面図である。

【 0 0 5 5 】

図 8 では、図 3 に示したフォトダイオードアレイ 1 の N+ 型第 2 半導体層 2 2 の内側に、N- 型第 3 半導体層 6 1 が追加されている。

40

【 0 0 5 6 】

図 9 は、図 4 に示したテーパ形状の分離部 4 3 を有する第 2 実施の形態のフォトダイオードアレイ 1 に、第 4 実施の形態の特徴的構成を追加した構成例を示す断面図である。

【 0 0 5 7 】

図 9 では、図 3 に示したフォトダイオードアレイ 1 の N+ 型第 2 半導体層 2 2 の内側に、N- 型第 3 半導体層 6 1 が追加されている。なお、図 8 および図 9 は、裏面照射型の例であり、裏面側界面に固定電荷膜 2 8 も形成されている。

【 0 0 5 8 】

50

図10は、図5に示した固定電荷膜29を有する第3実施の形態のフォトダイオードアレイ1に、第4実施の形態の特徴的構成を追加した構成例を示す断面図である。

【0059】

図10では、図5に示したフォトダイオードアレイ1のN+型第2半導体層22の内側に、N-型第3半導体層61が追加されている。

【0060】

図11は、図6に示したテーパ形状の分離部43を有する第3実施の形態のフォトダイオードアレイ1に、第4実施の形態の特徴的構成を追加した構成例を示す断面図である。

【0061】

図11では、図6に示したフォトダイオードアレイ1のN+型第2半導体層22の内側に、N-型第3半導体層61が追加されている。

10

【0062】

図8乃至図11のいずれの構成においても、平面方向に形成される電位勾配により、入射光の光電変換によって発生した電荷を、高濃度なN+型第2半導体層22に効率的に取り込むことができる。

【0063】

なお、図8乃至図11は、いずれも、裏面照射型の例であるが、表面照射型に適用することも勿論可能である。

【0064】

<5. 第5実施の形態>

20

図12は、本技術を適用した光検出素子としてのフォトダイオードアレイの第5実施の形態の構成例を示している。

【0065】

図12のAは、フォトダイオードアレイ1の半導体基板の平面図であり、図12のBは、フォトダイオードアレイ1の半導体基板の断面図である。図12の平面図および断面図における半導体基板の表裏の関係は、第1実施の形態と同様とする。

【0066】

図12においては、上述した第1乃至第4実施の形態と対応する部分については同一の符号を付してあり、その部分の説明は適宜省略して、異なる部分について説明する。

【0067】

30

図12のBの断面図を、図8に示した第4実施の形態の断面図と比較すると、第5実施の形態では、半導体基板の表面側に、STI(Shallow Trench Isolation)63が新たに追加されている。STI63は、P+型第1半導体層21に接続されるアノードコンタクト24と、N+型第2半導体層22に接続されるカソードコンタクト23とを電氣的に分離する。また、STI63は、高電界領域25を形成するP+型第1半導体層21とN+型第2半導体層22の界面が、半導体基板の表面に接することを回避する。これにより、半導体基板の表面で発生する暗電流が増倍されることを抑制することができる。

【0068】

なお、図12に示した構成例では、基板表面のカソードコンタクト23とSTI63の間に、N+型第2半導体層22が配置されているが、基板表面のカソードコンタクト23とアノードコンタクト24の間を、すべてSTI63で形成して、N+型第2半導体層22が基板表面に露出されない構成としてもよい。

40

【0069】

<6. 第6実施の形態>

図13は、本技術を適用した光検出素子としてのフォトダイオードアレイの第6実施の形態の構成例を示している。

【0070】

図13のAは、フォトダイオードアレイ1の半導体基板の平面図であり、図13のBは、フォトダイオードアレイ1の半導体基板の断面図である。図13のAは、半導体基板の表面側に相当する図13のBの断面図における下面の平面図であり、図13のBは、図13の

50

AのZ-Z線における断面図である。

【0071】

図13においては、上述した第1乃至第5実施の形態と対応する部分については同一の符号を付してあり、その部分の説明は適宜省略して、異なる部分について説明する。

【0072】

図13のBの断面図を、図8に示した第4実施の形態の断面図と比較すると、図8では、アノードコンタクト24が、画素境界に形成された両側の分離部43それぞれに隣接して形成されているのに対して、図13では、アノードコンタクト24が、両側の分離部43の一方のみに隣接して形成されている。そして、カソードコンタクト23が、画素10の中央部ではなく、アノードコンタクト24が形成されていない方の分離部43側にシフトして配置されている。

10

【0073】

図13のAの平面図で見ると、アノードコンタクト24は、矩形の画素10の1つの角（図13のAにおいて左上）の分離部43に接して配置されており、カソードコンタクト23は、N+型第2半導体層22の中央部（画素中央部）より、アノードコンタクト24が配置されている角と対角にある角に近い位置にシフトして配置されている。

【0074】

このように、第6実施の形態では、カソードコンタクト23とアノードコンタクト24を、矩形の画素10の平面領域内の対角方向に配置することで、画素内の可能な範囲でカソードコンタクト23とアノードコンタクト24の距離を離すことができる。これにより、半導体基板の表面側において、N型とP型の高濃度層であるカソードコンタクト23とアノードコンタクト24が接近することによって、高電界領域25よりも電界が高くなることを回避することができ、意図しないブレイクダウンを抑制することができる。

20

【0075】

<7. 第7実施の形態>

図14は、本技術を適用した光検出素子としてのフォトダイオードアレイの第7実施の形態の構成例を示している。

【0076】

図14のAは、フォトダイオードアレイ1の半導体基板の平面図であり、図14のBは、フォトダイオードアレイ1の半導体基板の断面図である。図14のAは、半導体基板の表面側に相当する図14のBの断面図における下面の平面図であり、図14のBは、図14のAのZ-Z線における断面図である。

30

【0077】

図14においては、上述した第1乃至第6実施の形態と対応する部分については同一の符号を付してあり、その部分の説明は適宜省略して、異なる部分について説明する。

【0078】

図14の第7実施の形態は、図12の第5実施の形態と、図13の第6実施の形態の両方の特徴的構成を備える形態である。

【0079】

即ち、図14の第7実施の形態では、図12の第5実施の形態と同様に、STI63が設けられている。STI63は、半導体基板の表面側に、P+型第1半導体層21に接続されるアノードコンタクト24と、N+型第2半導体層22に接続されるカソードコンタクト23とを電氣的に分離する。また、図14の第7実施の形態では、図13の第6実施の形態と同様に、カソードコンタクト23とアノードコンタクト24が、矩形の画素10の平面領域内の対角方向に配置されている。

40

【0080】

これにより、半導体基板の表面で発生する暗電流が増倍されることを抑制することができる。また、半導体基板の表面側において、カソードコンタクト23とアノードコンタクト24が接近することによって、高電界領域25よりも電界が高くなることを回避することができ、意図しないブレイクダウンを抑制することができる。

50

【0081】

< 8. 第8実施の形態 >

図15は、本技術を適用した光検出素子としてのフォトダイオードアレイの第8実施の形態の構成例を示している。

【0082】

図15のAは、フォトダイオードアレイ1の半導体基板の平面図であり、図15のBは、フォトダイオードアレイ1の半導体基板の断面図である。図15のAは、半導体基板の表面側に相当する図15のBの断面図における下面の平面図であり、図15のBは、図15のAのX-X線における断面図である。

【0083】

図15のBに示される断面図では、半導体基板の裏面側界面に、暗電流抑制のための固定電荷膜28が形成されており、図15は、裏面照射型の構成例を示している。

【0084】

図15に示される第8実施の形態では、図2に示した第1実施の形態の構成と比較して、N+型第2半導体層22と半導体基板の表面との間に、N+型第2半導体層22よりも不純物濃度の低いN型の第4半導体層71（以下、N-型第4半導体層71という。）が形成されている。また、N+型第2半導体層22と半導体基板の裏面との間に、N+型第2半導体層22よりも不純物濃度の低いN型の第5半導体層72（以下、N-型第5半導体層72という。）が形成されている。N-型第4半導体層71とN-型第5半導体層72の不純物濃度は、N+型第2半導体層22よりも低ければよく、同じ濃度である必要はない。

【0085】

N-型第4半導体層71は、平面方向においては、図15のAに示されるように、N+型第2半導体層22とP+型第1半導体層21の間に、同心矩形状に形成されている。N-型第5半導体層72は、接するN+型第2半導体層22と同じ平面領域に形成されている。

【0086】

図15の第8実施の形態のその他の構成は、図2に示した第1実施の形態の裏面照射型の構成と同様であるので、説明を省略する。

【0087】

N+型第2半導体層22と半導体基板の表面との間に、N+型第2半導体層22よりも不純物濃度が低いN-型第4半導体層71を形成することにより、高電界領域25を形成するP+型第1半導体層21とN+型第2半導体層22の界面が、半導体基板の表面に接することを回避する。これにより、半導体基板の表面で発生する暗電流が増倍されることを抑制することができる。

【0088】

N+型第2半導体層22と半導体基板の裏面との間に、N+型第2半導体層22よりも不純物濃度が低いN-型第5半導体層72を形成することにより、高電界領域25を形成するP+型第1半導体層21とN+型第2半導体層22の界面が、半導体基板の裏面に接することを回避する。これにより、半導体基板の裏面で発生する暗電流が増倍されることを抑制することができる。

【0089】

なお、このように、N+型第2半導体層22の基板深さ方向に隣接してN-型第4半導体層71およびN-型第5半導体層72を配置する構造は、上述したその他の実施の形態にも適用することができる。

【0090】

図16は、図3に示した分離部43を有する第2実施の形態のフォトダイオードアレイ1に、第8実施の形態の特徴的構成を追加した構成例を示す断面図である。

【0091】

図16では、図3に示したフォトダイオードアレイ1の高電界領域25を形成するN+型第2半導体層22の基板深さ方向の長さが短くなり、N+型第2半導体層22の基板表面側と裏面側に隣接して、N-型第4半導体層71およびN-型第5半導体層72が追加され

10

20

30

40

50

ている。

【0092】

図17は、図5に示した固定電荷膜29を有する第3実施の形態のフォトダイオードアレイ1に、第8実施の形態の特徴的構成を追加した構成例を示す断面図である。

【0093】

図17では、図5に示したフォトダイオードアレイ1の高電界領域25を形成するN+型第2半導体層22の基板深さ方向の長さが短くなり、N+型第2半導体層22の基板表面側と裏面側に隣接して、N-型第4半導体層71およびN-型第5半導体層72が追加されている。

【0094】

図18は、図9に示した、テーパ形状の分離部43と、画素中央部に低濃度のN-型第3半導体層61を有する第4実施の形態のフォトダイオードアレイ1に、第8実施の形態の特徴的構成を追加した構成例を示す断面図である。

【0095】

図18では、図9に示したフォトダイオードアレイ1の高電界領域25を形成するN+型第2半導体層22の基板深さ方向の長さが短くなり、N+型第2半導体層22の基板表面側と裏面側に隣接して、N-型第4半導体層71およびN-型第5半導体層72が追加されている。

【0096】

図19は、図11に示したテーパ形状の分離部43と、画素中央部に低濃度のN-型第3半導体層61を有する第4実施の形態のフォトダイオードアレイ1に、第8実施の形態の特徴的構成を追加した構成例を示す断面図である。

【0097】

図19では、図11に示したフォトダイオードアレイ1の高電界領域25を形成するN+型第2半導体層22の基板深さ方向の長さが短くなり、N+型第2半導体層22の基板表面側と裏面側に隣接して、N-型第4半導体層71およびN-型第5半導体層72が追加されている。

【0098】

図16乃至図19のいずれの構成においても、N-型第4半導体層71およびN-型第5半導体層72を設けることにより、半導体基板の表面および裏面で発生する暗電流が増倍されることを抑制することができる。

【0099】

<9. 第9実施の形態>

図20は、本技術を適用した光検出素子としてのフォトダイオードアレイの第9実施の形態の構成例を示している。

【0100】

第9実施の形態については、図15乃至図19で示した第8実施の形態と比較して、説明する。

【0101】

図20に示される第9実施の形態に係るフォトダイオードアレイ1では、図15に示した第8実施の形態においてN+型第2半導体層22の基板表面側と基板裏面側に隣接して形成されていたN-型第4半導体層71およびN-型第5半導体層72の領域に、P+型第1半導体層21よりも不純物濃度の低いP型の第6半導体層81（以下、P-型第6半導体層81という。）および第7半導体層82（以下、P-型第7半導体層82という。）が形成されている。

【0102】

なお、P-型第6半導体層81とN+型第2半導体層22との間に、低濃度のN型（N-型）の第8半導体層83（以下、N-型第8半導体層83という。）が薄い膜厚で挿入されているが、このN-型第8半導体層83は、P-型第6半導体層81に置き換えてもよい。

【0103】

10

20

30

40

50

また、P-型第7半導体層82の平面方向内側に、低濃度のN型（N-型）の第9半導体層84（以下、N-型第9半導体層84という。）が形成されているが、このN-型第9半導体層84は、P-型第7半導体層82に置き換えてもよい。

【0104】

図21に示される第9実施の形態に係るフォトダイオードアレイ1は、図16に示した第8実施の形態の構成例に対応する。図16のN+型第2半導体層22の基板表面側と裏面側に隣接して形成されていたN-型第4半導体層71およびN-型第5半導体層72が、図21では、P-型第6半導体層81およびP-型第7半導体層82と、N-型第8半導体層83およびN-型第9半導体層84に置き換えられている。

【0105】

図22に示される第9実施の形態に係るフォトダイオードアレイ1は、図17に示した第8実施の形態の構成例に対応する。図17のN+型第2半導体層22の基板表面側と裏面側に隣接して形成されていたN-型第4半導体層71およびN-型第5半導体層72が、図22では、P-型第6半導体層81およびP-型第7半導体層82と、N-型第8半導体層83およびN-型第9半導体層84に置き換えられている。

【0106】

図23に示される第9実施の形態に係るフォトダイオードアレイ1は、図18に示した第8実施の形態の構成例に対応する。図18のN+型第2半導体層22の基板表面側と裏面側に隣接して形成されていたN-型第4半導体層71およびN-型第5半導体層72が、図23では、P-型第6半導体層81およびP-型第7半導体層82と、N-型第8半導体層83およびN-型第9半導体層84に置き換えられている。なお、図23において、N-型第9半導体層84は、同型および同濃度のN-型第3半導体層61として図示されている。

【0107】

図24に示される第9実施の形態に係るフォトダイオードアレイ1は、図19に示した第8実施の形態の構成例に対応する。図19のN+型第2半導体層22の基板表面側に隣接して形成されていたN-型第4半導体層71が、図24では、P-型第6半導体層81に置き換えられている。

【0108】

なお、図21乃至図23において、N-型第8半導体層83およびN-型第9半導体層84をそれぞれ、P-型第6半導体層81およびP-型第7半導体層82に置き換えてもよい点は、図20と同様である。

【0109】

図21乃至図24の第9実施の形態によれば、N+型第2半導体層22と半導体基板の表面との間に、N+型第2半導体層22よりも不純物濃度が低いP-型第6半導体層81を形成することにより、高電界領域25を形成するP+型第1半導体層21とN+型第2半導体層22の界面が、半導体基板の表面に接することを回避する。これにより、半導体基板の表面で発生する暗電流が増倍されることを抑制することができる。

【0110】

N+型第2半導体層22と半導体基板の裏面との間に、N+型第2半導体層22よりも不純物濃度が低いP-型第7半導体層82を形成することにより、高電界領域25を形成するP+型第1半導体層21とN+型第2半導体層22の界面が、半導体基板の裏面に接することを回避する。これにより、半導体基板の裏面で発生する暗電流が増倍されることを抑制することができる。

【0111】

<10. 第10実施の形態>

図25は、本技術を適用した光検出素子としてのフォトダイオードアレイの第10実施の形態の構成例を示している。

【0112】

図25のAは、フォトダイオードアレイ1の半導体基板の平面図であり、図25のBは、フォトダイオードアレイ1の半導体基板の断面図である。図25のAは、半導体基板の表

10

20

30

40

50

面側に相当する図 2 5 の B の断面図における下面の平面図であり、図 2 5 の B は、図 2 5 の A の X-X 線における断面図である。

【0113】

図 2 5 に示される第 1 0 実施の形態は、図 2 1 に示した第 9 実施の形態と比較して、N+型第 2 半導体層 2 2 の領域内の濃度分布が異なる。

【0114】

具体的には、図 2 1 に示した第 9 実施の形態では、N+型第 2 半導体層 2 2 の領域内の不純物濃度が、均一に形成されていた。

【0115】

これに対して、図 2 5 の第 1 0 実施の形態では、基板深さ方向に対しては、基板裏面から基板表面に向かって不純物濃度が濃くなり、基板表面において、カソードコンタクト 2 3 の不純物濃度となる。また、基板深さ方向に直交する平面方向に対しては、画素中央部から、画素境界に向かって不純物濃度が濃くなり、P+型第 1 半導体層 2 1 と N+型第 2 半導体層 2 2 との界面においては、高電界領域 2 5 を形成するのに十分な高濃度となっている。

10

【0116】

平面方向に電位勾配を形成することにより、図 7 等で示した第 4 実施の形態と同様に、入射光の光電変換によって発生した電荷を、高電界領域 2 5 に効率的に取り込むことができる。

【0117】

また、基板深さ方向に電位勾配を形成することにより、高電界領域 2 5 で増倍された電荷を、カソードコンタクト 2 3 に効率的に収集することができる。

20

【0118】

<11. 第 1 1 実施の形態>

図 2 6 は、本技術を適用した光検出素子としてのフォトダイオードアレイの第 1 1 実施の形態の構成例を示している。

【0119】

第 1 1 実施の形態については、図 2 0 乃至図 2 4 で示した第 9 実施の形態と比較して、説明する。

【0120】

図 2 6 に示される第 1 1 実施の形態に係るフォトダイオードアレイ 1 では、図 2 0 に示した第 9 実施の形態において、N+型第 2 半導体層 2 2 の基板裏面側に隣接して形成されていた P-型第 7 半導体層 8 2 および N-型第 9 半導体層 8 4 が、低濃度の N 型 (N-型) の第 1 0 半導体層 9 1 (以下、N-型第 1 0 半導体層 9 1 という。) に置き換えられている。N-型第 1 0 半導体層 9 1 は、図 2 0 の P-型第 7 半導体層 8 2 および N-型第 9 半導体層 8 4 よりも、基板深さ方向の厚みが厚く形成されており、その分、高電界領域 2 5 の基板深さ方向の領域長さが短く形成されている。

30

【0121】

このように、高電界領域 2 5 の基板深さ方向の領域長さを短く形成し、基板表面および基板裏面から離すことにより、高電界領域 2 5 を形成する P+型第 1 半導体層 2 1 と N+型第 2 半導体層 2 2 の界面が、半導体基板の表面および裏面に接することを回避する。これにより、半導体基板の表面および裏面で発生する暗電流が増倍されることを抑制することができる。

40

【0122】

図 2 7 に示される第 1 1 実施の形態に係るフォトダイオードアレイ 1 は、図 2 1 に示した第 9 実施の形態の構成例に対応する。図 2 1 において N+型第 2 半導体層 2 2 の基板裏面側に隣接して形成されていた P-型第 7 半導体層 8 2 および N-型第 9 半導体層 8 4 が、図 2 7 では、N-型第 1 0 半導体層 9 1 に置き換えられている。また、画素 1 0 の境界に形成されている分離部 4 3 が、基板表面側から、高電界領域 2 5 の基板深さ方向の領域長さに対応して形成されている。

50

【0123】

図28に示される第11実施の形態に係るフォトダイオードアレイ1は、図22に示した第9実施の形態の構成例に対応する。図22において画素10の境界に形成されている分離部43が、図28では、基板裏面側から、高電界領域25の基板深さ方向の領域長さに対応して形成されている。

【0124】

図29に示される第11実施の形態に係るフォトダイオードアレイ1は、図23に示した第9実施の形態の構成例に対応する。図23においてN+型第2半導体層22の基板裏面側に隣接して形成されていたN-型第3半導体層61およびP-型第7半導体層82が、図29では、N-型第10半導体層91に置き換えられている。また、画素10の境界に形成されている分離部43が、基板表面側から、高電界領域25の基板深さ方向の領域長さに対応して形成されている。

10

【0125】

図30に示される第11実施の形態に係るフォトダイオードアレイ1は、図24に示した第9実施の形態の構成例に対応する。図23においてN+型第2半導体層22の基板裏面側に隣接して形成されていたN-型第5半導体層72が、図30では、P-型第7半導体層82に置き換えられている。また、画素10の境界に形成されている分離部43が、基板裏面側から、高電界領域25の基板深さ方向の領域長さに対応して形成されている。

【0126】

図26乃至図30の第11実施の形態によれば、高電界領域25の基板深さ方向の領域長さを短く形成し、基板表面および基板裏面から離すことにより、高電界領域25を形成するP+型第1半導体層21とN+型第2半導体層22の界面が、半導体基板の表面および裏面に接することを回避する。これにより、半導体基板の表面および裏面で発生する暗電流が増倍されることを抑制することができる。高電界領域25の領域面積が小さくなるほど、DCRが改善することができるので、DCRを向上させることができる。

20

【0127】

<12. 第12実施の形態>

図31乃至図38で説明する第12乃至第15実施の形態は、光の入射面側にOCL(On Chip Lenz)を追加した構成例を示している。図31乃至図38において、半導体基板内の構成については、図21に示した第9実施の形態の構成を採用した例で説明するが、その他の実施の形態の構成も採用可能である。

30

【0128】

図31は、本技術を適用した光検出素子としてのフォトダイオードアレイの第12実施の形態の構成例を示している。

【0129】

図31のAは、フォトダイオードアレイ1の半導体基板の表面側の平面図であり、図31のBは、図31のAのX-X線における断面図である。

【0130】

図31の第12実施の形態では、配線層102が形成された半導体基板の表面側に、OCL101が、1画素単位に形成されている。したがって、図31のフォトダイオードアレイ1は、光の入射面が半導体基板の表面である表面照射型の例である。なお、図31のAの平面図では、配線層102の図示は省略されている。

40

【0131】

このように、光の入射面側に、OCL101を形成することで、入射光を、高電界領域25に効率的に取り込むことができ、感度を向上させることができる。

【0132】

図32は、裏面照射型とした場合の第12実施の形態に係るフォトダイオードアレイ1の構成例を示している。

【0133】

第12実施の形態において、光の入射面を半導体基板の裏面とした場合、裏面の固定電

50

荷膜 2 8 の上面に、OCL 1 0 1 が、1 画素単位に形成される。半導体基板裏面の画素境界には、タングステン（W）、アルミニウム（Al）又は銅（Cu）などの金属材料を用いた画素間遮光膜 1 0 3 も設けられている。

【0134】

光の入射面が半導体基板の裏面である裏面照射型とした場合には、光路上に配線層 1 0 2 が存在しないので、配線層 1 0 2 による光のケラレを抑制することができ、さらに感度を向上させることができる。

【0135】

< 1 3 . 第 1 3 実施の形態 >

図 3 3 は、本技術を適用した光検出素子としてのフォトダイオードアレイの第 1 3 実施の形態の構成例を示している。

10

【0136】

図 3 3 の A は、フォトダイオードアレイ 1 の半導体基板の表面側の平面図に OCL を重ねた図であり、図 3 3 の B は、図 3 3 の A の X-X 線における断面図である。

【0137】

図 3 3 の第 1 3 実施の形態は、光の入射面が半導体基板の裏面である裏面照射型の例であり、図 3 2 に示した裏面照射型の第 1 2 実施の形態とは、OCL の構成が異なる。

【0138】

具体的には、図 3 2 の第 1 2 実施の形態では、1 画素に対して 1 個の OCL 1 0 1 が形成されていたのに対して、図 3 3 の第 1 3 実施の形態では、1 画素に対して 2 x 2（2 行 2 列）の 4 個の OCL 1 1 1 が形成されている。

20

【0139】

このように、1 画素に対して複数の OCL 1 1 1 を形成する構成とすることで、入射光を、画素境界の近傍に形成される高電界領域 2 5 に集めることができる。すなわち、入射光を高電界領域 2 5 に効率的に取り込むことができるので、感度を向上させることができる。

【0140】

なお、図 3 3 は、1 画素に対して 4 個の OCL 1 1 1 を配置した例であるが、1 画素に対して配置する OCL 1 1 1 の個数および配列はこれに限られず、任意である。

【0141】

< 1 4 . 第 1 4 実施の形態 >

30

図 3 4 は、本技術を適用した光検出素子としてのフォトダイオードアレイの第 1 4 実施の形態の構成例を示している。

【0142】

図 3 4 の A は、フォトダイオードアレイ 1 の半導体基板の表面側の平面図に OCL を重ねた図であり、図 3 4 の B は、図 3 4 の A の X-X 線における断面図である。

【0143】

図 3 4 の第 1 4 実施の形態は、光の入射面が半導体基板の裏面である裏面照射型の例であり、図 3 2 に示した裏面照射型の第 1 2 実施の形態とは、OCL の構成が異なる。

【0144】

具体的には、図 3 2 の第 1 2 実施の形態では、1 画素に対して 1 個の OCL 1 0 1 が形成されていたのに対して、図 3 4 の第 1 4 実施の形態では、2 x 2 の 4 画素に対して 1 個の OCL 1 2 1 が形成されている。

40

【0145】

このように、複数画素に対して 1 個の OCL 1 2 1 を形成する構成とすることで、高電界領域 2 5 の面積を増やすことができ、光の利用効率を向上させることができる。

【0146】

なお、フォトダイオードアレイ 1 を、複数画素に対して 1 個の OCL 1 2 1 を形成する構成とした場合、図 3 5 に示されるように、1 個の OCL 1 2 1 の下方の分離部 4 3 には、金属膜 4 2 を埋め込まないことが好ましい。図 3 4 と図 3 5 は、1 個の OCL 1 2 1 の下方の分離部 4 3 に金属膜 4 2 を有するか否かのみが異なる。2 x 2 の 4 画素に対して 1 個の OC

50

L121が形成される配置の場合、図34のAに示されるように、OCL121の外周を囲む2×2の矩形の分離部43には、金属膜42が埋め込まれているが、OCL121下方となる2×2の矩形の内側の分離部43には、金属膜42が省略されている。これにより、OCL121で集光された光のケラレを抑制することができる。

【0147】

図34および図35は、2×2の4画素に対して1個のOCL121を配置した例であるが、1個のOCL121を配置する画素10の個数および配列はこれに限られず、任意である。

【0148】

例えば、図36は、1×2（1行2列）の2画素に対して1個のOCL121を配置した例を示している。この場合、1個のOCL121の平面形状が略長方形となる。

10

【0149】

図36においても、1個のOCL121の外周を囲む1×2画素の矩形の分離部43には、金属膜42が埋め込まれているが、OCL121下方となる1×2画素の矩形の内側の分離部43には、金属膜42が省略されている。これにより、OCL121で集光された光のケラレを抑制することができる。

【0150】

また、複数画素に対して1個のOCL121を配置する場合の画素10の平面形状も、正方形以外の形状、例えば、長方形や円形でもよい。

【0151】

20

図37は、画素10の平面形状が長方形であり、長方形の画素10の2画素に対して1個のOCL121を配置した例を示している。この場合、1個のOCL121の平面形状が略正方形となる。

【0152】

図37においても、1個のOCL121の外周を囲む1×2画素の矩形の分離部43には、金属膜42が埋め込まれているが、OCL121下方となる1×2画素の矩形の内側の分離部43には、金属膜42が省略されている。これにより、OCL121で集光された光のケラレを抑制することができる。

【0153】

<15. 第15実施の形態>

30

図38は、本技術を適用した光検出素子としてのフォトダイオードアレイの第15実施の形態の構成例を示している。

【0154】

図38のAは、フォトダイオードアレイ1の半導体基板の表面側の平面図にOCLを重ねた図であり、図38のBは、図38のAのX-X線における断面図である。

【0155】

図38の第14実施の形態は、1画素毎に1個のOCL101が形成された裏面照射型のフォトダイオードアレイ1である図32の第12実施の形態と、半導体基板の表面側に形成された配線層102内の構成が異なる。

【0156】

40

具体的には、図38の配線層102では、2×2の4画素で光電変換された光信号が、1画素の信号として出力されるように、2×2の4画素単位で、カソードコンタクト23どうしが接続されるとともに、アノードコンタクト24どうしが接続されている。

【0157】

このように、隣接する複数画素で1つの信号出力とすることで、高感度化を図ることができる。

【0158】

<16. 第16実施の形態>

図39は、本技術を適用した光検出素子としてのフォトダイオードアレイの第16実施の形態の構成例を示している。

50

【0159】

図39に示される第16実施の形態は、図17に示した第8実施の形態の構成に、読み出し回路領域を、半導体基板の表面側に追加した構成である。

【0160】

具体的には、図39の第16実施の形態では、図17に示した第8実施の形態におけるN-型第4半導体層71が拡張されており、そのN-型第4半導体層71内に、N-型第4半導体層71と反対の導電型（P型）の低い不純物濃度で、ウェル151（以下、P-型ウェル151という。）が形成されている。P-型ウェル151には、2個のソース・ドレイン領域152とゲート電極153とからなるトランジスタTr1が形成されている。2個のソース・ドレイン領域152の一方は、図中、右側のカソードコンタクト23と接続されている。図中、左側のカソードコンタクト23は、不図示のP-型ウェル151のトランジスタTr1と接続されている。

10

【0161】

このように、複数のトランジスタからなる読み出し回路領域と高電界領域25を、基板深さ方向に縦積みすることにより、読み出し回路領域と高電界領域25を平面方向に並べた構成と比較して、面積利用効率を高め、画素サイズを小さくすることができる。

【0162】

読み出し回路領域は、複数画素で共有されてもよい。

【0163】

図40は、読み出し回路領域が複数画素で共有される場合の構成例を示している。

20

【0164】

図40のAは、読み出し回路領域が複数画素で共有される場合のフォトダイオードアレイ1の半導体基板の断面図であり、図40のBは、読み出し回路領域が複数画素で共有される場合のフォトダイオードアレイ1の平面図である。図40のAの断面図は、図40のBの1点鎖線で示される部分に相当する。

【0165】

図40のAに示されるように、図39におけるトランジスタTr1の2個のソース・ドレイン領域152の一方が、N+型第2半導体層22に置き換えられ、N+型第2半導体層22の上面に暗電流抑制のためのピニング層171が形成されている。ピニング層171は、N+型第2半導体層22と反対の導電型であるP型の半導体層で形成される。トランジスタTr1のゲート電極153に供給される電圧を制御することによって、N+型第2半導体層22に対する信号の蓄積と読み出しが切り替えられる。

30

【0166】

図40のBに示されるように、トランジスタTr1は、2×2（2行2列）の4画素の中央部に配置され、4画素で共有される。また、4×2（4行2列）の8画素の四隅に、アノードコンタクト24が配置され、4×2の8画素の中央部に、P-型ウェル151の電圧を制御するコンタクト172が配置される。コンタクト172には、例えば、0V等の所定の電圧が供給される。4×2の8画素の外周部には、信号読み出し用のトランジスタTr1以外の複数の制御用トランジスタTr2が配置される。

【0167】

このように、読み出し回路領域と高電界領域25を基板深さ方向に縦積みする構成において、読み出し回路領域を複数画素で共有することで、さらに面積利用効率を高め、画素サイズを小さくすることができる。

40

【0168】

<17. 第1の製造方法>

次に、図41を参照して、フォトダイオードアレイ1の半導体基板に、P+型第1半導体層21およびN+型第2半導体層22を形成する第1の製造方法について説明する。この第1の製造方法は、例えば、図1および図2に示した第1実施の形態に適用することができる。

【0169】

50

初めに、リン（P）等のN型不純物のイオン注入を半導体基板の深さ方向に複数回行うことにより、N+型のウェル211（以下、N+型ウェル211という。）が形成される。

【0170】

次に、P+型第1半導体層21の形成領域に合わせてパターニングされたマスク212を用いて、ボロン（B）等のP型不純物のイオン注入を半導体基板の深さ方向に複数回行うことにより、P+型第1半導体層21が形成される。P+型第1半導体層21が形成される領域は、例えば、図1のAの平面図のように、画素10の境界およびその近傍の外周部に相当する。形成されたP+型第1半導体層21以外のN+型ウェル211の領域が、N+型第2半導体層22となる。以上により、半導体基板の深さ方向に高電界領域25を形成することができる。

10

【0171】

半導体基板の深さ方向にイオン注入を複数回行うことにより、N+型ウェル211およびP+型第1半導体層21を形成する方法では、図41において濃淡で示されるように、N+型ウェル211およびP+型第1半導体層21の各領域において深さ方向に濃度差が発生するが、N+型ウェル211の不純物濃度は、例えば 10^{15} 乃至 $10^{17}/\text{cm}^3$ 程度に制御されることが好ましい。また、P+型第1半導体層21の不純物濃度としては、N+型ウェル211の不純物濃度よりも高い濃度が好ましい。

【0172】

その後、裏面側界面の全領域にP型不純物がイオン注入されることにより、裏面側界面の全領域にP+型第1半導体層21が形成される。なお、P型不純物のイオン注入は、裏面側界面の全領域ではなく、マスクを用いて、N+型第2半導体層22の領域のみでもよい。あるいはまた、図2に示したように、裏面側界面に暗電流抑制のための固定電荷膜28を形成する場合には、固定電荷膜28に正孔が蓄積されるため、裏面側界面の全領域をP+型第1半導体層21とせず、固定電荷膜28を追加形成してもよい。

20

【0173】

次に、半導体基板の表面側界面に、カソードコンタクト23およびアノードコンタクト24が形成される。

【0174】

以上のようにして、P+型第1半導体層21およびN+型第2半導体層22を形成することができる。

30

【0175】

<18. 第2の製造方法>

次に、図42を参照して、フォトダイオードアレイ1の半導体基板に、P+型第1半導体層21およびN+型第2半導体層22を形成する第2の製造方法について説明する。この第2の製造方法は、図3の第2実施の形態のように、画素10の境界に、分離部43を設ける場合に適用できる。

【0176】

初めに、リン（P）等のN型不純物のイオン注入を半導体基板の深さ方向に複数回行うことにより、N+型のウェル221（以下、N+型ウェル221という。）が形成される。

【0177】

次に、N+型ウェル221内の画素10の境界およびその近傍の外周部に相当する領域の基板深さ方向に、P型のイオンを含む酸化膜222が埋め込まれ、熱拡散によってP+型第1半導体層21が形成される。形成されたP+型第1半導体層21以外のN+型ウェル221の領域が、N+型第2半導体層22となる。以上により、半導体基板の深さ方向に高電界領域25を形成することができる。

40

【0178】

N+型ウェル221の不純物濃度は、例えば 10^{15} 乃至 $10^{17}/\text{cm}^3$ 程度に制御されることが好ましい。また、P+型第1半導体層21の不純物濃度としては、N+型ウェル221の不純物濃度よりも高い濃度が好ましい。熱拡散によって形成されたP+型第1半導体層21は、基板深さ方向に直交する横方向に、キャリア移動に影響のない範囲内で濃度差

50

が発生してもよい。

【0179】

その後の工程は、図41を参照して説明した第1の製造方法と同様である。

【0180】

すなわち、裏面側界面の全領域、または、N+型第2半導体層22の領域のみに、P型不純物がイオン注入され、裏面側界面の全領域にP+型第1半導体層21が形成される。あるいはまた、裏面側界面の全領域をP+型第1半導体層21とする工程は省略されて、裏面界面に固定電荷膜28が形成される。そして、半導体基板の表面側界面に、カソードコンタクト23およびアノードコンタクト24が形成される。

【0181】

酸化膜222は、分離部43を構成する絶縁膜41としてそのまま残される。分離部43として絶縁膜41の内側に金属膜42を設ける場合には、さらに、絶縁膜41としての酸化膜222の一部を開口して、金属材料が埋め込まれる。

【0182】

<19. 第3の製造方法>

次に、図43を参照して、フォトダイオードアレイ1の半導体基板に、P+型第1半導体層21およびN+型第2半導体層22を形成する第3の製造方法について説明する。この第3の製造方法も、画素10の境界に、分離部43を設ける場合の製造方法である。

【0183】

図42で説明した第2の製造方法では、最初に、リン(P)等のN型不純物のイオン注入を半導体基板の深さ方向に複数回行うことにより、N+型ウェル221を形成した。第3の製造方法では、半導体基板にN+型ウェル221を形成する代わりに、高濃度のN型(N+)の半導体基板231が用いられる。それ以外の方法は、図41で説明した第2の製造方法と同様である。

【0184】

N+型の半導体基板231の不純物濃度は、例えば 10^{15} 乃至 $10^{17}/\text{cm}^3$ 程度に制御されることが好ましく、P+型第1半導体層21の不純物濃度としては、N+型の半導体基板231の不純物濃度よりも高い濃度が好ましい。熱拡散によって形成されたP+型第1半導体層21は、基板深さ方向に直交する横方向に、キャリア移動に影響のない範囲内で濃度差が発生する。

【0185】

その後の工程は、図41で説明した第1の製造方法と同様である。

【0186】

<20. 第4の製造方法>

次に、図44を参照して、フォトダイオードアレイ1の半導体基板に、P+型第1半導体層21およびN+型第2半導体層22を形成する第4の製造方法について説明する。この第4の製造方法も、画素10の境界に、分離部43を設ける場合の製造方法である。

【0187】

初めに、半導体基板261に対して、画素10の境界およびその近傍の外周部に相当する領域の基板深さ方向に、N型のイオンを含む第1酸化膜262が埋め込まれ、熱拡散によってN+型の半導体層263が形成される。

【0188】

次に、形成されたN型のイオンを含む第1酸化膜262が除去され、その除去された部分に、P型のイオンを含む第2酸化膜264が埋め込まれ、熱拡散によってP+型の半導体層21が形成される。形成されたP+型第1半導体層21以外のN+型の半導体層263の領域が、N+型第2半導体層22となる。以上により、半導体基板の深さ方向に高電界領域25を形成することができる。

【0189】

N+型第2半導体層22の不純物濃度は、例えば 10^{15} 乃至 $10^{17}/\text{cm}^3$ 程度に制御されることが好ましく、P+型第1半導体層21の不純物濃度としては、N+型第2半導体層

10

20

30

40

50

22の不純物濃度よりも高い濃度が好ましい。熱拡散によって形成されたP+型第1半導体層21およびN+型第2半導体層22は、基板深さ方向に直交する横方向に、キャリア移動に影響のない範囲内で濃度差が発生してもよい。

【0190】

その後の工程は、図41で説明した第1の製造方法と同様である。

【0191】

<21. 第5の製造方法>

次に、図45を参照して、フォトダイオードアレイ1の半導体基板に、P+型第1半導体層21およびN+型第2半導体層22を形成する第5の製造方法について説明する。この第5の製造方法も、画素10の境界に、分離部43を設ける場合の製造方法である。

【0192】

初めに、半導体基板261に対して、画素10の境界およびその近傍の外周部に相当する領域の基板深さ方向に、N型のイオンを含む第1酸化膜262が埋め込まれる。

【0193】

次に、半導体基板261に対して、画素10の境界およびその近傍の外周部に相当する領域の基板深さ方向に、P型のイオンを含む第2酸化膜264が埋め込まれる。P型のイオンを含む第2酸化膜264が埋め込まれる領域は、N型のイオンを含む第1酸化膜262を埋め込んだ領域と異なる領域であり、N型のイオンを含む第1酸化膜262が埋め込まれた領域と、P型のイオンを含む第2酸化膜264が埋め込まれた領域のそれぞれが、分離部43の絶縁膜41の領域に対応する。

【0194】

次に、熱拡散を行うことにより、P+型の半導体層21とN+型第2半導体層22が形成される。以上により、半導体基板の深さ方向に高電界領域25を形成することができる。

【0195】

N+型第2半導体層22の不純物濃度は、好ましくは例えば 10^{15} 乃至 $10^{17}/\text{cm}^3$ 程度に制御され、P+型第1半導体層21の不純物濃度としては、N+型第2半導体層22の不純物濃度よりも高い濃度が好ましい。熱拡散によって形成されたP+型第1半導体層21およびN+型第2半導体層22は、基板深さ方向に直交する横方向に、キャリア移動に影響のない範囲内で濃度差が発生してもよい。

【0196】

その後の工程は、図41で説明した第1の製造方法と同様である。

【0197】

<22. 第6の製造方法>

次に、図46を参照して、フォトダイオードアレイ1の半導体基板に、P+型第1半導体層21およびN+型第2半導体層22を形成する第6の製造方法について説明する。この第6の製造方法は、図9に示した第4実施の形態のように、テーパ形状の分離部43を基板表面側から掘り込んで形成する場合の製造方法である。

【0198】

初めに、図46のAに示されるように、低濃度のN型(N-)の半導体基板281の表面側から所定の深さで掘り込むことにより、トレンチ282が形成される。トレンチ282は、表面側の開口面積が広く、底部となる裏面側の開口面積が狭いテーパ形状で作製される。

【0199】

次に、図46のBに示されるように、トレンチ282の側面から、リン(P)等のN型不純物のイオン注入を行うことにより、N+型第2半導体層22が、トレンチ282の側面に沿って形成される。

【0200】

次に、図46のCに示されるように、トレンチ282の側面から、N+型第2半導体層22よりも浅い基板内に、ボロン(B)等のP型不純物のイオン注入を行うことにより、P+型第1半導体層21が形成される。イオン注入には、例えば、プラズマドーピングによっ

10

20

30

40

50

て浅く打ち込むことで、電界をより付けやすくすることができる。

【0201】

次に、図46のDに示されるように、トレンチ282の内部に、酸化膜41を埋め込むことにより、分離部43が形成される。分離部43として金属膜42も設ける場合には、酸化膜41を埋め込んだ後に、酸化膜41の一部を開口して、金属膜42が埋め込まれる。

【0202】

その後の工程は、図41で説明した第1の製造方法と同様である。

【0203】

<23. 第7の製造方法>

次に、図47および図48を参照して、フォトダイオードアレイ1の半導体基板に、P+型第1半導体層21およびN+型第2半導体層22を形成する第7の製造方法について説明する。この第7の製造方法は、図24に示した第9実施の形態のように、テーパ形状の分離部43を基板裏面側から掘り込んで形成する場合の製造方法である。

【0204】

テーパ形状の分離部43を基板裏面側から掘り込んで形成する場合、例えば、図47のAに示されるように、低濃度のN型(N-)の半導体基板301の表面側に、カソードコンタクト23、アノードコンタクト24、アノードコンタクト24の周囲のP-型第6半導体層81などが、最初に形成される。その後、カソードコンタクト23およびアノードコンタクト24等が形成された基板表面上に、配線層302が形成される。

【0205】

配線層302を形成した後、図47のBに示されるように、半導体基板301の上下が反転され、半導体基板301の裏面側から、所定の深さでトレンチ311が形成される。

【0206】

次に、図47のCに示されるように、トレンチ311の側面から、リン(P)等のN型不純物のイオン注入を行うことにより、N+型第2半導体層22が形成される。

【0207】

次に、図48のAに示されるように、トレンチ311の側面から、N+型第2半導体層22よりも浅い基板内に、ボロン(B)等のP型不純物のイオン注入を行うことにより、P+型第1半導体層21が形成される。イオン注入には、例えば、プラズマドーピングによって浅く打ち込むことで、電界をより付けやすくすることができる。

【0208】

次に、図48のBに示されるように、トレンチ311の側面および底面と、トレンチ311が形成されていない半導体基板301の裏面界面に、固定電荷膜29が形成される。この固定電荷膜29は、例えば、HfO₂、Al₂O₃等の膜とされる。

【0209】

次に、図48のCに示されるように、トレンチ311の内部に、酸化膜41が埋め込まれ、分離部43が形成される。分離部43として金属膜42も設ける場合には、酸化膜41を埋め込んだ後に、酸化膜41の一部を開口して、金属膜42が埋め込まれる。

【0210】

以上のようにして、基板裏面側から形成したテーパ形状の分離部43を有するフォトダイオードアレイ1を製造することができる。

【0211】

<24. まとめ>

以上説明したように、第1乃至第16実施の形態に係るフォトダイオードアレイ1は、マトリクス状に配置された複数の画素10を備え、画素境界近傍の外周部に形成された第1導電型(例えば、P型)の第1半導体層(P+型第1半導体層21)と、平面視において第1半導体層の内側に形成された、第1導電型と反対の第2導電型(例えば、N型)の第2半導体層(N+型第2半導体層22)とを備え、逆バイアス電圧が印加されたときに第1半導体層と第2半導体層とで形成される高電界領域25が基板の深さ方向に形成されるように構成される。

10

20

30

40

50

【0212】

基板深さ方向（縦方向）に高電界領域25を形成するため、ガードリングを設けずに、平面方向に小面積で高電界領域25を形成することができるので、画素サイズを小さくすることができる。

【0213】

さらに、フォトダイオードアレイ1において、画素境界に分離部43を形成した場合には、電氣的及び光学的なクロストークを低減することができる。

【0214】

高電界領域25が基板の深さ方向に形成される第1導電型（例えば、P型）の第1半導体層（P+型第1半導体層21）と、第2導電型（例えば、N型）の第2半導体層（N+型第2半導体層22）は、上述した第1乃至第7の製造方法のいずれかを用いて形成することができる。

10

【0215】

基板深さ方向（縦方向）に高電界領域25を形成可能なAPDをマトリクス状に配置したフォトダイオードアレイ1は、例えば、フォトンカウンタや、TOF（Time of Flight）センサの受光素子に用いることができる。

【0216】

本技術の実施の形態は、上述した実施の形態に限定されるものではなく、本技術の要旨を逸脱しない範囲において種々の変更が可能である。

20

【0217】

例えば、上述した複数の実施の形態の全てまたは一部を組み合わせた形態を採用することができる。

【0218】

なお、本明細書に記載された効果はあくまで例示であって限定されるものではなく、本明細書に記載されたもの以外の効果があってもよい。

【0219】

なお、本技術は以下のような構成も取ることができる。

(1)

マトリクス状に配置された複数の画素を備え、

前記画素は、

30

画素境界近傍の外周部に形成された第1導電型の第1半導体層と、

平面視において前記第1半導体層の内側に形成された、前記第1導電型と反対の第2導電型の第2半導体層と

を備え、

逆バイアス電圧が印加されたときに前記第1半導体層と前記第2半導体層とで形成される高電界領域が、基板の深さ方向に形成されるように構成された

光検出素子。

(2)

画素境界に、隣接する画素間を絶縁分離する分離部をさらに備え、

前記高電界領域は、前記分離部に隣接して形成されるように構成された

40

前記(1)に記載の光検出素子。

(3)

平面視において前記第2半導体層の内側に、前記第2半導体層よりも不純物濃度が低い前記第2導電型の第3半導体層をさらに備える

前記(1)または(2)に記載の光検出素子。

(4)

前記第2半導体層は、前記基板の表面に向かって不純物濃度が濃くなる電位勾配を有する前記(1)乃至(3)のいずれかに記載の光検出素子。

(5)

前記第2半導体層の前記基板の深さ方向に隣接して、不純物濃度が低い前記第1導電型

50

または前記第2導電型の第4半導体層をさらに備える

前記(1)乃至(4)のいずれかに記載の光検出素子。

(6)

前記第4半導体層は、前記第2半導体層に対して前記基板の表面側に隣接し、前記第2導電型である

前記(5)に記載の光検出素子。

(7)

前記第4半導体層は、前記第2半導体層に対して前記基板の裏面側に隣接し、前記第2導電型である

前記(5)または(6)に記載の光検出素子。

10

(8)

前記第4半導体層は、前記第2半導体層に対して前記基板の表面側に隣接し、前記第1導電型である

前記(5)に記載の光検出素子。

(9)

前記第4半導体層は、前記第2半導体層に対して前記基板の裏面側に隣接し、前記第1導電型である

前記(5)または(8)に記載の光検出素子。

(10)

前記基板の表面に形成された前記第1導電型のウェル内に、読み出し回路をさらに備える

20

前記(1)乃至(9)のいずれかに記載の光検出素子。

(11)

前記読み出し回路は、複数の画素で共有される

前記(10)に記載の光検出素子。

(12)

前記第2半導体層に隣接し、かつ、前記基板の表面に、前記第1導電型の第5半導体層をさらに備える

前記(10)または(11)に記載の光検出素子。

(13)

前記読み出し回路は、ゲート電極を制御することによって、信号の蓄積と読み出しを切り替える

30

前記(10)乃至(12)のいずれかに記載の光検出素子。

(14)

マトリクス状に配置される画素の境界近傍の外周部に、第1導電型の第1半導体層を形成し、

平面視において前記第1半導体層の内側に、前記第1導電型と反対の第2導電型の第2半導体層を形成し、

逆バイアス電圧が印加されたときに前記第1半導体層と前記第2半導体層とで形成される高電界領域が、基板の深さ方向に形成されるように構成された

光検出素子の製造方法。

40

(15)

前記第2導電型のウェル内の前記画素の境界近傍の外周部に、第1導電型のイオン注入を行うことによって、前記外周部の前記第1半導体層と、その内側の前記第2半導体層とを形成する

前記(14)に記載の光検出素子の製造方法。

(16)

前記第2導電型のウェルは、前記基板にイオン注入を行うことによって形成される

前記(15)に記載の光検出素子の製造方法。

(17)

前記第2導電型のウェルとして、前記第2導電型の前記基板が用いられる

50

前記（１５）に記載の光検出素子の製造方法。

（１８）

前記第２導電型のイオンを含んだ第１酸化膜を埋め込み、熱拡散によって前記第２半導体層を形成した後、前記第１酸化膜を除去して、その除去された部分に、前記第１導電型のイオンを含んだ第２酸化膜を埋め込み、熱拡散によって前記第１半導体層を形成することによって、前記外周部の前記第１半導体層と、その内側の前記第２半導体層とを形成する前記（１５）に記載の光検出素子の製造方法。

（１９）

前記第１導電型のイオンを含んだ第１酸化膜を埋め込み、前記第２導電型のイオンを含んだ第２酸化膜を前記第１酸化膜とは別の領域に埋め込み、熱拡散によって前記第１半導体層と前記第２半導体層を形成することによって、前記外周部の前記第１半導体層と、その内側の前記第２半導体層とを形成する

前記（１５）に記載の光検出素子の製造方法。

（２０）

前記基板の前記画素の境界に、前記基板の所定の深さまで掘り込んだトレンチを形成し、前記トレンチの側面から前記第１導電型のイオン注入と前記第２導電型のイオン注入を行うことで、前記外周部の前記第１半導体層と、その内側の前記第２半導体層とを形成する前記（１５）に記載の光検出素子の製造方法。

【符号の説明】

【０２２０】

１ フォトダイオードアレイ， １０ 画素， ２１ 第１半導体層（Ｐ＋型第１半導体層）， ２２ 第２半導体層（Ｎ＋型第２半導体層）， ２３ コンタクト（カソードコンタクト）， ２４ コンタクト（アノードコンタクト）， ２５ 高電界領域， ２８， ２９ 固定電荷膜， ４１ 酸化膜， ４２ 金属膜， ４３ 分離部， ６１ 第３半導体層（Ｎ－型第３半導体層）， ７１ 第４半導体層（Ｎ－型第４半導体層）， ７２ 第５半導体層（Ｎ－型第５半導体層）， ８１ 第６半導体層（Ｐ－型第６半導体層）， ８２ 第７半導体層（Ｐ－型第７半導体層）， ８３ 第８半導体層（Ｎ－型第９半導体層）， ９１ 第１０半導体層（Ｎ－型第１０半導体層）， １５１ ウェル（Ｐ－型ウェル）， １５３ ゲート電極， １７１ ピニング層， １７２ コンタクト， ２１１ ウェル（Ｎ＋型ウェル）， ２２１ ウェル（Ｎ＋型ウェル）， ２２２ 酸化膜， ２３１， ２６１ 半導体基板， ２６２ 第１酸化膜， ２６３ 半導体層， ２６４ 第２酸化膜， ２８１ 半導体基板， ２８２， ３１１ トレンチ

10

20

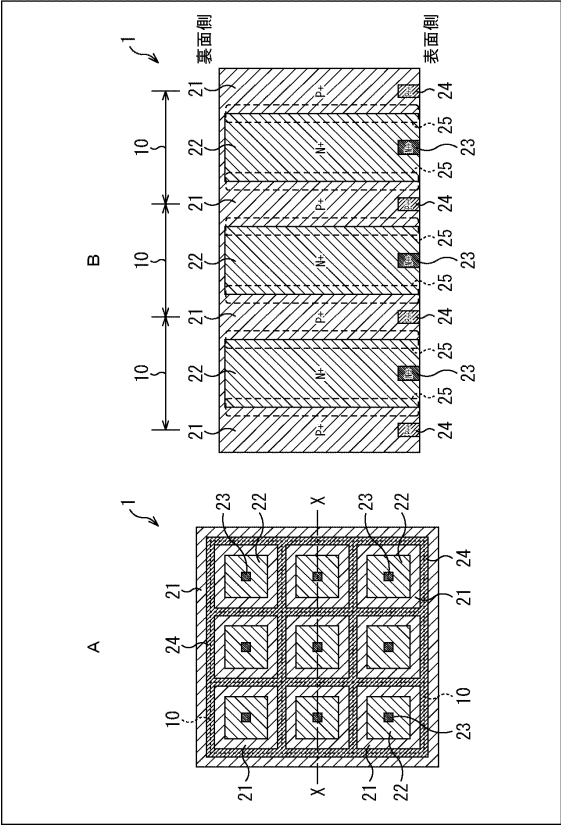
30

40

50

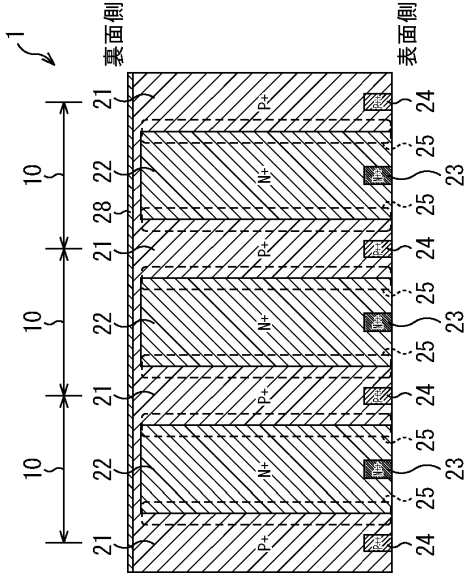
【図面】
【図 1】

FIG. 1



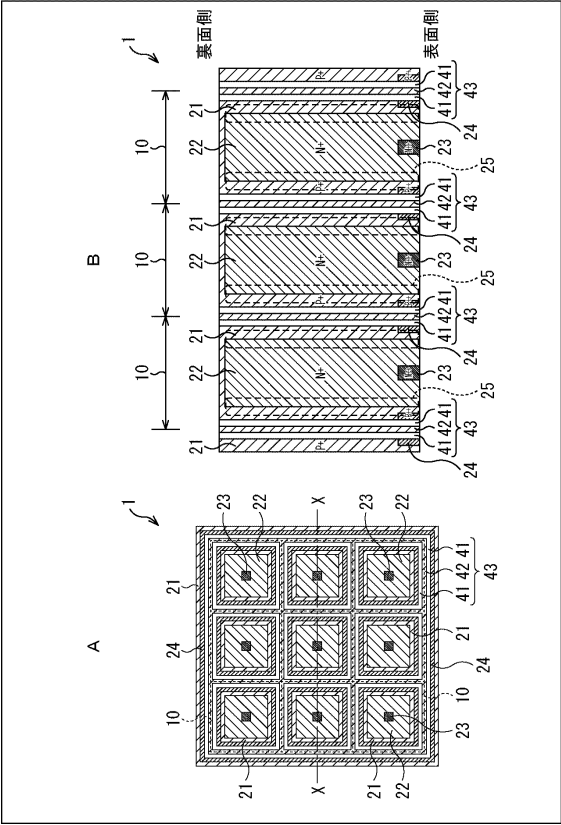
【図 2】

FIG. 2



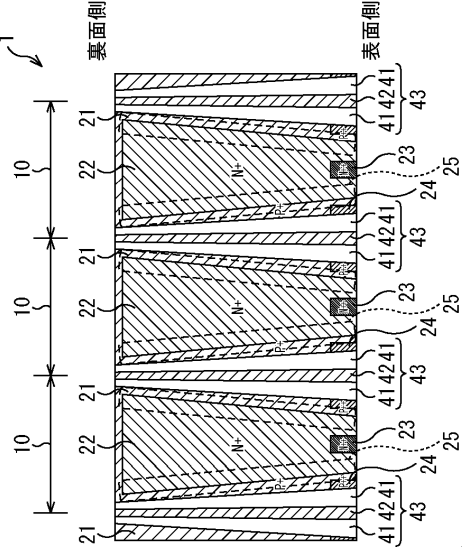
【図 3】

FIG. 3



【図 4】

FIG. 4



10

20

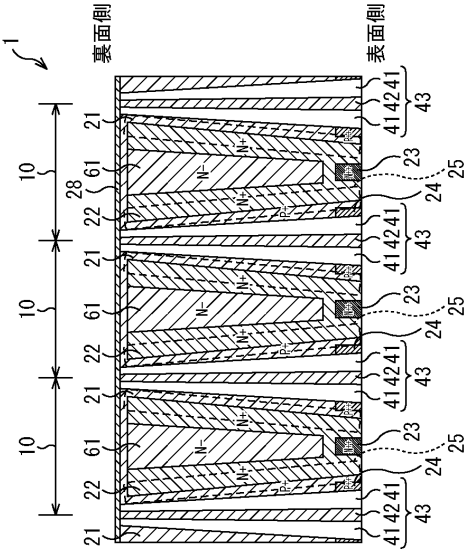
30

40

50

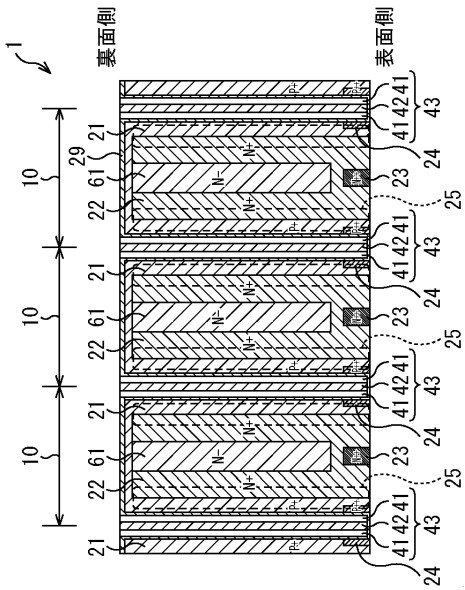
【図 9】

FIG. 9



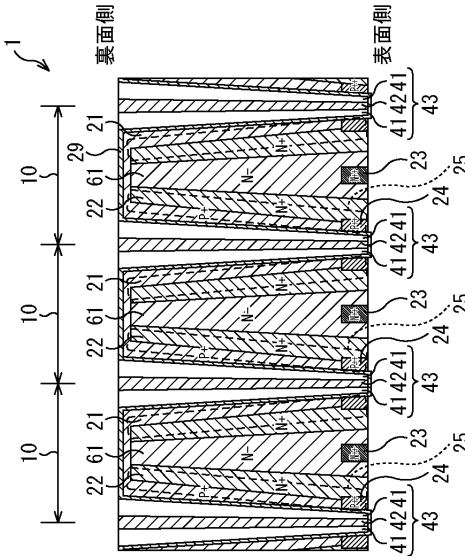
【図 10】

FIG. 10



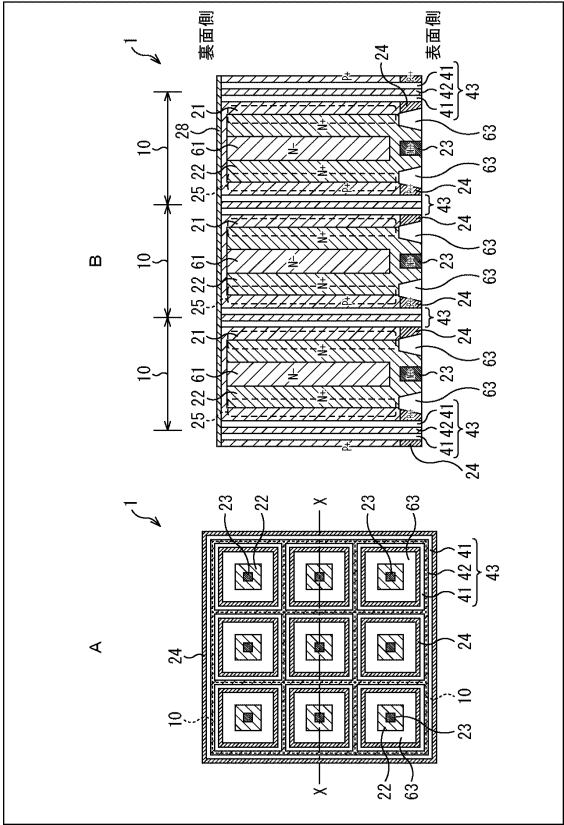
【図 11】

FIG. 11



【図 12】

FIG. 12



10

20

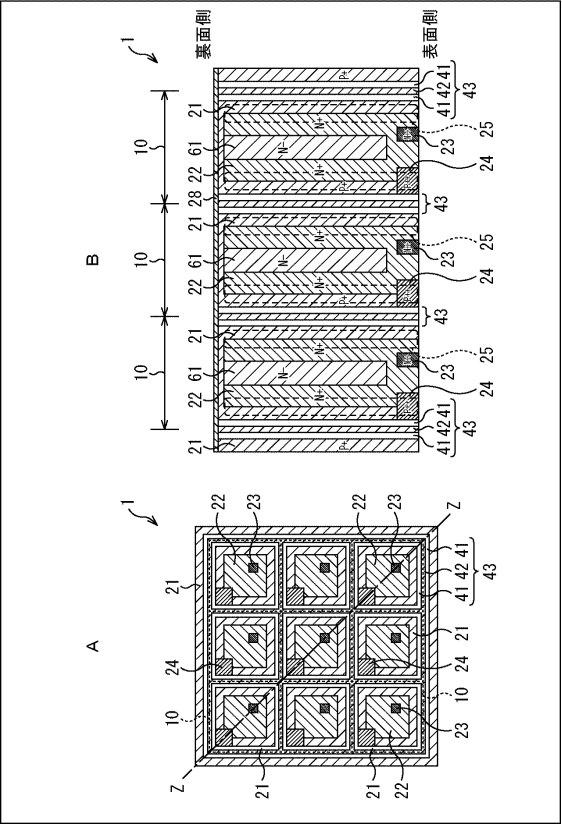
30

40

50

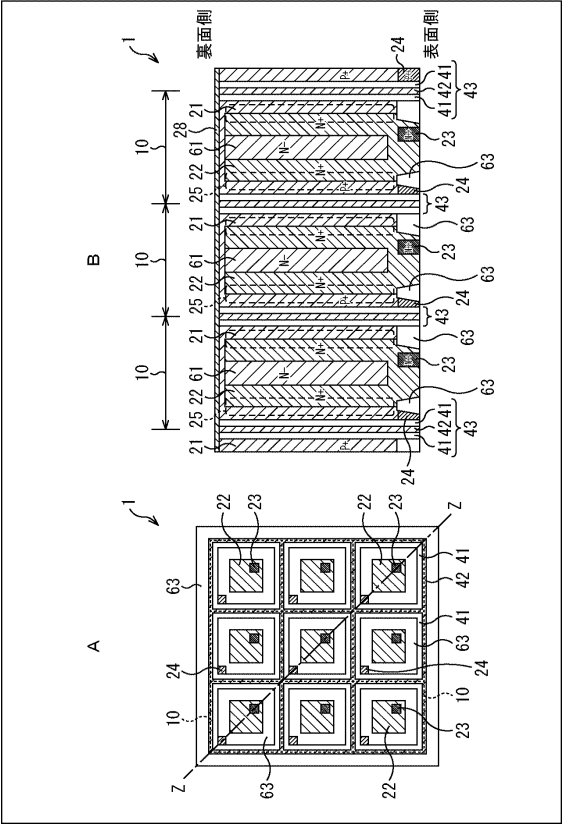
【図 13】

FIG. 13



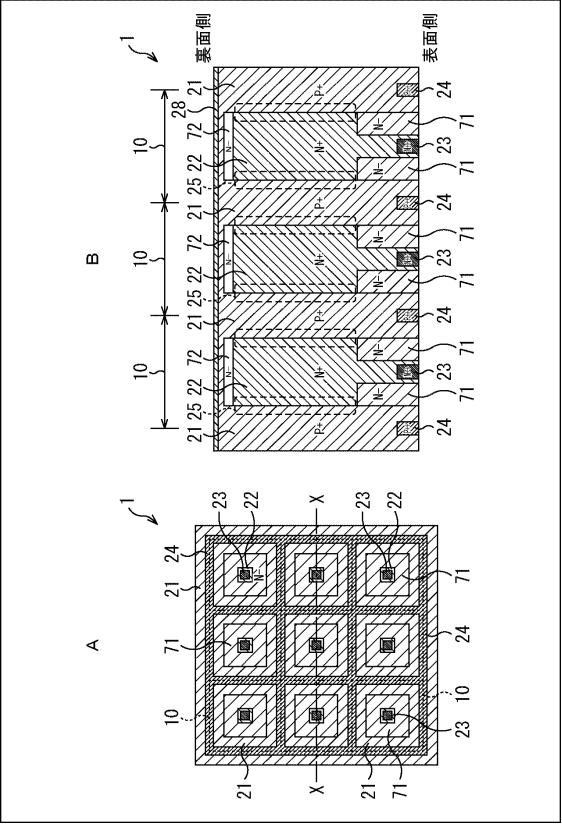
【図 14】

FIG. 14



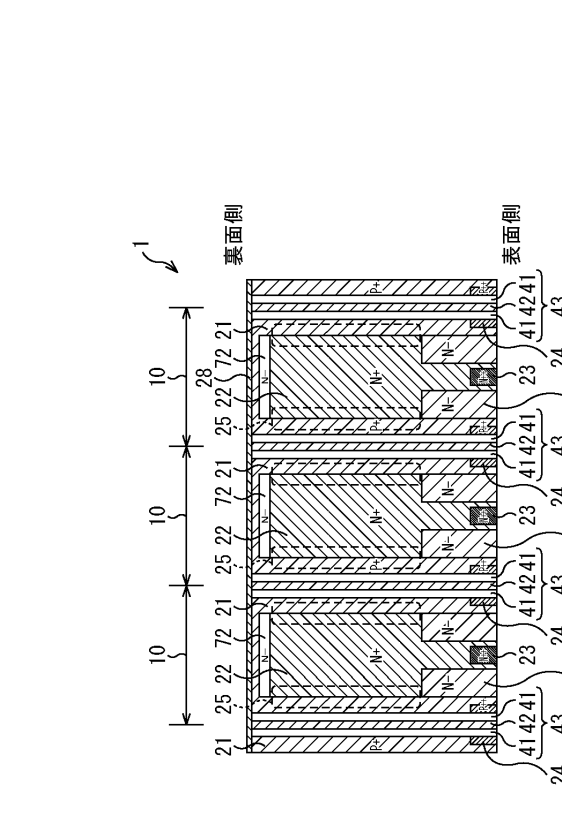
【図 15】

FIG. 15



【図 16】

FIG. 16



10

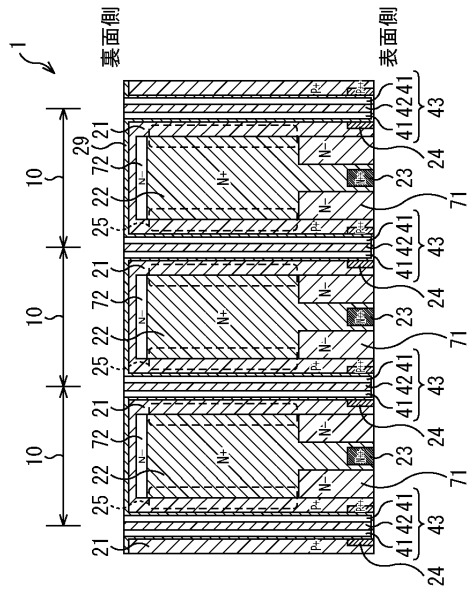
20

30

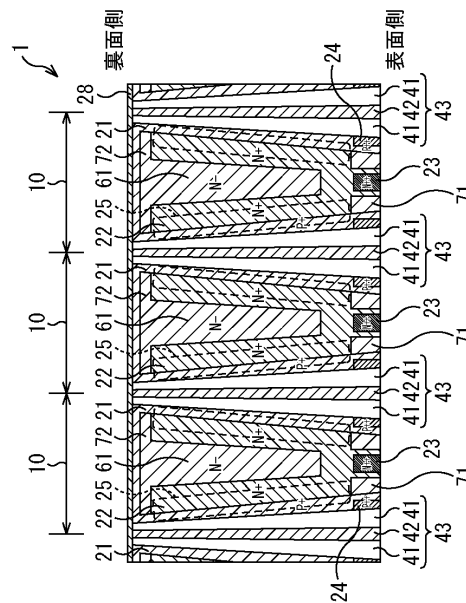
40

50

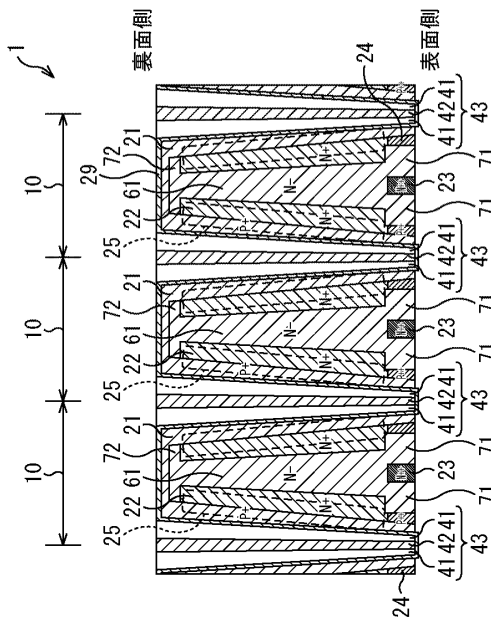
【図 1 7】
FIG. 17



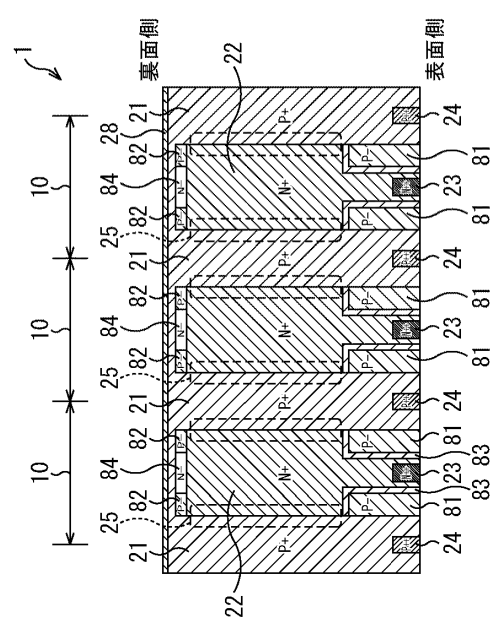
【図 1 8】
FIG. 18



【図 1 9】
FIG. 19



【図 2 0】
FIG. 20



10

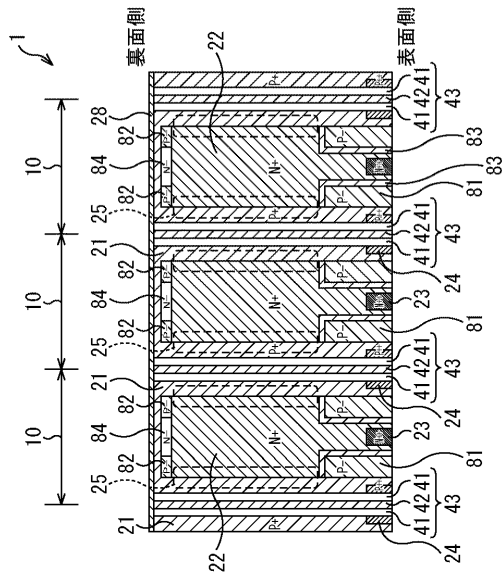
20

30

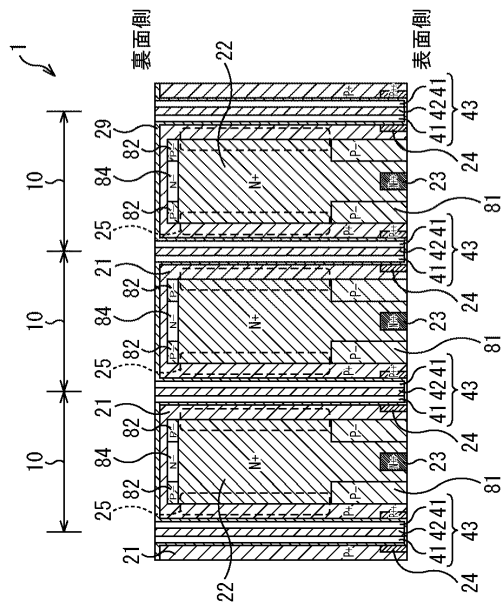
40

50

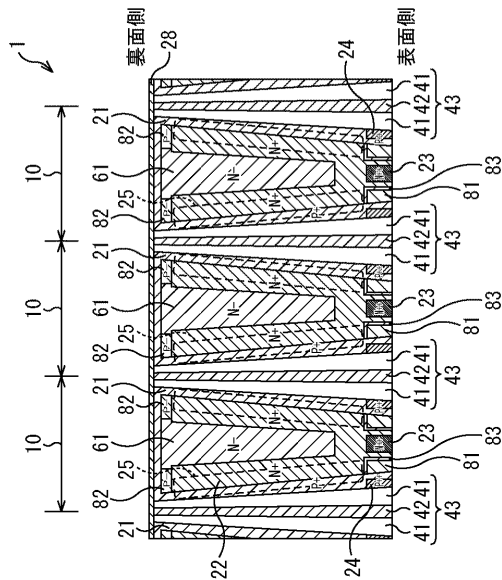
【図 2 1】
FIG. 21



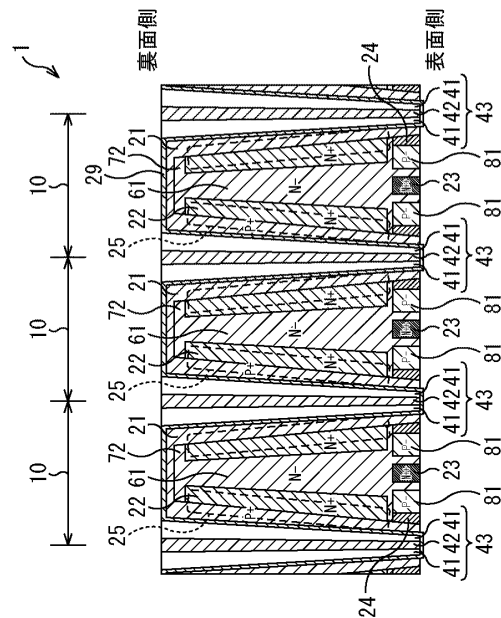
【図 2 2】
FIG. 22



【図 2 3】
FIG. 23



【図 2 4】
FIG. 24



10

20

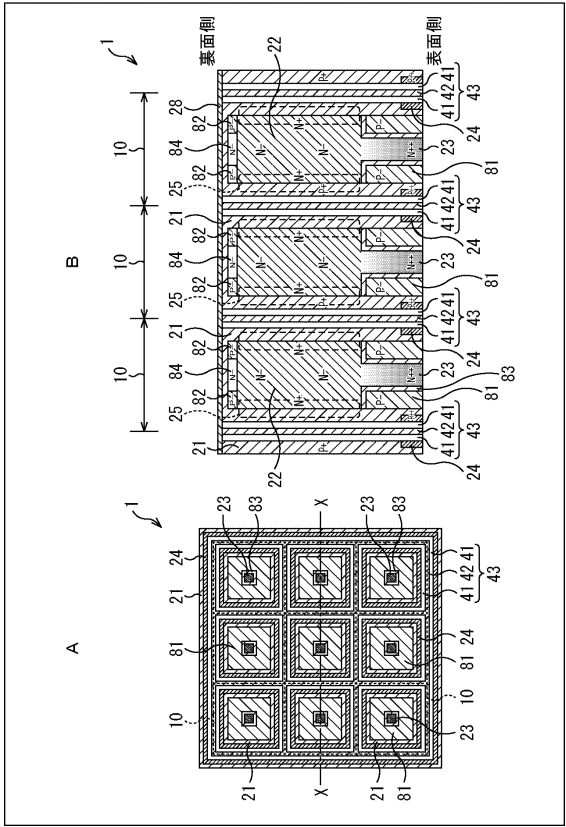
30

40

50

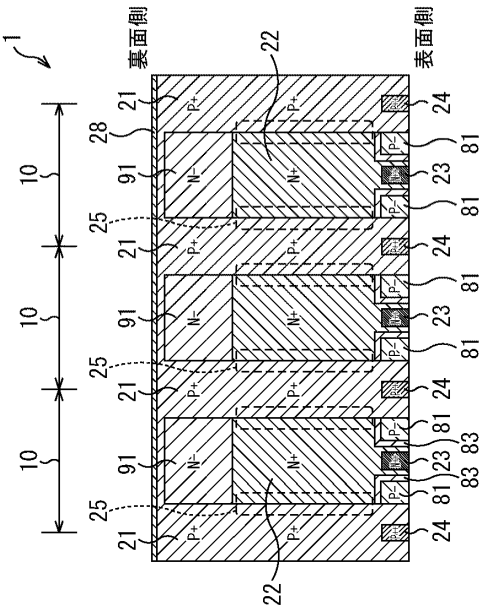
【図 2 5】

FIG. 25



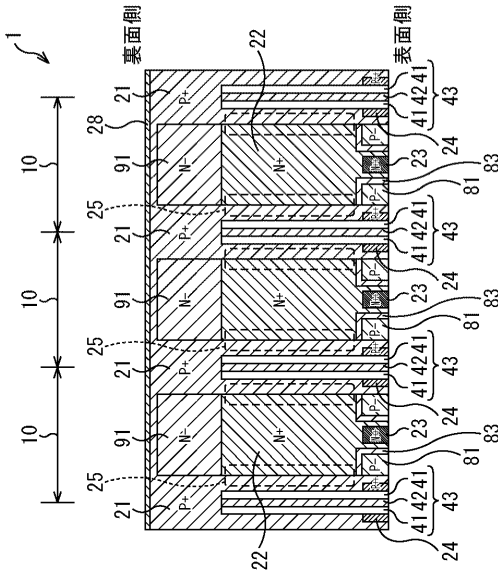
【図 2 6】

FIG. 26



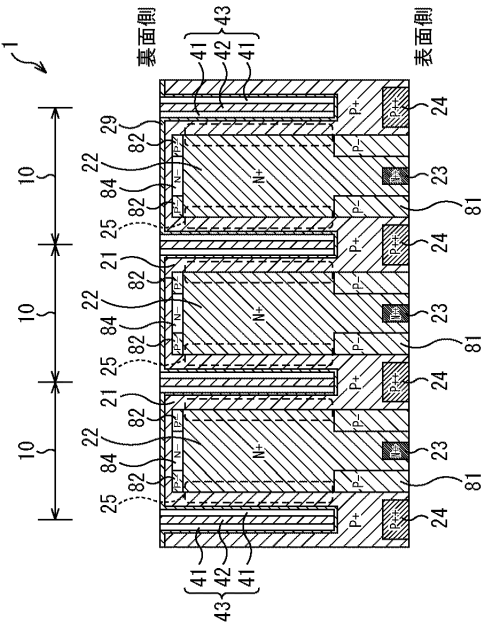
【図 2 7】

FIG. 27



【図 2 8】

FIG. 28



10

20

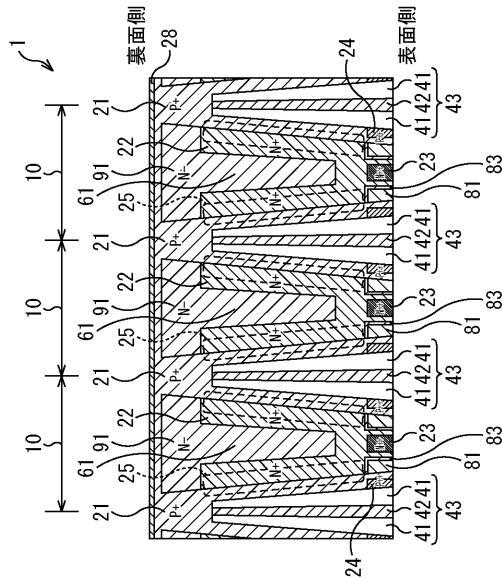
30

40

50

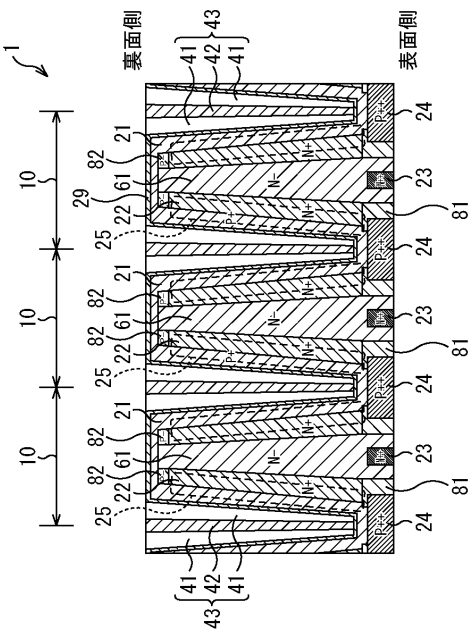
【図 29】

FIG. 29



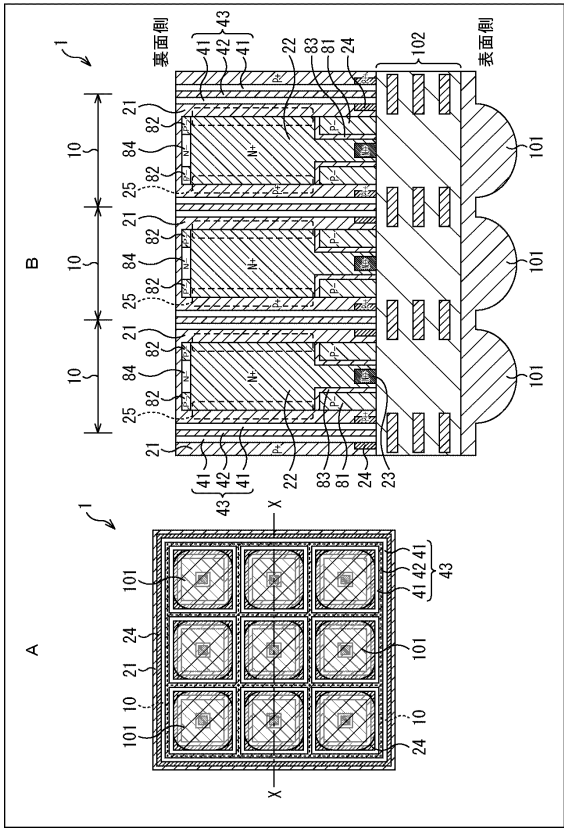
【図 30】

FIG. 30



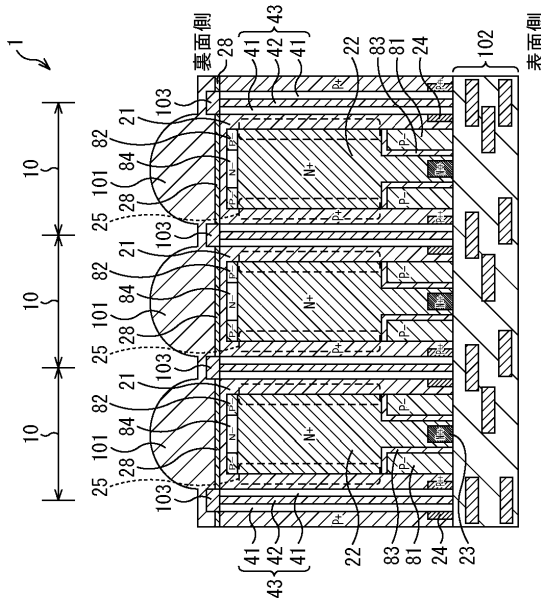
【図 31】

FIG. 31



【図 32】

FIG. 32



10

20

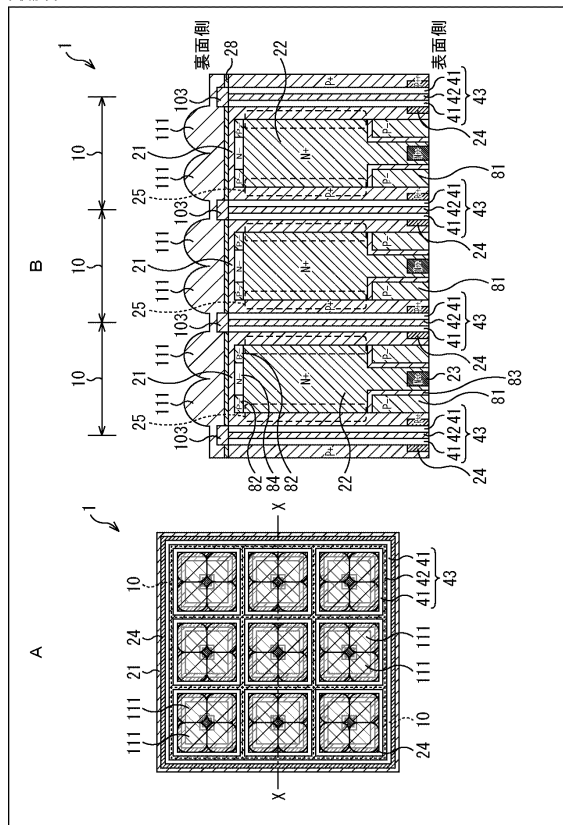
30

40

50

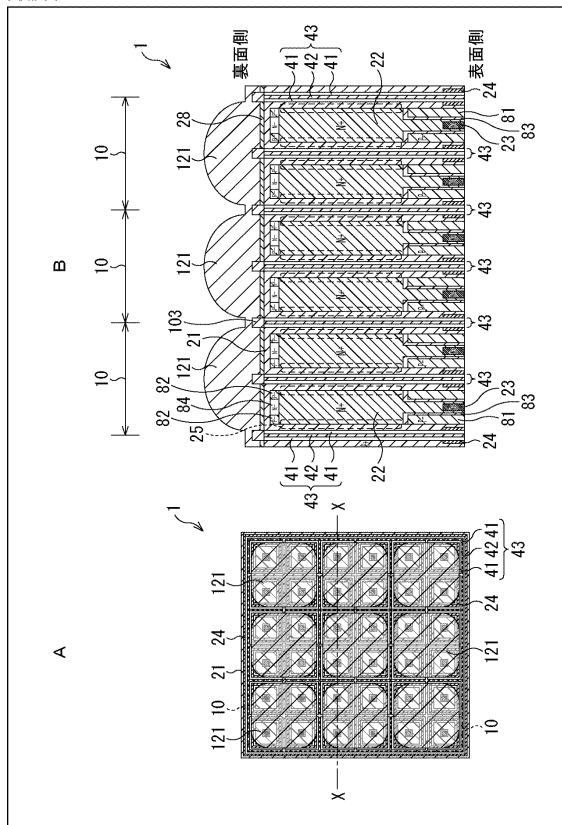
【図 3 3】

FIG. 33



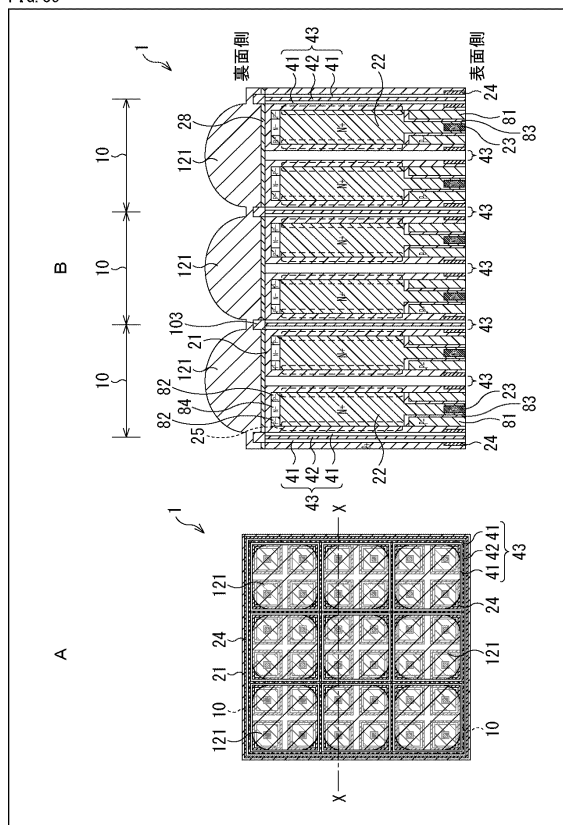
【図 3 4】

FIG. 34



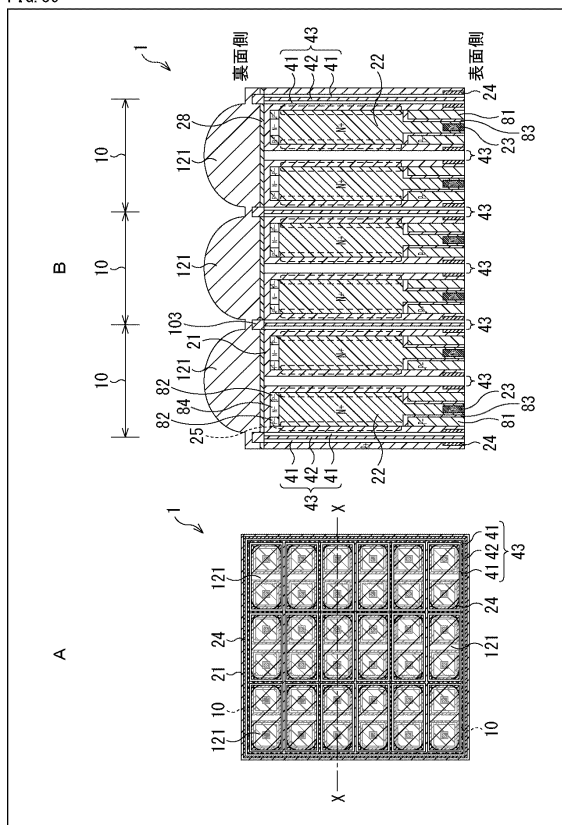
【図 3 5】

FIG. 35



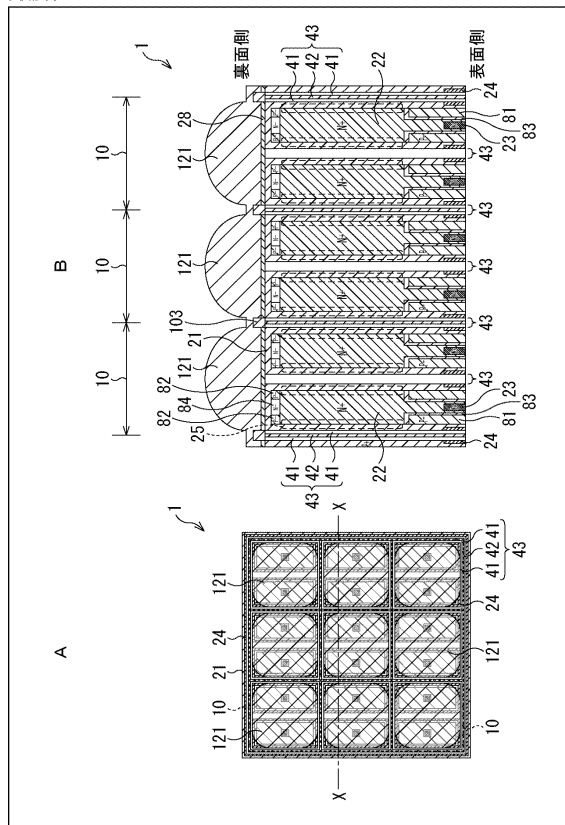
【図 3 6】

FIG. 36



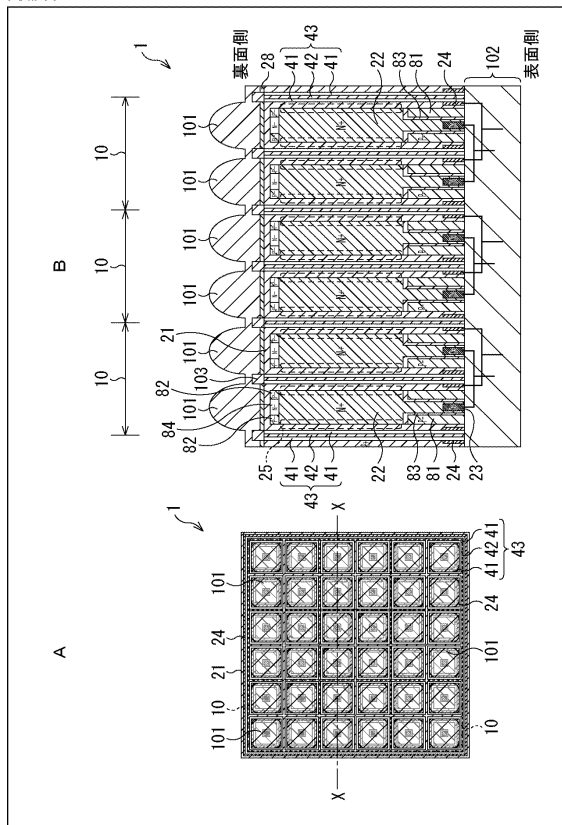
【圖 3 7】

FIG. 37



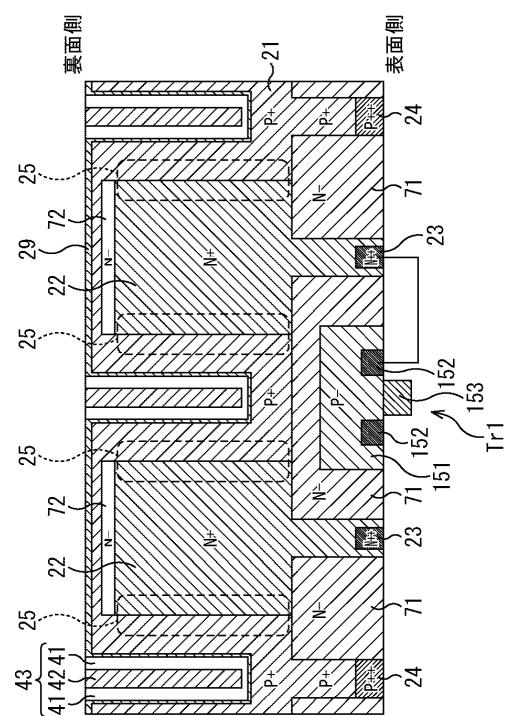
【圖 3 8】

FIG. 38



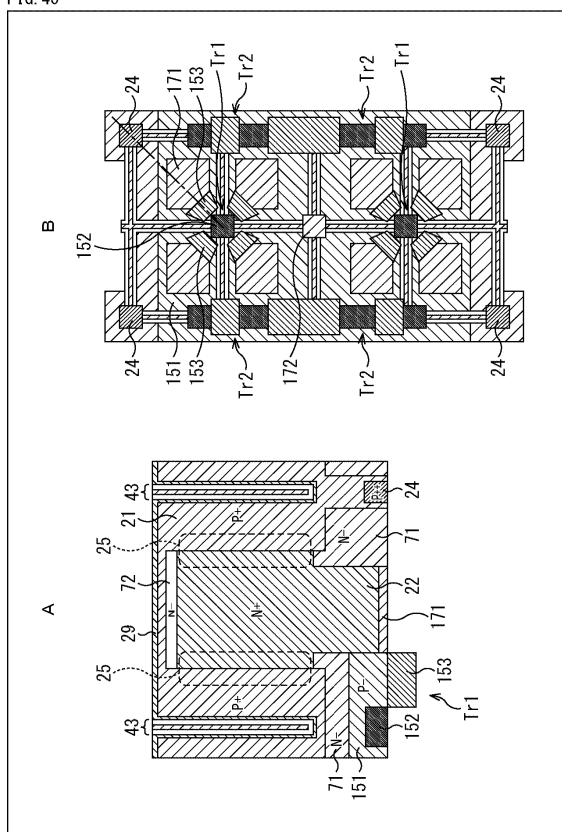
【図 3 9】

FIG. 39



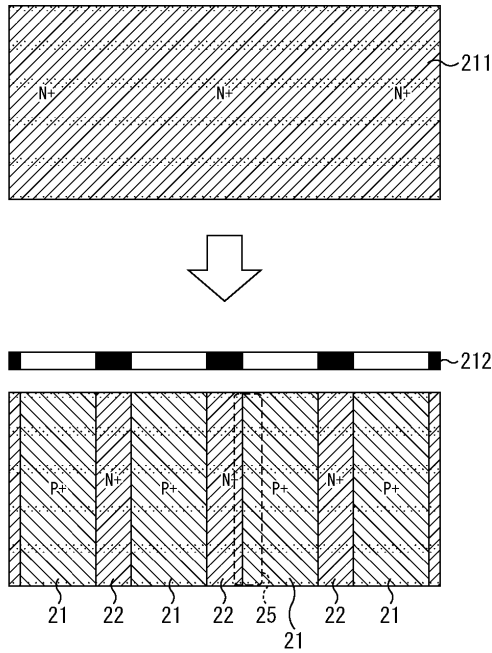
【図 40】

FIG. 40



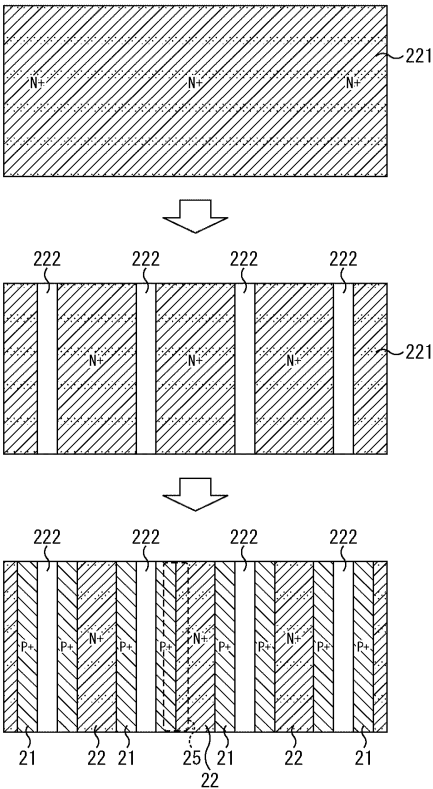
【図 4 1】

FIG. 41



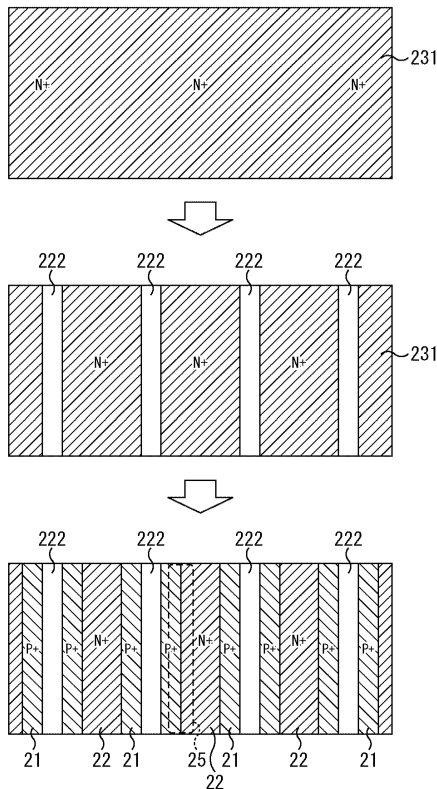
【図 4 2】

FIG. 42



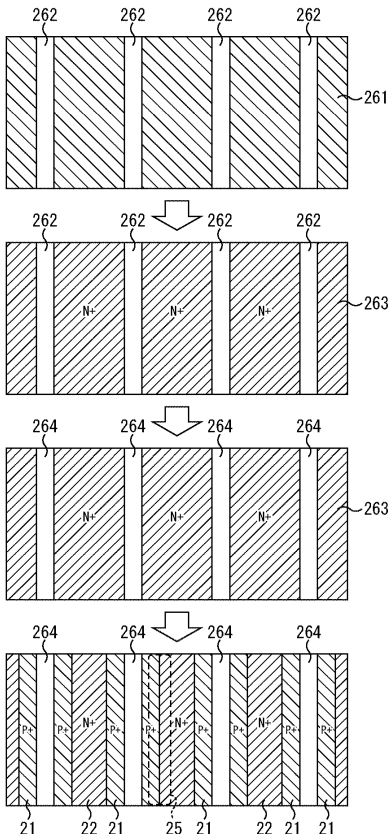
【図 4 3】

FIG. 43



【図 4 4】

FIG. 44



10

20

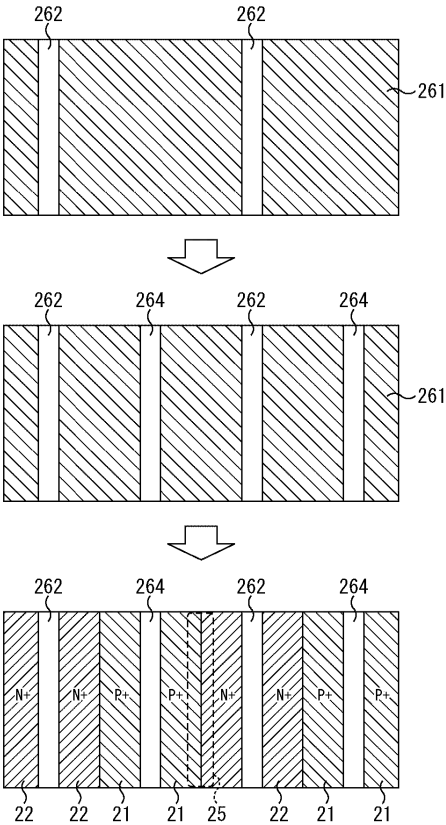
30

40

50

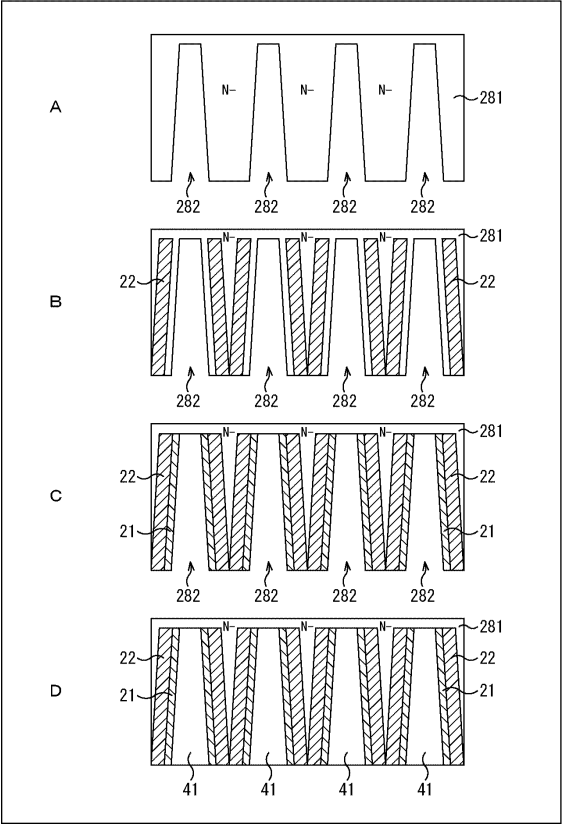
【図 4 5】

FIG. 45



【図 4 6】

FIG. 46

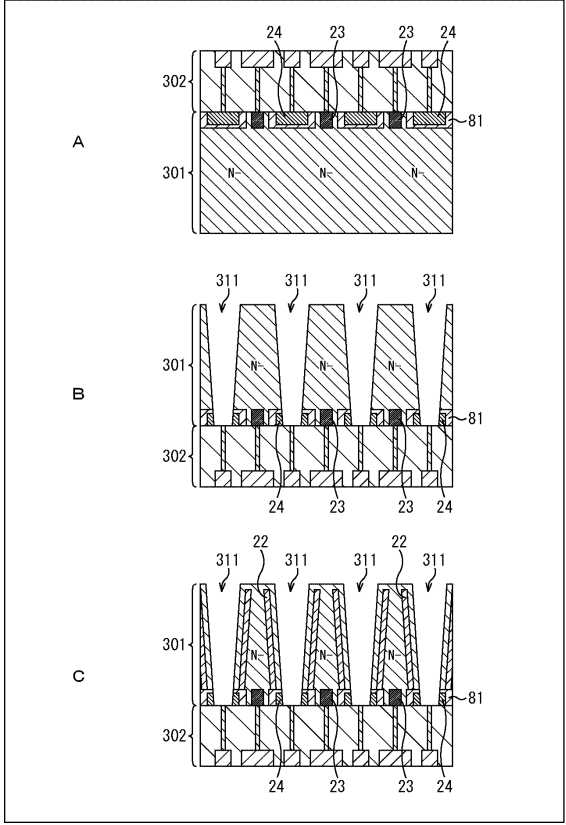


10

20

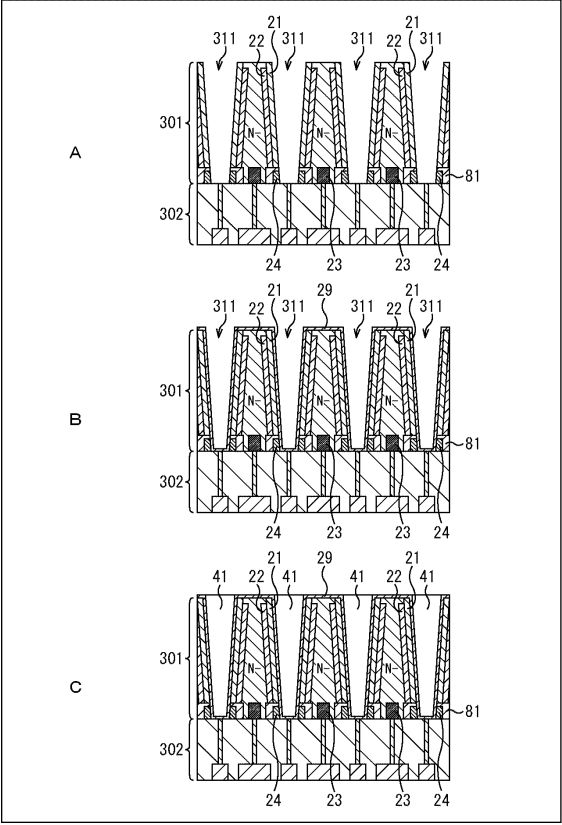
【図 4 7】

FIG. 47



【図 4 8】

FIG. 48



30

40

50

フロントページの続き

神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内

審査官 小山 満

- (56)参考文献 米国特許出願公開第2011/0241149 (US, A1)
米国特許出願公開第2013/0193546 (US, A1)
特開2006-179828 (JP, A)
国際公開第2017/047422 (WO, A1)
国際公開第2012/032353 (WO, A2)
米国特許出願公開第2009/0121306 (US, A1)
国際公開第2006/068184 (WO, A1)
欧州特許出願公開第01840967 (EP, A1)
米国特許出願公開第2018/0182789 (US, A1)
特開2015-041746 (JP, A)
特開2010-157665 (JP, A)
欧州特許出願公開第03352219 (EP, A1)
米国特許出願公開第2010/0177223 (US, A1)
特開2015-41746 (JP, A)
- (58)調査した分野 (Int.Cl., DB名)
H01L 27/146
H01L 31/107