

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成20年11月6日(2008.11.6)

【公表番号】特表2008-514011(P2008-514011A)

【公表日】平成20年5月1日(2008.5.1)

【年通号数】公開・登録公報2008-017

【出願番号】特願2007-532490(P2007-532490)

【国際特許分類】

H 01 L 27/14 (2006.01)

H 01 L 27/146 (2006.01)

H 01 L 31/10 (2006.01)

【F I】

H 01 L 27/14 Z

H 01 L 27/14 D

H 01 L 27/14 A

H 01 L 31/10 A

【手続補正書】

【提出日】平成20年8月21日(2008.8.21)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

シリコン・ウェーハと素子シリコン層との間に埋設された絶縁体層を含んだS O I ウェーハを提供する工程と、

素子層と層間絶縁膜を形成し、大容量C M O S プロセス・フローにより前記素子シリコン層を処理することにより、複数のフォトダイオードを形成する工程と、

前記シリコン・ウェーハを除去して、前記絶縁体層を露出させる工程と、

前記露出させた絶縁体層を処理して、前記素子シリコン層の上に、光検出器の量子効率(Q E)を維持しつつ暗電流を下げるよう構成された不活性化層を形成する工程と、

前記フォトダイオードに対応して配置されるようにして、前記不活性化層の上に、マイクロレンズを提供する工程とからなる、

ことを特徴とする、絶縁体上シリコン(S O I ; silicon-on-insulator)プロセスとC M O S プロセスとを組み合わせて、ウェーハ上に光検出器アレイを形成するプロセス。

【請求項2】

前記素子シリコン層は、約3 μ m ~ 約10 μ mの厚さを有することを特徴とする請求項1に記載のプロセス。

【請求項3】

前記素子シリコン層のドーピング濃度は、前記素子シリコン層の空乏領域の厚さに反比例することを特徴とする請求項1又は2に記載のプロセス。

【請求項4】

前記撮像素子がL O C O S またはS T I 構造によって互いに分離されていることを特徴とする請求項1 ~ 3のいずれかに記載のプロセス。

【請求項5】

前記ウェーハが、撮像素子アレイを含む撮像領域と、C M O S 信号処理回路を含む信号処理領域とを含むことを特徴とする請求項1 ~ 4のいずれかに記載のプロセス。

【請求項 6】

前記不活性化層と前記マイクロレンズとの間に反射防止コーティングを形成する工程をさらに含むことを特徴とする請求項 1 に記載のプロセス。

【請求項 7】

前記不活性化層と前記マイクロレンズとの間にカラーフィルタを形成する工程をさらに含むことを特徴とする請求項 1 に記載のプロセス。

【請求項 8】

前記反射防止コーティングと前記マイクロレンズとの間にカラーフィルタを形成する工程をさらに含むことを特徴とする請求項 6 に記載のプロセス。

【請求項 9】

前記複数のフォトダイオードの各々は、フォトダイオードの下に位置して対応するMOSゲートに接続されていることを特徴とする請求項 1 に記載のプロセス。

【請求項 10】

シリコン・ウェーハと素子シリコン層との間に埋設された絶縁体層を含んだSOIウェーハを提供する工程と、

素子層と層間絶縁膜を形成し、大容量CMOSプロセス・フローにより前記素子シリコン層を処理することにより、複数のフォトダイオードを形成する工程と、

前記シリコン・ウェーハを除去して、前記絶縁体層を露出させる工程と、

前記露出させた絶縁体層を処理して、前記素子シリコン層の上に、光検出器の量子効率(QE)を維持しつつ暗電流を下げるよう構成された不活性化層を形成する工程と、

前記フォトダイオードに対応して配置されるようにして、前記不活性化層の上に、カラーフィルタを提供する工程とからなる、

ことを特徴とする、絶縁体上シリコン(SOI; silicon-on-insulator)プロセスとCMOSプロセスとを組み合わせて、ウェーハ上に光検出器アレイを形成するプロセス。

【請求項 11】

前記不活性化層と前記カラーフィルタとの間に反射防止コーティングを形成する工程をさらに含むことを特徴とする請求項 10 に記載のプロセス。

【請求項 12】

前記カラーフィルタの上にマイクロレンズを形成する工程をさらに含むことを特徴とする請求項 10 に記載のプロセス。

【請求項 13】

前記複数のフォトダイオードの各々は、フォトダイオードの下にあって対応するMOSゲートに接続されていることを特徴とする請求項 10 に記載のプロセス。

【請求項 14】

シリコン・ウェーハと素子シリコン層との間に埋設された絶縁体層を含んだSOIウェーハを提供する工程と、

素子層と層間絶縁膜を形成し、大容量CMOSプロセス・フローにより前記素子シリコン層を処理することにより、複数のフォトダイオードを形成する工程と、

前記シリコン・ウェーハを除去して、前記絶縁体層を露出させる工程と、

前記露出させた絶縁体層を処理して、前記素子シリコン層の上に、光検出器の量子効率(QE)を維持しつつ暗電流を下げるよう構成された不活性化層を形成する工程と、

前記フォトダイオードに対応して配置されるようにして、前記不活性化層の上に、光学撮像素子を提供する工程とからなる、

ことを特徴とする、絶縁体上シリコン(SOI; silicon-on-insulator)プロセスとCMOSプロセスとを組み合わせて、ウェーハ上に光検出器アレイを形成するプロセス。