(19) **Bundesrepublik Deutschland**
Deutsches Patent- und Markenamt

(10) **DE 695 32 886 T2** 2005.04.28

(12) # Übersetzung der europäischen Patentschrift

(97) **EP 0 756 783 B1**
(21) Deutsches Aktenzeichen: **695 32 886.7**
(86) PCT-Aktenzeichen: **PCT/US95/04844**
(96) Europäisches Aktenzeichen: **95 917 077.0**
(87) PCT-Veröffentlichungs-Nr.: **WO 95/029532**
(86) PCT-Anmeldetag: **20.04.1995**
(87) Veröffentlichungstag der PCT-Anmeldung: **02.11.1995**
(97) Erstveröffentlichung durch das EPA: **05.02.1997**
(97) Veröffentlichungstag der Patenterteilung beim EPA: **14.04.2004**
(47) Veröffentlichungstag im Patentblatt: **28.04.2005**

(51) Int Cl.[7]: **H03K 17/16**
H03H 11/46

(30) Unionspriorität:
231394 **22.04.1994** **US**

(84) Benannte Vertragsstaaten:
DE, FR, GB, IT

(73) Patentinhaber:
Unitrode Corp., Billerica, Mass., US

(72) Erfinder:
JORDAN, Mark, Goffstown, US

(74) Vertreter:
BEETZ & PARTNER Patentanwälte, 80538 München

(54) Bezeichnung: **IMPEDANZEMULATOR**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

Beschreibung

[0001] Die vorliegende Erfindung betrifft allgemein eine Impedanzemulation und mehr im Besonderen einen Impedanzemulator mit niedriger Kapazität, der für den aktiven Leitungsabschluss gut geeignet ist.

HINTERGRUND DER ERFINDUNG

[0002] Es ist gut bekannt, einen Leiter mit einer Impedanz abzuschließen, die ideal an die dynamische Impedanz der Leitung angepasst ist, um Signalreflexionen und die damit einhergehende Verschlechterung von Daten, die über den Leiter übertragen wurden, zu verringern. Ein solcher Abschluss umfasst einen Widerstand mit einem Widerstandswert, der nominal jenem des Leiters angepasst ist. Während der nominale Widerstandswert einer typischen Leiterimpedanz angepasst sein kann, können Toleranzen die Leiter- und Widerstandsimpedanzen beeinträchtigen und dadurch die sich ergebende Impedanz-„Anpassung" herabsetzen. Außerdem ist der Widerstandswert eines derartigen Abschlusses fest, so dass seine Verwendung zum Abschließen von Leitern mit unterschiedlichen dynamischen Impedanzen ausgeschlossen ist.

[0003] Ein anderer Abschlusstyp verwendet eine aktive Einrichtung und kann somit als aktiver Abschluss bezeichnet werden. Ein Beispiel für einen aktiven Abschluss ist einer, der einen bis zur Sättigung vorgespannten Feldeffekttransistor (FET) verwendet. Unter dieser Betriebsbedingung weist der FET eine stark nichtlineare Stromquellencharakteristik, die im Allgemeinen keine Signalreflexionen verringert, sowie Abschlüsse mit einer linearen, im Wesentlichen resistiven Charakteristik auf.

[0004] Die EP 0 680 143 A2 (Stand der Technik gemäß Artikel 54(3) EPÜ) offenbart eine CMOS-abschließende Widerstandsschaltung. Der abschließende Widerstand wird von einem CMOS-Transfer-Gate gebildet, dessen Steuerelektroden mit Steuerelektroden eines internen Bezugs-Transfer-Gates verbunden sind, dessen Steuerelektrode mit dem Ausgang eines Differenzialverstärkers verbunden ist.

ZUSAMMENFASSUNG DER ERFINDUNG

[0005] Gemäß der Erfindung wird ein Impedanzemulator niedriger Kapazität zum Emulieren einer ausgewählten Impedanz mit einer im Wesentlichen linearen Charakteristik vorgesehen. Der Emulator ist für die Verwendung beim Abschließen von einem oder mehreren Leitern eines Hochgeschwindigkeitsdatenbusses gut geeignet, bei dem ein exakter Abschluss mit niedriger Kapazität von entscheidender Bedeutung ist. Die niedrige Kapazität des Emulators stellt sicher, dass, wenn der Abschluss mit dem Bus in einem Trennmodus verbunden ist, der Emulator die Leiterimpedanz nicht negativ beeinträchtigt. Der Impedanzemulator verwendet einen emulierenden FET, der im linearen Bereich betrieben wird. Der lineare Betrieb des emulierenden FET liefert eine Impedanz an den Drain- und Source-Elektroden des FET, die im Wesentlichen resistiv (d. h. durch eine lineare Beziehung zwischen dem Strom durch den FET und der Spannung an dem FET gekennzeichnet) ist. Diese resistive Charakteristik ist beim Signalabschluss zum Verringern unerwünschter Signalreflexionen besonders wirksam.

[0006] Eine Steuerungsschaltung ist vorgesehen, um den emulierenden FET in dem linearen Betriebsbereich zu halten und weist einen Steuerungs-FET auf, der gleiche Charakteristiken wie der emulierende FET hat und mit einem Widerstand in Serie geschaltet ist. Der Steuerungs-FET wird nach Art eines geschlossenen Regelkreises betrieben, so dass seine Leitung gesteuert wird, um eine daran vorbestimmte Spannung aufrecht zu erhalten und um mehr im Besonderen eine Impedanz vorzusehen, die in einer vorbestimmten Beziehung zum Widerstand des Widerstands steht. Der emulierende FET empfängt dasselbe Gate-Signal wie der Steuerungs-FET, was dazu führt, dass der emulierende FET eine Impedanz liefert, die proportional zur Impedanz des Steuerungs-FET ist. Der Widerstand kann ein trimmbarer oder variabler Widerstand sein, so dass die von den Steuerungs- und emulierenden FETs gelieferte Impedanz durch Trimmen oder Einstellen des Werts des Widerstands entsprechend justiert werden kann.

[0007] In einer Ausführungsform liefert der emulierende FET die Abschlussimpedanz eines Signalübertragungsleiters. Mehr im Besonderen ist der emulierende FET zwischen einem Spannungsregler und dem Leiter seriengeschaltet, und der Widerstandswert des Widerstands wird ausgewählt oder getrimmt, um der dynamischen Impedanz des Leiters zu entsprechen.

[0008] Die Verwendung des Impedanzemulators zum Signalbusabschluss ist von Vorteil aufgrund der linearen, hoch-resistiven Charakteristik des FET im linearen Betriebsbereich. Mehr im Besonderen dient diese Anordnung dazu, Signalreflexionen am Leiter zu verringern und dadurch den Wirkungsgrad des Abschlusses zu

verbessern. Außerdem wird eine einfache Einstellung der Abschlussimpedanz durch Trimmen des Widerstands der Steuerungsschaltung erreicht, um sicherzustellen, dass der emulierende FET eine Impedanz liefert, die der dynamischen Impedanz des Busses entspricht.

KURZE BESCHREIBUNG DER ZEICHNUNGEN

[0009] Die vorstehenden Merkmale der vorliegenden Erfindung sowie die Erfindung selbst können aus der folgenden detaillierten Beschreibung besser verstanden werden, worin:

[0010] **Fig.** 1 eine schematische Darstellung eines Impedanzemulators gemäß der vorliegenden Erfindung ist;

[0011] **Fig.** 2 veranschaulichende Kennlinien eines NMOS-FET zeigt;

[0012] **Fig.** 3 einen schematische Darstellung eines aktiven Busabschlusses ist, bei dem der Impedanzemulator von **Fig.** 1 verwendet wird; und

[0013] **Fig.** 4 eine detaillierte schematische Darstellung des aktiven Busabschlusses von **Fig.** 3 ist.

BESCHREIBUNG DER BEVORZUGTEN AUSFÜHRUNGSFORM

[0014] Es sei auf **Fig.** 1 Bezug genommen, worin ein Impedanzemulator **10** gezeigt ist, der eine aktive emulierende Einrichtung **12** zum Liefern einer im Wesentlichen linearen vorbestimmten Impedanz aufweist. Die aktive Einrichtung **12** ist ein Metalloxid-Feldeffekttransistor (MOSFET) mit einer Drain-Elektrode **12a**, einer Source-Elektrode **12b** und einer Gate-Elektrode **12c**, kann aber alternativ jeder beliebige geeignete FET sein. Die vorbestimmte Impedanz ist an den Drain- und Source-Elektroden **12a, b** des FET **12** vorgesehen, der in den vorliegend beschriebenen Ausführungsformen ein NMOS-FET **12** ist. Der Impedanzemulator **10** weist des Weiteren einen Spannungsregler **14**, der eine geregelte Spannung V_{reg} liefert, und eine Steuerungsschaltung **16** auf, die mit der Gate-Elektrode **12c** zum Steuern des Betriebs des emulierenden FET **12** verbunden ist. Mehr im Besonderen erhält die Steuerungsschaltung **16** den FET **12** in seinem linearen Betriebsbereich, um die vorbestimmte Impedanz mit einer linearen, resistiven Charakteristik zu liefern.

[0015] Es sei auch auf **Fig.** 2 Bezug genommen, worin veranschaulichende Kennlinien eines NMOS-FET, die für den emulierenden FET **12** beispielhaft sind, gezeigt sind, die einen mit **28** bezeichneten linearen Betriebsbereich einschließen. Der lineare Bereich **28** ist durch eine lineare Beziehung zwischen dem Strom I_{DS} zwischen den Drain- und Source-Elektroden des FET und der Spannung V_{DS} an diesen Elektroden gekennzeichnet. Der Betrieb des emulierenden FET **12** in dem linearen Bereich führt dazu, dass die Impedanz an den Drain- und Source-Elektroden **12a, b** sich jener eines Widerstands annähert. Eine resistive Impedanz ist besonders vorteilhaft, wenn der Impedanzemulator zum Abschließen von einem oder mehreren Leitern eines Signalübertragungsbusses, wie etwa dem mit der Source-Elektrode **12b** des emulierenden FET **12** verbundenen Leiter **18**, verwendet wird, um unerwünschte Signalreflexionen zu verringern. Die Kennlinien zeigen, dass die Neigung der Linien im linearen Bereich (d. h. stellvertretend für die Drain-zu-Source-Impedanz) im Verhältnis zur Gate-zu-Source-Spannung V_{GS} variiert. Damit ein FET im linearen Bereich ist, muss die Gate-zu-Source-Spannung V_{GS} größer als die Summe der Drain-zu-Source-Spannung V_{DS} und der Schwellenspannung V_T sein, bei der der FET zu leiten beginnt (typischerweise 0,7 Volt).

[0016] Die Steuerungsschaltung **16** weist einen Steuerungs-FET **20** desselben Typs wie der emulierende FET **12** mit einer Drain-Elektrode **20a**, einer Source-Elektrode **20b** und einer Gate-Elektrode **20c**, einem Widerstand **22** und einem Operationsverstärker **24** auf. Der Steuerungs-FET **20** hat gleiche Charakteristiken wie der emulierende FET **12**, so dass das Verhältnis der Impedanz der beiden FETs **12**, **20** gleich dem Verhältnis zwischen Gate-Breite zu Gate-Länge des FET **12** und Gate-Breite zu Gate-Länge des FET **20** ist. Die emulierenden und Steuerungs-FETs **12**, **20** können jeweils in der Größe identisch sein oder alternativ können sie relativ zueinander größenmäßig skaliert sein. Vorzugsweise sind die FETs **12**, **20** NMOS-Einrichtungen. Zwar können alternativ PMOS-Einrichtungen verwendet werden, aber die Verwendung von NMOS-FETs bietet bestimmte Vorteile, unter anderem eine geringere Größe, die einer niedrigeren Kapazität gleichkommt. Ein zusätzlicher Vorteil bei der Verwendung eines NMOSemulierenden FET **12** ist der elektrostatische Entladungsschutz, der durch die inhärente Diode von der Source-Elektrode **12b** zur Masse vorgesehen ist.

[0017] Der Steuerungs-FET **20** wird nach Art eines geschlossenen Regelkreises betrieben, so dass die Impedanz des Steuerungs-FET **20** in einer bekannten Beziehung zu jener des seriengeschalteten Widerstands

22 steht. Außerdem wird der emulierende FET **12** von demselben Steuersignal wie der Steuerungs-FET **20** gesteuert, so dass der emulierende FET **12** eine Impedanz liefert, die proportional zur Impedanz des Steuerungs-FET **20** ist. Mehr im Besonderen ist die Impedanz des emulierenden FET **12** direkt proportional zur Impedanz des Steuerungs-FET **20** an einem nominalen Betriebspunkt (d. h. entsprechend einer Gate-Spannung in der Mitte zwischen der erwarteten Spannungsschwankung an der Source-Elektrode **12b** des emulierenden FET **12**). Mit einer ausreichenden Gate-Spannung wird die Sekundärwirkung (d. h. Nichtlinearität) in der Proportionalität der Impedanz des emulierenden FET **12** zu jener des Steuerungs-FET **20** minimiert. Die Impedanz des emulierenden FET **12** steht dadurch auch zu jener des Widerstands **12** in Beziehung und kann durch Variieren des Widerstands des Widerstands **12** eingestellt werden.

[0018] Der Widerstand **22** kann ein trimmbarer Widerstand einer integrierten Schaltung, wie beispielsweise ein Polysiliciumwiderstand, sein. Mit dieser Anordnung wird der Widerstand **22** getrimmt, um sicherzustellen, dass die gewünschte Impedanz von dem emulierenden FET **12** geliefert wird. Mehr im Allgemeinen ist der Widerstand **22** ein variabler Widerstand mit einem einstellbaren Widerstandswert, um die Einstellung der vorbestimmten Impedanz des emulierenden FET **12** zu vereinfachen. Bei einigen Anwendungen kann ein fester Präzisionswiderstand eine geeignete Steuerung der Impedanz des emulierenden FET **12** liefern.

[0019] Der Operationsverstärker **24** der Steuerungsschaltung **16** weist einen mit der Gate-Elektrode **20c** des Steuerungs-FET **20** und der Gate-Elektrode **12c** des emulierenden FET **12** verbundenen Ausgangsanschluss auf. Ein Eingang des Verstärkers **24** ist mit einer Bezugsspannung V_{ref} verbunden und ein anderer Eingang des Verstärkers **24** ist mit der Zusammenschaltung der Source-Elektrode **20b** des Steuerungs-FET **20** mit dem seriengeschalteten Widerstand **22** wie gezeigt verbunden. Die Bezugsspannung V_{ref} weist eine vorbestimmte Beziehung mit der geregelten Spannung V_{reg} an der Serienkombination des Steuerungs-FET **20** und des Widerstands **22** auf. Hier ist die Bezugsspannung gleich $1/2V_{reg}$, da diese Spannung dem nominalen Betriebspunkt auf halbem Weg zwischen der zulässigen Spannungsschwankung am Leiter **18** entspricht (d. h., eine solche zulässige Spannungsschwankung, die von V_{reg} zur Masse führt). Mehr im Allgemeinen jedoch kann die Bezugsspannung andere Bruchwerte der Spannung V_{reg} an der Serienkombination betragen.

[0020] Mit dieser Anordnung wird die Spannung an der Source-Elektrode **20b** des Steuerungs-FET **20** gezwungen, der Bezugsspannung $V_{ref}=1/2V_{reg}$ gleich zu kommen. Da die Drain-Elektrode **20a** des Steuerungs-FET **20** mit der geregelten Spannung V_{reg} verbunden ist, ist die Spannung an den Drain- und Source-Elektroden **20a**, b des Steuerungs-FET **20** gleich $1/2V_{reg}$ (d. h. dieselbe Spannung, wie sie an dem variablen Widerstand **22** erscheint). Da der Strom durch den FET **20** und den Widerstand **22** ebenfalls gleich ist, ist dadurch die Impedanz am Steuerungs-FET **20** gleich dem Widerstand des Widerstands **22**.

[0021] Da der emulierende FET **12** durch dasselbe Verstärkerausgangssignal wie der Steuerungs-FET **20** gesteuert wird, liefert der emulierende FET **12** eine Impedanz, die der Impedanz des Steuerungs-FET **20** proportional und dadurch auch dem Widerstand des Widerstands **22** proportional ist. Mehr im Besonderen ist dann, wenn die FETs **12**, **20** von der Größe her identisch sind, die Impedanz des emulierenden FET **12** gleich jener des Steuerungs-FET **20**, welche umgekehrt gleich dem Widerstand des Widerstands **22** ist. Mehr im Allgemeinen jedoch werden dann, wenn der Steuerungs-FET **20** in der Größe relativ zu dem emulierenden FET **12** skaliert wird, so dass $FET_{12}= XFET_{20}$, die jeweiligen Impedanzen durch denselben Faktor X so skaliert, dass die Impedanz des FET **12** gleich der Impedanz des FET **20** geteilt durch den Maßstabsfaktor X ist.

[0022] Um sicherzustellen, dass die emulierenden und Steuerungs-FETs **12**, **20** jeweils in ihren jeweiligen linearen Betriebsbereichen erhalten werden, erfüllt das Verhältnis der Gate-Breite „W" zur Gate-Länge „L" jedes dieser FETs die folgenden Kriterien:

$$\frac{W}{L} < \frac{I_D}{K_{p(\max)} \cdot 0{,}5 \cdot V^2_{DS(\max)}} \qquad \ldots(1)$$

worin I_D für den FET-Drain-Strom steht, K_P für eine Konstante steht, die dem FET zugeordnet ist, der gleich dem Produkt der Oberflächenmobilität und der Oxidkapazität ist, und V_{DS} für die Spannung an den Drain- und Source-Elektroden des jeweiligen FET steht. Die Übereinstimmung mit der FET-Gate-Größenbeziehung der Gleichung (1) stellt sicher, dass die Gate-Spannung V_{GS} eine Schwellenspannung über der maximalen Drain-zu-Source-Spannung V_{DS} bleibt.

[0023] Wie vorstehend bemerkt wurde, wird mit einer ausreichenden Gate-Spannung die Sekundärwirkung auf die Beziehung zwischen den Impedanzen des emulierenden FET **12** und des Steuerungs-FET **20**, so wie sie von Variationen der Spannung an der Source-Elektrode **12b** des emulierenden FET **12** bewirkt wird, minimiert. Mehr im Besonderen wird der Drain-zu-Source-Widerstand des emulierenden FET **12** wie folgt angege-

ben:

$$R_{12} = \frac{1 + \theta \cdot V_{GS}}{K_p \cdot (V_{GS} - V_T) \cdot \left(\frac{W_{12}}{L_{12}}\right)} \qquad \ldots(2)$$

wobei θ für eine Mobilitätsverschlechterungskonstante steht. Aus Gleichung (2) folgt, dass die Veränderung im Widerstand des FET **12** mit Veränderungen in V_{GS} angegeben wird durch:

$$\frac{\partial R_{12}}{\partial V_{GS}} \alpha \frac{1}{V_{GS}} \qquad \ldots(3)$$

[0024] Gleichung (3) zeigt, dass, wenn V_{GS} größer wird, die Änderung im Widerstand des emulierenden FET **12** sinkt, da es wünschenswert ist, die Sekundärwirkung zu verringern. Anders gesagt, je höher die Gate-Spannung, desto unbedeutender die Wirkung von Spannungsvariationen an der Source-Elektrode **12b** des emulierenden FET **12** auf die Proportionalität zwischen dem Widerstand des emulierenden FET **12** und des Steuerungs-FET **20**.

[0025] Wie aus der vorstehenden Diskussion ersichtlich ist, ist die Impedanz des emulierenden FET **12** eine Funktion des Widerstands des Widerstands **22**, des Größenmaßstabsfaktors X zwischen den emulierenden und Steuerungs-FETs und der Beziehung zwischen der Bezugsspannung V_{ref} und der geregelten Spannung V_{reg}. Durch Verwendung eines trimmbaren oder variablen Widerstands als Widerstand **22** kann die durch den emulierenden FET **12** vorgesehene Impedanz leicht eingestellt werden, wie es für einen bestimmten Anwendungszweck gewünscht wird.

[0026] Es sei auch auf **Fig.** 3 Bezug genommen, worin eine weitere Ausführungsform des Impedanzemulators **30** gezeigt ist, der mehrere emulierende FETs **32a–n** aufweist. Der Impedanzemulator **30** ist zum aktiven Abschließen von mehreren Leitern **34a–n**, wie etwa den Leitern eines SCSI (Small Computer System Interface – kleine Computersystemschnittstelle)-Busses, ausgelegt. Mehr im Besonderen wird die Gate-Elektrode von jedem der emulierenden FETs **32a–n** mit dem Ausgang einer Steuerungsschaltung **36** verbunden, die im Wesentlichen identisch mit der Steuerungsschaltung **16** der **Fig.** 1 ist und einen Steuerungs-FET **40** aufweist, der mit einem variablen Widerstand **46** in Serie geschaltet und nach Art eines geschlossenen Regelkreises durch einen Verstärker **42** gesteuert wird. Die Drain-Elektroden von jedem der mehreren emulierenden FETS **32a–n** sind mit einem Spannungsregler **38** verbunden, der wie der Spannungsregler **14** in **Fig.** 1 eine geregelte Spannung V_{reg} liefert. Mit dieser Anordnung präsentiert jeder der FETs **32a–n** dieselbe resistive Impedanz zu einem entsprechenden der mehreren Leiter **34a–n**.

[0027] Es sei auf **Fig.** 4 Bezug genommen, worin eine detaillierte schematische Darstellung des Impedanzemulators **30** der **Fig.** 3 gezeigt ist, der die mehreren emulierenden FETs **32a–n**, den Spannungsregler **38** und die Steuerungsschaltung **36** aufweist. Die Steuerungsschaltung **36** weist den NMOS-Steuerungs-FET **40** und den variablen Widerstand **46**, wie vorstehend erwähnt, auf. Der nichtinvertierende Eingang V+ des Verstärkers **42** empfängt, wie dargestellt, die Bezugsspannung V_{ref}=1/2V_{reg}. Der invertierende Eingang V- zum Verstärker **42** ist mit der Zusammenschaltung zwischen der Source-Elektrode **40b** des Steuerungs-FET **40** und dem Widerstand **46** verbunden. Eine Temperaturkompensationsschaltung **47**, die einen Widerstand **48** und eine Stromquelle **50** aufweist, ist zwischen dem invertierenden Verstärkereingang V- und einer Differenzialeingangsstufe **44**, die, wie gezeigt, bipolare Transistoren **44a, b** aufweist, verbunden. Die Ausgangsstufe des Verstärkers **42** weist einen bipolaren Transistor **54** auf, der mit einer Spannungsquelle V_p, wobei $V_p \gg V_{reg}$, und einem FET **56** verbunden ist, wobei die Zusammenschaltung dazwischen den Verstärkerausgang V_o liefert. In einer veranschaulichenden Ausführungsform ist die geregelte Spannung V_{reg} gleich fünf Volt und die Spannung V_p liegt in der Größenordnung von zehn bis fünfzehn Volt, um den FETs **12**, **20** genügend Gate-Spannung zu liefern, um, wie vorstehend erörtert, Sekundärwirkungen zu verringern. Der Ausgangstransistor **54** sieht eine niedrige Ausgangsimpedanz zur Erhaltung der Schleifenstabilität vor, während er die mehreren emulierenden FETs **32a–n** in dem linearen Betriebsbereich ansteuert. Eine Stromquelle **58**, ein mittels Dioden verbundener FET **60** und ein mittels Dioden verbundener bipolarer Transistor **62** sind zwischen der Spannungsquelle V_p und dem Eingangstransistor **44a** in Serie geschaltet, um einen Vorspannungsstrom durch die Transistoren **54**, **56** aufrecht zu erhalten, was dies zu einem Verstärker der Klasse AB macht.

[0028] Wenn die Temperatur steigt, nimmt der Widerstandswert des Widerstands **46** zu. Ohne die Temperaturkompensationsschaltung **47** würde der erhöhte Widerstand des Widerstands **46** dazu führen, dass die Impedanz der FETs **20** und **12** damit einhergehend steigt. Die Temperaturkompensationsschaltung **47** kompen-

siert die Wirkung der Temperaturvariationen auf den Widerstandswert des Widerstands **46**.

[0029] Diese Kompensation wird durch Verwendung eines Widerstands **48** und eines Stroms erreicht, dessen Spannungsabfall auf dieselbe Art und Weise mit der Temperatur variiert wie der die Impedanz steuernde Widerstand **46**. Mehr im Besonderen ist die Spannung an der Basis des Transistors **44a** gleich der Spannung am invertierenden Verstärkereingang V- minus dem Produkt des Widerstands des Widerstands **48** und des Stroms I_2. Da der Widerstand **48** mit der Temperatur zunimmt, wird die Spannung V- an dem invertierenden Eingang des Verstärkers **42** um die Hälfte der Rate des dem Widerstand **46** zugeordneten Temperaturkoeffizienten erhöht. Diese Anordnung führt dazu, dass der Widerstand des FET **40** mit der Temperatur konstant bleibt, da die Erhöhung der Spannung V- die zweifache Wirkung des Erhöhens der Spannung V_{DS} an den Drain- und Source-Elektroden des FET **40** und des Senkens des Stroms durch den FET **40** aufweist. Wie der vorstehenden Erörterung zu entnehmen ist, hält die konstante Aufrechterhaltung des Widerstands des FET **12** mit der Temperatur den Widerstand der emulierenden FETs **32a–n** mit der Temperatur damit einhergehend konstant.

[0030] Nachdem die bevorzugten Ausführungsformen der Erfindung beschrieben worden sind, ist es für den Fachmann ersichtlich, dass andere Ausführungsformen, die deren Konzepte beinhalten, verwendet werden können. Dementsprechend sollte die Erfindung nur durch den Umfang begrenzt sein, wie er in den beigefügten Patentansprüchen definiert ist.

Patentansprüche

1. Busabschluss zum Abschließen einer Busleitung, der eine Impedanz zugeordnet ist, mit:
einem Spannungsregler;
einem emulierenden FET mit einer Gate-Elektrode, einer Drain-Elektrode und einer Source-Elektrode, wobei die Drain- und die Source-Elektrode zur Serienschaltung zwischen Spannungsregler und Busleiter ausgelegt sind; und
einer Steuerungsschaltung, die mit der Gate-Elektrode des emulierenden FET verbunden ist, um den emulierenden FET im linearen Betriebsbereich zu halten, um den Leiter mit einer resistiven Impedanz zu versehen, wobei die resistive Impedanz im Wesentlichen an die Impedanz des Leiters angepasst ist.

2. Busabschluss nach Anspruch 1, bei dem der emulierende FET eine NMOS-Einrichtung ist, wobei die Drain-Elektrode mit dem Spannungsregler verbunden und die Source-Elektrode zur Verbindung mit dem Busleiter ausgelegt sind.

3. Busabschluss nach Anspruch 2, bei dem die Steuerungsschaltung aufweist:
(a) einen Steuerungs-FET mit einer Gate-Elektrode, einer Source-Elektrode und einer Drain-Elektrode;
(b) einen Widerstand mit einem zugehörigen Widerstandswert, der seriell zum Steuerungs- FET geschaltet ist; und
(c) einen Verstärker, der ein Ausgangssignal liefert, das an die Gate-Elektroden des Steuerungs-FET und des emulierenden FET gelegt wird, wobei das Ausgangssignal dazu führt, dass der Steuerungs-FET und der emulierende FET eine Impedanz liefern, die zum Widerstandswert des Widerstands eine vorbestimmte Beziehung hat.

4. Busabschluss nach Anspruch 3, bei dem der Verstärker zwei Eingänge hat, wobei ein erster eine Bezugsspannung empfängt und ein zweiter mit dem Widerstand und dem Steuerungs-FET verbunden ist.

5. Busabschluss nach Anspruch 3, bei dem der Widerstand einen veränderlichen Widerstandswert hat und bei dem der emulierende FET eine Impedanz proportional zum Widerstandswert des Widerstands liefert.

6. Busabschluss nach Anspruch 3, bei dem der Verstärker eine Temperaturkompensationsschaltung zum Kompensieren der Auswirkung von Temperaturveränderungen des Widerstandswerts des Widerstands aufweist.

Es folgen 3 Blatt Zeichnungen

Anhängende Zeichnungen

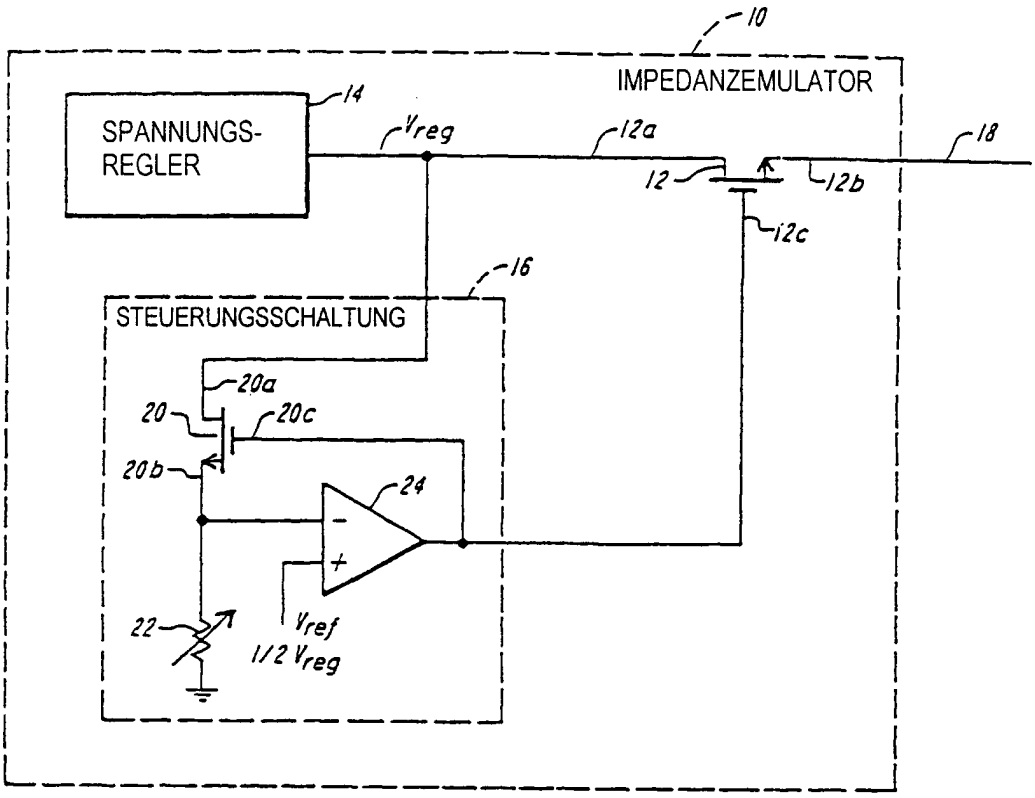

FIG. 1

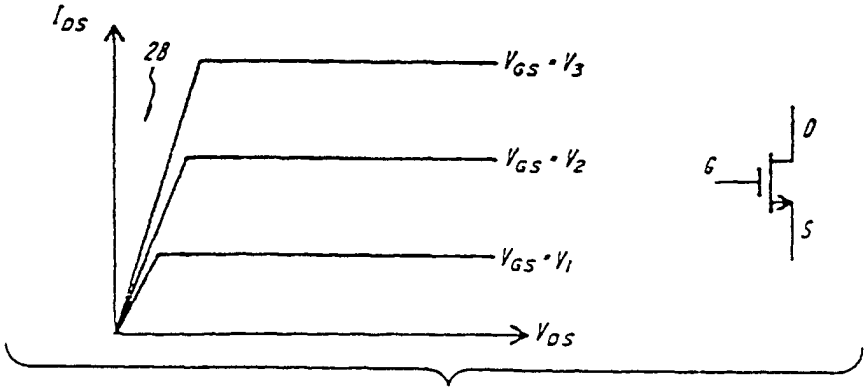

FIG. 2

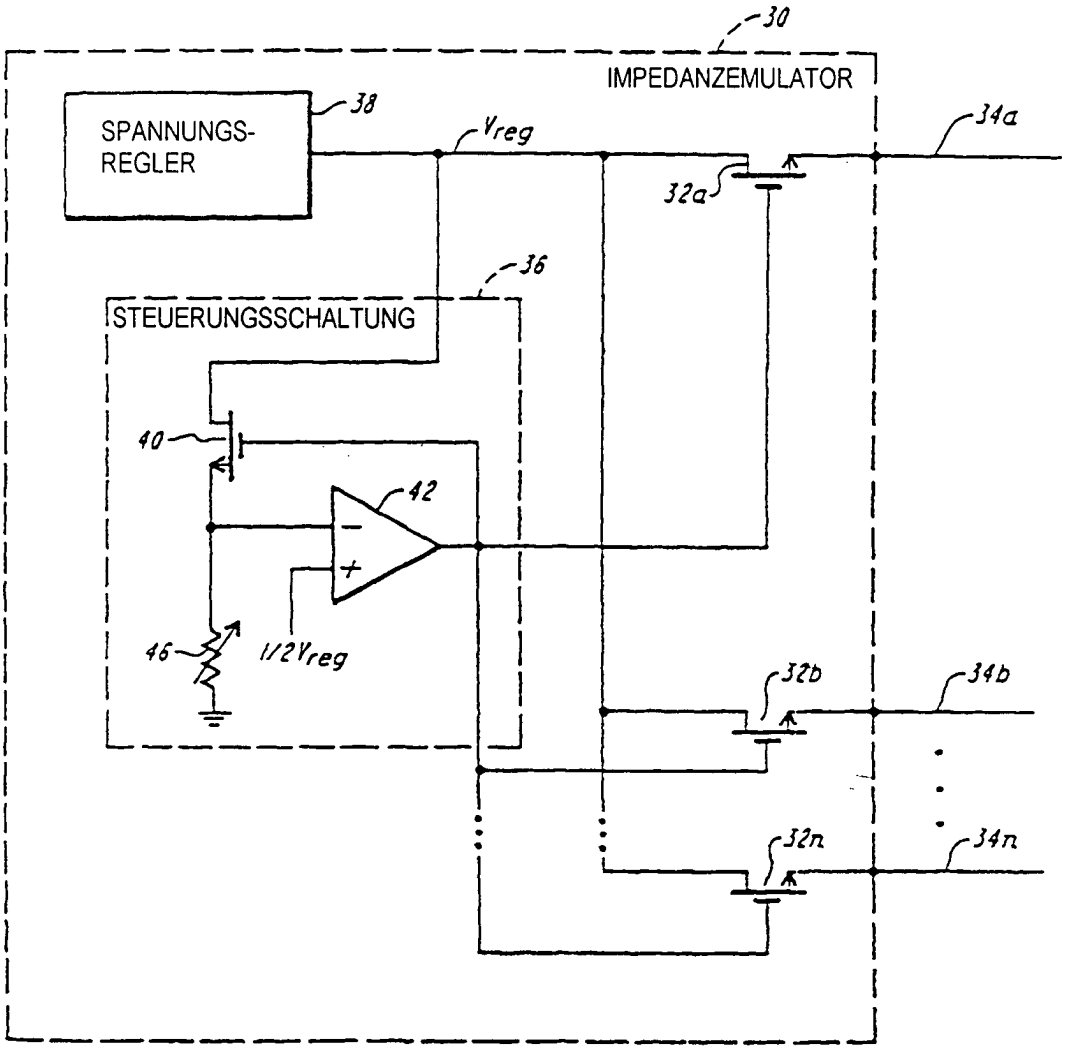
30
IMPEDANZEMULATOR
SPANNUNGS-
REGLER
38
Vreg
34a
32a
36
STEUERUNGSSCHALTUNG
40
42
46
1/2Vreg
32b
34b
32n
34n

FIG. 3

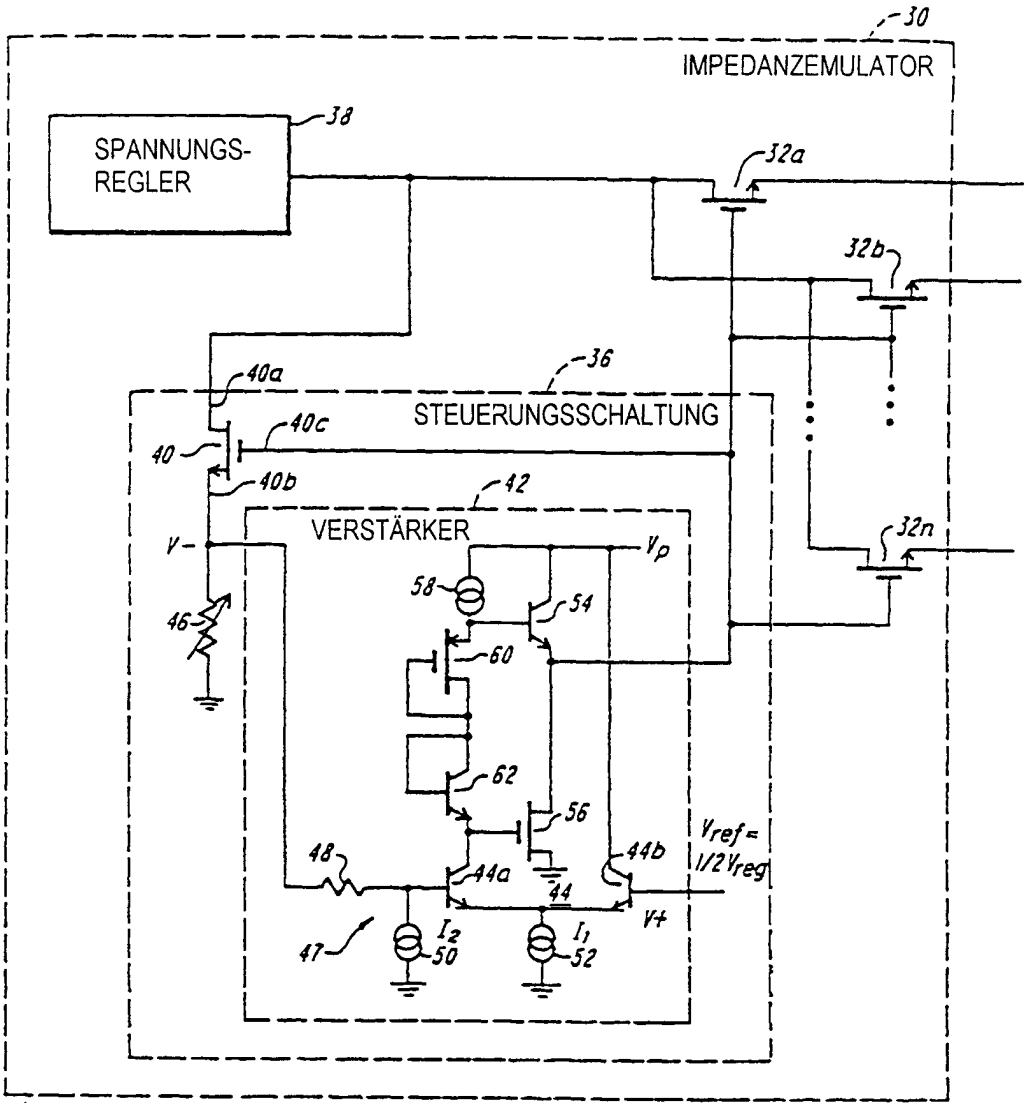
30
IMPEDANZEMULATOR
SPANNUNGS-
REGLER
38
32a
32b
32n
36
STEUERUNGSSCHALTUNG
40a
40c
40
40b
42
VERSTÄRKER
V-
Vp
58
54
46
60
62
56
48
44a
44b
44
V+
47
I2
50
I1
52
Vref = 1/2 Vreg

FIG. 4