



(10) **DE 10 2016 106 268 A1** 2016.10.13

(12)

Offenlegungsschrift

(21) Aktenzeichen: **10 2016 106 268.5**

(22) Anmeldetag: **06.04.2016**

(43) Offenlegungstag: **13.10.2016**

(51) Int Cl.: **H04N 5/378 (2011.01)**

(30) Unionspriorität:

2015-079804

09.04.2015

JP

(74) Vertreter:

TBK, 80336 München, DE

(71) Anmelder:

Canon Kabushiki Kaisha, Tokio, JP

(72) Erfinder:

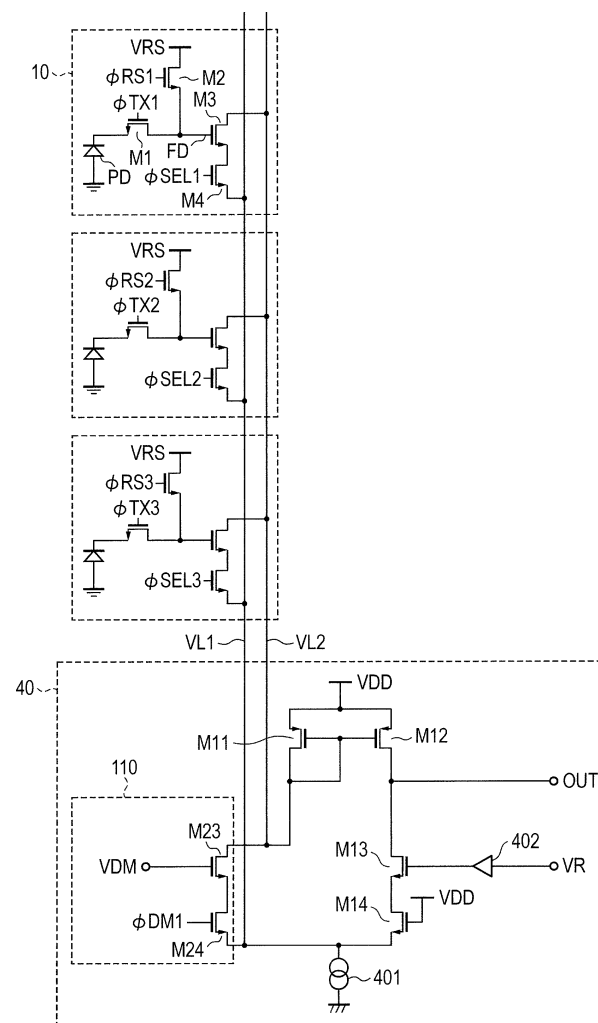
Muto, Takashi, Tokio, JP; Yoshida, Daisuke, Tokio, JP

Prüfungsantrag gemäß § 44 PatG ist gestellt.

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

(54) Bezeichnung: **BILDAUFNAHMEVORRICHTUNG, BILDAUFNAHMESYSTEM UND VERFAHREN ZUM ANSTEUERN EINER BILDAUFNAHMEVORRICHTUNG**

(57) Zusammenfassung: Um Gemeinsame-Source-Spannungsschwankungen von einem Differentialverstärker zu reduzieren und eine Geschwindigkeitssteigerung eines Lesebetriebs zu erreichen, wird eine Bildaufnahmevorrichtung bereitgestellt, mit: einem Differentialverstärker mit einem Differentialtransistor und einer Stromquelle, wobei der Differentialtransistor ein Differentialpaar mit dem Pixeltransistor bildet und ein Gate aufweist, an das ein Rampensignal eingegeben wird, wobei die Stromquelle konfiguriert ist zum Liefern eines Stroms, der in dem Differentialpaar fließt; und einem Scheinpixel mit einem Scheinpixeltransistor, bei dem ein Hauptknoten elektrisch mit einem Hauptknoten des Pixeltransistors verbunden ist und ein anderer Hauptknoten elektrisch mit einem anderen Hauptknoten des Pixeltransistors verbunden ist.



Beschreibung**HINTERGRUND DER ERFINDUNG****Gebiet der Erfindung**

[0001] Die vorliegende Erfindung bezieht sich auf eine Bildaufnahmeverrichtung, ein Bildaufnahmesystem und ein Verfahren zum Ansteuern einer Bildaufnahmeverrichtung.

Beschreibung der verwandten Technik

[0002] In den letzten Jahren nehmen die Forderungen nach einer höheren Pixelanzahl und einer höheren Bildrate im Gebiet von Bildaufnahmeverrichtungen wie etwa CMOS-Bildsensoren zu. Mit der Entwicklung von CMOS-Prozessminiaturisierungstechniken wurden Bildaufnahmeverrichtungen mit einem Analog-Digital-Wandler entworfen. Zum Beispiel ist in einer Bildaufnahmeverrichtung, die in der japanischen Patentanmeldungsoffenlegungsschrift Nr. 2005-311487 offenbart ist, eine Vergleichsschaltung, die in einem AD-Wandler umfasst ist, mit einem Differentialtransistor bzw. Differenztransistor versehen, der ein Differentialpaar bzw. Differenzpaar mit einem Verstärkertransistor eines Einheitspixels bildet. Es wurde eine Technik vorgeschlagen, bei der der Differentialtransistor Schwellenspannungsschwankungen aufhebt, die durch den Bodyeffekt ("body bias effect") hervorgebracht werden.

[0003] In der japanischen Patentanmeldungsoffenlegungsschrift Nr. 2005-311487 schwankt die Gemeinsame-Source-Spannung ("common source voltage") der Transistoren, die ein Differentialpaar bilden, aufgrund des Einflusses von feld- bzw. bereichsdurchgängigem Rauschen ("field-through noise") eines Rücksetzpulses oder eines Übertragungspulses, wodurch die Bildqualität verschlechtert wird. Eine Vermeidung dieser Bildverschlechterung erfordert ein Warten auf eine solide Stabilisierung der Gemeinsame-Source-Spannung ("common source voltage"), was ein Hindernis zur weiteren Steigerung der Geschwindigkeit darstellt.

KURZFASSUNG DER ERFINDUNG

[0004] Gemäß einem Ausführungsbeispiel der vorliegenden Erfindung ist eine Bildaufnahmeverrichtung bereitgestellt, mit: einer Vielzahl von Pixel, jeweils umfassend einen Übertragungstransistor, der konfiguriert ist zum Übertragen von elektrischen Ladungen, die durch fotoelektrische Wandlung erzeugt werden, einen Pixeltransistor mit einem Gate, an das die elektrischen Ladungen eingegeben werden, und einen Rücksetztransistor, der konfiguriert ist zum Rücksetzen des Gates des Pixeltransistors; einem Differentialverstärker mit einem Differentialtransistor und einer Stromquelle, wobei der Differentialtransis-

tor ein Differentialpaar mit dem Pixeltransistor bildet und ein Gate aufweist, an das ein Rampensignal eingegeben wird, wobei die Stromquelle elektrisch mit dem Differentialpaar verbunden ist; und einem Scheinpixel mit einem Scheinpixeltransistor, bei dem ein Hauptknoten elektrisch mit einem Hauptknoten des Pixeltransistors verbunden ist und ein anderer Hauptknoten elektrisch mit einem anderen Hauptknoten des Pixeltransistors verbunden ist.

[0005] Weitere Merkmale der vorliegenden Erfindung werden aus der folgenden Beschreibung von Ausführungsbeispielen unter Bezugnahme auf die beigefügten Zeichnungen deutlich.

KURZE BESCHREIBUNG DER ZEICHNUNGEN

[0006] Fig. 1 ist ein Schaltungsblockschaltbild von einer Bildaufnahmeverrichtung gemäß einem ersten Ausführungsbeispiel der vorliegenden Erfindung.

[0007] Fig. 2 ist ein Schaltbild von einer Spalte von Pixel und einem Komparator für die Spalte gemäß dem ersten Ausführungsbeispiel der vorliegenden Erfindung.

[0008] Fig. 3 ist ein Zeitdiagramm von einem Pixel-signallesebetrieb gemäß dem ersten Ausführungsbeispiel der vorliegenden Erfindung.

[0009] Fig. 4 ist ein Schaltbild von einer Spalte von Pixel und einem Komparator für die Spalte gemäß einem zweiten Ausführungsbeispiel der vorliegenden Erfindung.

[0010] Fig. 5 ist ein Zeitdiagramm von einem Pixel-signallesebetrieb gemäß dem zweiten Ausführungsbeispiel der vorliegenden Erfindung.

[0011] Fig. 6 ist ein Schaltbild von einer Spalte von Pixel und einem Komparator für die Spalte gemäß einem dritten Ausführungsbeispiel der vorliegenden Erfindung.

[0012] Fig. 7 ist ein Schaltbild von einer Spalte von Pixel und einem Komparator für die Spalte gemäß einem vierten Ausführungsbeispiel der vorliegenden Erfindung.

[0013] Fig. 8 ist ein Schaltbild von einer Spalte von Pixel und einem Komparator für die Spalte gemäß einem fünften Ausführungsbeispiel der vorliegenden Erfindung.

[0014] Fig. 9 ist ein Zeitdiagramm von einem Pixel-signallesebetrieb gemäß einem sechsten Ausführungsbeispiel der vorliegenden Erfindung.

[0015] Fig. 10 ist ein Schaltbild von einer Spalte von Pixel und einem Komparator für die Spalte gemäß

einem siebten Ausführungsbeispiel der vorliegenden Erfindung.

[0016] Fig. 11 ist ein Zeitdiagramm von einem Pixel-signallesebetrieb gemäß dem siebten Ausführungsbeispiel der vorliegenden Erfindung.

[0017] Fig. 12 ist ein Schaltbild von einer Spalte von Pixel und einem Komparator für die Spalte gemäß einem achten Ausführungsbeispiel der vorliegenden Erfindung.

[0018] Fig. 13 ist ein Zeitdiagramm von einem Pixel-signallesebetrieb gemäß dem achten Ausführungsbeispiel der vorliegenden Erfindung.

[0019] Fig. 14 ist ein Schaltungsblockschaltbild von einer Bildaufnahmeverrichtung gemäß einem neunten Ausführungsbeispiel der vorliegenden Erfindung.

[0020] Fig. 15 ist ein Blockschaltbild von einem Bildaufnahmesystem gemäß einem zehnten Ausführungsbeispiel der vorliegenden Erfindung.

BESCHREIBUNG DER AUSFÜHRUNGSBEISPIELE

[0021] Es werden nun bevorzugte Ausführungsbeispiele der vorliegenden Erfindung im Einklang mit den begleitenden Zeichnungen ausführlich beschrieben. Jedes des Ausführungsbeispiele der vorliegenden Erfindung, die nachstehend beschrieben sind, kann einzeln oder als Kombination von einer Vielzahl der Ausführungsbeispiele oder Merkmalen von diesen implementiert werden, wo dies notwendig ist, oder wo die Kombination von Elementen oder Merkmalen aus einzelnen Ausführungsbeispielen in einem einzigen Ausführungsbeispiel vorteilhaft ist.

(Erstes Ausführungsbeispiel)

[0022] Fig. 1 ist ein Schaltungsblockschaltbild von einer Bildaufnahmeverrichtung gemäß einem ersten Ausführungsbeispiel der vorliegenden Erfindung. Die Bildaufnahmeverrichtung gemäß diesem Ausführungsbeispiel umfasst ein Pixelfeld **1**, eine Vertikalabtastschaltung **2**, die zum Abtasten von Pixel konfiguriert ist, einen Zeitgebungsgenerator (TG) **3**, der zum Steuern des Betriebs der Bildaufnahmeverrichtung konfiguriert ist, einen AD-Wandler **4**, der zum Wandeln eines Pixelsignals in ein Digitalsignal konfiguriert ist, eine Horizontalabtastschaltung **5** und Speicher **6**. Das Pixelfeld **1** umfasst eine Vielzahl von Pixel **10**, die in einer zweidimensionalen Matrix entlang einer Zeilenrichtung und einer Spaltenrichtung angeordnet sind. Es ist nur eine begrenzte Anzahl von Pixel **10** des Pixelfelds **1**, das n Zeilen mal m Spalten von Pixel **10** umfassen kann, in Fig. 1 gezeigt, um die Beschreibung zu vereinfachen. Die Zeilenrichtung ist hierin eine horizontale Richtung in den Zeichnungen,

und die Spaltenrichtung ist hierin eine vertikale Richtung in den Zeichnungen. Das Pixelfeld **1** kann auch ein Brennpunktdektionspixel, das zum Ausgeben eines Signals für eine Brennpunktdektion konfiguriert ist, ein Bildaufnahme pixel, das zum Ausgeben eines Signals zum Erzeugen eines Bilds konfiguriert ist, und ein optisch schwarzes (OB-)Pixel, das optisch abgeschirmt ist, umfassen.

[0023] Die Vertikalabtastschaltung **2** empfängt ein Steuersignal von dem TG **3**, um das Pixelfeld **1** abzutasten und zu lesen. Im Speziellen liefert die Vertikalabtastschaltung **2** ein Signal an jede Pixelzeile, die aus einer Vielzahl von Pixel **10** in der horizontalen Richtung besteht, und liest sie ein Pixelsignal aus der Pixelzeile auf eine einschlägige Vertikalsignalleitung VL. Das gelesene Pixelsignal wird durch den AD-Wandler **4** auf Spaltenbasis von einem Analogsignal in ein Digitalsignal gewandelt.

[0024] Der AD-Wandler **4** umfasst Komparatoren **40**, eine Referenzsignalerzeugungseinheit **41**, einen Zähler **42** und Register bzw. Latches **43**, und er führt eine Analog-Digital-Wandlung eines Pixelsignals aus. Die Referenzsignalerzeugungseinheit **41** umfasst eine Digital-Analog-(DA-)Wandlungsschaltung und eine Signalerzeugungsschaltung zum Erzeugen eines Referenzsignals (eines Rampensignals), das seine Spannung mit der Zeit ändert. Jeder Komparator **40** umfasst einen Differentialverstärker bzw. Differenztransistor, der zum Vergleichen der Spannung eines Pixelsignals mit der Spannung des Referenzsignals konfiguriert ist. Der Zähler **42** wird über alle Spalten hinweg gemeinsam benutzt, und er erzeugt einen Zählerwert, der mit dem Referenzsignal in Synchronisation steht. Zu der Zeit, zu der das Ergebnis des Vergleichs in einem Komparator **40** umgekehrt wird, hält das einschlägige Register **43** den Zählerwert. Der Zählerwert, der in dem Register **43** gehalten wird, wird als ein Digitalsignal von dem AD-Wandler **4** ausgegeben. Das von dem AD-Wandler **4** ausgegebene Digitalsignal wird in dem einschlägigen Speicher **6** gespeichert, und die Horizontalabtastschaltung **5** liest in den Speichern **6** gespeicherte Digitalsignale der Reihe nach.

[0025] Fig. 2 ist ein Schaltbild zum Veranschaulichen von einer Spalte von Pixel **10** und dem Komparator **40** für die Spalte gemäß dem ersten Ausführungsbeispiel. Jedes Pixel **10** umfasst eine Fotodiode PD, einen Floating-Diffusion-Knoten FD, einen Übertragungstransistor M1, einen Rücksetztransistor M2, einen Pixeltransistor M3 und einen Auswahltransistor M4. Jedes Pixel **10** kann so konfiguriert sein, dass der Floating-Diffusion-Knoten FD, der Rücksetztransistor M2, der Pixeltransistor M3 und der Auswahltransistor M4 von einer Vielzahl von Fotodioden PD gemeinsam benutzt werden. Die Transistoren M2 bis M4 sind nicht auf N-Kanal-MOS-Transistoren beschränkt und können P-Kanal-MOS-Transistoren sein.

[0026] Die Fotodiode PD wandelt eingestrahltes Licht über eine fotoelektrische Wandlung in Elektronen (elektrische Ladungen). Ein Signal ΦTX_n (n stellt die Zeilenzahl dar) wird an ein Gate des Übertragungstransistors M1 geliefert, und, wenn das Signal ΦTX_n auf den hohen Pegel umschaltet, überträgt der Übertragungstransistor M1 in der Fotodiode PD erzeugte elektrische Ladungen an den Floating-Diffusion-Knoten FD. Ein Signal ΦRS_n (n stellt die Zeilenzahl dar) wird an ein Gate des Rücksetztransistors M2 geliefert, und, wenn das Signal ΦRS_n auf den hohen Pegel umschaltet, setzt der Rücksetztransistor M2 die Spannung des Floating-Diffusion-Knotens FD auf eine Rücksetzspannung VRS zurück. Ein gleichzeitiges Einschalten des Übertragungstransistors M1 und des Rücksetztransistors M2 löscht Elektronen in der Fotodiode PD. Ein Gate des Pixeltransistors M3 ist mit dem Floating-Diffusion-Knoten FD verbunden.

[0027] Ein Drain des Pixeltransistors M3, der einer von Hauptknoten des Pixeltransistors M3 ist, ist elektrisch mit einer Vertikalsignalleitung VL2 (einer zweiten Signalleitung) verbunden, die für jede Spalte bereitgestellt ist, so dass sie von den Pixel **10**, die in der gleichen Spalte liegen, gemeinsam benutzt wird. Der Auswahltransistor M4 ist auf einem elektrischen Pfad zwischen einer Source des Pixeltransistors M3 und einer Stromquelle **401** bereitgestellt. Mit anderen Worten ist die Source des Pixeltransistors M3, die der andere Hauptknoten des Pixeltransistors M3 ist, über den Auswahltransistor M4 elektrisch mit einer Vertikalsignalleitung VL1 (einer ersten Signalleitung) verbunden, die für jede Spalte bereitgestellt ist, so dass sie von den Pixel **10**, die in der gleichen Spalte liegen, gemeinsam benutzt wird. Es kann auch gesagt werden, dass die Source des Pixeltransistors M3 elektrisch mit der Stromquelle **401** verbunden ist. Ein Signal ΦSEL_n (n stellt die Zeilenzahl dar) wird an ein Gate des Auswahltransistors M4 angelegt, und, wenn das Signal ΦSEL_n auf den hohen Pegel umschaltet, wird der Pixeltransistor M3 elektrisch mit der Vertikalsignalleitung VL1 verbunden. Ein Pixelsignal wird auf diese Art und Weise aus dem ausgewählten Pixel **10** gelesen.

[0028] Der Komparator **40** umfasst P-Kanal-MOS-Transistoren M11 und M12, einen Differentialtransistor bzw. Differenztransistor M13, der ein N-Kanal-MOS-Transistor ist, einen Transistor M14, ein Schein- bzw. Blind-/Dummpixel **110**, die Stromquelle **401** und einen Puffer **402**. Ein Referenzsignal VR (Rampensignal), das von der Referenzsignalerzeugungseinheit **41** ausgegeben wird, wird über den Puffer **402** an ein Gate des Differentialtransistors M13 eingegeben. Eine Source des Differentialtransistors M13 ist über den Transistor M14, der ein Gate mit einer Energieversorgungsspannung VDD verbunden hat, mit der Vertikalsignalleitung VL1 verbunden. Der Differentialtransistor M13 bildet dementsprechend ein Differentialpaar bzw. Differenztransis-

tor mit dem Pixeltransistor M3 des ausgewählten Pixels **10**, wobei die Vertikalsignalleitung VL1 als gemeinsame Source ("common source") dient. Die gemeinsame Source (die Vertikalsignalleitung VL1) des Differentialpaars wird mit Strom von der Stromquelle **401** versorgt.

[0029] Eine Source des Transistors M11 und eine Source des Transistors M12 sind mit der Energieversorgungsspannung VDD verbunden. Ein Gate des Transistors M11 und ein Gate des Transistors M12 sind miteinander verbunden. Das Gate des Transistors M11 ist auch mit einem Drain des Transistors M11 verbunden. Die Transistoren M11 und M12 bilden ein Stromspiegelpaar mit einem Spiegelverhältnis von 1 und können dementsprechend einen Stromfluss aufweisen, der gleich ist. Das Gate und der Drain des Transistors M11 sind mit der Vertikalsignalleitung VL2 verbunden. Ein Strom von dem Transistor M11, der eine Hälfte des Stromspiegelpaars darstellt, fließt daher über den Pixeltransistor M3 und den Auswahltransistor M4 des ausgewählten Pixels **10** in die Stromquelle **401**. Ein Strom von dem Transistor M12, der die andere Hälfte des Stromspiegelpaars darstellt, fließt über den Differentialtransistor M13 und den Transistor M14 in die Stromquelle **401**.

[0030] Ein Differentialverstärker bzw. Differenzverstärker ist in der vorstehend beschriebenen Art und Weise konfiguriert, wobei das Gate des Pixeltransistors M3 des ausgewählten Pixels **10** und das Gate des Differentialtransistors M13 als Eingangsanschlüsse dienen und ein Drain des Differentialtransistors M13 als Ausgangsanschluss OUT dient. Mit anderen Worten wird ein Ergebnis eines Vergleichs der Spannung des Floating-Diffusion-Knotens FD des ausgewählten Pixels **10** mit dem Referenzsignal VR von dem Ausgangsanschluss OUT ausgegeben. Wenn das Referenzsignal VR höher ist als die Spannung des Floating-Diffusion-Knotens FD, wird ein Signal niedrigen Pegels von dem Ausgangsanschluss OUT ausgegeben. Wenn das Referenzsignal VR niedriger ist als die Spannung des Floating-Diffusion-Knotens FD, wird ein Signal hohen Pegels von dem Ausgangsanschluss OUT ausgegeben.

[0031] Das Schein- bzw. Blind-/Dummpixel **110**, das einen Schein- bzw. Blind-/Dummpixeltransistor M23 und einen Transistor M24 umfasst, ist mit dem vorstehend beschriebenen Differentialverstärker verbunden. Ein Drain des Scheinpixeltransistors M23, der einer von Hauptknoten des Scheinpixeltransistors M23 ist, ist mit der Vertikalsignalleitung VL2 verbunden. Es kann auch gesagt werden, dass der Drain des Scheinpixeltransistors M23 elektrisch mit dem Drain des Pixeltransistors M3 verbunden ist. Der Transistor M24 ist auf einem elektrischen Pfad zwischen einer Source des Scheinpixeltransistors M23, der der andere Hauptknoten des Scheinpixeltransistors M23 ist, und der Stromquelle **401** verbunden. Mit

anderen Worten ist die Source des Scheinpixeltransistors M23, der der andere Hauptknoten des Scheinpixeltransistors M23 ist, über den Transistor M24 mit der Vertikalsignalleitung VL1 verbunden. Es kann auch gesagt werden, dass die Source des Scheinpixeltransistors M23 elektrisch mit der Stromquelle 401 verbunden ist. Eine Schein- bzw. Blind-/Dummpixelspannung VDM wird an ein Gate des Scheinpixeltransistors M23 angelegt, und ein Signal Φ_{DM1} wird an ein Gate des Transistors M24 angelegt. In einer Ersatzstromperiode, in der das Signal Φ_{DM1} auf dem hohen Pegel ist, ist eine Source des Transistors M24 elektrisch mit der Vertikalsignalleitung VL1 verbunden. Dies ermöglicht, dass der Scheinpixeltransistor M23 in dem Differentialverstärker ein Fließen eines Stroms bewirkt, der einen Ersatz für den Strom des Pixeltransistors M3 darstellt, wobei dieser Schwankungen der Gemeinsame-Source-Spannung ("common source voltage") reduziert, die durch das feld- bzw. bereichsdurchgängige Rauschen ("field-through noise") der Signale Φ_{RS} oder der Signale Φ_{TX} verursacht werden.

[0032] Der Scheinpixeltransistor M23 und der Transistor M24 sind wünschenswerterweise so konfiguriert, dass sie Eigenschaften aufweisen, die äquivalent zu demjenigen des Pixeltransistors M3 und des Auswahltransistors M4 von jedem Pixel 10 sind. Dies kann dazu führen, dass der Strom des Scheinpixels 110 mit dem Strom jedes Pixels 10 zusammenpasst bzw. übereinstimmt, und, wenn das Scheinpixel 110 in dem Differentialverstärker ein Fließen eines Stroms bewirkt, der einen Ersatz für den Strom des Pixels 10 darstellt, Gemeinsame-Source-Spannungsschwankungen weiter reduzieren. Eine Prämisse der folgenden Beschreibung besteht darin, dass diese Transistoren zueinander äquivalente Konfigurationen aufweisen.

[0033] Fig. 3 ist ein Zeitdiagramm von einem Pixelsignallesebetrieb gemäß diesem Ausführungsbeispiel. Hier ist ein Zeitdiagramm von dem Vorgang des Lesens von Pixelsignalen der ersten Zeile als Beispiel gegeben.

[0034] Zu einer Zeit t_0 setzt die Vertikalabtastschaltung 2 das Signal Φ_{RS1} auf den hohen Pegel und das Signal Φ_{TX1} auf den niedrigen Pegel. Als Folge hiervon wird in jedem Pixel 10 in der ersten Zeile der Rücksetztransistor M2 eingeschaltet, der Übertragungstransistor M1 ausgeschaltet und der Floating-Diffusion-Knoten FD zurückgesetzt. Zu einer Zeit t_1 , zu der das Signal Φ_{SEL1} auf den hohen Pegel umschaltet, wird der Auswahltransistor M4 eingeschaltet, und bildet der Pixeltransistor M3 ein Differentialpaar mit dem Differentialtransistor M13 des einschlägigen Komparators 40. Mit anderen Worten wird der Komparator 40 in einen Zustand versetzt, in dem der Komparator 40 das Ergebnis eines Vergleichs der Spannung des Gates des Pixeltransistors

M3, d.h. des Floating-Diffusion-Knotens FD, mit dem Referenzsignal VR ausgeben kann.

[0035] Zu einer Zeit t_2 schaltet eine Umschaltung des Signals Φ_{RS1} auf den niedrigen Pegel den Rücksetztransistor M2 aus, was bewirkt, dass der Floating-Diffusion-Knoten FD die Rücksetzspannung VRS hält. Der Floating-Diffusion-Knoten FD wechselt an diesem Punkt aufgrund des feld- bzw. bereichsdurchgängigen Rauschens des Signals Φ_{RS1} auf eine Spannung, die niedriger ist als die Rücksetzspannung VRS. Zu einer Zeit t_3 wird die Anfangsspannung des Referenzsignals VR höher eingestellt als eine Spannung, die der Floating-Diffusion-Knoten FD aufweist, nachdem das Signal Φ_{RS1} auf den niedrigen Pegel umgeschaltet hat. Ein Signal niedrigen Pegels wird daher von dem Ausgangsanschluss OUT zu der Zeit t_3 ausgegeben. Daher verringert die Referenzsignalerzeugungseinheit 41 die Spannung des Referenzsignals VR mit der Zeit (Rampenrücklauf bzw. -herunterfahren), und zu einer Zeit t_4 wird das Ergebnis des Vergleichs des Floating-Diffusion-Knotens FD mit dem Referenzsignal VR umgekehrt, wodurch bewirkt wird, dass ein Signal hohen Pegels von dem Ausgangsanschluss OUT ausgegeben wird. Der Zählerwert des Zählers 42 zu der Zeit t_4 wird in dem einschlägigen Register 43 als ein AD-Wandlungsergebnis gehalten. Mit anderen Worten wird ein Pixel-signal basierend auf der Spannung zu der Zeit, zu der das Pixel 10 zurückgesetzt wird/ist, über eine AD-Wandlung gewandelt. In der folgenden Beschreibung wird die AD-Wandlung eines Pixelsignals basierend auf der Spannung zu der Zeit einer Rücksetzung als N-Wandlung bezeichnet. Zu einer Zeit t_5 , die nach der N-Wandlung liegt, setzt die Referenzsignalerzeugungseinheit 41 das Referenzsignal VR zurück auf die Anfangsspannung.

[0036] Zu einer Zeit t_6 schaltet eine Umschaltung des Signals Φ_{DM1} auf den hohen Pegel den Transistor M24 ein, wodurch das Scheinpixel 110 aktiviert wird. Das Signal Φ_{SEL1} schaltet zu der gleichen Zeit auf den niedrigen Pegel um, was den Auswahltransistor M4 des Pixels 10 ausschaltet. In der nächsten Periode von einer Zeit t_7 bis zu einer Zeit t_8 schaltet eine Umschaltung des Signals Φ_{TX1} auf den hohen Pegel den Übertragungstransistor M1 ein, und werden in der Fotodiode PD angesammelte elektrische Ladungen an den Floating-Diffusion-Knoten FD übertragen. Nach der Übertragung der elektrischen Ladungen schaltet eine Umschaltung des Signals Φ_{SEL1} auf den hohen Pegel den Auswahltransistor M4 zu einer Zeit t_9 ein. Zu der gleichen Zeit schaltet eine Umschaltung des Signals Φ_{DM1} auf den niedrigen Pegel den Transistor 24 des Scheinpixels 110 aus. In der Ersatzstromperiode, in der das Signal Φ_{DM1} auf dem hohen Pegel ist (von der Zeit t_6 bis zu der Zeit t_9), ist die Scheinpixelspannung VDM auf eine Spannung eingestellt, die äquivalent zu einer Spannung ist, die der Floating-Diffusion-Knoten FD nach einer

Pixelrücksetzung aufweist. Der Differentialtransistor M13 und der Scheinpixeltransistor M23 bilden daher in der Ersatzstromperiode ein Differentialpaar. Ein Strom, der in dem Pixeltransistor M3 vor der Zeit t_6 fließt, fließt während der Ersatzstromperiode in dem Scheinpixeltransistor M23.

[0037] In dem Zeitdiagramm ist ein Spannung gezeigt, die der Floating-Diffusion-Knoten FD zu der Zeit t_7 und in der darauffolgenden Periode aufweist, wenn ein Bild eines schwarzen Objekts aufgenommen wird. Während die Spannung des Floating-Diffusion-Knotens FD bei der Aufnahme eines schwarzen Objekts aufgrund des feld- bzw. bereichsdurchgängigen Rauschens des Signals Φ_{TX1} schwankt, werden die Gemeinsame-Source-Spannungsschwankungen des einschlägigen Komparators **40** durch das Scheinpixel **110** reduziert. Die Länge einer Zeit, bis ein definitives Ergebnis einer AD-Wandlung erhalten wird, ist kürzer, wenn die Farbe des Aufnahmeobjekts schwarz ist, als wenn die Farbe des Aufnahmeobjekts weiß ist. Gemeinsame-Source-Spannungsschwankungen werden daher bei der Aufnahme eines schwarzen Objekts reduziert, und eine AD-Wandlung, die folgt, kann früher begonnen werden (zu einer Zeit t_{10}). Gemäß der Bildaufnahmevorrichtung und dem Ansteuerverfahren gemäß diesem Ausführungsbeispiel wird das Lesen von Pixelsignalen schneller gemacht.

[0038] Zu der Zeit t_{10} verringert die Referenzsignal-erzeugungseinheit **41** die Spannung des Referenzsignals VR mit der Zeit. Zu einer Zeit t_{11} wird das Ergebnis des Vergleichs des Floating-Diffusion-Knotens FD mit dem Referenzsignal VR umgekehrt, wodurch bewirkt wird, dass ein Signal hohen Pegels von dem Ausgangsanschluss OUT ausgegeben wird. Der Zählerwert des Zählers **42** an diesem Punkt wird in dem einschlägigen Register **43** als AD-Wandlungsergebnis gehalten. Ein Pixelsignal, das auf in der Fotodiode PD angesammelten elektrischen Ladungen basiert, wird auf diese Art und Weise über eine AD-Wandlung gewandelt. In der folgenden Beschreibung wird die AD-Wandlung eines Pixelsignals, das auf in der Fotodiode PD angesammelten elektrischen Ladungen basiert, als S-Wandlung bezeichnet. Daraufhin kehrt das Referenzsignal VR zu einer Zeit t_{12} auf die Anfangsspannung zurück, und setzt eine Umschaltung des Signals Φ_{RS1} auf den hohen Pegel zu einer Zeit t_{13} den Floating-Diffusion-Knoten FD zurück. Die zwei Pixelsignale, die über die N-Wandlung und die S-Wandlung erhalten werden, werden dann durch korrelierte Doppelabtastung verarbeitet, um ein Pixelsignal zu erhalten, das das Nach-S-Wandlung-Pixelsignal darstellt, aus dem eine bei der Rücksetzung erzeugte Rausch- bzw. Störkomponente entfernt ist.

[0039] Wie beschrieben bildet gemäß diesem Ausführungsbeispiel der Scheinpixeltransistor M23 an-

stelle des Pixeltransistors M3 in der Ersatzstromperiode, die eine Periode umfasst, in der der Übertragungstransistor M1 eingeschaltet ist, ein Differentialpaar mit dem Differentialtransistor M13. Dies reduziert Gemeinsame-Source-Spannungsschwankungen des Differentialverstärkers und ermöglicht, dass die Startzeit der AD-Wandlung des Pixelsignals vorgezogen wird, ohne die Genauigkeit der AD-Wandlung zu beeinträchtigen. Die Ersatzstromperiode (von der Zeit t_6 bis zu der Zeit t_9), in der das Signal Φ_{DM1} auf dem hohen Pegel ist, muss sich nicht immer mit der Periode decken, in der das Signal Φ_{SEL1} auf dem niedrigen Pegel ist. Zum Beispiel werden die gleichen Wirkungen erzielt, wenn die Ersatzstromperiode, in der das Signal Φ_{DM1} auf dem hohen Pegel ist, die Periode umfasst, in der das Signal Φ_{SEL1} auf dem niedrigen Pegel ist. Der Scheinpixeltransistor M23 und der Pixeltransistor M3 müssen nicht immer äquivalente Eigenschaften aufweisen, und die gleichen Wirkungen können durch Anpassung der Scheinpixelspannung VDM erzielt werden.

[0040] Jedes Pixel **10**, das den Auswahltransistor M4 gemäß diesem Ausführungsbeispiel umfasst, kann den Auswahltransistor M4 nicht aufweisen. Die Auswahl von einem Pixel **10** wird in diesem Fall bewirkt, indem das elektrische Potential des Gates des Pixeltransistors M3 eingestellt wird. Im Speziellen werden eine Rücksetzspannung VRS1 zum Nichtauswählen des Pixels **10** und eine Rücksetzspannung VRS2 zum Auswählen des Pixels **10** selektiv als die Rücksetzspannung VRS geliefert, die an den Rücksetztransistor M2 geliefert wird. Die Rücksetzspannung VRS1 wird an den Rücksetztransistor M2 des Pixels **10** geliefert, das nicht auszuwählen ist, und die Vertikalabtastschaltung **2** stellt auch das Signal Φ_{RS} für das nicht ausgewählte Pixel **10** auf den hohen Pegel ein. Dies stellt das elektrische Gatepotential des Pixeltransistors M3 auf ein elektrisches Potential basierend auf der Rücksetzspannung VRS1 ein, und somit wird das Pixel **10** nicht ausgewählt. Um ein Pixel **10** auszuwählen, wird andererseits die Rücksetzspannung VRS2 an den Rücksetztransistor M2 des Pixels **10** geliefert und stellt die Vertikalabtastschaltung **2** auch das Signal Φ_{RS} für das Pixel **10** auf den hohen Pegel ein. Dies stellt das elektrische Gatepotential des Pixeltransistors M3 auf ein elektrisches Potential basierend auf der Rücksetzspannung VRS2 ein, und somit wird das Pixel **10** ausgewählt. Da jedes Pixel **10** hier ohne Auswahltransistor M4 bereitgestellt ist, ist es bevorzugt, auch den Transistor M24 aus dem Scheinpixel **110** wegzulassen. Die Scheinpixelspannung VDM nimmt in diesem Fall eine Vielzahl von Spannungswerten als die Rücksetzspannung VRS1 und die Rücksetzspannung VRS2 ein, um eine Umschaltung zwischen dem Einschalten des Scheinpixeltransistors M23 und dem Ausschalten des Scheinpixeltransistors M23 zu bewirken. Der Scheinpixeltransistor M23 ist in dem Pixelfeld **1** bereitgestellt, wo die Pixel **10** angeordnet sind. Dies

macht es einfacher, die Eigenschaften des Scheinpixeltransistors M23 mit den Eigenschaften des Pixeltransistors M3 abzustimmen.

(Zweites Ausführungsbeispiel)

[0041] Fig. 4 ist ein Schaltbild zum Veranschaulichen von einer Spalte von Pixel **10** und dem Komparator **40** für die Spalte gemäß einem zweiten Ausführungsbeispiel der vorliegenden Erfindung. Dieses Ausführungsbeispiel unterscheidet sich von dem ersten Ausführungsbeispiel in den Konfigurationen von dem Bereich, an den das Referenzsignal VR eingegeben wird, und dem Scheinpixel **110**. Nachstehend werden hauptsächlich die Unterschiede gegenüber dem ersten Ausführungsbeispiel beschrieben.

[0042] In dem Komparator **40** ist eine Kapazität C1 (eine erste Kapazität) zwischen dem Gate des Differentialtransistors M13 und dem Puffer **402** eingefügt. Das Gate des Differentialtransistors M13 kann über einen Schalter SW1, der mit einem Signal Φ_{CRS} gesteuert wird, elektrisch mit dem Ausgangsanschluss OUT verbunden werden. Wenn das Signal Φ_{CRS} auf den hohen Pegel umschaltet, wird eine elektrische Verbindung in dem Schalter SW1 hergestellt, und werden der Drain und das Gate des Differentialtransistors M13 kurzgeschlossen. In dem Scheinpixel **110** ist das Gate des Scheinpixeltransistors M23 mit einem Ende einer Kapazität C2 (einer zweiten Kapazität) verbunden, und ist das andere Ende der Kapazität C2 geerdet. Das Gate des Scheinpixeltransistors M23 kann über einen Schalter SW2, der mit einem Signal Φ_{DM2} gesteuert wird, elektrisch mit dem Ausgangsanschluss OUT verbunden werden. Wenn das Signal Φ_{DM2} auf den hohen Pegel umschaltet, wird eine elektrische Verbindung in dem Schalter SW2 hergestellt. Der Rest der Konfiguration ist die Gleiche wie bei dem ersten Ausführungsbeispiel.

[0043] Fig. 5 ist ein Zeitdiagramm von dem Pixelsignallesebetrieb gemäß diesem Ausführungsbeispiel. Zu einer Zeit t_0 wird das Signal Φ_{RS1} auf den hohen Pegel gesetzt und wird das Signal Φ_{TX1} auf den niedrigen Pegel gesetzt. Als Folge hiervon wird in jedem Pixel **10** in der ersten Zeile der Rücksetztransistor M2 eingeschaltet, der Übertragungstransistor M1 ausgeschaltet und der Floating-Diffusion-Knoten FD zurückgesetzt. Zu der Zeit t_1 schaltet das Signal Φ_{SEL1} auf den hohen Pegel um und wird der Auswahltransistor M4 eingeschaltet. Der Pixeltransistor M3 bildet ein Differentialpaar mit dem Differentialtransistor M13 des einschlägigen Komparators **40**, und das Ergebnis eines Vergleichs der Spannung des Floating-Diffusion-Knotens FD mit dem Referenzsignal VR wird von dem Ausgangsanschluss OUT ausgegeben.

[0044] Zu der Zeit t_2 schaltet eine Umschaltung des Signals Φ_{CRS} auf den hohen Pegel den Schal-

ter SW1 ein. Das Gate des Differentialtransistors M13 wird an diesem Punkt elektrisch mit dem Ausgangsanschluss OUT verbunden. Mit anderen Worten arbeitet der Komparator **40** als Spannungsfolger, bei dem ein Ausgang und ein invertierender Eingang des Differentialverstärkers kurzgeschlossen sind. Dies gibt dem Gate des Differentialtransistors M13 die gleiche Spannung wie diejenige des Floating-Diffusion-Knotens FD. Eine Umschaltung des Signals Φ_{DM2} auf den hohen Pegel schaltet den Schalter SW2 ein, wodurch die Spannung des Floating-Diffusion-Knotens FD an das Gate des Scheinpixeltransistor M23 und die Kapazität C2 angelegt wird.

[0045] Zu der Zeit t_3 schaltet eine Umschaltung des Signals Φ_{RS1} auf den niedrigen Pegel den Rücksetztransistor M2 aus. Der Floating-Diffusion-Knoten FD hält aufgrund des feld- bzw. bereichsdurchgängigen Rauschens des Signals Φ_{RS1} eine Spannung, die niedriger ist als die Rücksetzspannung VRS. Nachdem die Spannung des Floating-Diffusion-Knotens FD sich beständig setzt bzw. beruhigt, schaltet das Signal Φ_{DM2} zu der Zeit t_4 auf den niedrigen Pegel um. Dies schaltet den Schalter SW2 aus, und die Kapazität C2 hält die gleiche Spannung wie diejenige des Floating-Diffusion-Knotens FD.

[0046] Zu der Zeit t_5 schaltet eine Umschaltung des Signals Φ_{CRS} auf den niedrigen Pegel den Schalter SW1 aus. Dies beendet die Verbindung zwischen dem Gate und dem Drain des Differentialtransistors M13, und der Komparator **40** arbeitet als Komparator. Das Gate des Differentialtransistors M13 hält die gleiche Spannung wie diejenige des Floating-Diffusion-Knotens FD. Die Referenzsignalerzeugungseinheit **41** gibt das Referenzsignal VR aus, das um eine konstante Offset- bzw. Versatzspannung VR0 niedriger ist als die Energieversorgungsspannung VDD, bevor das Signal Φ_{CRS} auf den niedrigen Pegel umschaltet. Während dieser Periode sammelt die Kapazität C1 elektrische Ladungen in einer Menge an, die durch die Versatzspannung VR0 und die Gatespannung des Differentialtransistors M13 bestimmt wird, und hält sie auch die elektrischen Ladungen, nachdem das Signal Φ_{CRS} auf den niedrigen Pegel umschaltet. Das Gate des Differentialtransistors M13 hält die gleiche Spannung wie diejenige des Floating-Diffusion-Knotens FD, und die Gatespannung des Differentialtransistors M13 ändert sich daher um den gleichen Betrag wie der Änderungsbetrag des Referenzsignals VR mit Bezug auf die Spannung des Floating-Diffusion-Knotens FD. Dementsprechend steigt die Gatespannung des Differentialtransistors M13 um die Versatzspannung VR0 mit Bezug auf die Spannung des Floating-Diffusion-Knotens FD, wenn das Referenzsignal VR zu der Zeit t_6 um die Versatzspannung VR0 auf die Energieversorgungsspannung VDD steigt. Die Gatespannung des Differentialtransistors M13 in der N-Wandlungs-Periode und der S-Wandlungs-Periode ändert sich auf

die gleiche Art und Weise wie das Referenzsignal VR, und die Spannung des Floating-Diffusion-Knotens FD wird mit dem Referenzsignal VR verglichen. Die Versatzspannung VR0 wird daher wünschenswerterweise so eingestellt, dass das Pixelsignal den Wertebereich einer AD-Wandlung in der N-Wandlung nicht überschreitet.

[0047] In der Periode von der Zeit t7 bis zu der Zeit t8 vergleicht der Komparator **40** den Floating-Diffusion-Knoten FD mit dem Referenzsignal VR, und wird ein Zählerwert, der zu der Zeit registriert wird/ist, zu der das Ergebnis des Vergleichs umgekehrt wird, in dem einschlägigen Register **43** als AD-Wandlungsergebnis gehalten. Die N-Wandlung eines Pixelsignals basierend auf der Rücksetzspannung ist somit ausgeführt.

[0048] Nach der N-Wandlung werden eine Pixelübertragung und eine S-Wandlung wie bei dem ersten Ausführungsbeispiel ausgeführt. Die Gatespannung des Differentialtransistors M13 ändert sich in der N-Wandlungs-Periode und der S-Wandlungs-Periode ebenfalls auf die gleiche Art und Weise wie das Referenzsignal VR, und die Spannung des Floating-Diffusion-Knotens FD wird daher in der gleichen Art und Weise wie bei dem ersten Ausführungsbeispiel mit dem Referenzsignal VR verglichen. Im Speziellen setzt die Referenzsignalerzeugungseinheit **41** das Referenzsignal VR zu der Zeit t8 auf die Energieversorgungsspannung VDD zurück, und schaltet eine Umschaltung des Signals ΦSEL1 auf den niedrigen Pegel zu der Zeit t9 den Auswahltransistor M4 aus. Zu der gleichen Zeit schaltet eine Umschaltung des Signals ΦDM1 auf den hohen Pegel den Transistor M24 ein, wodurch das Scheinpixel **110** aktiviert wird. In einer Periode von der Zeit t10 bis zu der Zeit t11 schaltet eine Umschaltung des Signals ΦTX1 auf den hohen Pegel den Übertragungstransistor M1 ein, und in der Fotodiode PD angesammelte elektrische Ladungen werden an den Floating-Diffusion-Knoten FD übertragen. In einer Periode von der Zeit t9 bis zu der Zeit t12 bilden der Differentialtransistor M13 und der Scheinpixeltransistor M23 ein Differentialpaar, und der Scheinpixeltransistor M23 bewirkt in dem Differentialverstärker ein Fließen eines Stroms, der einen Ersatz für den Strom des Pixeltransistors M3 darstellt. Während die Spannung des Floating-Diffusion-Knotens FD bei der Aufnahme eines schwarzen Objekts aufgrund des feld- bzw. bereichsdurchgängigen Rauschens des Signals ΦTX1 schwankt, werden die Gemeinsame-Source-Spannungsschwankungen des Komparators **40** durch das Scheinpixel **110** reduziert. Die Länge einer Zeit, bis sich die Gemeinsame-Source-Spannung setzt bzw. beruhigt, wird somit abgekürzt, und es wird eine Geschwindigkeitssteigerung erreicht, während ein Abfall in Signalgenauigkeit reduziert wird.

[0049] In einer Periode von der Zeit t13 bis zu einer Zeit t14 vergleicht der Komparator **40** die Spannung des Floating-Diffusion-Knotens FD und die Gatespannung des Differentialtransistors M13, um die AD-Wandlung eines Pixelsignals auszuführen, das auf in der Fotodiode PD angesammelten elektrischen Ladungen basiert (S-Wandlung). Daraufhin setzt eine Umschaltung des Signals ΦRS1 auf den hohen Pegel zu einer Zeit t15 den Floating-Diffusion-Knoten FD zurück.

[0050] Bei diesem Ausführungsbeispiel wird die Spannung des Floating-Diffusion-Knotens FD durch den Spannungsfolger an das Gate des Scheinpixeltransistors M23 angelegt. Die Gatespannung des Scheinpixeltransistors M23 kann daher in einer Art und Weise gesteuert werden, die für Schwankungen von einem Pixel zu dem anderen geeignet ist. Dies reduziert Gemeinsame-Source-Spannungsschwankungen noch mehr, und es wird eine Geschwindigkeitssteigerung erreicht. Ein weiterer Vorteil dieses Ausführungsbeispiels ist zu erkennen, wenn der Eingangsversatz bzw. -offset des Komparators **40** stark schwankt, was bei dem ersten Ausführungsbeispiel die Einstellung eines AD-Wandlungswertebereichs nötig macht, der weiter ist als der Eingangswertebereich, um den stark schwankenden Eingangsversatz unterzubringen bzw. aufzunehmen. Bei diesem Ausführungsbeispiel stellt andererseits der Spannungsfolger, der eine negative Rückkopplung verwendet, für jedes Pixel den Anfangswert der Gatespannung des Differentialtransistors M13 auf die Spannung des Floating-Diffusion-Knotens FD ein. Dies ermöglicht, dass der Komparator **40** die Spannung des Floating-Diffusion-Knotens FD mit dem Referenzsignal VR vergleicht, während der Eingangsversatz aufgehoben wird. Dadurch wird das Erfordernis zur Einstellung eines AD-Wandlungswertebereichs behoben, der Schwankungen des Eingangsversatzes berücksichtigt.

(Drittes Ausführungsbeispiel)

[0051] Fig. 6 ist ein Schaltbild zum Veranschaulichen von einer Spalte von Pixel **10** und dem Komparator **40** für die Spalte gemäß einem dritten Ausführungsbeispiel der vorliegenden Erfindung. Dieses Ausführungsbeispiel unterscheidet sich von dem zweiten Ausführungsbeispiel in der Konfiguration von einer Last des Differentialpaars. Nachstehend werden hauptsächlich die Unterschiede gegenüber dem zweiten Ausführungsbeispiel beschrieben.

[0052] Der Komparator **40** umfasst ferner Transistoren M15 und M16, die P-Kanal-MOS-Transistoren sind. Eine Vorspannung VB1 wird an ein Gate des Transistors M15 und ein Gate des Transistors M16 angelegt. Ein Drain des Transistors M12 ist über den Transistor M16 elektrisch mit dem Drain des Differentialtransistors M13 verbunden. Der Drain des

Transistors M11 ist über den Transistor M15 elektrisch mit der Vertikalsignalleitung VL2 verbunden. Das Gate des Transistors M11 und ein Gate des Transistors M12 sind elektrisch mit der Vertikalsignalleitung VL2 verbunden. Die Transistoren M11, M12, M15 und M16 bilden daher eine Kaskodenstromspiegelgruppe, und sie fungieren als Last des Differentialpaars. Auch bei diesem Ausführungsbeispiel ist ein Differentialverstärker konfiguriert, der den Floating-Diffusion-Knoten FD des ausgewählten Pixels **10** als nicht invertierenden Eingangsanschluss und das Gate des Differentialtransistors M13 als invertierenden Eingangsanschluss aufweist. Der Differentialverstärker kann, selektiv durch das Schalten des Schalters SW1, als Spannungsfolger oder Komparator arbeiten. Ein Pixelsignallesebetrieb gemäß diesem Ausführungsbeispiel ist so, wie es in **Fig. 5** veranschaulicht ist. Daher können bei diesem Ausführungsbeispiel die gleichen Wirkungen wie diejenigen bei dem zweiten Ausführungsbeispiel erzielt werden.

(Viertes Ausführungsbeispiel)

[0053] **Fig. 7** ist ein Schaltbild zum Veranschaulichen von einer Spalte des Pixelfelds **1** und dem Komparator **40** für die Spalte gemäß einem vierten Ausführungsbeispiel der vorliegenden Erfindung. Dieses Ausführungsbeispiel unterscheidet sich von dem zweiten Ausführungsbeispiel in den Konfigurationen von der Last des Differentialpaars. Nachstehend werden hauptsächlich die Unterschiede gegenüber dem zweiten Ausführungsbeispiel beschrieben.

[0054] Bei diesem Ausführungsbeispiel ist der Transistor M12 in einer Hälfte eines Differentialpaars bereitgestellt. Eine Vorspannung VB2 wird an das Gate des Transistors M12 angelegt, und der Transistors M12 arbeitet als Stromquelle. In der anderen Hälfte des Differentialpaars ist die Vertikalsignalleitung VL2 elektrisch mit der Energieversorgungsspannung VDD verbunden. Auch bei diesem Ausführungsbeispiel ist ein Differentialverstärker konfiguriert, der den Ausgangsanschluss OUT als Ausgang, den Floating-Diffusion-Knoten FD des ausgewählten Pixels **10** als nicht invertierenden Eingang und das Gate des Differentialtransistors M13 als invertierenden Eingangsanschluss aufweist. Daher können bei diesem Ausführungsbeispiel die gleichen Wirkungen wie diejenigen bei dem zweiten Ausführungsbeispiel erzielt werden.

(Fünftes Ausführungsbeispiel)

[0055] **Fig. 8** ist eine Darstellung zum Veranschaulichen von einer Spalte des Pixelfelds **1** und dem Komparator **40** für die Spalte gemäß einem fünften Ausführungsbeispiel der vorliegenden Erfindung. Dieses Ausführungsbeispiel unterscheidet sich von dem zweiten Ausführungsbeispiel in der Konfiguration von der Last des Differentialpaars. Nachstehend

werden hauptsächlich die Unterschiede gegenüber dem zweiten Ausführungsbeispiel beschrieben.

[0056] Der Komparator **40** umfasst ferner Transistoren M15 und M16, die P-Kanal-MOS-Transistoren sind, und Transistoren M17 und M18, die N-Kanal-MOS-Transistoren sind. Der Transistor M15 bildet ein Stromspiegelpaar mit dem Transistor M11, und der Transistor M16 bildet ein Stromspiegelpaar mit dem Transistor M12. Die Transistoren M17 und M18 bilden ein weiteres Stromspiegelpaar. In dem Stromspiegelpaar, das aus den Transistoren M12 und M16 besteht, gibt der Transistor M16 den gleichen Strom aus wie den Drainstrom des Differentialtransistors M13. Ströme, die in den Transistoren M17 und M18 fließen, die ein Stromspiegelpaar bilden, sind gleich. Ströme, die in den Transistoren M11 und M15 fließen, die ein Stromspiegelpaar bilden, sind ebenfalls gleich. In dem Transistor M15 fließt der gleiche Strom wie der Drainstrom des Differentialtransistors M13. Ein Drain des Transistors M15 und ein Drain des Transistors M18 sind miteinander verbunden, um als der Ausgangsanschluss OUT zu dienen. Der Ausgangsanschluss OUT ist über die Schalter SW1 und SW2 mit zwei Eingangsanschlüssen des Differentialverstärkers verbunden.

[0057] Auch bei diesem Ausführungsbeispiel ist ein Differentialverstärker konfiguriert, der den Ausgangsanschluss OUT als Ausgang, den Floating-Diffusion-Knoten FD des ausgewählten Pixels **10** als nicht invertierenden Eingang und das Gate des Differentialtransistors M13 als invertierenden Eingangsanschluss aufweist. Daher können die gleichen Wirkungen wie diejenigen bei dem zweiten Ausführungsbeispiel erzielt werden.

(Sechstes Ausführungsbeispiel)

[0058] Als Nächstes wird eine Bildaufnahmeverrichtung gemäß einem sechsten Ausführungsbeispiel der vorliegenden Erfindung beschrieben. Dieses Ausführungsbeispiel unterscheidet sich von dem ersten Ausführungsbeispiel in einer Betriebszeitsteuerung. Nachstehend wird hauptsächlich der Unterschied gegenüber dem ersten Ausführungsbeispiel beschrieben.

[0059] **Fig. 9** ist ein Zeitdiagramm von einem Pixelsignallesebetrieb gemäß diesem Ausführungsbeispiel. Zu der Zeit t_0 setzt die Vertikalabtastschaltung **2** das Signal Φ_{RS1} auf den hohen Pegel und das Signal Φ_{TX1} auf den niedrigen Pegel. Dies setzt den Floating-Diffusion-Knoten FD zurück. Zu der Zeit t_1 ändert eine Umschaltung des Signals Φ_{RS1} auf den niedrigen Pegel die Spannung des Floating-Diffusion-Knotens FD auf eine Spannung, die aufgrund des feld- bzw. bereichsdurchgängigen Rauschens des Signals Φ_{RS1} niedriger ist als die Rücksetzspannung VRS. In einer Periode, bis die Spannung des Floating-Dif-

fusion-Knotens FD ausgehend von dem Anfangszustand (Zeit t_0) sich setzt bzw. beruhigt (Zeit t_2), hält die Vertikalsignalschaltung **2** das Signal ΦSEL1 auf dem niedrigen Pegel und das Signal ΦDM1 auf dem hohen Pegel. Dementsprechend wird der Transistor M24 des Scheinpixels **10** eingeschaltet und wird ein Differentialverstärker konfiguriert, an den die Scheinpixelspannung VDM und das Referenzsignal VR eingegeben werden.

[0060] Zu der Zeit t_2 setzt die Vertikalabtastschaltung **2** das Signal ΦSEL1 auf den hohen Pegel und das Signal ΦDM1 auf den niedrigen Pegel. Als Folge hiervon wird ein Differentialverstärker konfiguriert, an den die Spannung des Floating-Diffusion-Knotens FD des ausgewählten Pixels **10** und das Referenzsignal VR eingegeben werden. Zu der Zeit t_{13} verringert die Referenzsignalerzeugungseinheit **41** die Spannung des Referenzsignals VR mit der Zeit, um eine N-Wandlung auszuführen. Die Scheinpixelspannung VDM an diesem Punkt wird auf eine Spannung eingestellt, die der Floating-Diffusion-Knoten FD nach der Rücksetzung aufweist, und die Gemeinsame-Source-Spannung des Differentialverstärkers schwankt daher in eine Periode von dem Anfangszustand bis zu der N-Wandlung nicht. Die Länge der Zeit von der Pixelrücksetzung bis zu der N-Wandlung wird dementsprechend abgekürzt.

[0061] Nachdem die N-Wandlung zu der Zeit t_4 abgeschlossen ist, setzt die Vertikalabtastschaltung **2** das Signal ΦTX1 auf den hohen Pegel, und werden elektrische Ladungen in einer Periode von der Zeit t_5 bis zu der Zeit t_6 von der Fotodiode PD an den Floating-Diffusion-Knoten FD übertragen. Zu der Zeit t_7 ändert die Referenzsignalerzeugungseinheit **41** die Spannung des Referenzsignals VR mit der Zeit, um eine S-Wandlung auszuführen. Nachdem die S-Wandlung zu der Zeit t_8 abgeschlossen ist, setzt die Vertikalabtastschaltung **2** zu der Zeit t_9 das Signal ΦSEL1 auf den niedrigen Pegel und das Signal ΦDM1 auf den hohen Pegel. Zu der Zeit t_{10} setzt die Vertikalabtastschaltung **2** das Signal ΦRS1 auf den hohen Pegel, wodurch die Pixel **10** der nächsten Zeile in einen Anfangszustand für ein Lesen gebracht werden.

[0062] Gemäß diesem Ausführungsbeispiel werden Gemeinsame-Source-Spannungsschwankungen bei einer Rücksetzung reduziert, und wird das Lesen von Pixelsignalen entsprechend schneller gemacht.

(Siebtes Ausführungsbeispiel)

[0063] Fig. 10 ist ein Schaltbild zum Veranschaulichen von einer Spalte des Pixelfelds **1** und dem Komparator **40** für die Spalte gemäß einem siebten Ausführungsbeispiel. Dieses Ausführungsbeispiel unterscheidet sich von dem zweiten Ausführungsbeispiel in der Konfiguration des Scheinpixels **10** und stellt

eine zusätzliche Wirkung der Minderung einer Verdunkelung genannten Phänomens bereit, das bei hoher Helligkeit auftritt. Die Verdunkelung ist ein Phänomen, bei dem der Eintritt von Licht hoher Helligkeit einen Abfall bzw. Rückgang der Grauskala verursacht und das Bild verdunkelt. Wenn einfallendes Licht hohe Helligkeit hat, laufen elektrische Ladungen von der Fotodiode PD auf den Floating-Diffusion-Knoten FD über, wodurch eine Spannung abgesenkt wird, die der Floating-Diffusion-Knoten FD bei der Rücksetzung aufweist. Wenn elektrische Ladungen der Fotodiode PD nachfolgend an den Floating-Diffusion-Knoten FD übertragen werden, wird die Spannung des Floating-Diffusion-Knotens FD, die bereits niedrig ist, gesättigt und ändert sie sich kaum mehr. Dies macht die Differenz zwischen dem Pixelsignal zu der Zeit einer Rücksetzung und dem Pixelsignal nach der Übertragung von elektrischen Ladungen gering, was einen Abfall bzw. einem Rückgang der Grauskala und die Verdunkelung eines Bilds verursacht, das durch korrelierte Doppelabtastung erhalten wird. Gemäß diesem Ausführungsbeispiel kann das Verdunkelungsphänomen gemindert werden. Nachstehend wird hauptsächlich der Unterschied gegenüber dem zweiten Ausführungsbeispiel beschrieben.

[0064] Das Scheinpixel **110** gemäß diesem Ausführungsbeispiel umfasst, zusätzlich zu den Komponenten des Scheinpixels **10** gemäß dem zweiten Ausführungsbeispiel, einen Multiplexer SW3, der mit einem Signal ΦDM3 gesteuert wird. Wenn das Signal ΦDM3 auf dem niedrigen Pegel ist, wird das Gate des Scheinpixeltransistors M23 mit einem der Anschlüsse der Kapazität C2 elektrisch verbunden. Wenn das Signal ΦDM3 auf dem hohen Pegel ist, wird das Gate des Scheinpixeltransistors M23 mit einer Energieversorgungsspannung (Referenzspannung) VN elektrisch verbunden.

[0065] Fig. 11 ist ein Zeitdiagramm von dem Pixelsignallesebetrieb gemäß diesem Ausführungsbeispiel. Zu der Zeit t_0 ist das Signal ΦRS1 auf dem hohen Pegel. Zu der Zeit t_1 schaltet das Signal ΦSEL1 auf den hohen Pegel um und wird eine Spannung ausgegeben, die der Floating-Diffusion-Knoten FD zu der Zeit der Rücksetzung aufweist. Zu der Zeit t_2 erreicht das Signal ΦCRS den hohen Pegel und arbeitet der Differentialverstärker als Spannungsfolger. Mit dem Signal ΦDM2 auf dem hohen Pegel und dem Signal ΦDM3 auf dem niedrigen Pegel wird die Spannung von dem Ausgangsanschluss OUT an das Gate des Scheinpixeltransistors M23 angelegt. Mit anderen Worten wird dem Gate des Scheinpixeltransistors M23 die gleiche Spannung gegeben wie diejenige des Floating-Diffusion-Knotens FD.

[0066] Zu der Zeit t_3 schaltet das Signal ΦRS1 auf den niedrigen Pegel um, und weist der Floating-Diffusion-Knoten FD eine Spannung auf, die aufgrund des feld- bzw. bereichsdurchgängigen Rauschens niedri-

ger ist als die Rücksetzspannung VRS. Zu der Zeit t4 schaltet das Signal ΦDM2 auf den niedrigen Pegel um und hält die Kapazität C2 die gleiche Spannung wie diejenige des Floating-Diffusion-Knotens FD. Zu der Zeit t5 schaltet das Signal ΦCRS auf den niedrigen Pegel um und arbeitet der Differentialverstärker als Komparator. Zu der Zeit t6 gibt die Referenzsignalerzeugungseinheit 41 das Referenzsignal VR aus, das die Energieversorgungsspannung VDD aufweist.

[0067] Zu der Zeit t7 schaltet das Signal ΦDM3 auf den hohen Pegel um und wird die Energieversorgungsspannung VN an das Gate des Scheinpixeltransistors M23 angelegt. Das Signal ΦDM1 schaltet zu der gleichen Zeit auf den hohen Pegel um, wodurch der Transistor M24 des Scheinpixels 110 eingeschaltet wird. Mit anderen Worten werden das Pixel 10 und das Scheinpixel 110 mit den Vertikalsignalleitungen VL1 und VL2 elektrisch verbunden. In einer Periode von der Zeit t8 bis zu der Zeit t9 wird eine der Spannung des Floating-Diffusion-Knotens FD des ausgewählten Pixels 10 und der Energieversorgungsspannung VN, die höher ist, mit dem Referenzsignal VR verglichen, um eine N-Wandlung auszuführen. Zu der Zeit t10 schaltet das Signal ΦDM3 auf den niedrigen Pegel um und wird die Spannung der Kapazität C2 (die Spannung des Floating-Diffusion-Knotens FD) an eine Basis des Scheinpixeltransistors M23 angelegt.

[0068] Nachdem das Signal ΦSEL1 zu der Zeit t11 auf den niedrigen Pegel umschaltet, bewirkt eine Umschaltung des Signals ΦTX1 auf den hohen Pegel zu der Zeit t12 eine Übertragung von elektrischen Ladungen der Fotodiode PD an den Floating-Diffusion-Knoten FD. Das Signal ΦTX1 schaltet zu der Zeit t13 auf den niedrigen Pegel um, und das Signal ΦSEL1 schaltet zu der Zeit t14 auf den hohen Pegel um. Eine Umschaltung des Signals ΦDM1 auf den niedrigen Pegel zu der gleichen Zeit schaltet den Transistor M24 des Scheinpixels 110 aus. In einer nachfolgenden Periode von der Zeit t15 bis zu einer Zeit t16 wird die Spannung des Floating-Diffusion-Knotens FD in dem ausgewählten Pixel 10 mit dem Referenzsignal VR verglichen, um eine S-Wandlung abzuschließen.

[0069] Bei diesem Ausführungsbeispiel ist das Signal ΦDM3 während einer Periode, die die N-Wandlung umfasst (einer Periode von der Zeit t7 bis zu der Zeit t10), auf dem hohen Pegel. Zu der gleichen Zeit wie die Umschaltung des Signals ΦDM3 auf den hohen Pegel schaltet das Signal ΦDM1 auf den hohen Pegel um, und behält es den hohen Pegel bis zu der Zeit t14 bei, die nach der Übertragung von elektrischen Ladungen in der Fotodiode PD liegt. Dies macht sowohl das ausgewählte Pixel 10 als auch das Scheinpixel 110 in der N-Wandlungsperiode aktiv. Eine der Spannung des Floating-Diffusion-Knotens FD des ausgewählten Pixels 10 und der Ener-

gieversorgungsspannung VN, die höher ist, wird in diesem Fall mit dem Referenzsignal VR verglichen. Wenn die Spannung des Floating-Diffusion-Knotens FD unter die Energieversorgungsspannung VN abfällt, wird der Pixeltransistor M3 ausgeschaltet. Dem entsprechend erzielt eine Einstellung der Energieversorgungsspannung VN auf einen geeigneten Pegel eine Pseudoreduzierung der Signalspannung auf die Energieversorgungsspannung VN, nachdem der Floating-Diffusion-Knoten FD zurückgesetzt ist, trotz eines Abfalls der Spannung des Floating-Diffusion-Knotens FD. Mit anderen Worten wird eine N-Wandlung durch Vergleich der Energieversorgungsspannung VN mit dem Referenzsignal VR ausgeführt, wenn Licht mit hoher Helligkeit eingestrahlt wird und die Spannung des Floating-Diffusion-Knotens FD zu der Zeit der Rücksetzung niedriger ist als die Energieversorgungsspannung VN. Das Verdunkelungsphänomen wird dadurch in einem Bild gemindert, das durch korrelierte Doppelabtastung erhalten wird. Zusätzlich hindert eine Verbindung der Energieversorgungsspannung VN mit dem Gate des Scheinpixeltransistors M23 in der N-Wandlungsperiode nicht die Wirkung einer Reduzierung von Gemeinsame-Source-Spannungsschwankungen bei einer Pixelübertragung. Dieses Ausführungsbeispiel stellt somit die Wirkung einer Minderung des Verdunkelungsphänomens bei hoher Helligkeit zusätzlich zu den Wirkungen des zweiten Ausführungsbeispiels bereit.

(Achstes Ausführungsbeispiel)

[0070] Fig. 12 ist ein Schaltbild zum Veranschaulichen von einer Spalte des Pixelfelds 1 und dem Komparator 40 für die Spalte gemäß einem achten Ausführungsbeispiel der vorliegenden Erfindung. Dieses Ausführungsbeispiel unterscheidet sich von dem ersten Ausführungsbeispiel in der Konfiguration des Scheinpixels 110. Nachstehend werden hauptsächlich die Unterschiede gegenüber dem ersten Ausführungsbeispiel beschrieben.

[0071] Das Schein- bzw. Blind-/Dummpixel 110 gemäß diesem Ausführungsbeispiel ist in der gleichen Art und Weise wie das Pixel 10 konfiguriert und umfasst, zusätzlich zu dem Schein- bzw. Blind-/Dummpixeltransistor M23, eine Fotodiode PD, einen Schein- bzw. Blind-/Dummpixelübertragungstransistor M21, einen Schein- bzw. Blind-/Dummpixelrücksetztransistor M22 und einen Schein- bzw. Blind-/Dummpixelauswahltransistor M24. Ein Signal ΦTXDM wird an ein Gate des Scheinpixelübertragungstransistors M21 geliefert, und eine Umschaltung des Signals ΦTXDM auf den hohen Pegel schaltet den Scheinpixelübertragungstransistor M21 ein. Ein Signal ΦRSDM wird an ein Gate des Scheinpixelrücksetztransistors M22 geliefert. Eine Umschaltung des Signals ΦRSDM auf den hohen Pegel schaltet den Scheinpixelrücksetztransistor M22 ein, und die

Gatespannung des Scheinpixeltransistors M23 wird auf die Rücksetzspannung VRS zurückgesetzt.

[0072] Fig. 13 ist ein Zeitdiagramm von dem Pixelsignallesebetrieb gemäß diesem Ausführungsbeispiel. Zu der Zeit t_0 sind das Signal Φ_{RSDM} und das Signal Φ_{TXDM} auf dem hohen Pegel, und die Fotodiode PD des Scheinpixels **110** und die Gatespannung des Scheinpixeltransistors M23 werden/sind zurückgesetzt. Zu der Zeit t_2 schaltet eine Umschaltung des Signals Φ_{TXDM} auf den niedrigen Pegel den Scheinpixelübertragungstransistor M21 aus. Zu der Zeit t_3 schaltet das Signal Φ_{RS1} auf den niedrigen Pegel um, und schaltet das Signal Φ_{RSDM} ebenso auf den niedrigen Pegel um. Die Gatespannung des Scheinpixeltransistors M23 schwankt an diesem Punkt in der gleichen Art und Weise, wie der Floating-Diffusion-Knoten FD des ausgewählten Pixels **10** spannungsmäßig schwankt. Kurz gesagt fällt die Gatespannung des Scheinpixeltransistors M23 aufgrund des feld- bzw. bereichsdurchgängigen Rauschens des Signals Φ_{RS1} unter die Rücksetzspannung VRS ab. In einer Periode von der Zeit t_4 bis zu der Zeit t_5 wird die Spannung des Floating-Diffusion-Knotens FD des ausgewählten Pixels **10** mit dem Referenzsignal VR verglichen, um eine N-Wandlung auszuführen. In einer Periode von der Zeit t_6 bis zu der Zeit t_9 schaltet das Signal Φ_{SEL1} auf den niedrigen Pegel um, schaltet das Signal Φ_{DM1} auf den hohen Pegel um, und wird ein Differentialpaar aus dem Differentialtransistor M13 und dem Scheinpixeltransistor M23 gebildet. In einer Periode von der Zeit t_7 bis zu der Zeit t_8 schaltet das Signal Φ_{TX1} auf den hohen Pegel um, und Gemeinsame-Source-Spannungsschwankungen des Komparators **40** werden durch das Scheinpixel **110** reduziert, während die Spannung des Floating-Diffusion-Knotens FD schwankt. In einer Periode von der Zeit t_{10} bis zu der Zeit t_{11} wird eine S-Wandlung ausgeführt, und das Signal Φ_{RSDM} und das Signal Φ_{TXDM} werden auf dem niedrigen Pegel gehalten. Das Signal Φ_{RS1} schaltet zu der Zeit t_{12} auf den hohen Pegel um. Daraufhin werden das Signal Φ_{RSDM} und das Signal Φ_{TXDM} zum Lesen der nächsten Zeile auf den hohen Pegel gesetzt.

[0073] Auch bei diesem Ausführungsbeispiel ist die Gatespannung des Scheinpixeltransistors M23 äquivalent zu einer Spannung, die der Floating-Diffusion-Knoten FD nach der Pixelrücksetzung aufweist, und zwar bis die Ersatzstromperiode, die die Übertragungsperiode elektrischer Ladungen (eine Periode von der Zeit t_6 bis zu der Zeit t_9) umfasst, abgeschlossen ist. Dies bedeutet, dass das Scheinpixel **110** gemäß diesem Ausführungsbeispiel auch zum Reduzieren von Gemeinsame-Source-Spannungsschwankungen des Komparators **40** im Stande ist, und dass die gleichen Wirkungen die diejenigen bei dem zweiten Ausführungsbeispiel erzielt werden. Während das Scheinpixel **110** gemäß diesem Aus-

führungsbeispiel die Fotodiode PD umfasst, werden die gleichen Wirkungen mit einem Null- bzw. Leerpixel erzielt, das keine Fotodiode umfasst.

(Neuntes Ausführungsbeispiel)

[0074] Fig. 14 ist ein Schaltungsblockschaltbild von einer Bildaufnahmeverrichtung gemäß einem neunten Ausführungsbeispiel der vorliegenden Erfindung. Dieses Ausführungsbeispiel unterscheidet sich von dem ersten Ausführungsbeispiel in der Konfiguration des Zählers **42**. Im Speziellen ist der Zähler **42**, der bei dem ersten Ausführungsbeispiel über alle Spalten hinweg gemeinsam benutzt wird, um eine AD-Wandlung auszuführen, bei diesem Ausführungsbeispiel für jede Spalte bereitgestellt. Jeder Zähler **42** zählt bei einer N-Wandlung herunter und zählt bei einer S-Wandlung herauf. Der Zählerwert des Zählers **42** nach einer S-Wandlung bezeichnet daher eine Differenz zwischen dem durch die S-Wandlung gewandelten Pixelsignal und dem durch die N-Wandlung gewandelten Pixelsignal. Dieses Ausführungsbeispiel kann ebenfalls die gleichen Wirkungen wie diejenigen bei dem ersten Ausführungsbeispiel bereitstellen.

(Zehntes Ausführungsbeispiel)

[0075] Die Bildaufnahmeverrichtungen der Ausführungsbeispiele, die vorstehend beschrieben sind, sind auf verschiedene Bildaufnahmesysteme anwendbar. Beispiele der Bildaufnahmesysteme umfassen digitale Stehbildkameras, digitale Camcorder und Überwachungskameras. Fig. 15 ist eine Darstellung von einer digitalen Stehbildkamera als ein Beispiel eines Bildaufnahmesystems, auf das die Bildaufnahmeverrichtung von einem der Ausführungsbeispiele angewandt ist.

[0076] Das Bildaufnahmesystem, das in Fig. 15 als Beispiel veranschaulicht ist, umfasst eine Bildaufnahmeverrichtung **154**, eine Sperre bzw. Abdeckung **151**, die zum Schützen einer Linse bzw. eines Objektivs **152** konfiguriert ist, die Linse bzw. das Objektiv **152**, die bzw. das zum Bilden eines optischen Bilds eines Objekts in der Bildaufnahmeverrichtung **154** konfiguriert ist, und eine Blende **153**, die zum Variieren der Lichtmenge konfiguriert ist, die durch die Linse bzw. das Objektiv **152** fällt. Die Linse bzw. das Objektiv **152** und die Blende **153** bilden ein optisches System, das zum Sammeln von Licht in der Bildaufnahmeverrichtung **154** konfiguriert ist. Die Bildaufnahmeverrichtung **154** ist eine der Bildaufnahmeverrichtungen von einem beliebigen der vorstehend beschriebenen Ausführungsbeispiele. Das Bildaufnahmesystem gemäß Fig. 15 umfasst auch eine Ausgangssignalverarbeitungseinheit **155**, die zum Verarbeiten eines Ausgangssignals konfiguriert ist, das von der Bildaufnahmeverrichtung **154** ausgegeben wird. Die Ausgangssignalverarbeitungseinheit

155 erzeugt ein Bild basierend auf einem Signal, das von der Bildaufnahmeverrichtung **154** ausgegeben wird. Im Speziellen führt die Ausgangssignalverarbeitungseinheit **155**, je nach Bedarf, eine zusätzliche Verarbeitung einschließlich verschiedener Korrekturen und Komprimierung aus, und gibt sie dann Bilddaten aus. Die Ausgangssignalverarbeitungseinheit **155** führt auch eine Brennpunktdetektion durch die Verwendung eines von der Bildaufnahmeverrichtung **154** ausgegebenen Signals aus.

[0077] Das Bildaufnahmesystem gemäß **Fig. 15** umfasst ferner eine Pufferspeichereinheit **156**, in der Bilddaten vorübergehend gespeichert werden, und eine Externschnittstelleneinheit (Extern-I/F-Einheit) **157**, die zum Halten einer Kommunikation zu und von einem externen Computer oder dergleichen konfiguriert ist. Das Bildaufnahmesystem umfasst auch ein Aufzeichnungsmedium **159** wie etwa einen Halbleiterspeicher, in den aufgenommene Bilddaten gelesen und aufgezeichnet werden, und eine Aufzeichnungsmediumsteuerschnittstelleneinheit (Aufzeichnungsmedium-Steuer-I/F-Einheit) **158**, die zum Aufzeichnen und Lesen von Daten in dem Aufzeichnungsmedium **159** konfiguriert ist. Das Aufzeichnungsmedium **159** kann in dem Bildaufnahmesystem eingebaut oder ein austauschbares Medium sein.

[0078] Das Bildaufnahmesystem umfasst ferner eine allgemeine Steuer-/Betriebseinheit **1510**, die zum Durchführen verschiedener Arten von Berechnung und einer umfassenden Steuerung der digitalen Stehbildkamera konfiguriert ist, und eine Zeitgebungserzeugungseinheit **1511** die zum Ausgeben von verschiedenen Zeitgebungssignalen an die Bildaufnahmeverrichtung **154** und die Ausgangssignalverarbeitungseinheit **155** konfiguriert ist. Die Zeitgebungssignale und andere Signale können von außerhalb eingegeben werden, und das Bildaufnahmesystem muss nur zumindest die Bildaufnahmeverrichtung **154** und die Ausgangssignalverarbeitungseinheit **155** umfassen, die zum Verarbeiten eines Ausgangssignals konfiguriert ist, das von der Bildaufnahmeverrichtung **154** ausgegeben wird.

[0079] Wie es vorstehend beschrieben ist, ist das Bildaufnahmesystem gemäß diesem Ausführungsbeispiel für einen Bildaufnahmebetrieb durch Verwendung der Bildaufnahmeverrichtung **154** befähigt.

(Weitere Ausführungsbeispiele)

[0080] Während eine Bildaufnahmeverrichtung gemäß der vorliegenden Erfindung beschrieben wurde, ist die vorliegende Erfindung nicht auf die vorstehend gegebenen Ausführungsbeispiele beschränkt, und die Ausführungsbeispiele dienen nicht dazu, geeignete Modifikationen und Abwandlungen zu unterbinden, die mit dem Grundgedanken der vorliegen-

den Erfindung zusammenpassen. Zum Beispiel können einige der Konfigurationen des ersten bis zehnten Ausführungsbeispiels kombiniert werden. Die Polaritäten der N-Kanal-MOS-Transistoren und der P-Kanal-MOS-Transistoren in den Ausführungsbeispielen können vertauscht werden, so dass ein Transistor, der bei den Ausführungsbeispielen ein N-Kanal-MOS-Transistor ist, stattdessen ein P-Kanal-MOS-Transistor ist. Wie es bei dem ersten Ausführungsbeispiel beschrieben ist, ist jedes Pixel **10** nicht auf eine Vier-Transistor-Konfiguration beschränkt, und kann es eine Drei-Transistor-Konfiguration aufweisen, die keinen Auswahltransistor umfasst.

[0081] Während die vorliegende Erfindung unter Bezugnahme auf Ausführungsbeispiele beschrieben wurde, ist es selbstverständlich, dass die Erfindung nicht auf die offenbarten Ausführungsbeispiele beschränkt ist. Dem Umfang der folgenden Patentansprüche ist die breiteste Auslegung zuzugestehen, so dass alle derartigen Modifikationen und äquivalente Strukturen und Funktionen umfasst sind.

[0082] Um Gemeinsame-Source-Spannungsschwankungen von einem Differentialverstärker zu reduzieren und eine Geschwindigkeitssteigerung eines Lesebetriebs zu erreichen, wird eine Bildaufnahmeverrichtung bereitgestellt, mit: einem Differentialverstärker mit einem Differentialtransistor und einer Stromquelle, wobei der Differentialtransistor ein Differentialpaar mit dem Pixeltransistor bildet und ein Gate aufweist, an das ein Rampensignal eingegeben wird, wobei die Stromquelle konfiguriert ist zum Liefern eines Stroms, der in dem Differentialpaar fließt; und einem Scheinpixel mit einem Scheinpixeltransistor, bei dem ein Hauptknoten elektrisch mit einem Hauptknoten des Pixeltransistors verbunden ist und ein anderer Hauptknoten elektrisch mit einem anderen Hauptknoten des Pixeltransistors verbunden ist.

ZITATE ENTHALTEN IN DER BESCHREIBUNG

Diese Liste der vom Anmelder aufgeführten Dokumente wurde automatisiert erzeugt und ist ausschließlich zur besseren Information des Lesers aufgenommen. Die Liste ist nicht Bestandteil der deutschen Patent- bzw. Gebrauchsmusteranmeldung. Das DPMA übernimmt keinerlei Haftung für etwaige Fehler oder Auslassungen.

Zitierte Patentliteratur

- JP 2005-311487 [0002, 0003]

Patentansprüche

1. Bildaufnahmeverrichtung mit:
 einer Vielzahl von Pixel, jeweils umfassend einen Übertragungstransistor, der konfiguriert ist zum Übertragen von elektrischen Ladungen, die durch fotoelektrische Wandlung erzeugt werden, einen Pixeltransistor mit einem Gate, an das die elektrischen Ladungen eingegeben werden, und einen Rücksetztransistor, der konfiguriert ist zum Rücksetzen des Gates des Pixeltransistors; und
 einem Differentialverstärker mit einem Differentialtransistor und einer Stromquelle, wobei der Differentialtransistor ein Differentialpaar mit dem Pixeltransistor bildet und ein Gate aufweist, an das ein Rampensignal eingegeben wird, wobei die Stromquelle elektrisch mit dem Differentialpaar verbunden ist, gekennzeichnet durch ein Scheinpixel mit einem Scheinpixeltransistor, bei dem ein Hauptknoten elektrisch mit einem Hauptknoten des Pixeltransistors verbunden ist und ein anderer Hauptknoten elektrisch mit einem anderen Hauptknoten des Pixeltransistors verbunden ist.

2. Bildaufnahmeverrichtung gemäß Anspruch 1, wobei jedes der Vielzahl von Pixel zusätzlich einen Auswahltransistor auf einem elektrischen Pfad zwischen dem anderen Hauptknoten des Pixeltransistors und der Stromquelle aufweist, und wobei ein Scheinpixelauswahltransistor auf einem elektrischen Pfad zwischen dem anderen Hauptknoten des Scheinpixeltransistors und der Stromquelle bereitgestellt ist.

3. Bildaufnahmeverrichtung gemäß Anspruch 2, wobei der andere Hauptknoten des Pixeltransistors über den Auswahltransistor mit einer ersten Signalleitung verbunden ist, der eine Hauptknoten des Pixeltransistors mit einer zweiten Signalleitung verbunden ist, der Differentialtransistor und der Pixeltransistor das Differentialpaar mit der ersten Signalleitung als gemeinsame Source bilden, und die Stromquelle mit der ersten Signalleitung verbunden ist, und wobei in einer Periode, in der einer des Rücksetztransistors und des Auswahltransistors eingeschaltet ist, der Scheinpixeltransistor anstelle des Pixeltransistors ein Differentialpaar mit dem Differentialtransistor bildet, so dass der Scheinpixeltransistor in dem Differentialverstärker ein Fließen eines Stroms bewirkt, der einen Ersatz für einen Strom des Pixeltransistors darstellt.

4. Bildaufnahmeverrichtung gemäß Anspruch 3, wobei in der Periode eine Spannung, die äquivalent zu einer Spannung zu der Zeit einer Rücksetzung des Gates des Pixeltransistors ist, an ein Gate des Scheinpixeltransistors angelegt wird.

5. Bildaufnahmeverrichtung gemäß Anspruch 4,

wobei das Rampensignal an das Gate des Differentialtransistors über eine erste Kapazität eingegeben wird, und

wobei, wenn das Gate des Pixeltransistors zurückgesetzt wird, das Gate des Differentialtransistors und ein Hauptknoten des Differentialtransistors kurzgeschlossen werden, so dass der Differentialverstärker als Spannungsfolger arbeitet, um eine Spannung, die äquivalent zu der Spannung zu der Zeit einer Rücksetzung des Gates des Pixeltransistors ist, in einer zweiten Kapazität zu halten, die mit dem Gate des Scheinpixeltransistors verbunden ist.

6. Bildaufnahmeverrichtung gemäß Anspruch 5, wobei in der Periode der Auswahltransistor eingeschaltet ist und die Spannung zu der Zeit einer Rücksetzung des Gates des Pixeltransistors gleichzeitig durch Analog-Digital-Wandlung gewandelt wird, und wobei in der Periode eine Referenzspannung an das Gate des Scheinpixeltransistors angelegt wird und, wenn eine Spannung des Gates des Pixeltransistors niedriger ist als die Referenzspannung, der Pixeltransistor ausgeschaltet wird.

7. Bildaufnahmeverrichtung gemäß Anspruch 3, wobei das Scheinpixel zusätzlich einen Scheinpixelübertragungstransistor, einen Scheinpixelrücksetztransistor und einen Scheinpixelauswahltransistor aufweist, und wobei bis zum Ende einer Periode, in der der Übertragungstransistor eingeschaltet ist, nachdem der Scheinpixelrücksetztransistor eingeschaltet wird, um eine Spannung des Gates des Scheinpixeltransistors zurückzusetzen, der Scheinpixelübertragungstransistor in einem AUS-Zustand ist.

8. Bildaufnahmeverrichtung gemäß Anspruch 1, wobei ein Zähler mit einem Zählerwert, der in Synchronisation mit dem Rampensignal steht, für jede Spalte von Pixel bereitgestellt ist.

9. Bildaufnahmeverrichtung gemäß einem der Ansprüche 1 bis 8, zusätzlich mit einem ersten Transistor, der mit einem Hauptknoten des Differentialtransistors verbunden ist.

10. Bildaufnahmeverrichtung gemäß Anspruch 9, zusätzlich mit einem zweiten Transistor, der mit dem einen Hauptknoten des Scheinpixeltransistors verbunden ist, wobei der erste Transistor und der zweite Transistor ein Stromspiegelpaar bilden.

11. Bildaufnahmesystem mit:
 einer Bildaufnahmeverrichtung, und
 einer Signalverarbeitungseinheit, die konfiguriert ist zum Erzeugen eines Bilds unter Verwendung eines Signals, das von der Bildaufnahmeverrichtung ausgegeben wird,
 wobei die Bildaufnahmeverrichtung aufweist:

eine Vielzahl von Pixel, jeweils umfassend einen Übertragungstransistor, der konfiguriert ist zum Übertragen von elektrischen Ladungen, die durch fotoelektrische Wandlung erzeugt werden, einen Pixeltransistor mit einem Gate, an das die elektrischen Ladungen eingegeben werden, und einen Rücksetztransistor, der konfiguriert ist zum Rücksetzen des Gates des Pixeltransistors; und
 einen Differentialverstärker mit einem Differentialtransistor und einer Stromquelle, wobei der Differentialtransistor ein Differentialpaar mit dem Pixeltransistor bildet und ein Gate aufweist, an das ein Rampensignal eingegeben wird, wobei die Stromquelle elektrisch mit dem Differentialpaar verbunden ist, gekennzeichnet durch ein Scheinpixel mit einem Scheinpixeltransistor, bei dem ein Hauptknoten elektrisch mit einem Hauptknoten des Pixeltransistors verbunden ist und ein anderer Hauptknoten elektrisch mit einem anderen Hauptknoten des Pixeltransistors verbunden ist.

12. Verfahren zum Ansteuern einer Bildaufnahmevorrichtung, wobei die Bildaufnahmevorrichtung aufweist:

eine Vielzahl von Pixel, jeweils umfassend einen Übertragungstransistor, der konfiguriert ist zum Übertragen von elektrischen Ladungen, die durch fotoelektrische Wandlung erzeugt werden, einen Pixeltransistor mit einem Gate, an das die elektrischen Ladungen eingegeben werden, und einen Rücksetztransistor, der konfiguriert ist zum Rücksetzen des Gates des Pixeltransistors; und
 einen Differentialverstärker mit einem Differentialtransistor und einer Stromquelle, wobei der Differentialtransistor ein Differentialpaar mit dem Pixeltransistor bildet und ein Gate aufweist, an das ein Rampensignal eingegeben wird, wobei die Stromquelle konfiguriert ist zum Liefern eines Stroms, der in dem Differentialpaar fließt,

dadurch gekennzeichnet, dass das Verfahren aufweist:

Ermöglichen, dass in einer Periode, in der einer des Rücksetztransistors und des Übertragungstransistors eingeschaltet ist, ein Scheinpixeltransistor anstelle des Pixeltransistors ein Differentialpaar mit dem Differentialtransistor bildet, so dass der Scheinpixeltransistor in dem Differentialverstärker ein Fließen eines Stroms bewirkt, der einen Ersatz für einen Strom des Pixeltransistors darstellt; und
 Ausführen einer Analog-Digital-Wandlung einer Spannung des Gates des Pixeltransistors basierend auf einem Ergebnis eines Vergleichs, der durch den Differentialverstärker bezüglich der Spannung des Gates des Pixeltransistors und des Rampensignals durchgeführt wird.

Es folgen 15 Seiten Zeichnungen

Anhängende Zeichnungen

FIG. 1

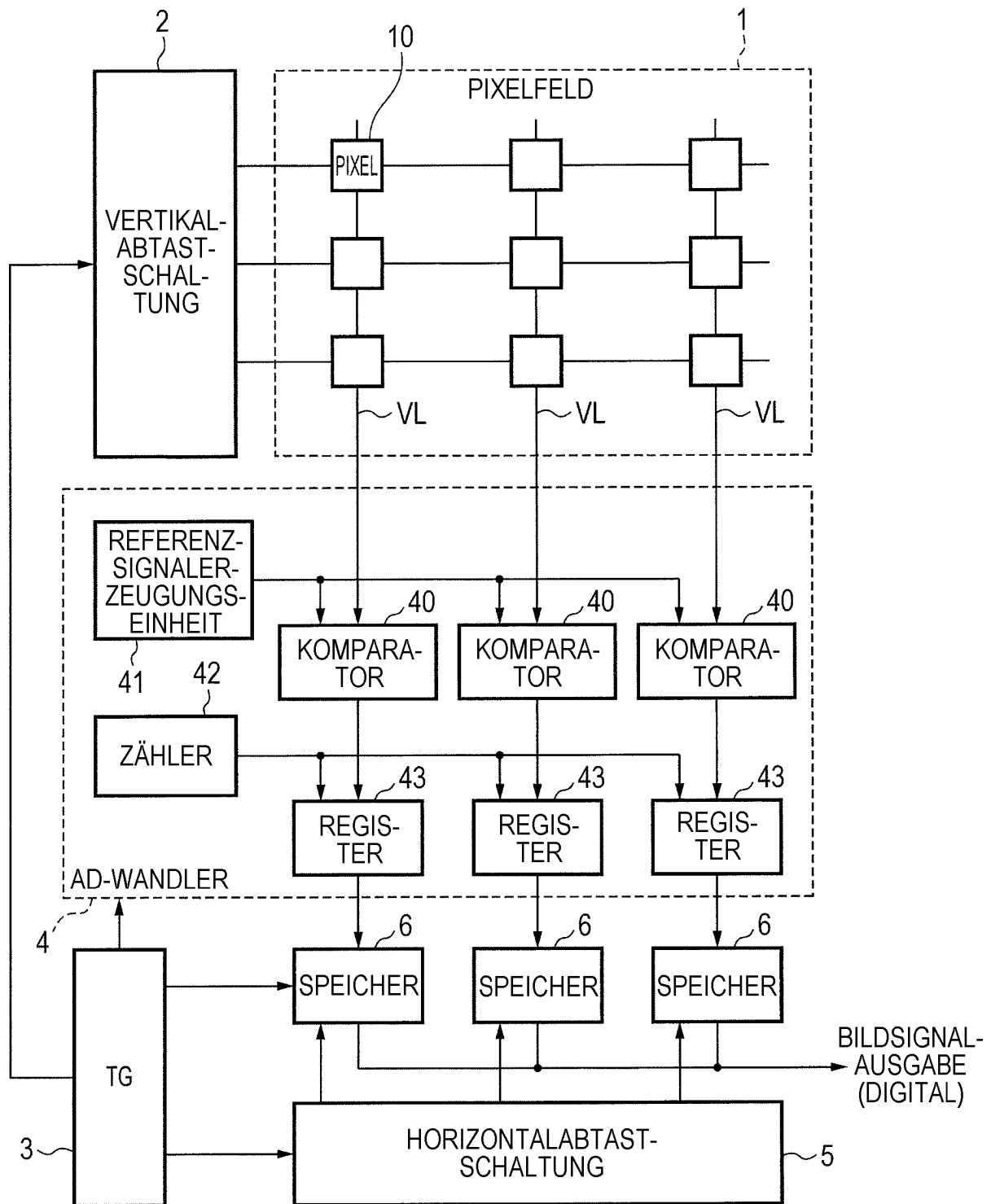


FIG. 2

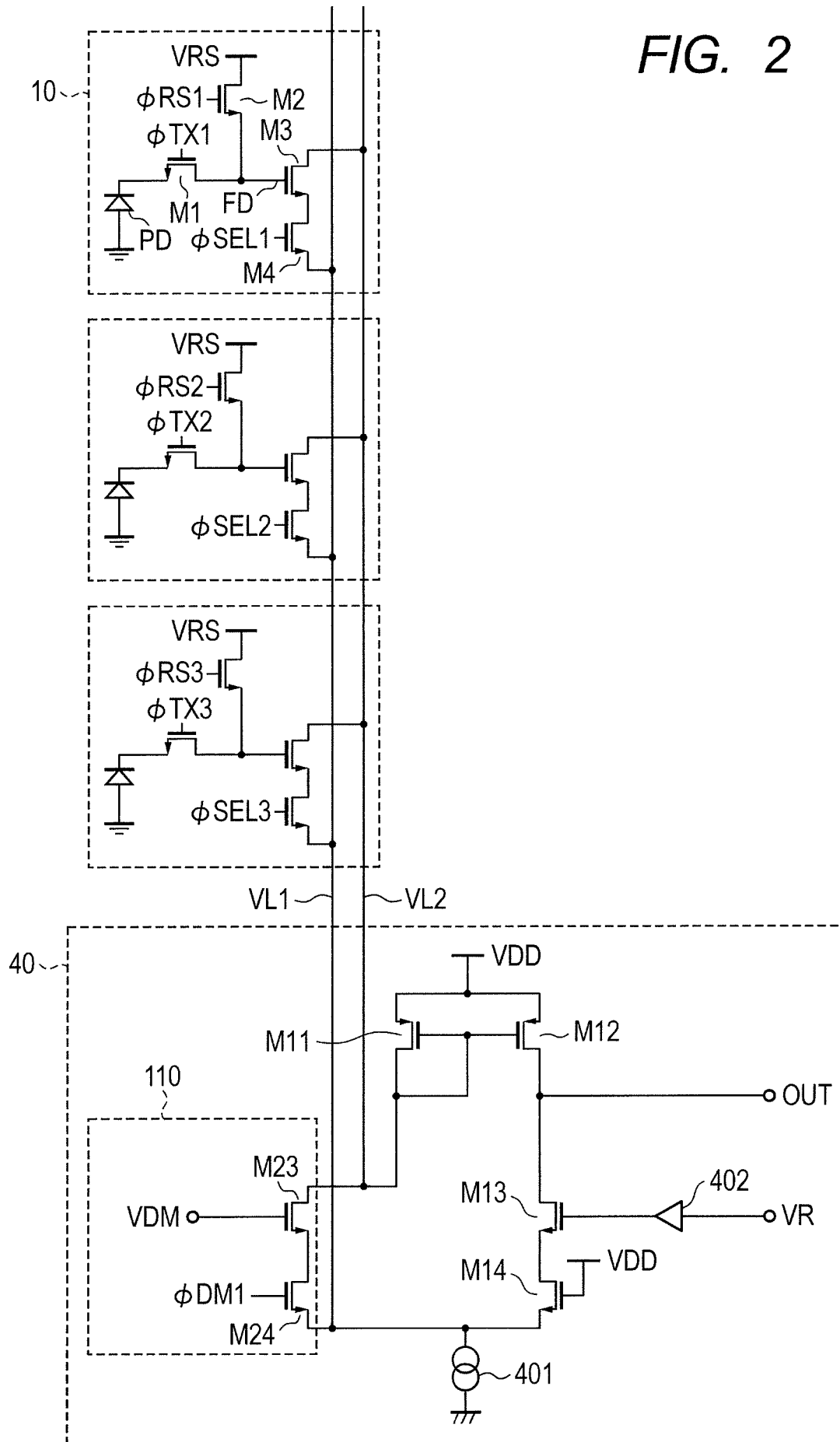


FIG. 3

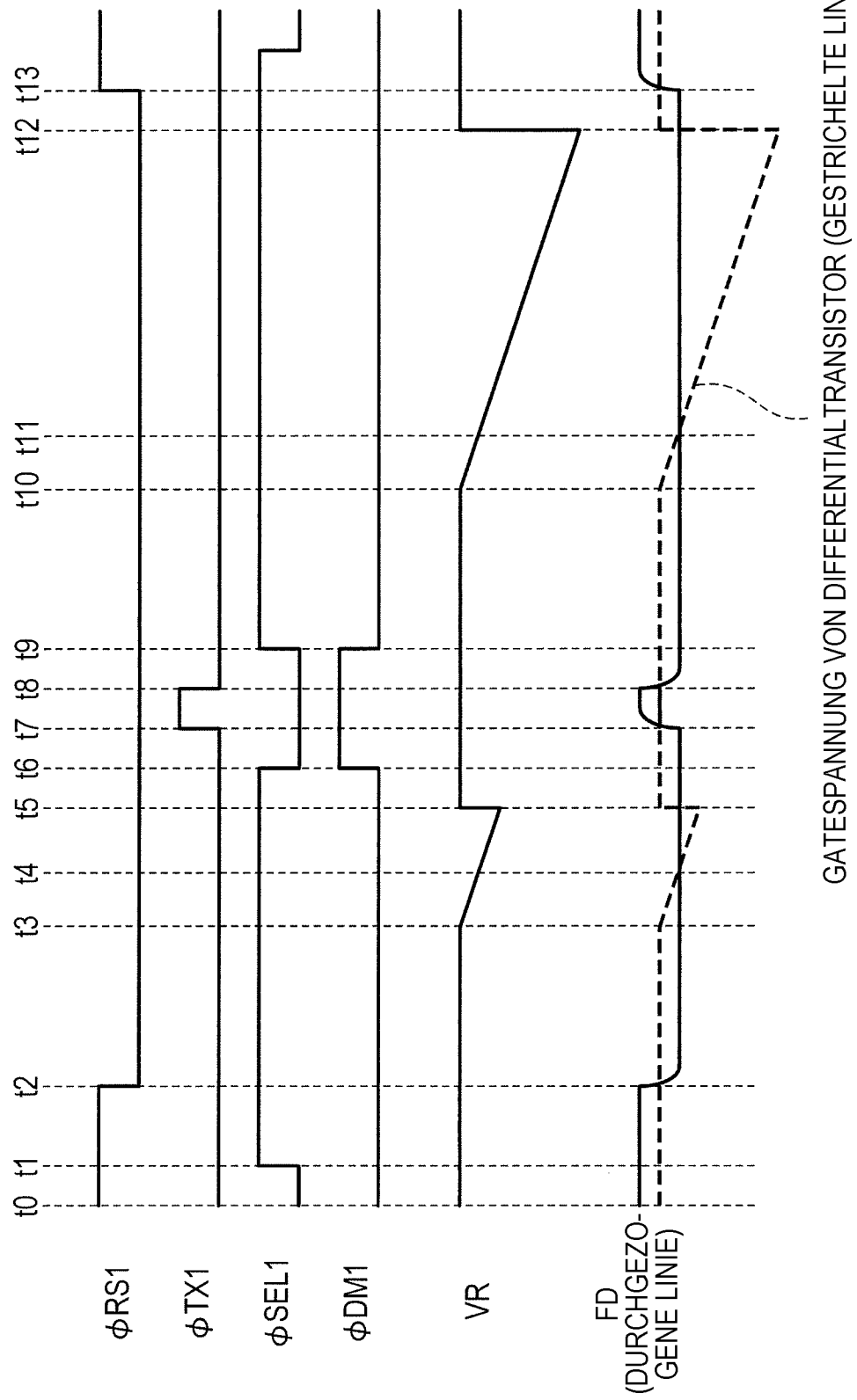


FIG. 4

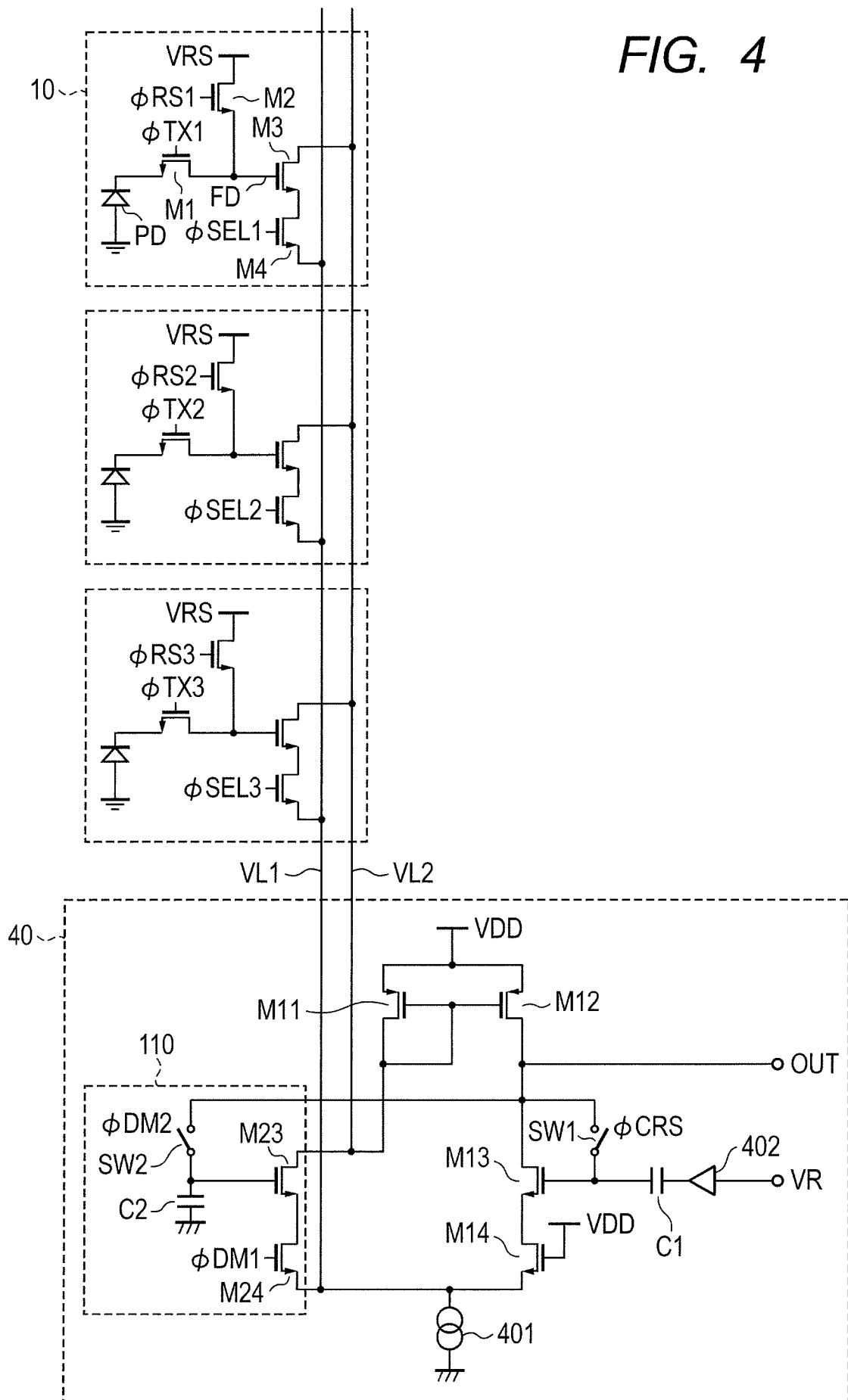


FIG. 5

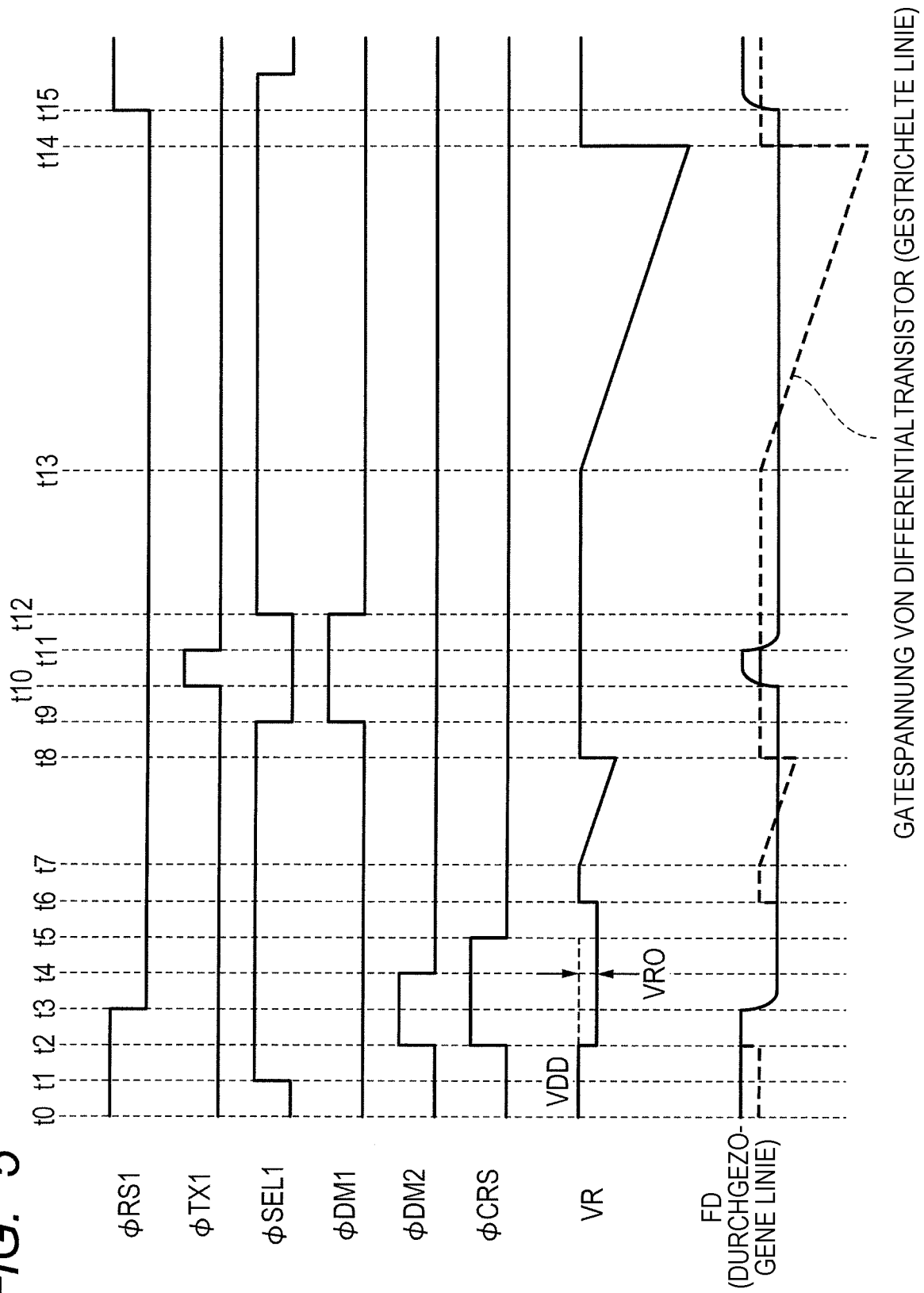


FIG. 6

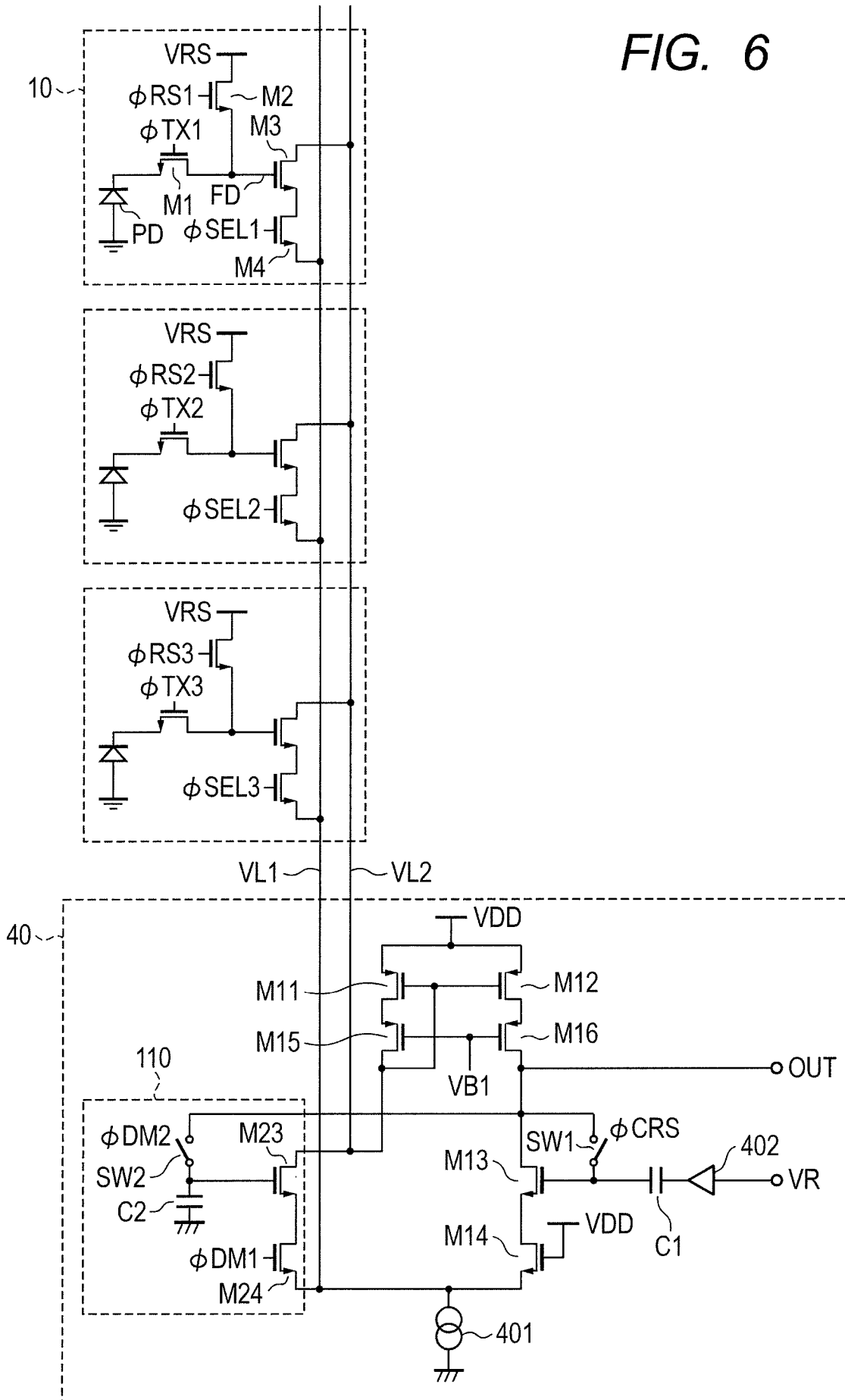


FIG. 7

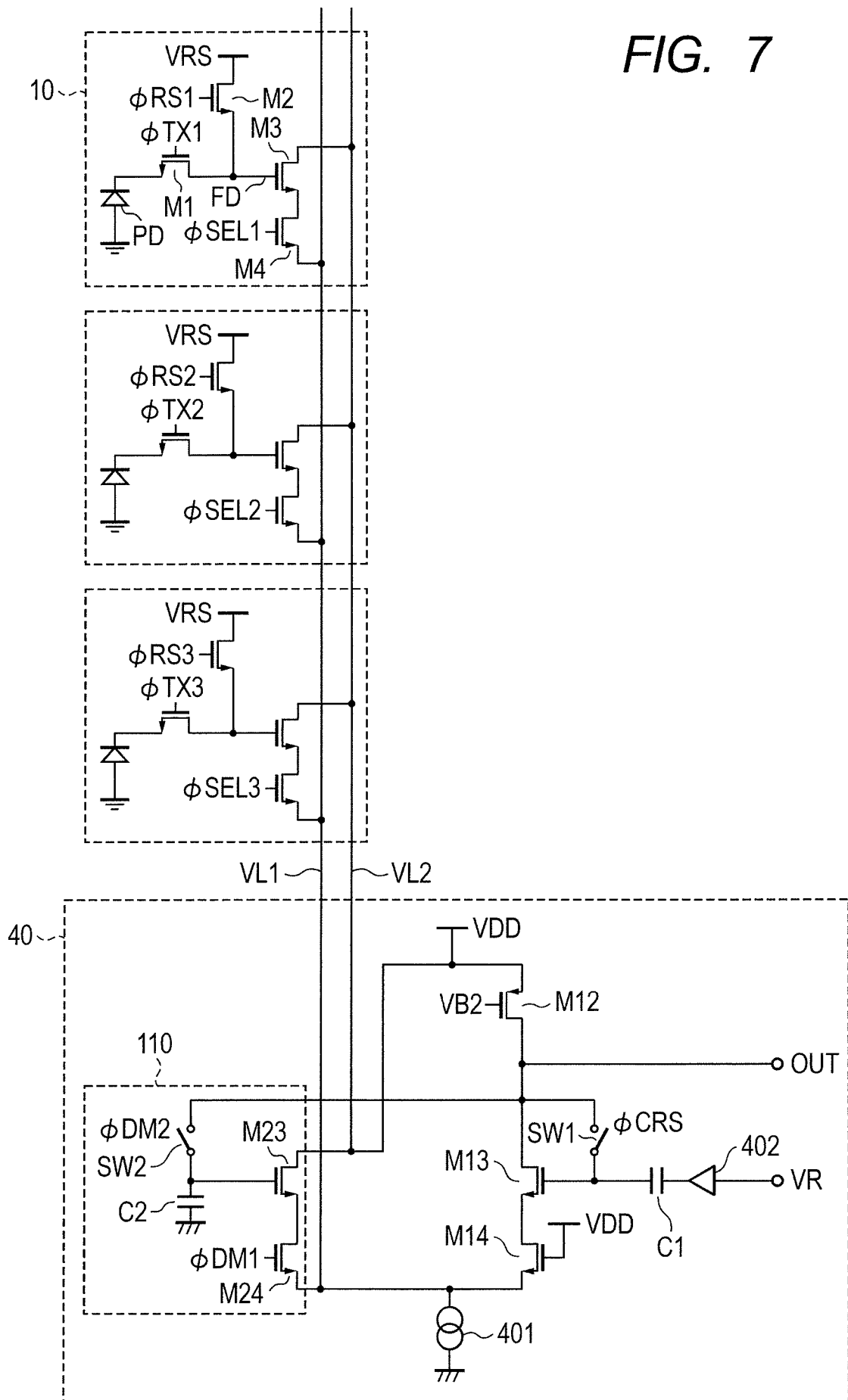


FIG. 8

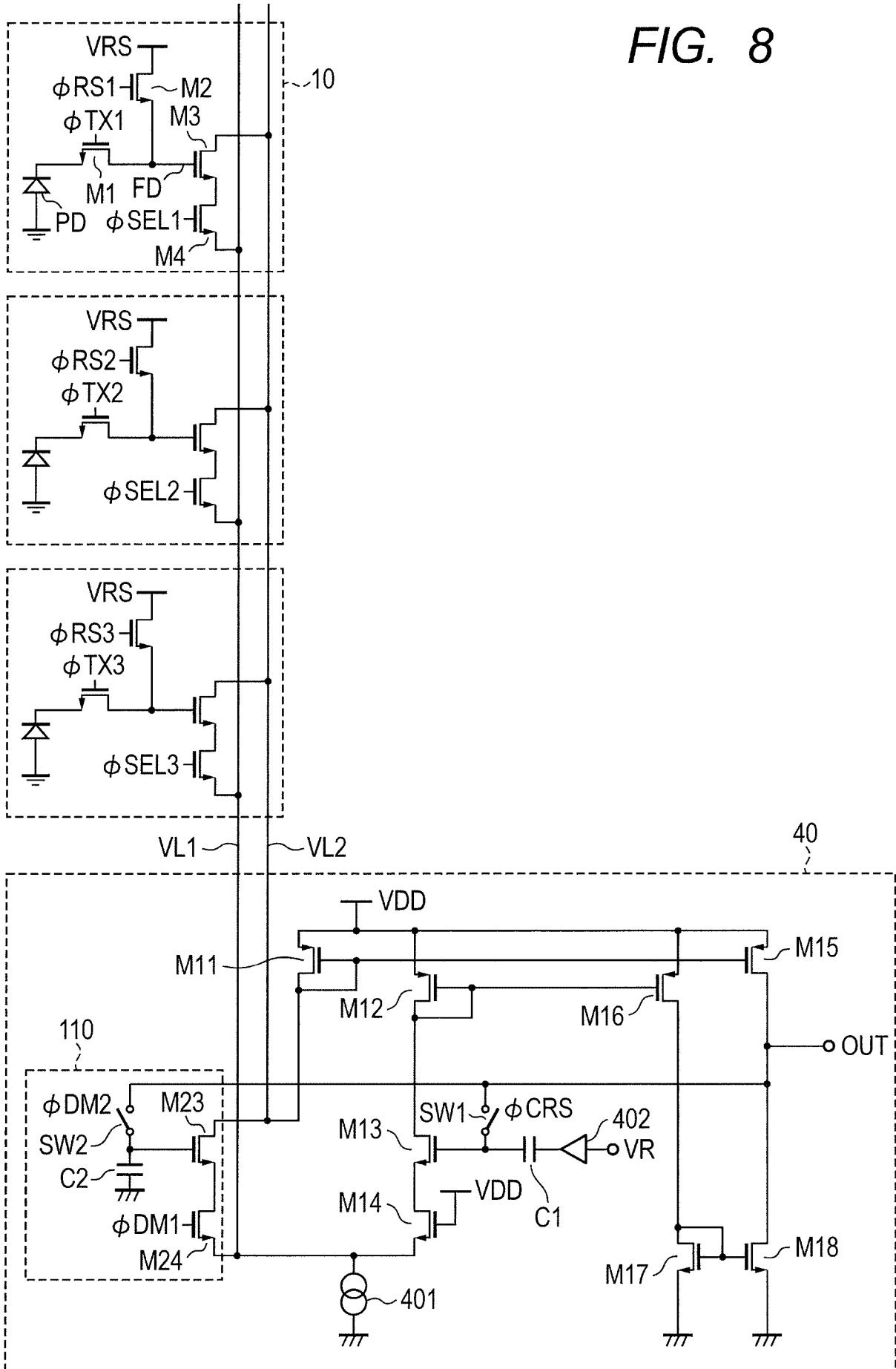


FIG. 9

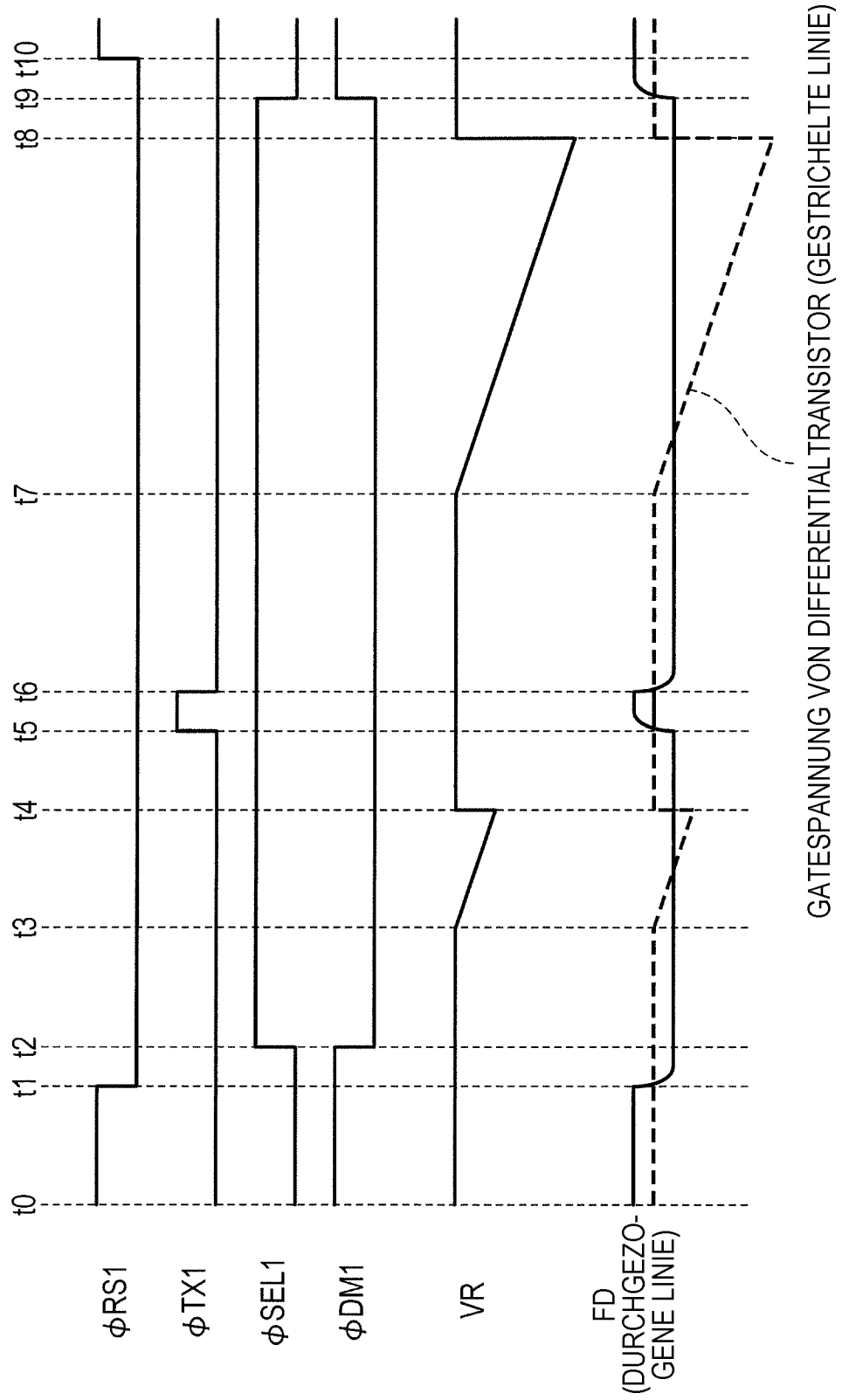


FIG. 10

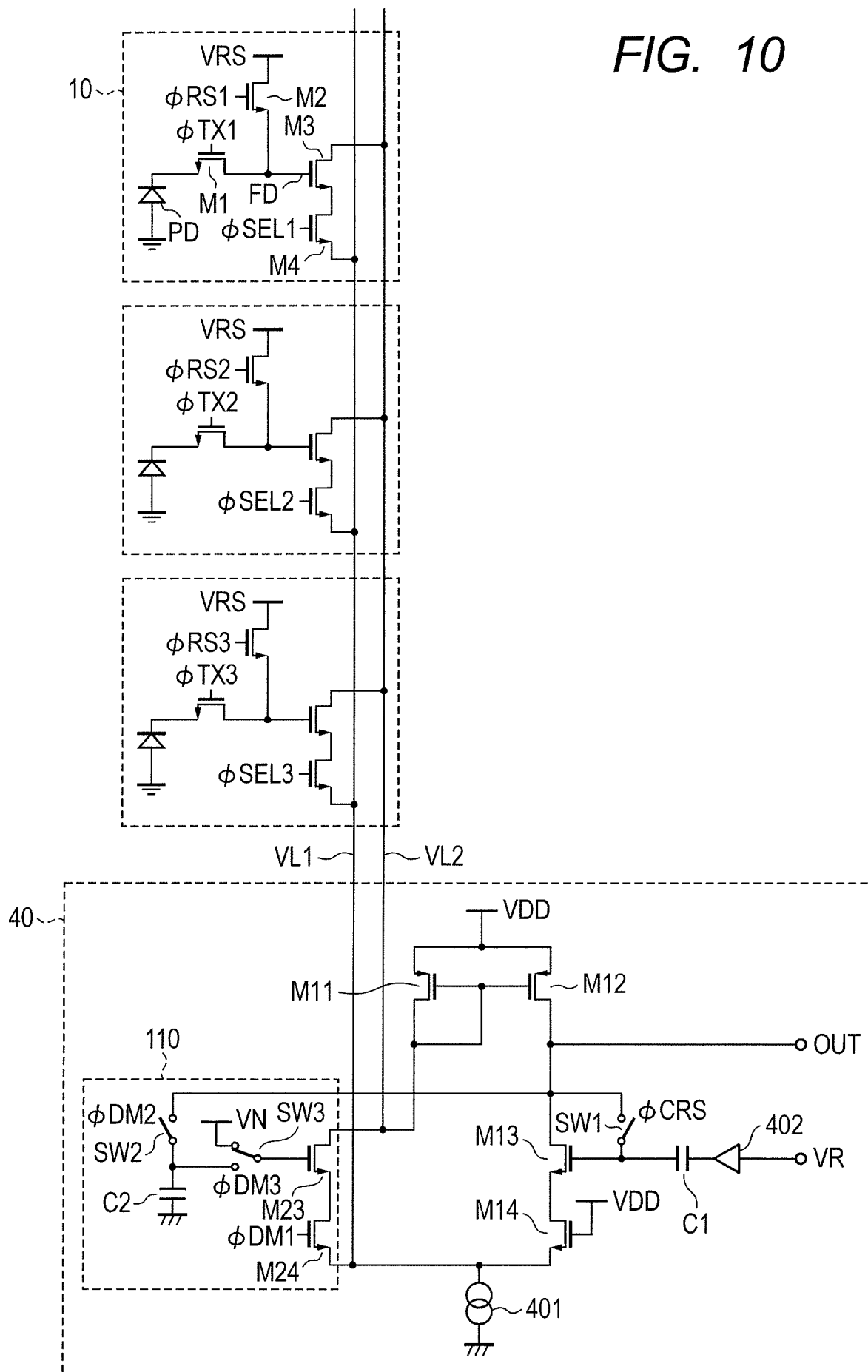


FIG. 11

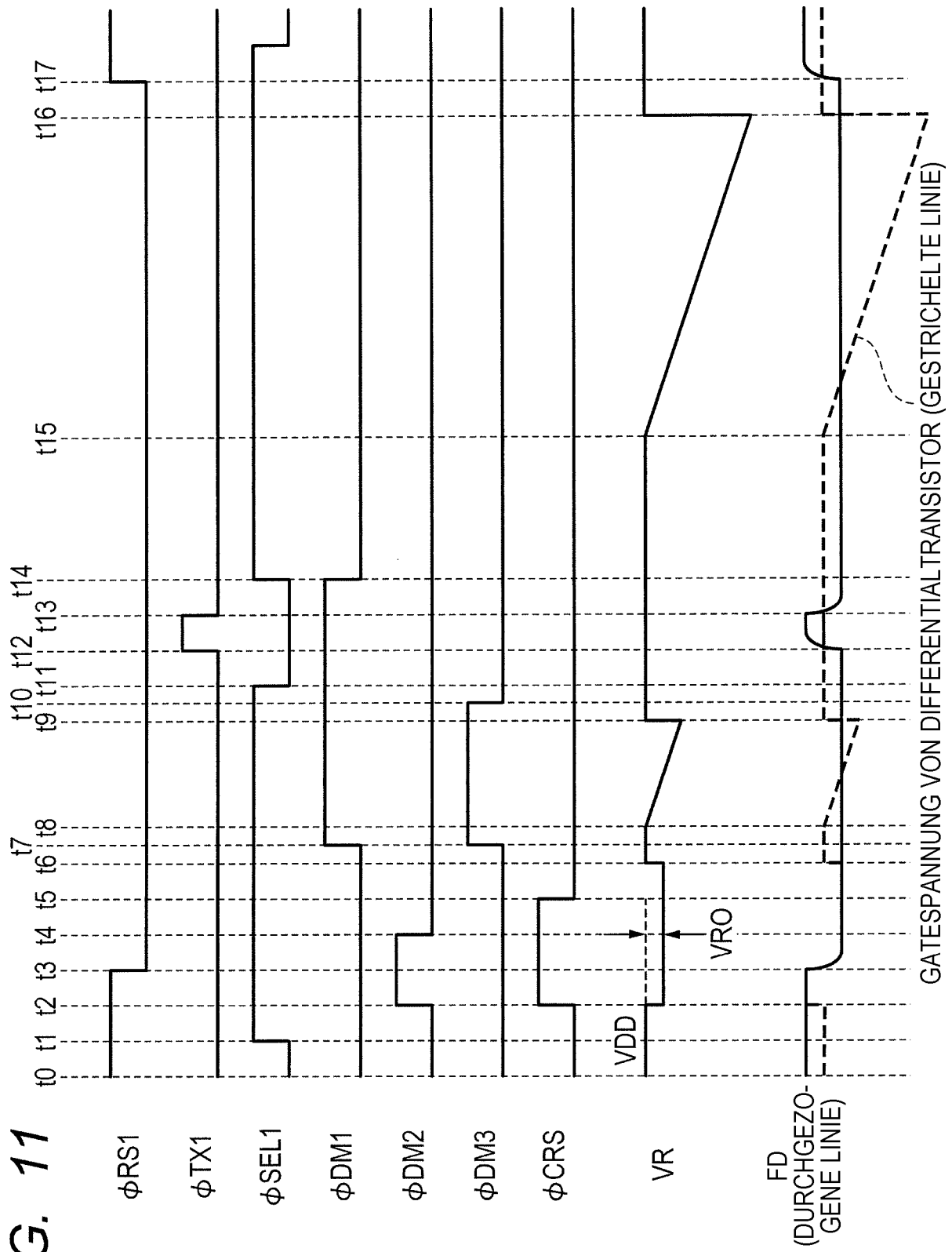


FIG. 12

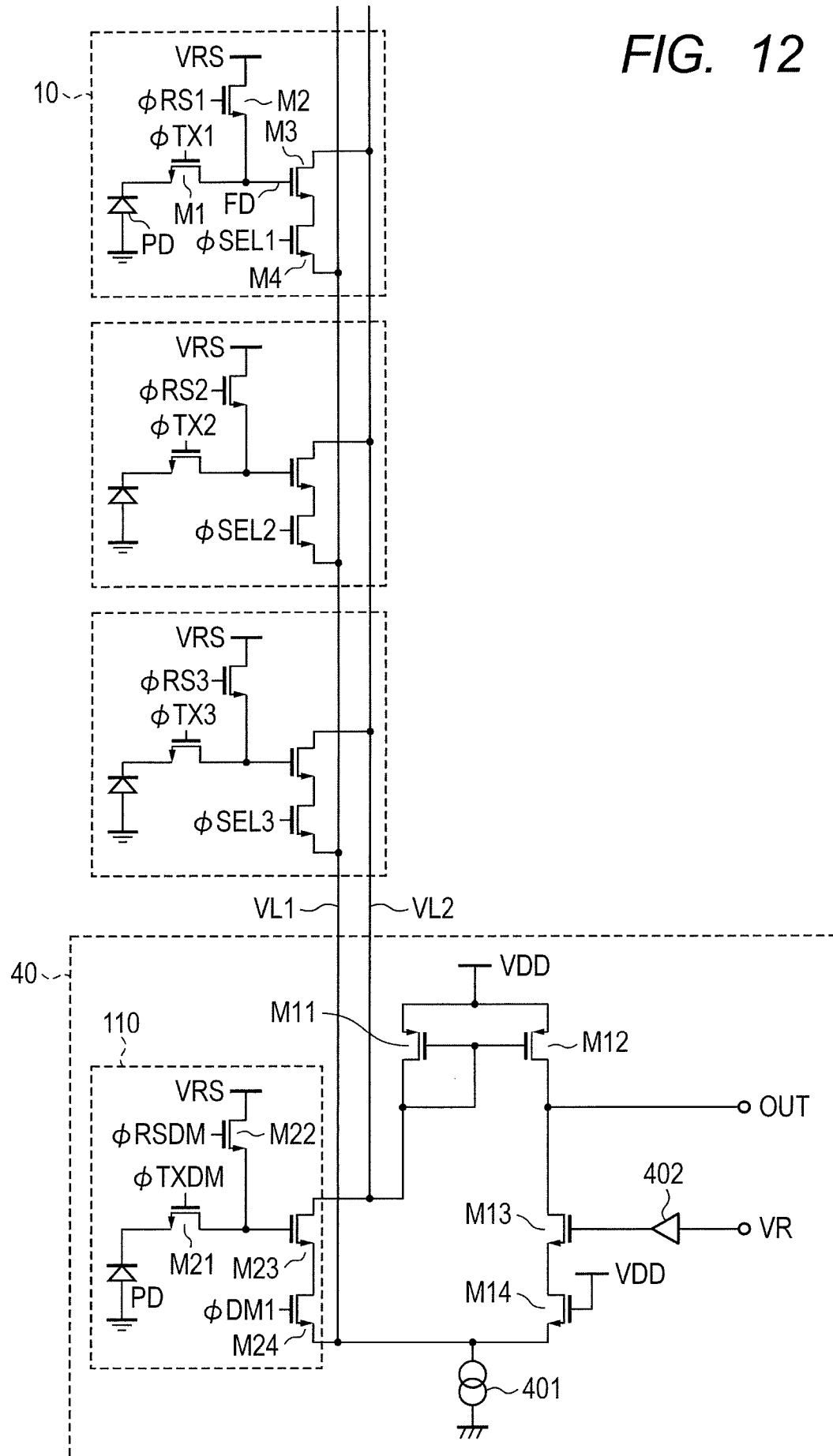


FIG. 13

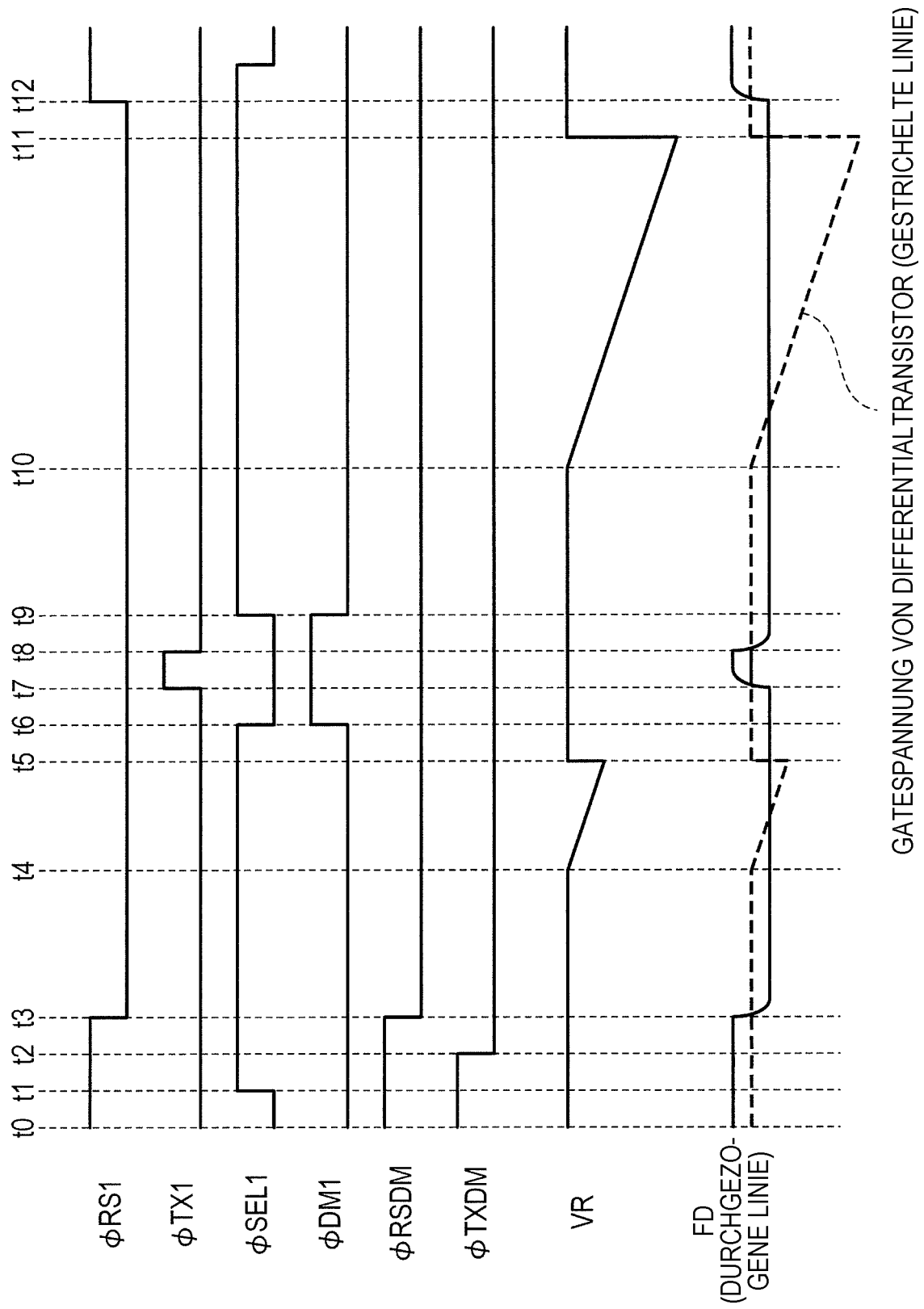


FIG. 14

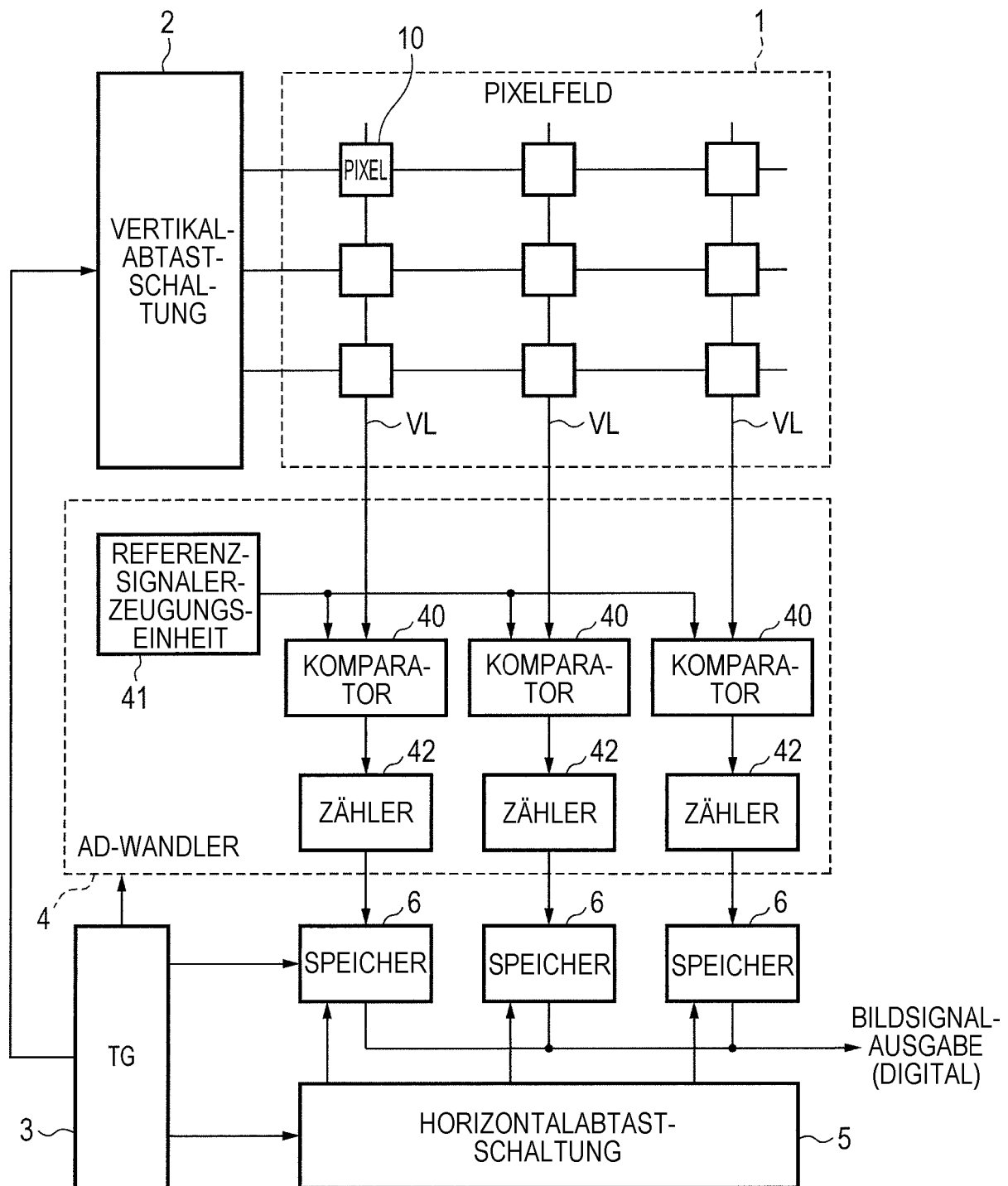


FIG. 15

