

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4954626号  
(P4954626)

(45) 発行日 平成24年6月20日 (2012. 6. 20)

(24) 登録日 平成24年3月23日 (2012. 3. 23)

(51) Int. Cl.

F I

G 1 1 C 11/413 (2006. 01)  
H O 1 L 27/11 (2006. 01)  
H O 1 L 21/8244 (2006. 01)  
G 1 1 C 11/41 (2006. 01)

G 1 1 C 11/34 3 3 5 A  
H O 1 L 27/10 3 8 1  
G 1 1 C 11/34 K  
G 1 1 C 11/34 3 4 5  
G 1 1 C 11/40 B

請求項の数 4 (全 21 頁)

(21) 出願番号 特願2006-200448 (P2006-200448)  
(22) 出願日 平成18年7月24日 (2006. 7. 24)  
(65) 公開番号 特開2007-59043 (P2007-59043A)  
(43) 公開日 平成19年3月8日 (2007. 3. 8)  
審査請求日 平成21年7月17日 (2009. 7. 17)  
(31) 優先権主張番号 特願2005-220530 (P2005-220530)  
(32) 優先日 平成17年7月29日 (2005. 7. 29)  
(33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878  
株式会社半導体エネルギー研究所  
神奈川県厚木市長谷 3 9 8 番地  
(72) 発明者 岩田 周祐  
神奈川県厚木市長谷 3 9 8 番地 株式会社  
半導体エネルギー研究所内  
審査官 園田 康弘

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

電源制御回路と、メモリセルと、第 1 乃至 4 のワード線と、グランド線と、電源線と、  
第 1 乃至 3 のデータ線とを有し、

前記電源制御回路は、

4 つの入力端子と 1 つの出力端子を有し、少なくともいずれか 1 つの前記入力端子にハイレベルが入力されると前記出力端子にハイレベルが出力され、すべての前記入力端子にロウレベルが入力されると前記出力端子にロウレベルが出力される回路と、第 1 のインバーター回路と、第 1 及び 2 のトランジスタと、クロックが入力されるフリップフロップ回路とを有し、

前記 4 つの入力端子と 1 つの出力端子を有する回路の 4 つの入力端子は、それぞれ前記第 1 乃至 4 のワード線に電氣的に接続され、

前記第 1 及び 2 のワード線は、前記フリップフロップ回路の出力端子にそれぞれが電氣的に接続され、前記第 3 及び 4 のワード線は、前記フリップフロップ回路の入力端子にそれぞれが電氣的に接続され、

前記 4 つの入力端子と 1 つの出力端子を有する回路の出力端子は、前記第 1 のインバーター回路の入力端子と、かつ、前記第 1 のトランジスタのゲート電極とに電氣的に接続され、

前記第 1 のトランジスタの一方の電極は、第 1 の電圧を供給する配線に電氣的に接続され、前記第 1 のトランジスタの他方の電極は、前記電源線と、かつ、前記第 2 のトランジ

スタの一方の電極とに電氣的に接続され、

前記第 2 のトランジスタの他方は、第 2 の電圧を供給する配線に電氣的に接続され、前記第 2 のトランジスタのゲート電極は、前記第 1 のインバーター回路の出力端子に電氣的に接続され、

前記メモリセルは、

第 3 乃至 6 のトランジスタと、互いに出力端子と入力端子が接続された第 2 及び 3 のインバーター回路と、を有し、

前記第 2 及び 3 のインバーター回路は、前記電源線に一方の電極が電氣的に接続された第 7 及び 8 のトランジスタを有し、

前記第 2 及び 3 のインバーター回路は、前記グランド線に一方の電極が電氣的に接続された第 9 及び 10 のトランジスタを有し、

10

前記第 3 のトランジスタの一方の電極は、前記第 2 のインバーター回路の出力端子に電氣的に接続され、前記第 3 のトランジスタの他方の電極は、前記第 1 のデータ線に電氣的に接続され、前記第 3 のトランジスタのゲート電極は、前記第 1 のワード線に電氣的に接続され、

前記第 4 のトランジスタの一方の電極は、前記第 2 のデータ線と接続され、前記第 4 のトランジスタの他方の電極は、前記第 3 のインバーター回路の出力端子に電氣的に接続され、前記第 4 のトランジスタのゲート電極は、前記第 1 のワード線に電氣的に接続され、

前記第 5 のトランジスタの一方の電極は、前記第 10 のトランジスタの他方の電極に電氣的に接続され、前記第 5 のトランジスタの他方の電極は、前記第 6 のトランジスタの一方の電極に電氣的に接続され、前記第 5 のトランジスタのゲート電極は、前記第 2 のインバーター回路の入力端子に電氣的に接続され、

20

前記第 6 のトランジスタの他方の電極は、前記第 3 のデータ線に電氣的に接続され、前記第 6 のトランジスタのゲート電極は、前記第 2 のワード線に電氣的に接続されていることを特徴とする半導体装置。

#### 【請求項 2】

請求項 1 において、前記 4 つの入力端子と 1 つの出力端子を有する回路は、OR 回路、NOR 回路とインバーター回路とからなる回路、2 つのインバーター回路と NAND 回路とからなる回路のいずれかからなることを特徴とする半導体装置。

#### 【請求項 3】

30

請求項 1 又は 2 において、前記第 1 乃至 10 のトランジスタは絶縁基板上に形成された薄膜トランジスタからなることを特徴とする半導体装置。

#### 【請求項 4】

請求項 1 乃至 3 のいずれかにおいて、前記第 1 乃至 3 のデータ線は、前記第 1 乃至 10 のトランジスタのソース電極及びドレイン電極と同一層から設けられることを特徴とする半導体装置。

#### 【発明の詳細な説明】

#### 【技術分野】

#### 【0001】

本発明は、メモリ素子を有する半導体装置及び半導体装置の駆動方法に関する。

40

#### 【背景技術】

#### 【0002】

LSI (Large Scale Integration) 製造技術の発展による配線の微細化に伴い、リーク電流の問題が顕著になってきている。リーク電流により、LSI の発熱や消費電力の増大などの問題が発生してしまう。特に携帯電話や、ノート型のパーソナルコンピュータなどのモバイル機器では消費電力の問題はその連続動作時間に直結し、大きな問題となっている。そのため LSI の低消費電力化に関しては、様々な技術が提案されている。

#### 【0003】

例えば LSI の動作には、その性能を最大限に必要とするときとそうでないときがある。

50

L S I の動作速度をそれほど必要としないときには、クロックの周波数を下げて動作させる技術がある。その他にも、同様に動作速度を最大限に必要なとしないときに、基板バイアスをシフトさせ閾値を制御することによってリーク電流を低減させる技術がある。

【 0 0 0 4 】

また最近の L S I では内部に、キャッシュなどの非常に大容量のメモリが存在し S R A M ( S t a t i c R a n d o m A c c e s s M e m o r y ) で構成されることが多い。S R A M はインバーター回路同士をつなぐことによって値を保持する。一度、値を保持すると電氣的な状態は変化しないが、インバーター回路につながる電源線から、グランド線にリーク電流が流れてしまう。

【 0 0 0 5 】

消費電力を低減された S R A M の構成として、S R A M の行デコーダの各ワード線で選択されるメモリセル群の電源ラインと、電圧供給源側の電源ラインとの間に、スイッチング M O S トランジスタを設け、ワード線の選択信号で、スイッチング M O S トランジスタを開閉するものがある ( 特許文献 1 参照 ) 。

【特許文献 1】特開平 1 0 - 1 0 6 2 6 7 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 6 】

S R A M の動作には、書き込みと読み出しがあり、この動作を行っているときにはメモリ全体の一部だけが動作し、他の部分は値を保持しているだけである。書き込み、読み出し時には既定の電圧を必要とするが、値を保持するだけであれば既定の電圧は必要とせず、また電源電圧を下げることでよりオフ電流を低減することが出来る。

【 0 0 0 7 】

特許文献 1 に記載の S R A M では、アドレスの電源を変化させ、電源をカットする構成が記載されている。しかし、電源をカットすると、S R A M に適用されるトランジスタのオフ電流によって電気がグランド線に流れてしまい、値を保持することが難しいと考えられる。

【 0 0 0 8 】

そこで本発明は、L S I 動作時に、特許文献 1 とは異なる方法によってメモリ内で電源の供給方法を制御し、トランジスタのリーク電流を低減することによって L S I の消費電力を抑制することを課題とする。

【課題を解決するための手段】

【 0 0 0 9 】

上記課題を鑑み本発明は、値を書き込む期間又は読み出す期間と比べて、保持する期間における駆動電圧を低くすることを特徴とする。すなわち、本発明に係るメモリセルに値を書き込む期間では、メモリセルの電源線に第 1 の電圧が与えられ、書き込まれた値を保持する期間では、メモリセルの電源線には第 1 の電圧より低い第 2 の電圧が与えられることを特徴とする駆動方法である。

【 0 0 1 0 】

以下に本発明の具体的な構成を示す。

【 0 0 1 1 】

本発明の一形態は、電源線に接続されたインバーター回路を有するメモリセルを有し、前記メモリセルに値を書き込む期間には、第 1 の電圧が前記電源線に供給され、前記メモリセルに書き込まれた値を保持する期間には、前記第 1 の電圧より低い第 2 の電圧が前記電源線に供給され、前記メモリセルに書き込まれた値を読み出す期間には、前記第 1 の電圧が前記電源線に供給される半導体装置である。

【 0 0 1 2 】

本発明の別形態は、電源制御回路とメモリセルとを有し、前記電源制御回路は、第 1 のワード線及び第 2 のワード線と、第 1 のワード線又は第 2 のワード線にそれぞれ接続された 2 つの入力端子と一つの出力端子とを有し、いずれか一方の入力端子に H I G H ( ハイ )

10

20

30

40

50

レベルが入力されると出力端子にHIGHレベルが出力され、両方の入力端子にLOW（ロウ）レベルが入力されると出力端子にLOWレベルが出力される回路と、出力端子に入力端子が接続された第1のインバーター回路と、回路及び第1のインバーター回路に電氣的に接続され、メモリセルに第1の電圧又は第1の電圧より低い第2の電圧を供給する手段と、を有し、前記メモリセルは、第2のインバーター回路を有し、第1のワード線及び第2のワード線に接続される半導体装置である。

【0013】

本発明の別形態は、電源制御回路とメモリセルとを有し、前記電源制御回路は、第1のワード線及び第2のワード線と、第1のワード線又は第2のワード線にそれぞれ接続された2つの入力端子と一つの出力端子とを有し、いずれか一方の入力端子にHIGHレベルが入力されると出力端子にHIGHレベルが出力され、両方の入力端子にLOWレベルが入力されると出力端子にLOWレベルが出力される回路と、出力端子に入力端子が接続された第1のインバーター回路と、回路及び第1のインバーター回路に電氣的に接続され、メモリセルに第1の電圧又は第1の電圧より低い第2の電圧を供給する手段と、を有し、前記メモリセルは、グランド線及び電源線に接続された第2のインバーター回路を有し、第1のワード線及び第2のワード線に接続される半導体装置である。

10

【0014】

本発明の別形態は、電源制御回路とメモリセルとを有し、前記電源制御回路は、第1のワード線及び第2のワード線と、第1のワード線又は第2のワード線にそれぞれ接続された2つの入力端子と一つの出力端子とを有し、いずれか一方の入力端子にHIGHレベルが入力されると出力端子にHIGHレベルが出力され、両方の入力端子にLOWレベルが入力されると出力端子にLOWレベルが出力される回路と、出力端子に入力端子が接続された第1のインバーター回路と、回路及び第1のインバーター回路に電氣的に接続され、メモリセルに第1の電圧又は第1の電圧より低い第2の電圧を供給する手段と、を有し、前記メモリセルは、グランド線及び電源線に接続された第2のインバーター回路と、第2のインバーター回路に接続されたトランジスタとを有し、トランジスタのゲート電極に接続された第1のワード線と、第1のワード線及び第2のワード線に接続される半導体装置である。

20

【0015】

本発明の別形態は、電源制御回路とメモリセルとを有し、前記電源制御回路は、第1のワード線及び第2のワード線と、第1のワード線又は第2のワード線にそれぞれ接続された2つの入力端子と一つの出力端子とを有し、いずれか一方の入力端子にHIGHレベルが入力されると出力端子にHIGHレベルが出力され、両方の入力端子にLOWレベルが入力されると出力端子にLOWレベルが出力される回路と、出力端子に入力端子が接続された第1のインバーター回路と、回路及び第1のインバーター回路に電氣的に接続され、メモリセルに第1の電圧又は第1の電圧より低い第2の電圧を供給する手段と、を有し、前記メモリセルは、グランド線及び電源線に接続された第2のインバーター回路と、第2のインバーター回路に接続された第1乃至第3のトランジスタと、第1のトランジスタのゲート電極に接続された第1のワード線と、第2及び第3のトランジスタの一方の電極に接続されたデータ線と、を有し、第2及び第3のトランジスタのゲート電極に接続された第2のワード線と、第1のワード線及び第2のワード線に接続される半導体装置である。

30

40

【0016】

本発明において、メモリセルに第1の電圧又は第1の電圧より低い第2の電圧を供給する手段は、2つのトランジスタからなる。

【0017】

本発明において、2つの入力端子と一つの出力端子を有し、いずれか一方の入力端子にHIGHレベルが入力されるとHIGHレベルが出力され、両方の入力端子にLOWレベルが入力されるとLOWレベルが出力される回路は、OR回路、NOR回路とインバーター回路とからなる回路、2つのインバーター回路とNAND回路とからなる。

【0018】

50

本発明において、ワード線及び電源線は、薄膜トランジスタのゲート電極と同一層から設けられることができる。

【 0 0 1 9 】

本発明において、データ線は、薄膜トランジスタのソース電極及びドレイン電極と同じ材料で作製することができる。

【 0 0 2 0 】

本発明の別形態は、第 1 のワード線及び第 2 のワード線に接続された、第 1 のインバーター回路を有するメモリセルと、第 1 のワード線及び第 2 のワード線と、第 1 のワード線又は第 2 のワード線にそれぞれ接続された 2 つの入力端子と一つの出力端子とを有し、いずれか一方の入力端子に H I G H レベルが入力されると出力端子に H I G H レベルが出力され、両方の入力端子に L O W レベルが入力されると出力端子に L O W レベルが出力される回路と、出力端子に入力端子が接続された第 2 のインバーター回路と、第 2 のインバーター回路の出力端子にゲート電極が接続された第 1 のトランジスタと、回路の出力端子に接続された第 2 のトランジスタと、第 1 及び第 2 のトランジスタに接続された電源線と、を有する電源制御回路と、を有し、メモリセルに値を書き込む期間では、第 1 のワード線が H I G H レベルとなり、第 2 のワード線が L O W レベルとなり、第 1 のトランジスタがオンとなり、電源線に第 1 の電圧が与えられ、メモリセルに書き込まれた値を保持する期間では、第 1 のワード線及び第 2 のワード線が L O W レベルとなり、第 2 のトランジスタがオンとなり、電源線には第 1 の電圧より低い第 2 の電圧が与えられる半導体装置の駆動方法である。

【 0 0 2 1 】

本発明の別形態は、グラウンド線及び電源線に接続された第 1 のインバーター回路を有し、第 1 のワード線及び第 2 のワード線に接続されたメモリセルと、第 1 のワード線及び第 2 のワード線と、第 1 のワード線又は第 2 のワード線にそれぞれ接続された 2 つの入力端子と一つの出力端子とを有し、いずれか一方の入力端子に H I G H レベルが入力されると出力端子に H I G H レベルが出力され、両方の入力端子に L O W レベルが入力されると出力端子に L O W レベルが出力される回路と、出力端子に入力端子が接続されたインバーター回路と、回路及びインバーター回路に接続され、メモリセルに第 1 の電圧又は第 1 の電圧より低い第 2 の電圧を供給する手段と、を有する電源制御回路と、を有し、メモリセルに値を書き込む期間では、第 1 のワード線が H I G H レベルとなり、第 2 のワード線が L O W レベルとなり、第 1 のトランジスタがオンとなり、電源線に第 1 の電圧が与えられ、メモリセルに書き込まれた値を保持する期間では、第 1 のワード線及び第 2 のワード線が L O W レベルとなり、第 2 のトランジスタがオンとなり、電源線には第 1 の電圧より低い第 2 の電圧が与えられる半導体装置の駆動方法である。

【 0 0 2 2 】

本発明の別形態は、第 1 のワード線及び第 2 のワード線に接続された、インバーター回路を有するメモリセルと、第 1 のワード線及び第 2 のワード線と、第 1 のワード線又は第 2 のワード線に接続された 2 つの入力端子と一つの出力端子とを有し、いずれか一方の入力端子に H I G H レベルが入力されると出力端子に H I G H レベルが出力され、両方の入力端子に L O W レベルが入力されると出力端子に L O W レベルが出力される回路と、出力端子に入力端子が接続されたインバーター回路と、インバーター回路の出力端子にゲート電極が接続された第 1 のトランジスタと、回路の出力端子に接続された第 2 のトランジスタと、第 1 及び第 2 のトランジスタに接続された電源線と、を有する電源制御回路と、を有し、メモリセルに値を書き込む期間では、第 1 のワード線が H I G H レベルとなり、第 2 のワード線が L O W レベルとなり、第 1 のトランジスタがオンとなり、第 1 のトランジスタに接続された電源線に第 1 の電圧が与えられ、メモリセルに書き込まれた値を保持する期間では、第 1 のワード線及び第 2 のワード線が L O W レベルとなり、第 2 のトランジスタがオンとなり、電源線には第 1 の電圧より低い電圧が与えられ、前記メモリセルに書き込まれた値を読み出す期間では、前記第 1 のワード線がロウレベルとなり、前記第 2 のワード線がハイレベルとなり、前記第 1 のトランジスタがオンとなり、前記第 1 のトランジ

スタに接続された電源線に第１の電圧が与えられる半導体装置の駆動方法である。

【００２３】

本発明の別形態は、グランド線及び電源線に接続されたインバーター回路を有し、第１のワード線及び第２のワード線に接続されたメモリセルと、第１のワード線及び第２のワード線と、第１のワード線又は第２のワード線にそれぞれ接続された２つの入力端子と一つの出力端子とを有し、いずれか一方の入力端子にHIGHレベルが入力されると出力端子にHIGHレベルが出力され、両方の入力端子にLOWレベルが入力されると出力端子にLOWレベルが出力される回路と、出力端子に入力端子が接続されたインバーター回路と、回路及びインバーター回路に接続され、メモリセルに第１の電圧又は第１の電圧より低い第２の電圧を供給する手段と、を有する電源制御回路と、を有し、メモリセルに値を書き込む期間では、第１のワード線がHIGHレベルとなり、第２のワード線がLOWレベルとなり、第１のトランジスタがオンとなり、第１のトランジスタに接続された電源線に第１の電圧が与えられ、メモリセルに値を保持する期間では、第１のワード線及び第２のワード線がLOWレベルとなり、第２のトランジスタがオンとなり、電源線には第１の電圧より低い電圧が与えられ、前記メモリセルに書き込まれた値を読み出す期間では、前記第１のワード線がロウレベルとなり、前記第２のワード線がハイレベルとなり、前記第１のトランジスタがオンとなり、前記第１のトランジスタに接続された電源線に第１の電圧が与えられる半導体装置の駆動方法である。

10

【発明の効果】

【００２４】

20

本発明によって、メモリを備えた半導体装置の低消費電力化を図ることができる。特にLSIの機能が複雑化するのに伴い、LSIに必要とされるメモリの容量も大きくなり、さらにチップ内でメモリの占める面積の割合も大きくなってきている。メモリの容量が大きくなればなる程、既定の電圧を必要とするメモリセルのSRAM全体に対しての比率は小さくなることから、本発明の効果は大きくなる。

【発明を実施するための最良の形態】

【００２５】

本発明に係る半導体装置は、メモリセルを複数個配列したメモリセルアレイと、書き込み及び読み出しを行うビット線を制御する読み出し回路と、ワード線を制御するアドレスデコーダを有している。さらに、アドレスデコーダとメモリセルアレイの間には、電源制御回路が設けられている。電源制御回路は、アドレスデコーダからワード線へ信号を出力する際に、その信号に同期してメモリセルアレイに延びメモリセルに接続する電源線を制御する。このとき電源線には所定の電源電圧が印加される。

30

【００２６】

メモリセルは、インバーター回路が直列に接続されて構成されている。具体的には、二つのインバーター回路が、一方のインバーター回路の出力端子が他方のインバーター回路の入力端子に接続され、一方のインバーター回路の入力端子が他方のインバーター回路の出力端子に接続されている。すなわち、スタティックRAMを構成している。

【００２７】

電源制御回路は、少なくとも２本のワード線と、該ワード線にそれぞれ接続された２つの入力端子と一つの出力端子とを有し、いずれか一方の入力端子にHIGHレベルが入力されるとHIGHレベルが出力され、両方の入力端子にLOWレベルが入力されるとLOWレベルが出力される回路と、回路に接続されたインバーター回路と、回路及びインバーター回路に接続され、メモリセルに第１の電圧又は第１の電圧より低い第２の電圧を供給する手段とを有する。メモリセルに第１の電圧又は第１の電圧より低い第２の電圧を供給する手段として、直列に接続された２つのトランジスタを適用することができる。メモリセルに値を書き込む又は読み込むときには、第１の電圧を供給し、値を保存するときには第２の電圧を供給する。その結果、値を書き込む期間又は読み出す期間と比べて、保持する期間における駆動電圧を低くすることができ、メモリセルの低消費電力化を図ることができる。

40

50

## 【0028】

このようなメモリアレイはCPU (Central Processing Unit) 若しくはマイクロプロセッサMPU (Microprocessor) のキャッシュメモリとして用いることができる。CPUやMPUに適用することによって、CPUやMPUの低消費電力化を達成することができる。

## 【0029】

以下に、本発明の実施例を図面に基づいて説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、以下に示す実施例の記載内容に限定して解釈されるものではない。なお、実施例を説明するための全図において、同一部分又は同様な機能を有する部分には同一の符号を付し、その繰り返しの説明は省略する。

10

## 【0030】

また以下に示す実施例における電圧値は一例であり、本発明はこの値に限定されるものではない。

## 【0031】

## (実施例1)

本実施例では、本発明のSRAMメモリの構成について説明する。また本発明のSRAMメモリのような半導体素子を有する装置を半導体装置と呼ぶこともできる。

## 【0032】

20

図1に本発明のSRAMメモリ構成の一例を示す。メモリ103はバイトアドレス方式のメモリで、アドレスが0から63まであり、横方向に8ビットのメモリセルが並び、縦にアドレス0からアドレス63までの64ラインを有する構成を有する。

## 【0033】

メモリセル104は、1ビットの値を保持することができ、メモリセルアレイ102はメモリセル104を8ビット×64ライン有する。

## 【0034】

書き込み、読み出し回路101はメモリの外部からのデータをメモリセルアレイ102に書き込む処理と、メモリセルアレイ102からのデータを読み出してメモリの外部にデータを送信する処理を行う。

30

## 【0035】

アドレスデコーダ105はメモリの外部からの6ビットのアドレスを64本のワード線に復号する。

## 【0036】

アドレスデコーダ105はワード線WR0~WR63、WW0~WW63へ信号を出力し、これが電源制御回路106へ入力され、メモリセルアレイ102の電源線V0~V63を制御する。電源線には所定の電源電圧が印加される。

## 【0037】

ワード線WR0~WR63、WW0~WW63はアドレスデコーダ105からの出力信号によって、それぞれ、読み出し用と書き込み用のワード線として機能することができる。すなわち書き込み時には、WW0~WW63の一つが高電位側の状態(以下、「HIGHレベル」と記す)となり、読み出し時にはWR0~WR63の一つがHIGHレベルとなる。例えばアドレスが00で読み出しの場合は、WR0のみがHIGHレベルになり、アドレスが63で書き込みの場合はWW63のみがHIGHレベルとなる。

40

## 【0038】

BR0~BR7、BW0~BW7はそれぞれ読み出し用と書き込み用のビット線である。読み出し時にはアドレスによって選択された8ビットのメモリセルの値がBR0~BR7に入力され、書き込み時には外部からのデータがBW0~BW7に入力される。

## 【0039】

このようなSRAMメモリによって、8ビット×64=512ビット分の情報を記憶する

50

ことができる。

【 0 0 4 0 】

次にメモリセル 1 0 4 の構成例を示す。なお本実施例では、読み出し期間及び書き込み期間において電源電圧として 5 V、保持する期間において電源電圧として 3 V を供給する場合について説明するが、これの値に限定されるものではない。

【 0 0 4 1 】

図 2 に示すメモリセル 1 0 4 は、書き込み時のデータ線 2 0 1、2 0 2、データ線 2 0 3、書き込み時のワード線 2 0 4、電源線 2 0 5、グランド線 2 0 6、読み出し時のワード線 2 0 7、Nチャネル型トランジスタ 2 0 8、2 0 9、2 1 0、2 1 2、ノード 2 1 1、インバーター回路 2 1 3 を有する。

10

【 0 0 4 2 】

インバーター回路 2 1 3 は、2 つのインバーター回路 2 1 3 a、2 1 3 b を有し、互いに入力端子と出力端子がそれぞれ接続される。インバーター回路 2 1 3 が有するインバーター回路 2 1 3 a、2 1 3 b の一方の電極は電源線 2 0 5 に接続され、他方の電極はグランド線 2 0 6 に接続される。トランジスタ 2 0 8 のゲート電極及びトランジスタ 2 0 9 のゲート電極は、ワード線 2 0 4 に接続される。トランジスタ 2 0 8 の一方の電極はデータ線 2 0 1 に接続され、他方の電極はインバーター回路 2 1 3 内の一つのインバーター回路 2 1 3 a の出力端子に接続される。トランジスタ 2 0 9 のゲート電極は、ワード線 2 0 4 に接続され、一方の電極はデータ線 2 0 2 に接続され、他方の電極はインバーター回路 2 1 3 内の一つのインバーター回路 2 1 3 b の出力端子に接続される。トランジスタ 2 1 2 のゲート電極は、ノード 2 1 1 に接続され、一方の電極はグランド線 2 0 6 に接続され、他方の電極はトランジスタ 2 1 0 の一方の電極に接続される。トランジスタ 2 1 0 のゲート電極は、ワード線 2 0 7 に接続され、他方の電極はデータ線 2 0 3 に接続される。

20

【 0 0 4 3 】

書き込み時のデータ線 2 0 1 には書き込み値である正転の値が、書き込み時のデータ線 2 0 2 には反転の値が入力される。読み出し時のデータ線 2 0 3 には、読み出し時以外ではメモリセルが 1 を保持している場合は正転の値の書き込みが行われ、0 を保持している場合は反転の値の書き込みが行われ、読み出し回路 1 0 1 によって 5 V にプリチャージされる。

【 0 0 4 4 】

書き込み時、ワード線 2 0 4 が 5 V であり、トランジスタ 2 0 8、2 0 9 がオンになることにより、メモリセルに値を書き込むことができる。

30

【 0 0 4 5 】

読み出し時、ワード線 2 0 7 が H I G H レベルであり、トランジスタ 2 1 0 がオンになる。メモリセルの値が 0 の場合、ノード 2 1 1 の電圧が 5 V でありトランジスタ 2 1 2 がオンになり、プリチャージされたデータ線 2 0 3 はトランジスタ 2 1 0、2 1 2 により電圧が 0 V となる。メモリセルの値が 1 の場合、データ線 2 0 3 はトランジスタ 2 1 2 がオンにならないことから、プリチャージされた 5 V のまま保持される。

【 0 0 4 6 】

このようにメモリセルは書き込み時、読み出し時には装置全体の電源電圧と同じ電圧を必要とするが、書き込み、読み出し以外であって、書き込まれた値を保持する期間は、インバーター回路のみが L S I のシステムから電氣的に切り離された状態で値を保持している。すなわち、値を保持する期間は、メモリセルの外部との信号のやりとりがなくインバーター回路 2 1 3 内の 2 個のインバーター回路が動作すればよい。メモリセルに値が一度書き込まれると、インバーター回路 2 1 3 の 4 個のトランジスタのうち、オン状態のトランジスタが 2 個、オフ状態のトランジスタが 2 個になるが、電源線 2 0 5 からグランド線 2 0 6 に流れるメモリセルのリーク電流の大きさはこの 2 つのオフ状態のトランジスタによって決定される。従来のメモリセルでは値を保持する期間も 5 V の電圧が供給されていたが、本発明により保持する期間は 3 V の電圧が供給される。オフ状態のトランジスタのリーク電流は電源電圧を低くすることにより小さくなる。その結果、メモリ素子の低消費電

40

50



力化を図ることができる。このような動作を行うために電源制御回路 106 を設ける。

【0047】

次に、電源制御回路 106 の構成例及びその動作について示す。図 3 に示すように電源制御回路 106 は、OR320、インバータ回路 321、Pチャネル型トランジスタ 301、302、ワード線 WR0 ~ WR63、WW0 ~ WW63 を有する。OR320 の代わりに、NOR とインバータ回路、又は 2 つのインバータ回路と NAND を用いることもできる。すなわち、2 つの入力端子と一つの出力端子を有し、いずれか一方の入力端子に高電位側の信号が入力されると HIGH レベルが出力され、両方の入力端子に低電位側の信号（以下、「LOW レベル」と記す）が入力されると LOW レベルが出力される機能を奏する回路であればよい。なお、ここで、2 つの入力端子はそれぞれワード線 WR0 又は WW0 と接続されており、出力端子はインバータ回路の入力端子と接続されている。

10

【0048】

OR320 の入力端子にはワード線 WR0 ~ WR63、WW0 ~ WW63 が接続され、出力端子にはトランジスタ 301 のゲート電極及びインバータ回路 321 の入力端子が接続される。インバータ回路 321 の出力端子にはトランジスタ 302 のゲート電極が接続される。トランジスタ 301 の一方の電極と、トランジスタ 302 の一方の電極とは接続され、さらに電源線 V0 に接続される。

【0049】

このような電源制御回路 106 はアドレスデコーダ 105 のワード線からの出力を入力とし、それぞれのラインのワード線 WR と WW を OR の入力端子とし、OR の出力によって、該当するアドレスが読み出し書き込み時には電源電圧 5 V をラインに供給し、それ以外の時には 3 V を供給する。例えばアドレス 00 の読み出し時には、WR0 が 1 になりノード 311 が LOW レベルになりノード 310 が HIGH レベルになるため、トランジスタ 302 がオンになり電源線 V0 には 5 V が供給される。他のアドレスの電源電圧は、3 V に接続されるトランジスタ 301 がオンになり、3 V が電源線 V1 ~ V63 に供給されることになる。つまり、例えば、メモリセルに値を書き込む期間では、ワード線 WR0 が HIGH レベルとなり、ワード線 WW0 が LOW レベルとなり、トランジスタ 302 がオンとなり、トランジスタ 302 に接続された電源線に第 1 の電圧が与えられる。そして、メモリセルに書き込まれた値を保持する期間では、ワード線 WR0 及びワード線 WW0 が LOW レベルとなり、トランジスタ 301 がオンとなり、電源線には前記第 1 の電圧より低い電圧が与えられる。そして、メモリセルに書き込まれた値を読み出す期間では、ワード線 WR0 が LOW レベルとなり、ワード線 WW0 が HIGH レベルとなり、トランジスタ 302 がオンとなり、トランジスタ 302 に接続された電源線に第 1 の電圧が与えられる。ここで、トランジスタ 301、302 は、メモリセルに第 1 の電圧又は第 1 の電圧より低い第 2 の電圧を供給する手段に相当する。

20

30

【0050】

このように本発明を用いることにより保持する期間は 3 V の電圧が供給されるため、保持する期間も 5 V の電圧が供給されていた従来のメモリセルと比べてメモリ素子の低消費電力化を図ることができる。つまり、本発明により、書き込み又は読み出しを行う期間に電源線に供給される電圧に比べて、値を保持する期間に電源線に供給される電圧を低くすることが可能となるため、メモリセルの低消費電力化を図ることができる。

40

【0051】

（実施例 2）

本実施例では、実施例 1 の場合における本発明の SRAM メモリの動作を、タイミングチャートを用いて説明する。

【0052】

本発明の SRAM メモリのタイミングチャートを図 4 に示す。本発明の SRAM の信号は、書き込み期間を示すための信号：WE（write enable）、読み出し期間を示すための信号：RE（read enable）、書き込み期間に SRAM に書き込むデータバスの信号：WDATA（write data）、読み出し期間に

50

S R A Mのデータが読み出されるデータバスの信号：R D A T A ( r e a d d a t a ) , 書き込み又は読み出しを行うアドレスバスの信号：A D D R ( r e a d o r w r i t e a d d r e s s ) , 電源線V 0 ~ V 6 3へ入力される信号を有する。W E は1の時にメモリが書き込み期間であると判断し外部からの書き込みデータをアドレスのラインに書き込む動作を行い、0の時には書き込みの動作はしない。

【0053】

W E はS R A Mに値を書き込む時にH I G Hレベルになり、それ以外ではL O Wレベルになる。R E はS R A Mから値を読み出す時にH I G Hレベルになり、それ以外ではL O Wレベルになる。またR E は図2のデータ線203をプリチャージするタイミングに用いることができ、読み出し時以外のタイミングで書き込み、読み出し回路101によってデータ線203がプリチャージされる。

10

【0054】

W D A T Aは8ビットのバスで、書き込み時にS R A Mに書き込まれる値が入力される。R D A T Aは8ビットのバスで、読み出し時にS R A Mから読み出された値が入力される。A D D Rは6ビットのバスで、書き込み、又は読み出しするアドレスが入力される。入力されたアドレスは、デコーダ105によって64ビットの読み出しワード線、書き込みワード線に復号される。電源線V 0 ~ V 6 3として示すパルス信号は、それぞれアドレス0 ~ アドレス63に供給される電源電圧である。

【0055】

期間401はW E がH I G HレベルになりS R A Mに書き込みを行う期間であり、期間402はR E がH I G Hレベルになり読み出しを行う期間である。

20

【0056】

期間403は、A D D Rバスに入力されたアドレス00にW D A T Aバスに入力されたデータ00を書き込む動作を行う。このとき、アドレス00に供給される電源線V 0の電圧は5Vになり、それ以外のアドレスの電源線V 1 ~ V 6 3の電圧は3Vとなる。同様に期間404はアドレス01にデータを書き込む期間であり、アドレス01のメモリセルに供給される電源線V 1にのみ5Vが供給され、他の電源線V 0、V 2 ~ V 6 3には3Vが供給される。期間405、期間406も同様にそれぞれアドレス62、アドレス63の電源線V 6 2、V 6 3にのみ5Vが供給され、他のアドレスには3Vが供給される。

【0057】

30

期間407は、A D D Rバスに入力されたアドレス00からデータが読み出されR D A T Aバスにその値00が入力される。このとき、アドレス00のメモリセルの電源線V 0には5Vが供給され、それ以外のアドレスの電源電圧V 1 ~ V 6 3は3Vが供給される。

【0058】

期間408は、S R A Mの読み出しのデータバスR D A T AをH I G Hレベルにプリチャージする期間である。実施例1で示したS R A Mの構成の場合、S R A MのメモリセルがデータバスをH I G Hレベルとすることが出来ないため、R EをL O Wレベルにして書き込み、読み出し回路101によってプリチャージする必要がある。よって読み出し期間402ではあるアドレスから値を読み出し、次に違うアドレスのデータを読み出す場合、R EがL O Wレベルの期間が必要となる。このようにW EがL O Wレベルで、かつR EもL O Wレベルの期間では、S R A Mのメモリセルに供給されるすべての電源線V 0 ~ V 6 3に3Vが供給される。この期間は、書き込まれた値を保持する期間となる。

40

【0059】

このような本発明により値を保持する期間は3Vの電圧が供給され、メモリセルでは値を保持する期間も5Vの電圧が供給されていた従来と比べてメモリ素子の低消費電力化を図ることができる。

【0060】

(実施例3)

実施例1で示した電源制御回路106の構成の場合、S R A Mメモリから書き込み又は読み出しを行うのと同じタイミングでその動作に必要な電源が供給される。しかし、この形

50

態だと電源の供給が間に合わず、S R A Mメモリの動作速度が遅くなる事が予想される。そこで本実施例では、必要なタイミングよりも前のタイミングで電源電圧を供給するS R A Mメモリの構成を示す。

【 0 0 6 1 】

本実施例のS R A Mメモリの構成を図5に示す。

【 0 0 6 2 】

本実施例のS R A Mメモリの構成では、アドレスがデータバス等に対して1つ前のタイミングで入力される。アドレスデコーダ501はアドレスの入力を復号する。復号された書き込みと読み出しのワード線を電源制御回路502が受信する。

【 0 0 6 3 】

本実施例のS R A Mメモリにおける電源制御回路502の構成を図6に示す。

【 0 0 6 4 】

電源制御回路502は、読み出しのワード線WWP0～WWP63、書き込みのワード線WRP0～WRP63、4入力を有するOR602、インバーター回路603、Pチャネル型トランジスタ604、605、フリップフロップ607を有する。

【 0 0 6 5 】

フリップフロップ607にはクロックが入力され、それぞれの出力端子と、OR602の入力端子が接続される。OR602の出力端子は、インバーター回路603の入力端子及びトランジスタ604のゲート電極に接続される。インバーター回路603の出力端子は、トランジスタ605のゲート電極に接続される。トランジスタ604の一方の電極と、トランジスタ605の一方の電極は接続され、電源線V0と接続される。

【 0 0 6 6 】

このような電源制御回路502は、デコーダ501から信号入力された読み出しのワード線WWP0～WWP63、書き込みのワード線WRP0～WRP63を、その内部のフリップフロップ607を通し1クロック遅らせて書き込みのワード線WW0～WW63、読み出しのワード線WR0～WR63を信号出力する。

【 0 0 6 7 】

WWP0又はWRP0がHIGHレベルになった場合、ノード601がHIGHレベルになりアドレス00の電源線V0には5Vが供給される。又、WWP0、WRP0はフリップフロップを通りWW0、WR0となり、WWP0又はWRP0がHIGHレベルの場合、1クロック後のタイミングでWW0、WR0がHIGHレベルになりノード601がHIGHレベルになりアドレス00の電源線V0には5Vが供給される。このようにして、読み出し、書き込みを行う1クロック前のタイミングから5Vの電源を供給することが可能となる。その結果、電源の供給が間に合わず、S R A Mメモリの動作速度が遅くなることがない。

【 0 0 6 8 】

( 実施例 4 )

本実施例では、電源制御回路502のタイミングチャートを図7に示す。

【 0 0 6 9 】

期間701は書き込みを行う期間であり、期間702は読み出しを行う期間である。期間703では、アドレスバスADDRに00が入力され電源線V0に5Vが供給され、電源線V0以外の電源線には3Vが供給される。期間703において、電源制御回路内でWWP0はフリップフロップを通り、期間704で書き込みのワード線WW0がHIGHレベルとなり、WDATAバスの値00が書き込まれる。またWW0がHIGHレベルとなることにより、電源線V0には引き続き5Vが供給される。また704の期間でアドレスバスADDRに01が入力されV1に5Vが供給される。

【 0 0 7 0 】

期間705では、電源線V0に3Vが供給され、V1には引き続き5Vが供給される。又アドレス01にWDATAバスの値01が書き込まれる。

【 0 0 7 1 】

期間 708 では、RDATA が書き込み、読み出し回路によってプリチャージされると共に、アドレス 00 の電源線 V0 に 5V が供給され始める。期間 709 でも電源線 V0 には引き続き 5V が供給され、RDATA バスにはアドレス 00 の値 00 が入力される。期間 710 では、アドレス 01 の電源電圧 V1 に 5V が供給され始める。期間 711 でも V1 には 5V が供給され、RDATA バスにはアドレス 01 の値 01 が入力される。

【0072】

(実施例 5)

本実施例では、本発明のメモリセルの上面図及びその断面図の構成例について説明する。なお、本実施例ではトランジスタに薄膜トランジスタ (TFET) を用いる。

【0073】

図 8 には、図 2 の回路図に対応するメモリセルの上面図を示す。メモリセル 104 は、書き込み時のデータ線 201、202、データ線 203、書き込み時のワード線 204、電源線 205、グランド線 206、読み出し時のワード線 207、Nチャネル型 TFET 208、209、210、212、ノード 211、インバーター回路 213 を有する。そして Nチャネル型 TFET 208、209 は同一の半導体層からなり、Nチャネル型 TFET 210、212 は同一の半導体層からなり、インバーター回路 213 が有する Pチャネル型 TFET は同一の半導体層からなる。Nチャネル型 TFET 210、212 はチャネル幅が広く成るように設けられている。読み出し線 203 には大きな容量がつくため、これを既定の動作速度で 0V に落とすためには、チャネル幅の広いトランジスタを設けるとよい。またインバーター回路 213 内の Pチャネル型 TFET は、Nチャネル型 TFET よりもチャネル幅が広くなるように設けられている。これは Pチャネル型 TFET の移動度を高くするためである。

【0074】

これら半導体層上にはゲート電極及びゲート配線が設けられている。Nチャネル型 TFET 210、212 が直列となるように設けられており、一方のゲート電極はノード 211 となり、他方のゲート電極はワード線 207 となる。インバーター回路 213 内の Nチャネル型 TFET のゲート電極と、Pチャネル型 TFET のゲート電極は接続されるため、同一ゲート電極となる。

【0075】

ゲート電極及び半導体層上に、ソース電極、ドレイン電極及び配線が設けられている。ソース電極、ドレイン電極及び配線の線幅は、ゲート電極及びゲート配線の線幅より広く設けられている。ワード線 204 と、電源線 205 は、インバーター回路 213 を介して配置される。ソース電極、ドレイン電極及び配線と、半導体層又はゲート配線等とを接続するため、これらの間に設けられる絶縁層にコンタクトホール (四角で示す) が設けられている。コンタクトホールの数を増やす又はその面積を広くすることにより、接触不良を低減することができる。

【0076】

ソース電極、ドレイン電極及び配線上に、配線が設けられている。配線は、グランド線 206、ワード線 207 となり、ソース電極、ドレイン電極及び配線の線幅より広くなるように設けられている。線幅の広いグランド線 206、ワード線 207 によって、電圧降下を抑えることができる。配線と、ゲート配線又配線とを接続するため、これらの間に設けられる絶縁層にコンタクトホール (四角で示す) が設けられている。

【0077】

次に、図 8 における A - B 間の断面図を参照しながら、メモリセルの作製工程について説明する。

【0078】

図 9 (A) には、絶縁表面を有する基板 (絶縁基板) 801 を用意する。絶縁基板とは、ガラス基板、石英基板、プラスチック基板等が挙げられる。また、これら基板において、その裏面を研磨する等の手法によって薄くすることができる。さらに、金属元素等の導電性基板や、シリコン等の半導体性基板上に絶縁性を有する材料を用いて層を形成した基板

10

20

30

40

50

を用いることも可能である。メモリセルを、例えばプラスチック基板に形成することにより、柔軟性が高く、軽量で薄型な装置を作製することができる。

【0079】

絶縁基板801上に下地層802を形成する。下地層802は、酸化珪素、窒化珪素、または酸化窒化珪素等の絶縁性を有する材料を用い、単層構造または積層構造で形成することができる。本実施例では、下地層802として2層構造を用いる場合を説明する。下地層802の一層目として、膜厚10nm以上200nm以下（好ましくは50nm以上100nm以下）の酸化窒化珪素層を形成する。当該酸化窒化珪素層は、プラズマCVD法を用い、 $\text{SiH}_4$ 、 $\text{NH}_3$ 、 $\text{N}_2\text{O}$ 及び $\text{H}_2$ を反応ガスとして形成することができる。次いで下地層802の2層目として、膜厚50nm以上200nm以下（好ましくは100nm以上150nm以下）の酸化窒化珪素層を形成する。当該酸化窒化珪素層は、プラズマCVD法を用い、 $\text{SiH}_4$ 及び $\text{N}_2\text{O}$ を反応ガスとして形成することができる。

10

【0080】

下地層802上に半導体層を形成する。半導体層は、珪素を有する材料から形成することができる。半導体層の状態は、非晶質状態、結晶状態、微結晶状態のいずれとすることもできる。結晶状態を有すると、TFTの移動度を高めることができ好ましい。

【0081】

結晶状態の半導体層を形成するには、非晶質半導体層に対して加熱処理を行う手法がある。加熱処理には、レーザ照射、加熱炉、ランプ照射等が挙げられ、これらのいずれか又は複数を用いることができる。

20

【0082】

レーザ照射には、連続発振型のレーザビーム（CWレーザ）やパルス発振型のレーザビーム（パルスレーザ）を用いることができる。レーザビームとしては、Arレーザ、Krレーザ、エキシマレーザ、YAGレーザ、 $\text{Y}_2\text{O}_3$ レーザ、 $\text{YVO}_4$ レーザ、YLFレーザ、 $\text{YAlO}_3$ レーザ、ガラスレーザ、ルビーレーザ、アレキサンドライトレーザ、Ti：サファイヤレーザ、銅蒸気レーザまたは金蒸気レーザのうち一種または複数種から発振されるものを用いることができる。このようなレーザビームの基本波と、当該基本波の第2高調波から第4高調波といった高調波のレーザビームのいずれかを照射することで、粒径の大きな結晶を有するシリコン層を得ることができる。高調波には、Nd： $\text{YVO}_4$ レーザ（基本波1064nm）の第2高調波（532nm）や第3高調波（355nm）を用いることができる。レーザ照射におけるエネルギー密度は0.01～100MW/cm<sup>2</sup>程度（好ましくは0.1～10MW/cm<sup>2</sup>）が必要である。そして、走査速度を10～2000cm/sec程度として照射する。

30

【0083】

なお、基本波のCWレーザと高調波のCWレーザとを照射するようにしてもよいし、基本波のCWレーザと高調波のパルスレーザとを照射するようにしてもよい。複数のレーザ光を照射することにより、広範囲のエネルギー領域を補うことができる。

【0084】

また、パルスレーザであって、非晶質状態を有するシリコン層がレーザによって溶融してから固化するまでに、次のパルスのレーザを照射できるような発振周波数でレーザを発振させるレーザビームを用いることもできる。このような周波数でレーザを発振させることで、走査方向に向かって連続的に成長した結晶粒を有するシリコン層を得ることができる。このようなレーザの発振周波数は10MHz以上であり、通常用いられている数十Hz～数百Hzの周波数帯よりも著しく高い。

40

【0085】

加熱処理として加熱炉を用いる場合には、非晶質状態を有する半導体層を400～550で2～20時間かけて加熱する。このとき、徐々に高温となるように温度を400～550の範囲で多段階に設定するとよい。最初の400程度の低温加熱工程により、非晶質状態を有する半導体層に含まれる水素等が出てくるため、結晶化の際に層表面が荒れるのを低減することができる。

50

## 【 0 0 8 6 】

上記加熱処理の工程において、半導体層の結晶化を促進させる金属、例えばニッケル（Ni）を添加する。例えば、非晶質状態を有する珪素層上にニッケルを含む溶液を塗布し、加熱処理を行うことができる。このように金属を用いて加熱処理を行うことで、加熱温度を低減することができ、さらに、結晶粒界の連続した多結晶珪素層を得ることができる。ここで結晶化を促進するための金属としてはNiの他に、鉄（Fe）、ルチニウム（Ru）、ロジウム（Rh）、パラジウム（Pd）、オスミウム（Os）、イリジウム（Ir）、白金（Pt）、銅（Cu）、銀（Au）等を用いることもできる。

## 【 0 0 8 7 】

結晶化を促進させる金属はメモリセル等の汚染源となるため、半導体層を結晶化した後に、金属を除去するゲッタリング工程を行うことが望ましい。ゲッタリング工程では、半導体層を結晶化した後、半導体層上にゲッタリングシンクとなる層を形成し、加熱することで金属をゲッタリングシンクへ移動させる。ゲッタリングシンクには、多結晶半導体層や不純物が添加された半導体層を用いることができる。例えば、多結晶珪素層上にアルゴン等の不活性元素が添加された多結晶半導体層を形成し、これをゲッタリングシンクとして用いることができる。ゲッタリングシンクに不活性元素を添加することによって、ひずみを生じさせ、より効率的に金属を捕獲することができる。また新たにゲッタリングシンクを形成することなく、TFTの半導体層の一部にリン等の元素を添加することによって、金属を捕獲することもできる。

## 【 0 0 8 8 】

このように形成された半導体層を、所定の形状に加工し、島状の半導体層803を形成する。加工手段には、フォトリソグラフィ法によって形成されたマスクを用いて、エッチングする。エッチングには、ウェットエッチング法又はドライエッチング法を適用することができる。

## 【 0 0 8 9 】

半導体層803を覆うようにゲート絶縁層804として機能する絶縁層を形成する。ゲート絶縁層804は、下地層802と同様の材料、方法により形成することができる。

## 【 0 0 9 0 】

図9（B）に示すように、ゲート絶縁層804上にゲート電極及びゲート配線として機能する導電層を形成する。導電層はアルミニウム（Al）、チタン（Ti）、モリブデン（Mo）、タンタル（Ta）、タングステン（W）もしくはシリコン（Si）の元素からなる膜又はこれらの元素を有する合金膜を用いることができる。導電層は、単層構造又は積層構造とすることができ、積層構造として窒化タンタルとタングステンの積層構造を適用することができる。導電層を所定の形状に加工し、積層構造を有するゲート電極806、ゲート配線813を形成することができる。加工手段には、フォトリソグラフィ法によって形成されたマスクを用いて、エッチングする。エッチングには、ウェットエッチング法又はドライエッチング法を適用することができる。

## 【 0 0 9 1 】

ゲート電極806の側面には、サイドウォール807と呼ばれる絶縁物を形成する。サイドウォール807は、下地層802と同様の材料、方法により形成することができる。またサイドウォール807の端部をテーパ形状にするためには、等方性エッチングを用いればよい。サイドウォールにより、ゲート長が狭くなるにつれて生じる短チャネル効果を防止することができる。短チャネル効果はNチャネル型TFTに顕著であるため、少なくともNチャネル型TFTのゲート電極側面に設けるとよい。またゲート配線にも、同様にサイドウォールを形成してもかまわない。

## 【 0 0 9 2 】

この状態で、ゲート電極806及びサイドウォール807を用いて、半導体層803に不純物元素を添加する。Nチャネル型TFTとする場合、不純物元素はリン（P）を用い、Pチャネル型TFTとする場合、不純物元素はボロン（B）を用いることができる。不純物元素が添加されると半導体層803に不純物領域が形成される。不純物領域には、高濃

10

20

30

40

50

度不純物領域 808、810、及びサイドウォール 807 下方の低濃度不純物領域 809、811 が形成される。

【0093】

不純物添加後、必要に応じて加熱処理を行い、不純物元素の活性化及び半導体層の表面改善を図ることができる。加熱処理には、結晶化と同様な手法を用いることができる。

【0094】

図 9 (C) に示すように、半導体層やゲート電極を覆って、層間膜として機能する絶縁層 815、816 を形成する。層間膜は、単層構造又は積層構造とすることができ、本実施例では積層構造を示す。層間膜には、無機材料又は有機材料を用いることができる。無機材料は、酸化珪素、窒化珪素、酸化窒化珪素等を用いることができる。有機材料はポリイミド、アクリル、ポリアミド、ポリイミドアミド、レジスト又はベンゾシクロブテン、シロキサン、ポリシラザンを用いることができる。なお、シロキサンとは、シリコン (Si) と酸素 (O) との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基 (例えばアルキル基、芳香族炭化水素) が用いられる。置換基として、フルオロ基を用いてもよい。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。ポリシラザンは、シリコン (Si) と窒素 (N) の結合を有するポリマー材料を出発原料として形成される。無機材料を用いると不純物元素の侵入を防止することができ、有機材料を用いると平坦性を高めることができる。そのため、本実施例では、絶縁層 815 に無機材料を用い、絶縁層 816 に有機材料を用いる。

【0095】

図 9 (D) に示すように、絶縁層 816、815 を貫通するコンタクトホールを形成し、コンタクトホールを充填するように配線 818 を形成する。配線 818 は、アルミニウム (Al)、チタン (Ti)、モリブデン (Mo)、タンタル (Ta)、タングステン (W) もしくはシリコン (Si) の元素からなる膜又はこれらの元素を有する合金膜を用いることができる。配線 818 は、単層構造又は積層構造を用いることができ、例えば第 1 層にタングステン、窒化タングステン等を用い、第 2 層にアルミニウムとシリコンの合金 (Al-Si)、アルミニウムとチタンの合金 (Al-Ti) を用い、第 3 層に窒化チタン膜、チタン膜等を順次積層した構造を適用することができる。配線 818 の加工には、フォトリソグラフィ法で形成されたマスクを用いた、エッチング法がある。エッチング法には、ウェットエッチング法又はドライエッチング法を適用することができる。配線 818 は、半導体層 803 では不純物領域に接続し、このような配線をソース電極、ドレイン電極と呼ぶことができる。

【0096】

このようにして P チャネル型 TFT 820、N チャネル型 TFT 821 を形成することができる。なお N チャネル型 TFT 821 は、それぞれトランジスタ 210、212 に相当し、配線 818 の一部はデータ線 201、ワード線 207 に相当する。

【0097】

このようにして本発明のメモリセルは絶縁基板上的 TFT を用いて形成することができる。勿論本発明のメモリセルはこれに限定されるものではなく、シリコンウェハを用いたトランジスタによっても形成することができる。但し、絶縁基板上に形成することによって安価なメモリセル、さらにはこれを有する装置を提供することができる。

【0098】

(実施例 6)

本発明の SRAM は、CPU に適用することができる。本実施例では、本発明の SRAM を搭載した CPU の構成について説明する。CPU の簡単な構成を図 10 に示す。

【0099】

CPU は、D\$ ブロック (データキャッシュ) 901、I\$ ブロック (インストラクションキャッシュ) 902、DU ブロック (データユニット) 903、ALU ブロック (Arithmetic Logic Unit, 算術論理演算回路) 904、PC ブロック (プログラムカウンタ) 905、IO (InOut) ブロック 906 を有する。

## 【0100】

D\$901は最近アクセスされたアドレスのデータを一時的に保持しそのアドレスのデータに高速でアクセス出来るようにする機能を有するものである。I\$902は最近アクセスされたアドレスの命令を一時的に保持しそのアドレスの命令に高速でアクセス出来るようにする機能を有するものである。DU903はストア又はロード命令が実行された時、D\$にアクセスするか、IOにアクセスするかを決定する機能を有するものである。

ALU904は算術論理演算回路であり、四則演算、比較演算、論理演算などを行う機能を有するものである。PC905は、現在実行中の命令のアドレスを保持し、その実行終了後、次の命令をフェッチする機能を有する。又、次の命令をフェッチする時にI\$にアクセスするか、IOにアクセスするかを決定する機能を有するものである。IO906はDU、PCからのアクセスを受け外部とデータの送受信を行う機能を有するものである。以下にそれぞれの関係を説明する。

10

## 【0101】

PC905が命令をフェッチする時に、はじめにI\$902にアクセスし、I\$902に該当するアドレスの命令がない場合にIO906にアクセスする。これによって得られた命令はI\$902に格納すると共に実行を行う。実行すべき命令が算術論理演算の場合はALU904が演算を行う。実行すべき命令がストア又はロード命令の場合は、DU903が演算を行う。この際、DU903はまずD\$901にアクセスし、該当するアドレスのデータがD\$901にない場合にIO906にアクセスする。

## 【0102】

20

このようなCPUにおいて、本発明のSRAMは、D\$901とI\$902、ALU904の内部に存在するGPRに適用することができる。その結果、低消費電力化を達成したCPUを提供することができる。

## 【0103】

## (実施例7)

本発明のSRAMを実装しうる半導体装置として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置(カーオーディオ、オーディオコンポ等)、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末(モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等)、記録媒体を備えた画像再生装置(具体的にはDVD:Digital Versatile Disc等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置)などが挙げられる。それら半導体装置の具体例を図11に示す。

30

## 【0104】

図11(A)は携帯情報端末(所謂PDA:Personal Digital Assistant)であり、本体2001、表示部2002、操作キー2003、モデム2004等を含み、本体2001が有するメモリ素子として本発明のSRAMメモリが設けられている。本発明のSRAMメモリにより、携帯情報端末の低コスト化を図ることができる。

## 【0105】

図11(B)は携帯電話機であり、本体2101、表示部2102、音声入力部2103、音声出力部2104、操作キー2105、外部接続ポート2106、アンテナ2107等を含み、本体2101が有するメモリ素子として本発明のSRAMメモリが設けられている。本発明のSRAMメモリにより、携帯電話機の低コスト化を図ることができる。

40

## 【0106】

図11(C)は電子カードであり、本体2201、表示部2202、接続端子2203等を含み、本体2201が有するメモリ素子として本発明のSRAMメモリが設けられている。本発明のSRAMメモリにより、電子カードの低コスト化を図ることができる。なお、図11(C)では接触型の電子カードを示しているが、非接触型の電子カードや、接触型と非接触型の機能を持ち合わせた電子カードにも、本発明のSRAMメモリを用いることができる。

50



## 【 0 1 0 7 】

図 1 1 ( D ) は電子ブックであり、本体 2 3 0 1、表示部 2 3 0 2、操作キー 2 3 0 3 等を含み、本体 2 3 0 1 が有するメモリ素子として本発明の S R A M メモリが設けられている。また電子ブックには、モデムが本体 2 3 0 1 に内蔵されていてもよい。本発明の S R A M メモリにより、電子ブックの低コスト化を図ることができる。

## 【 0 1 0 8 】

図 1 1 ( E ) はコンピュータであり、本体 2 4 0 1、表示部 2 4 0 2、キーボード 2 4 0 3、タッチパッド 2 4 0 4、外部接続ポート 2 4 0 5、電源プラグ 2 4 0 6 等を含み、本体 2 4 0 1 が有するメモリ素子として本発明の S R A M メモリが設けられている。本発明の S R A M メモリにより、コンピュータの低コスト化を図ることができる。

10

## 【 0 1 0 9 】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の半導体装置に用いることが可能である。なお、本実施例の半導体装置は、実施の形態、実施例に示したいずれの構成及びその作製方法とも組み合わせて実施することができる。

## 【図面の簡単な説明】

## 【 0 1 1 0 】

【図 1】本発明の S R A M メモリ構成を示した図である

【図 2】本発明のメモリセルの構成を示した回路図である

【図 3】本発明の電源制御回路の構成を示した回路図である

【図 4】本発明の S R A M メモリのタイミングチャートである

20

【図 5】本発明の S R A M メモリ構成を示した図である

【図 6】本発明の電源制御回路の構成を示した回路図である

【図 7】本発明の電源制御回路のタイミングチャートである

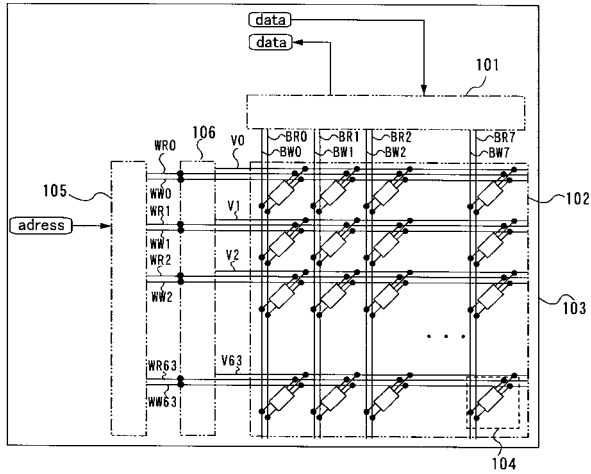
【図 8】本発明のメモリセルに対応する上面図である

【図 9】本発明のメモリセルに対応する断面図である

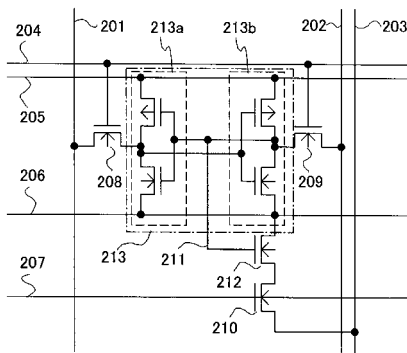
【図 1 0】本発明の S R A M メモリを搭載しうる C P U を示したブロック図である

【図 1 1】本発明の電子機器を示した図である

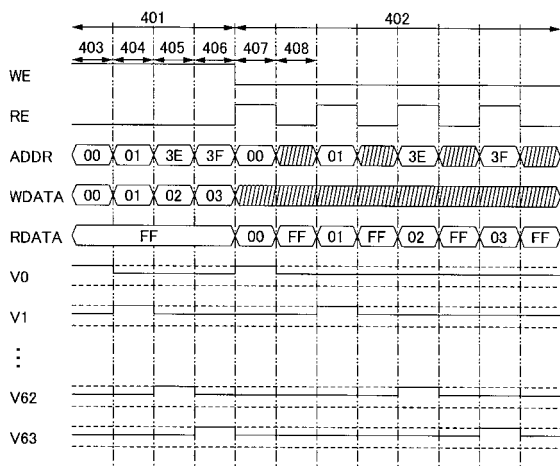
【図 1】



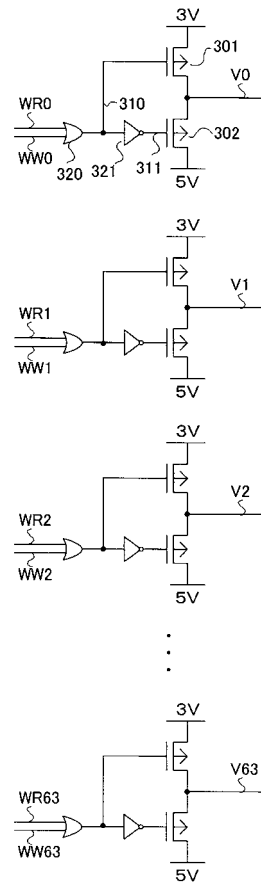
【図 2】



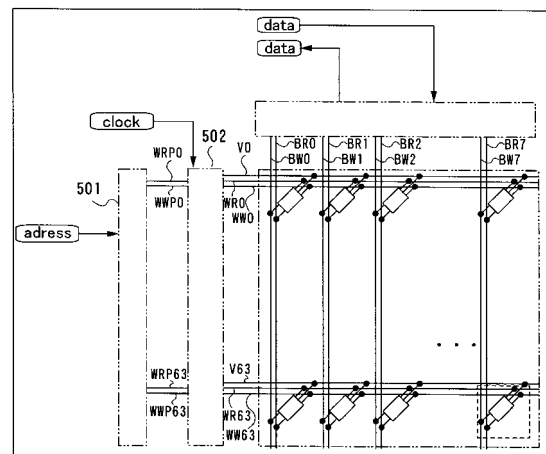
【図 4】



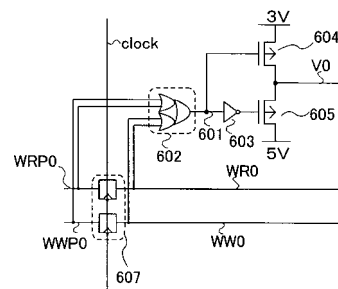
【図 3】



【図 5】

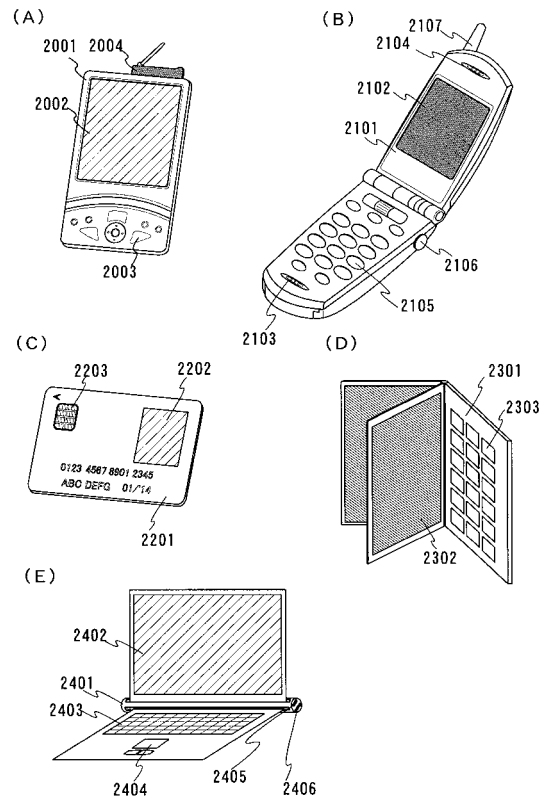


【図 6】





## 【図 11】



---

フロントページの続き

(56)参考文献 特開2003-123479(JP,A)  
特開2005-044456(JP,A)  
特開平03-192595(JP,A)  
特開平08-147978(JP,A)  
特開2003-060077(JP,A)  
特開2005-038557(JP,A)  
特開2001-266580(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C	11/413
G11C	11/41
H01L	21/8244
H01L	27/11