

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5552858号
(P5552858)

(45) 発行日 平成26年7月16日(2014.7.16)

(24) 登録日 平成26年6月6日(2014.6.6)

(51) Int.Cl.

F 1

H04N 5/374 (2011.01)
H04N 5/365 (2011.01)H04N 5/335 740
H04N 5/335 650

請求項の数 22 (全 30 頁)

(21) 出願番号 特願2010-72309 (P2010-72309)
 (22) 出願日 平成22年3月26日 (2010.3.26)
 (65) 公開番号 特開2011-205512 (P2011-205512A)
 (43) 公開日 平成23年10月13日 (2011.10.13)
 審査請求日 平成25年2月18日 (2013.2.18)

(73) 特許権者 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100094363
 弁理士 山本 幸久
 (74) 代理人 100118290
 弁理士 吉井 正明
 (74) 代理人 100120640
 弁理士 森 幸一
 (72) 発明者 大池 祐輔
 東京都港区港南1丁目7番1号 ソニー株式会社内
 (72) 発明者 加藤 昭彦
 東京都港区港南1丁目7番1号 ソニー株式会社内

最終頁に続く

(54) 【発明の名称】 固体撮像装置、固体撮像装置の駆動方法、及び、電子機器

(57) 【特許請求の範囲】

【請求項 1】

光電変換部、電荷電圧変換部、当該電荷電圧変換部を所定電位に設定するリセットトランジスタ、及び、前記電荷電圧変換部で変換された信号を読み出す増幅トランジスタを有する単位画素が2次元配列されてなる画素アレイ部と、

基準電圧を用いて前記単位画素から出力される信号を処理する信号処理部と、

第1の単位画素から前記電荷電圧変換部に蓄積あるいは保持された信号電荷に基づく信号レベルを読み出す前に、既に信号レベルが読み出された第2の単位画素から得られるリセットレベルを、前記信号処理部の前記基準電圧として設定する設定部とを備え、

前記信号処理部は、前記単位画素からアナログ信号で出力される前記信号レベル及び前記リセットレベルをデジタル信号に変換するアナログ-デジタル変換回路であり、

前記基準電圧は、前記アナログ-デジタル変換回路の変換可能な入力電圧範囲の基準となる電圧である

固体撮像装置。

【請求項 2】

前記第1の単位画素において、前記電荷電圧変換部に蓄積あるいは保持された信号電荷を前記信号レベルとして読み出した後、前記電荷電圧変換部を前記リセットトランジスタによって前記所定電位に設定し、当該所定電位を前記リセットレベルとして読み出す請求項1に記載の固体撮像装置。

【請求項 3】

前記信号処理部は、前記信号レベルと前記リセットレベルとの差分をとる信号処理を行う

請求項 1 または請求項 2 に記載の固体撮像装置。

【請求項 4】

前記第 2 の単位画素は、前記第 1 の単位画素と物理的に相關の高い単位画素である
請求項 1 乃至請求項 3 のいずれか 1 項に記載の固体撮像装置。

【請求項 5】

前記第 2 の単位画素は、2 次元配列上で前記第 1 の単位画素の近傍に位置する単位画素
である

請求項 4 に記載の固体撮像装置。

10

【請求項 6】

前記第 2 の単位画素は、前記第 1 の単位画素と同一のレイアウト形状を有する
請求項 4 に記載の固体撮像装置。

【請求項 7】

前記第 2 の単位画素は、前記第 1 の単位画素と同一のレイアウト形状を有し、当該第 1
の単位画素に対して物理的に最も近くに配置された単位画素である
請求項 4 に記載の固体撮像装置。

【請求項 8】

前記第 2 の単位画素は、前記第 1 の単位画素の直前に信号レベル及びリセットレベルが
読み出された単位画素である

請求項 5 乃至請求項 7 のいずれか 1 項に記載の固体撮像装置。

20

【請求項 9】

前記設定部は、前記基準電圧として設定するリセットレベルを前記第 2 の単位画素から
読み出す際に、前記リセットトランジスタによって前記電荷電圧変換部を前記所定電位に
設定する

請求項 1 乃至請求項 8 のいずれか 1 項に記載の固体撮像装置。

【請求項 10】

光電変換部、電荷電圧変換部、当該電荷電圧変換部を所定電位に設定するリセットトランジスタ、及び、前記電荷電圧変換部で変換された信号を読み出す増幅トランジスタを有する単位画素が 2 次元配列されてなる画素アレイ部と、

30

基準電圧を用いて前記単位画素から出力される信号を処理する信号処理部と、

第 1 の単位画素から前記電荷電圧変換部に蓄積あるいは保持された信号電荷に基づく信号レベルを読み出す前に、既に信号レベルが読み出された第 2 の単位画素から得られるリセットレベルを、前記信号処理部の前記基準電圧として設定する設定部と
を備え、

前記信号処理部は、前記単位画素からアナログ信号で出力される前記信号レベル及び前記リセットレベルを増幅するアンプ回路であり、

前記基準電圧は、前記アンプ回路の増幅可能な入力電圧範囲の基準となる電圧である
固体撮像装置。

40

【請求項 11】

前記第 1 の単位画素において、前記電荷電圧変換部に蓄積あるいは保持された信号電荷
を前記信号レベルとして読み出した後、前記電荷電圧変換部を前記リセットトランジスタ
によって前記所定電位に設定し、当該所定電位を前記リセットレベルとして読み出す
請求項 10 に記載の固体撮像装置。

【請求項 12】

前記信号処理部は、前記信号レベルと前記リセットレベルとの差分をとる信号処理を行う

請求項 10 または請求項 11 に記載の固体撮像装置。

【請求項 13】

50

前記第2の単位画素は、前記第1の単位画素と物理的に相關の高い単位画素である
請求項10乃至請求項12のいずれか1項に記載の固体撮像装置。

【請求項14】

前記第2の単位画素は、2次元配列上で前記第1の単位画素の近傍に位置する単位画素
である

請求項13に記載の固体撮像装置。

【請求項15】

前記第2の単位画素は、前記第1の単位画素と同一のレイアウト形状を有する
請求項13に記載の固体撮像装置。

【請求項16】

前記第2の単位画素は、前記第1の単位画素と同一のレイアウト形状を有し、当該第1
の単位画素に対して物理的に最も近くに配置された単位画素である
請求項13に記載の固体撮像装置。

【請求項17】

前記第2の単位画素は、前記第1の単位画素の直前に信号レベル及びリセットレベルが
読み出された単位画素である

請求項14乃至請求項16のいずれか1項に記載の固体撮像装置。

【請求項18】

前記設定部は、前記基準電圧として設定するリセットレベルを前記第2の単位画素から
読み出す際に、前記リセットトランジスタによって前記電荷電圧変換部を前記所定電位に
設定する

請求項10乃至請求項17のいずれか1項に記載の固体撮像装置。

【請求項19】

光電変換部、電荷電圧変換部、当該電荷電圧変換部を所定電位に設定するリセットトランジスタ、及び、前記電荷電圧変換部で変換された信号を読み出す増幅トランジスタを有する単位画素が2次元配列されてなる画素アレイ部と、

基準電圧を用いて前記単位画素から出力されるアナログ信号をデジタル信号に変換する
アナログ-デジタル変換回路と

を備え、

前記基準電圧は、前記アナログ-デジタル変換回路の変換可能な入力電圧範囲の基準となる電圧である固体撮像装置の駆動に当たって、

第1の単位画素から前記電荷電圧変換部に蓄積あるいは保持された信号電荷に基づく信号レベルを読み出す前に、既に信号レベルが読み出された第2の単位画素から得られるリセットレベルを前記基準電圧として設定する
固体撮像装置の駆動方法。

【請求項20】

光電変換部、電荷電圧変換部、当該電荷電圧変換部を所定電位に設定するリセットトランジスタ、及び、前記電荷電圧変換部で変換された信号を読み出す増幅トランジスタを有する単位画素が2次元配列されてなる画素アレイ部と、

基準電圧を用いて前記単位画素から出力される信号を処理する信号処理部と、

第1の単位画素から前記電荷電圧変換部に蓄積あるいは保持された信号電荷に基づく信号レベルを読み出す前に、既に信号レベルが読み出された第2の単位画素から得られるリセットレベルを、前記信号処理部の前記基準電圧として設定する設定部と
を備え、

前記信号処理部は、前記単位画素からアナログ信号で出力される前記信号レベル及び前記リセットレベルを増幅するアンプ回路であり、

前記基準電圧は、前記アンプ回路の増幅可能な入力電圧範囲の基準となる電圧である固体撮像装置の駆動に当たって、

第1の単位画素から前記電荷電圧変換部に蓄積あるいは保持された信号電荷に基づく信号レベルを読み出す前に、既に信号レベルが読み出された第2の単位画素から得られるリ

10

20

30

40

50

セットレベルを、前記信号処理部の前記基準電圧として設定する
固体撮像装置の駆動方法。

【請求項 2 1】

光電変換部、電荷電圧変換部、当該電荷電圧変換部を所定電位に設定するリセットトランジスタ、及び、前記電荷電圧変換部で変換された信号を読み出す増幅トランジスタを有する単位画素が 2 次元配列されてなる画素アレイ部と、

基準電圧を用いて前記単位画素から出力される信号を処理する信号処理部と、

第 1 の単位画素から前記電荷電圧変換部に蓄積あるいは保持された信号電荷に基づく信号レベルを読み出す前に、既に信号レベルが読み出された第 2 の単位画素から得られるリセットレベルを、前記信号処理部の前記基準電圧として設定する設定部と
10
を備え、

前記信号処理部は、前記単位画素からアナログ信号で出力される前記信号レベル及び前記リセットレベルをデジタル信号に変換するアナログ-デジタル変換回路であり、

前記基準電圧は、前記アナログ-デジタル変換回路の変換可能な入力電圧範囲の基準となる電圧である

固体撮像装置を有する電子機器。

【請求項 2 2】

光電変換部、電荷電圧変換部、当該電荷電圧変換部を所定電位に設定するリセットトランジスタ、及び、前記電荷電圧変換部で変換された信号を読み出す増幅トランジスタを有する単位画素が 2 次元配列されてなる画素アレイ部と、
20

基準電圧を用いて前記単位画素から出力される信号を処理する信号処理部と、

第 1 の単位画素から前記電荷電圧変換部に蓄積あるいは保持された信号電荷に基づく信号レベルを読み出す前に、既に信号レベルが読み出された第 2 の単位画素から得られるリセットレベルを、前記信号処理部の前記基準電圧として設定する設定部と
を備え、

前記信号処理部は、前記単位画素からアナログ信号で出力される前記信号レベル及び前記リセットレベルを増幅するアンプ回路であり、

前記基準電圧は、前記アンプ回路の増幅可能な入力電圧範囲の基準となる電圧である
固体撮像装置を有する電子機器。

【発明の詳細な説明】
30

【技術分野】

【0 0 0 1】

本発明は、固体撮像装置、固体撮像装置の駆動方法、及び、電子機器に関する。

【背景技術】

【0 0 0 2】

光電変換部、電荷電圧変換部、及び、光電変換部で蓄積された電荷を電荷電圧変換部へ
転送する転送ゲート部を含む単位画素によって構成される固体撮像装置では、一般的に、リセット動作時のノイズを除去するために、関連二重サンプリングによるノイズ除去処理
が行われる。以下では、電荷電圧変換部を F D (フローティング・ディフュージョン) 部と
記述する。ノイズ除去処理の方式としては、デジタル信号処理にて実行する方式と、アナ
ログ信号処理にて実行する方式とがある。
40

【0 0 0 3】

ノイズ除去処理を例えればデジタル信号処理にて実行する固体撮像装置として、単位画素
の行列状の配列に対して列毎に A D C (Analog-Digital Converter ; アナログ - デジタル
変換回路) を配置してなる列並列 A D C 搭載の固体撮像装置が知られている (例えは、特
許文献 1 参照) 。

【0 0 0 4】

列並列 A D C 搭載の固体撮像装置では、最初に読み出されるリセットレベル V_{rst} を A
D 変換回路の基準電圧 V_{zr} として設定し、当該基準電圧 V_{zr} を用いてリセットレベル V_{rs}
50 及び信号レベル V_{sig} を A D 変換するようにしている。すなわち、基準電圧 V_{zr} をリセッ

トレーベル V_{rst} と等しくすることで、リセットレベル V_{rst} がノイズによって変動しても、信号電荷による画素の出力振幅 $|V_{sig} - V_{rst}|$ を安定して A/D 変換回路の入力電圧範囲に収めることが可能となる。

【0005】

A/D 変換回路の基準電圧 V_{zr} は、一般的に、A/D 変換回路の入力電圧範囲に対して十分小さい範囲でしか調整できない。従って、A/D 変換回路の基準電圧 V_{zr} としては、リセットレベル V_{rst} のように、ばらつきの幅が安定して限られている信号が好ましい。逆に、信号レベル V_{sig} のように入射光量によって電圧が大きく振幅する信号は、A/D 変換回路の基準電圧 V_{zr} としては適さない。

【0006】

上述した並列 A/D/C 搭載の固体撮像装置のように、従来の固体撮像装置におけるノイズ除去処理では、最初にリセットレベル V_{rst} を読み出し、当該リセットレベル V_{rst} の直後に信号レベル V_{sig} を読み出すことが前提となっている。一方で、リセットレベル V_{rst} を信号レベル V_{sig} の直前に読み出すことができない固体撮像装置では、ある単位画素の信号レベル V_{sig} を A/D 変換する前に同一画素から基準電圧 V_{zr} を取得することができない。

【0007】

リセットレベル V_{rst} を信号レベル V_{sig} の直前に読み出すことができない固体撮像装置としては、次のようなものを例に挙げることができる。例えば、全画素一括の露光を実現すべく、光電変換部で発生した電荷を全画素同時に F/D 部へ転送し、当該 F/D 部で信号電荷が保持された状態から、順次読み出し動作を実行するグローバル露光機能を持つ CMOS イメージセンサが挙げられる（例えば、特許文献 2 参照）。

【0008】

他にも、リセットレベル V_{rst} を信号レベル V_{sig} の直前に読み出すことができない固体撮像装置として、光電変換部から転送される光電荷を電荷電圧変換部とは別に保持するメモリ部を有する CMOS イメージセンサ（例えば、特許文献 3 参照）が挙げられる。更に、P/N 接合で発生した光電荷を直接増幅トランジスタによって読み出す CMOS イメージセンサ（例えば、非特許文献 1 参照）や、有機光電変換膜を用いたイメージセンサ（例えば、特許文献 4 参照）などが挙げられる。

【0009】

固体撮像装置においては、全画素一括での転送、あるいは露光開始時などに F/D 部が一旦リセットされており、信号を読み出すタイミングでは既に F/D 部に信号電荷が蓄積、あるいは保持されていることになる。このため、増幅トランジスタの閾値ばらつき等の固定パターンノイズを除去するには、図 24 に示すように、信号レベル V_{sig} を読み出した後、F/D 部を所定電位に設定して、当該所定電位をリセットレベル V_{rst} として読み出す必要がある。

【0010】

しかし、全画素一括露光のために信号電荷が F/D 部へ保持された状態で信号読み出しが実行される固体撮像装置や、F/D 部へ直接信号電荷が蓄積されて信号読み出しが実行される固体撮像装置では、信号レベル V_{sig} を読み出す直前に F/D 部を所定電位に設定することができない。この場合、信号レベルを A/D 変換する際の基準電圧を取得することができないため、外部印加や抵抗アレイ等で所定電圧を発生させ、当該所定電圧を A/D 変換回路に基準電圧として供給するようにしている（例えば、特許文献 5 参照）。

【先行技術文献】

【特許文献】

【0011】

【特許文献 1】特開 2006-340044 号公報

【特許文献 2】特開 2001-238132 号公報

【特許文献 3】特開 2009-020172 号公報

【特許文献 4】特開 2008-228265 号公報

10

20

30

40

50

【特許文献 5】特開 2006 - 020172 号公報

【非特許文献】

【0012】

【非特許文献 1】“128X128 CMOS PHOTODIODE-TYPE ACTIVE PIXEL SENSOR WITH ON-CHIP TIMING, CONTROL AND SIGNAL CHAIN ELECTRONICS” SPIE, vol. 2415, Charge-Coupled Devices and Solid State Optical Sensors V, paper no. 34 (1995)

【発明の概要】

【発明が解決しようとする課題】

【0013】

しかし、リセットレベルには増幅トランジスタの閾値ばらつき等により、単位画素間でのばらつきだけでなく、単位画素の2次元配列における面内での空間的に大きな特性の揺らぎ（面内分布）による差異や、動作時の温度変化による経時変化が存在する。従って、リセットレベルに対して十分なマージンを確保する必要があるため、実際に取得すべき信号電荷の画素出力振幅に対して、これらの変動を加味した電圧範囲に、A/D変換回路の変換可能な入力電圧範囲を拡大する必要がある。

【0014】

図25に、リセットレベルの縦方向（列方向）の面内分布の一例を示す。リセットレベルの隣接画素間における差異の他に、面内で大きな特性の揺らぎ（面内分布）が存在する。図26に示すように、一定電圧を基準電圧として印加する場合、画素によって大きな誤差を発生するため、A/D変換回路の入力電圧範囲を拡大する必要がある。

10

20

【0015】

例えば、図27は、信号振幅が最大-1Vである場合の、基準電圧に対するリセットレベル及び最大振幅時の信号レベルを示している。この場合は、リセットレベルから信号レベルまでの信号振幅がPeak-to-Peakで1Vであるのに対して、2V程度のA/D変換可能な入力電圧範囲が必要となる。更に、温度変化によってリセットレベルが上下に変動した場合、基準電圧は一定値であるため、図28に示すように、更に入力電圧範囲を拡大する必要がある。

【0016】

先述した、外部印加や抵抗アレイ等で所定電圧を発生させ、当該所定電圧をA/D変換回路に基準電圧として供給する従来技術では、基準電圧とリセットレベルとの相関が低いため、A/D変換可能な入力電圧範囲が低下するという問題がある。更に、リセットレベルの画素ばらつきの面内分布や温度依存性などによっても、A/D変換可能な入力電圧範囲が低下するという問題がある。

30

【0017】

ここでは、ノイズ除去処理をデジタル信号処理にて実行する固体撮像装置において、A/D変換回路の基準電圧の設定について説明したが、上述した問題点はデジタル信号処理の場合に限られるものではない。すなわち、基準電圧を用いて単位画素からのアナログ信号に対して信号処理を行う固体撮像装置（その詳細については後述する）においても、デジタル信号処理の場合と同様のことが言える。

【0018】

40

そこで、本発明は、面内の大きな特性の揺らぎ（面内分布）の差異や、寄生容量の大きさに依存したオフセット成分を効果的に除去することが可能な固体撮像装置、当該固体撮像装置の駆動方法、及び、当該固体撮像装置を有する電子機器を提供することを目的とする。

【課題を解決するための手段】

【0019】

上記目的を達成するために、本発明は、

光電変換部、電荷電圧変換部、当該電荷電圧変換部を所定電位に設定するリセットトランジスタ、及び、前記電荷電圧変換部で変換された信号を読み出す増幅トランジスタを有する単位画素が2次元配列されてなる画素アレイ部と、

50

基準電圧を用いて前記単位画素から出力される信号を処理する信号処理部とを備えた固体撮像装置において、

第1の単位画素から前記電荷電圧変換部に蓄積あるいは保持された信号電荷に基づく信号レベルを読み出す前に、既に信号レベルが読み出された第2の単位画素から得られるリセットレベルを、前記信号処理部の前記基準電圧として設定する構成を採っている。

【0020】

第1の単位画素から信号レベルを読み出す前に、既に信号レベルが読み出された第2の単位画素から得られるリセットレベルを信号処理部の基準電圧として設定することで、リセットレベルを信号レベルの前に読み出すことができない固体撮像装置であっても基準電圧を設定できる。このときの基準電圧は、外部で生成した所定電圧を基準電圧とする場合に比べて、リセットレベルとの相関が高い。従って、面内の大きな特性の揺らぎ（面内分布）の差異や、寄生容量の大きさに依存したオフセット成分を効果的に除去することができる。

【発明の効果】

【0021】

本発明によれば、面内の大きな特性の揺らぎ（面内分布）の差異や、寄生容量の大きさに依存したオフセット成分を効果的に除去することができるため、画素の出力振幅に対して、信号処理部の処理可能な入力電圧範囲に必要なマージンを低減することが可能となる。

【図面の簡単な説明】

【0022】

【図1】本発明の第1実施形態に係るCMOSイメージセンサの構成の概略を示すシステム構成図である。

【図2】単位画素の構成の一例を示す回路図である。

【図3】リセットレベル、信号レベルの順で読み出す場合の相関二重サンプリング動作の説明に供するタイミング波形図である。

【図4】最初に読み出されるリセットレベルをAD変換回路の基準電圧として設定する場合の動作説明に供するタイミング波形図である。

【図5】2画素共有の場合の回路構成の一例を示す回路図である。

【図6】2画素共有の場合のレイアウトの一例を示す平面パターン図である。

【図7】AD変換回路で用いられる比較器の構成例を示す回路図である。

【図8】比較器の各部の波形を示すタイミング波形図である。

【図9】リセットレベルの面内分布と、直前の行のリセットレベルを用いた基準電圧を示す図である。

【図10】必要なAD変換回路の入力電圧範囲を狭めることができることについての説明に供する図である。

【図11】複数のレイアウト形状からなる画素が混在する場合のリセットレベルについての説明に供する図である。

【図12】偶数行と奇数行でレイアウト形状が異なる画素パターンが適用されている場合のリセットレベルと面内分布についての説明に供する図である。

【図13】直前に読み出しが完了した異なるレイアウト形状の画素からリセットレベルを読み出す場合についての説明に供する図である。

【図14】直前に読み出しが完了した同一レイアウト形状画素を選択して、そのリセットレベルを基準電圧とする場合についての説明に供する図である。

【図15】実施例1に係る駆動方法の説明に供するタイミング波形図である。

【図16】実施例2に係る駆動方法の説明に供するタイミング波形図である。

【図17】実施例3に係る駆動方法の説明に供するタイミング波形図である。

【図18】本発明の第2実施形態に係るCMOSイメージセンサの構成の概略を示すシステム構成図である。

10

20

30

40

50

【図19】カラムアンプ回路の具体的な回路例を示す回路図である。

【図20】カラムアンプ回路の動作例を示すタイミング波形図である。

【図21】光電変換部から転送される光電荷を電荷電圧変換部とは別に保持するメモリ部を有する、他の画素例1に係る単位画素の一例を示す構成図である。

【図22】有機光電変換膜を用いた、他の画素例2に係る単位画素の一例を示す構成図である。

【図23】本発明に係る電子機器、例えば撮像装置の構成の一例を示すブロック図である。

【図24】固定パターンノイズを除去するには、信号レベルを読み出した後リセットレベルを読み出す必要があることについての説明に供する図である。

10

【図25】リセットレベルの縦方向の面内分布の一例を示す図である。

【図26】一定電圧を基準電圧として印加する場合、A/D変換回路の入力電圧範囲を拡大する必要があることについての説明に供する図である。

【図27】信号振幅が最大-1Vである場合の、基準電圧に対するリセットレベル及び最大振幅時の信号レベルを示す図である。

【図28】温度変化によってリセットレベルが上下に変動した場合、入力電圧範囲を拡大する必要があることについての説明に供する図である。

【発明を実施するための形態】

【0023】

以下、発明を実施するための形態（以下、「実施形態」と記述する）について図面を用いて詳細に説明する。尚、説明は以下の順序で行う。

20

1. 第1実施形態（カラムA/D変換回路の例）

1-1. システム構成

1-2. 画素構成

1-3. 相関二重サンプリングによるノイズ除去処理

1-4. 従来技術の説明

1-5. 第1実施形態の特徴とする事項

2. 第2実施形態（カラムアンプ回路の例）

2-1. システム構成

2-2. 第2実施形態の特徴とする事項

30

3. 他の画素構成

4. 変形例

5. 電子機器（撮像装置の例）

【0024】

<1. 第1実施形態>

【1-1. システム構成】

図1は、本発明の第1実施形態に係る固体撮像装置、例えばX-Yアドレス方式固体撮像装置の一種であるCMOSイメージセンサの構成の概略を示すシステム構成図である。ここで、CMOSイメージセンサとは、CMOSプロセスを応用して、または、部分的に使用して作成されたイメージセンサである。

40

【0025】

図1に示すように、本実施形態に係るCMOSイメージセンサ10Aは、単位画素11が多数配置されてなる画素アレイ部12と、当該画素アレイ部12の各画素11を駆動する周辺の駆動系や信号処理系を有する。本例では、周辺の駆動系や信号処理系として、例えば、行走査部13、カラム処理部14A、参照信号生成部15、列走査部16、水平出力線17、及び、タイミング制御部18が設けられている。これらの駆動系や信号処理系は、画素アレイ部12と同一の半導体基板（チップ）19上に集積されている。

【0026】

このシステム構成において、タイミング制御部18は、マスタークロックMCKに基づいて、行走査部13、カラム処理部14A、参照信号生成部15、及び、列走査部16な

50

どの動作の基準となるクロック信号や制御信号などを生成する。タイミング制御部18で生成されたクロック信号や制御信号などは、行走査部13、カラム処理部14A、参照信号生成部15、及び、列走査部16などに対してそれらの駆動信号として与えられる。

【0027】

画素アレイ部12は、受光した光量に応じた光電荷を生成し、かつ、蓄積する光電変換部を有する単位画素（以下、単に「画素」と記述する場合もある）11が行方向及び列方向に、即ち、行列状に2次元配置された構成となっている。ここで、行方向とは画素行の画素の配列方向（即ち、水平方向）を言い、列方向とは画素列の画素の配列方向（即ち、垂直方向）を言う。

【0028】

この画素アレイ部12において、行列状の画素配置に対して、画素行毎に行制御線21（ $21_{-1} \sim 21_{-n}$ ）が行方向に沿って配線され、画素列ごとに列信号線22（ $22_{-1} \sim 22_{-m}$ ）が列方向に沿って配線されている。行制御線21は、単位画素11から読み出す際の制御を行うための制御信号を伝送する。図1では、行制御線21について1本の配線として示しているが、1本に限られるものではない。行制御線 $21_{-1} \sim 21_{-n}$ の各一端は、行走査部13の各行に対応した各出力端に接続されている。

【0029】

行走査部13は、シフトレジスタやアドレスデコーダなどによって構成され、画素アレイ部12の各画素11を全画素同時あるいは行単位等で駆動する。すなわち、行走査部13は、当該行走査部13を制御するタイミング制御部18と共に、画素アレイ部12の各画素11を駆動する駆動部を構成している。この行走査部13はその具体的な構成については図示を省略するが、一般的に、読み出し走査系と掃出し走査系の2つの走査系を有する構成となっている。

【0030】

読み出し走査系は、単位画素11から信号を読み出すために、画素アレイ部12の単位画素11を行単位で順に選択走査する。単位画素11から読み出される信号はアナログ信号である。掃出し走査系は、読み出し走査系によって読み出し走査が行われる読み出し行に対して、その読み出し走査よりもシャッタースピードの時間分だけ先行して掃出し走査を行う。

【0031】

この掃出し走査系による掃出し走査により、読み出し行の単位画素11の光電変換部から不要な電荷が掃き出されることによって当該光電変換部がリセットされる。そして、この掃出し走査系による不要電荷の掃き出す（リセットする）ことにより、所謂電子シャッタ動作が行われる。ここで、電子シャッタ動作とは、光電変換部の光電荷を捨てて、新たに露光を開始する（光電荷の蓄積を開始する）動作のことを言う。

【0032】

読み出し走査系による読み出し動作によって読み出される信号は、その直前の読み出し動作または電子シャッタ動作以降に受光した光量に対応するものである。そして、直前の読み出し動作による読み出しタイミングまたは電子シャッタ動作による掃出しタイミングから、今回の読み出し動作による読み出しタイミングまでの期間が、単位画素11における光電荷の露光期間となる。

【0033】

カラム処理部14Aは、例えば、画素アレイ部12の画素列毎、即ち、列信号線22（ $22_{-1} \sim 22_{-m}$ ）毎に1対1の対応関係をもって設けられたA/D（アナログ-デジタル）変換回路23（ $23_{-1} \sim 23_{-m}$ ）を有する。A/D変換回路23（ $23_{-1} \sim 23_{-m}$ ）は、画素アレイ部12の各単位画素11から列毎に出力されるアナログ信号（画素信号）をデジタル信号に変換する。

【0034】

参照信号生成部15は、時間が経過するにつれて電圧値が階段状に変化する、所謂、ランプ（RAMP）波形の参照信号 V_{ref} を生成する。参照信号生成部15は、例えば、D/A（デジタル-アナログ変換）回路を用いて構成することができる。尚、参照信号生成

10

20

30

40

50

部 15 としては、D A C 回路を用いた構成に限られるものではない。

【 0 0 3 5 】

参照信号生成部 15 は、タイミング制御部 18 から与えられる制御信号 $C S_1$ による制御の下に、当該タイミング制御部 18 から与えられるクロック $C K$ に基づいてランプ波の参照信号 V_{ref} を生成する。そして、参照信号生成部 15 は、生成した参照信号 V_{ref} をカラム処理部 14_A の A D 変換回路 $23_{-1} \sim 23_{-m}$ に対して供給する。

【 0 0 3 6 】

A D 変換回路 $23_{-1} \sim 23_{-m}$ は全て同じ構成となっている。ここでは、A D 変換回路 23_{-m} を例に挙げて説明するものとする。A D 変換回路 23_{-m} は、比較器 31、計数手段である例えばアップ / ダウンカウンタ (図中、「U / D C N T」と記している) 32、転送スイッチ 33、及び、メモリ装置 34 を有する構成となっている。

【 0 0 3 7 】

比較器 31 は、画素アレイ部 12 の m 列目の各単位画素 11 から出力される画素信号に応じた列信号線 22_{-m} の信号電圧 V_{out} と、参照信号生成部 15 から供給されるランプ波の参照信号 V_{ref} とを比較する。そして、比較器 31 は、例えば、参照信号 V_{ref} が信号電圧 V_{out} よりも大なるときに出力 V_{co} が “H” レベルになり、参照信号 V_{ref} が信号電圧 V_{out} 以下のときに出力 V_{co} が “L” レベルになる。

【 0 0 3 8 】

アップ / ダウンカウンタ 32 は非同期カウンタであり、タイミング制御部 18 から与えられる制御信号 $C S_2$ による制御の下に、当該タイミング制御部 18 からクロック $C K$ が参照信号生成部 15 と同時に与えられる。そして、アップ / ダウンカウンタ 32 は、クロック $C K$ に同期してダウン (D O W N) カウントまたはアップ (U P) カウントを行うことで、比較器 31 での比較動作の開始から比較動作の終了までの比較期間を計測する。

【 0 0 3 9 】

転送スイッチ 33 は、タイミング制御部 18 から与えられる制御信号 $C S_3$ による制御の下に、ある行の単位画素 11 についてのアップ / ダウンカウンタ 32 のカウント動作が完了した時点でオン (閉) 状態となる。そして、転送スイッチ 33 は、アップ / ダウンカウンタ 32 のカウント結果をメモリ装置 34 に転送する。

【 0 0 4 0 】

このようにして、画素アレイ部 12 の各単位画素 11 から列信号線 $22_{-1} \sim 22_{-m}$ を経由して画素列毎に供給されるアナログ信号について、A D 変換回路 $23_{-1} \sim 23_{-m}$ において先ず比較器 31 で比較動作が行われる。そして、アップ / ダウンカウンタ 32 において、比較器 31 での比較動作の開始から比較動作の終了までカウント動作を行うことで、アナログ信号がデジタル信号に変換されてメモリ装置 34 ($34_{-1} \sim 34_{-m}$) に格納される。

【 0 0 4 1 】

列走査部 16 は、シフトレジスタやアドレスデコーダなどによって構成され、カラム処理部 14_A における A D 変換回路 $23_{-1} \sim 23_{-m}$ の列アドレスや列走査の制御を行う。この列走査部 16 による制御の下に、A D 変換回路 $23_{-1} \sim 23_{-m}$ の各々で A D 変換されたデジタル信号は順に水平出力線 17 に読み出され、当該水平出力線 17 を経由して撮像データとして出力される。

【 0 0 4 2 】

尚、本発明には直接関連しないため特に図示しないが、水平出力線 17 を経由して出力される撮像データに対して各種の信号処理を施す回路等を、上記構成要素以外に設けることも可能である。

【 0 0 4 3 】

上記構成の列並列 A D C 搭載の C M O S イメージセンサ 10_A は、画素アレイ部 12 中の全画素 11 に対して同一のタイミングで露光開始と露光終了とを実行するグローバル露光を採用している。このグローバル露光は、行走査部 13 及びタイミング制御部 18 からなる駆動部による駆動の下に実行される。グローバル露光を実現するグローバルシャッタ

10

20

30

40

50

機能は、高速に動く被写体の撮像や、撮像画像の同時性を必要とするセンシング用途に用いて好適なシャッタ動作である。

【0044】

尚、本例では、カラム処理部14Aについて、A/D変換回路23が列信号線22毎に1対1の対応関係をもって設けられた構成を例に挙げたが、1対1の対応関係の配置に限られるものではない。例えば、1つのA/D変換回路23を複数の画素列で共有し、複数の画素列間で時分割にて使用する構成を探ることも可能である。

【0045】

【1-2. 画素構成】

図2は、単位画素11の構成の一例を示す回路図である。図2に示すように、本構成例に係る単位画素11は、光電変換部として例えばフォトダイオード41を有している。単位画素11は、フォトダイオード41に加えて、例えば、電荷電圧変換部42、転送トランジスタ(転送ゲート部)43、リセットトランジスタ44、増幅トランジスタ45、及び、選択トランジスタ46を有する構成となっている。

10

【0046】

尚、ここでは、転送トランジスタ43、リセットトランジスタ44、増幅トランジスタ45、及び、選択トランジスタ46として、例えばNチャネル型MOSトランジスタを用いている。但し、ここで例示した転送トランジスタ43、リセットトランジスタ44、増幅トランジスタ45、及び、選択トランジスタ46の導電型の組み合わせは一例に過ぎず、これらの組み合わせに限られるものではない。

20

【0047】

この単位画素11に対して、先述した行制御線21(21.1~21.n)として、複数の制御線が同一画素行の各画素に対して共通に配線される。図2では、図面の簡略化のために、複数の制御線については図示を省略している。複数の制御線は、行走査部13の各画素行に対応した出力端に画素行単位で接続されている。行走査部13は、複数の制御線に対して転送信号TRG、リセット信号RST、及び、選択信号SELを適宜出力する。

【0048】

フォトダイオード41は、アノード電極が負側電源(例えば、グランド)に接続されており、受光した光をその光量に応じた電荷量の光電荷(ここでは、光電子)に光電変換してその光電荷を蓄積する。フォトダイオード41のカソード電極は、転送トランジスタ43を介して増幅トランジスタ45のゲート電極と電気的に接続されている。

30

【0049】

増幅トランジスタ45のゲート電極と電気的に繋がった領域は、電荷を電圧に変換する電荷電圧変換部42である。以下、電荷電圧変換部42をFD(フローティング・ディフュージョン/浮遊拡散領域/不純物拡散領域)部42と呼ぶ。

【0050】

転送トランジスタ43は、フォトダイオード41のカソード電極とFD部42との間に接続されている。転送トランジスタ43のゲート電極には、高レベル(例えば、V_{dd}レベル)がアクティブ(以下、「Highアクティブ」と記述する)となる転送信号TRGが行走査部13から与えられる。転送トランジスタ43は、転送信号TRGに応答して導通状態となることで、フォトダイオード41で光電変換され、蓄積された光電荷をFD部42に転送する。

40

【0051】

リセットトランジスタ44は、ドレイン電極がリセット電源V_rに、ソース電極がFD部42にそれぞれ接続されている。リセットトランジスタ44のゲート電極には、Highアクティブのリセット信号RSTが行走査部13から与えられる。リセットトランジスタ44は、リセット信号RSTに応答して導通状態となることで、FD部42の電荷をリセット電源V_rに捨てるによって当該FD部42をリセットする。

【0052】

増幅トランジスタ45は、ゲート電極がFD部42に、ドレイン電極が画素電源V_{dd}に

50

それぞれ接続されている。この増幅トランジスタ45は、フォトダイオード41での光電変換によって得られる信号を読み出す読出し回路であるソースフォロワの入力部となる。すなわち、増幅トランジスタ45は、ソース電極が選択トランジスタ46を介して列信号線22に接続されることで、当該列信号線22の一端に接続される電流源24とソースフォロワを構成する。

【0053】

選択トランジスタ46は、例えば、ドレイン電極が増幅トランジスタ45のソース電極に、ソース電極が列信号線22にそれぞれ接続されている。選択トランジスタ46のゲート電極には、Highアクティブの選択信号SELが行走査部13から与えられる。選択トランジスタ46は、選択信号SELに応答して導通状態となることで、単位画素11を選択状態として増幅トランジスタ45から出力される信号を列信号線22に伝達する。

【0054】

尚、選択トランジスタ46については、画素電源V_{dd}と増幅トランジスタ45のドレイン電極との間に接続した回路構成を探ることも可能である。

【0055】

[1-3. 相関二重サンプリングによるノイズ除去処理]

上記構成の単位画素11によって構成される固体撮像装置では、一般的に、リセット動作時のノイズを除去するために、相関二重サンプリングによるノイズ除去処理が行われる。図3に示すように、読み出しのため選択信号SELで選択された単位画素11は、リセット信号RSTに応答してFD部42をリセット電位V_rにリセットし、当該リセット電位V_rをリセットレベルV_{rst}として読み出す。続いて、転送信号TRGによって転送トランジスタ43を駆動し、フォトダイオード41に蓄積された電荷をFD部42へ転送し、当該電荷を信号レベルV_{sig}として読み出す。

【0056】

リセットレベルV_{rst}及び信号レベルV_{sig}には、熱雑音、寄生容量のカップリングによる雑音といった、リセット毎にランダムに発生するノイズ(Random Noise)が、FD部42をリセット電位V_rにリセットした際に加わっている。これらのノイズとしては、FD部42をリセットする度に異なるノイズが加わる。

【0057】

リセットレベルV_{rst}を先に読み出す読み出し方式においては、リセットしたときに発生するランダムノイズはFD部42で保持されているため、信号電荷を加えて読み出された信号レベルV_{sig}には、リセットレベルV_{rst}と同じノイズ量が保持されている。このため、信号レベルV_{sig}からリセットレベルV_{rst}を減算する相関二重サンプリング動作を行うことで、これらのノイズを除去した信号を得ることが可能となる。

【0058】

すなわち、相関二重サンプリング動作では、信号電荷をFD部42へ転送する前に、FD部42をリセットしてリセットレベルを読み出すことが、これらのリセット・ノイズを除去できる条件となる。また、信号の読み出しに用いられる増幅トランジスタ45の閾値ばらつき等、固定的に加わるノイズ(Fixed Pattern Noise)も除去することができる。

【0059】

単位画素11から読み出されたリセットレベルV_{rst}及び信号レベルV_{sig}は、AD変換回路23においてデジタル信号に変換される。一般的に、AD変換回路23の変換可能な入力電圧の範囲には制限があるため、単位画素11から出力されるアナログ信号を、AD変換回路23の入力電圧範囲に収まるよう設計する必要がある。

【0060】

すなわち、リセットレベルV_{rst}から、取得すべき信号レベルV_{sig}までの電圧範囲が、AD変換回路23の入力電圧範囲内に収まっている必要がある。例えば、リセットレベルV_{rst}が3Vで、信号電荷による出力の振幅が-1Vであったとすると、取得すべき最大の信号レベルが2Vとなる。この場合、AD変換回路23の変換可能な入力電圧範囲は2V~3Vであればよいことになる。

10

20

30

40

50

【0061】

しかし、実際には、増幅トランジスタ45の閾値ばらつきや、列信号線22との寄生容量によるオフセット等で、リセットレベル V_{rst} は画素毎に異なっている。例えば、2次元配列された単位画素11のリセットレベル V_{rst} の平均値は3Vであっても、単位画素11によって3.1Vや2.9Vのリセットレベル V_{rst} を出力する可能性がある。この場合、信号電荷による振幅幅が一様に-1Vであったとしても、AD変換回路23は1.9V~3.1Vの入力電圧を変換可能でなくてはいけない。AD変換回路23の変換可能な入力電圧範囲を広げることは、即ち、AD変換回路23の基本性能を高めることに他ならず、電源電圧、消費電力、面積などが増加する要因となる。

【0062】

10

このことから、AD変換回路23の入力電圧範囲の幅は、信号電荷に基づく出力信号の振幅に近づけることが好ましい。そのため、AD変換回路23の基準電圧、即ち、AD変換回路23の変換可能な入力電圧範囲を設定する基準電圧を調整(シフト)する方法が採られる。基準電圧によってAD変換回路23の入力電圧範囲をシフトさせることで、画素の出力信号、即ち、AD変換回路23の入力信号のオフセット成分を除去し、リセットレベル V_{rst} のばらつきによる必要な入力電圧範囲の拡大を回避することが可能となる。

【0063】

[1-4. 従来技術の説明]

特許文献1に記載の従来技術では、図4に示すように、最初に読み出されるリセットレベル V_{rst} を、制御信号PAZによる制御の下に、AD変換回路23の基準電圧 V_{zr} として設定し、リセットレベル V_{rst} 及び信号レベル V_{sig} をAD変換するようにしている。すなわち、基準電圧 V_{zr} をリセットレベル V_{rst} と等しくすることで、リセットレベル V_{rst} がノイズによって変動しても、信号電荷による単位画素11の出力振幅 $|V_{sig} - V_{rst}|$ を安定してAD変換回路23の入力電圧範囲に収めることができる。

20

【0064】

前にも述べたように、AD変換回路23の基準電圧 V_{zr} は、一般的に、AD変換回路23の入力電圧範囲に対して十分小さい範囲でしか調整できない。従って、AD変換回路23の基準電圧 V_{zr} としては、リセットレベル V_{rst} のように、ばらつきの幅が安定して限られている信号が好ましい。逆に、信号レベル V_{sig} のように入射光量によって電圧が大きく振幅する信号は、AD変換回路23の基準電圧 V_{zr} としては適さない。

30

【0065】

このように、特許文献1に記載の従来技術では、ノイズ除去処理に際して、最初にリセットレベル V_{rst} を読み出し、当該リセットレベル V_{rst} の直後に信号レベル V_{sig} を読み出すことが前提となっている。

【0066】

[1-5. 第1実施形態の特徴とする事項]

これに対して、第1実施形態に係るCMOSイメージセンサ10Aは、全画素一括露光のために、信号電荷をFD部42に保持した状態で信号読み出しを実行する構成を採っている。すなわち、第1実施形態に係るCMOSイメージセンサ10Aでは、リセットレベル V_{rst} を信号レベル V_{sig} の直前に読み出すことができない構成となっている。従って、ある単位画素の信号レベル V_{sig} をAD変換する前に同一画素から基準電圧 V_{zr} を取得することができない。

40

【0067】

そこで、第1実施形態では、ある単位画素(第1の単位画素)の信号レベルの読み出し前に、既に信号レベルの読み出しが完了した単位画素(第2の単位画素)のFD部42のリセットレベルを読み出し、当該リセットレベルをAD変換回路23の基準電圧として設定する。この基準電圧は、AD変換回路23の変換可能な入力電圧範囲の基準となる電圧である。そして、基準電圧を調整(シフト)することで、入力信号に対する入力電圧範囲が決まる。

【0068】

50

具体的には、ある単位画素の信号レベルを読み出す直前に、例えば1行前の画素行を選択し、FD部42をリセットすることで、リセットレベルを読み出してAD変換回路23の基準電圧として設定する。続いて、対象画素の信号レベルを読み出し、更にFD部42を所定電位にリセットして、そのリセットレベルをノイズレベルとして読み出す。ノイズ除去は、信号レベルから同一画素のリセットレベルを減算する(差分をとる)ことで実行される。このとき、AD変換回路23の基準電圧は前の行の画素のリセットレベルで設定される。尚、ノイズ除去が不要な場合は最後のリセットレベルの読み出しを省略しても構わない。

【0069】

リセットレベルを読み出すために選択される単位画素(第2の単位画素)としては、信号を読み出す対象画素(第1の単位画素)と、物理的に相関の高い画素であることが望ましい。ここで、物理的に相関の高い画素とは、レイアウト形状が同一である画素や、2次元配列上で近傍にある画素を指す。

【0070】

物理的に相関の高い画素を選択することによって、2次元配列の空間的に大きな特性の揺らぎや、寄生容量の大きさに依存したオフセット成分を効果的に除去することが可能となる。例えば、レイアウト形状が同一である画素の2次元配列である場合には、直前に読み出された行(画素)のリセットレベルから基準電圧を取得するのが好ましい。

【0071】

また、画素共有の場合など、偶数行と奇数行でレイアウト形状が異なる場合には、2行前の同一形状の行(画素)のリセットレベルから基準電圧を取得することが好ましい。より相関の高い配置及び物理形状の画素を基準電圧として選択することで、信号を読み出す画素のリセットレベルと基準電圧との誤差を低減することができる。

【0072】

(画素共有)

図5は、画素共有の場合の回路構成の一例を示す回路図である。ここでは、一例として、同一の画素列において、隣接する2画素間で単位画素11を構成する回路素子の一部を共有する場合の回路を例示しているが、この画素共有に限られるものではない。

【0073】

この2画素共有の回路例の場合は、FD部42、リセットトランジスタ44、増幅トランジスタ45、及び、選択トランジスタ46を2画素間で共有することができる。具体的には、i番目の画素行の単位画素 11_i のFD部 42_i 、リセットトランジスタ 44_i 、増幅トランジスタ 45_i 、及び、選択トランジスタ 46_i を、(i+1)番目の画素行の単位画素 11_{i+1} との間で共有する。(i-2)番目の画素行の単位画素 11_{i-2} のFD部 42_{i-2} 、リセットトランジスタ 44_{i-2} 、増幅トランジスタ 45_{i-2} 、及び、選択トランジスタ 46_{i-2} を、(i-1)番目の画素行の単位画素 11_{i-1} との間で共有する。

【0074】

2画素共有の回路例の場合のレイアウト(素子配置)の一例を図6に示す。例えば、i番目の画素行の単位画素 11_i と、(i+1)番目の画素行の単位画素 11_{i+1} との組み合わせでは、転送トランジスタ 43_i 、 43_{i+1} の各々と、共有するFD部 42_i との間の距離を等しくするには、2つの画素 11_i 、 11_{i+1} 間でレイアウト形状が異なることになる。そして、レイアウト形状が異なる2画素を単位とし、当該単位が繰り返して配列されるレイアウトとなる。従って、2画素共有の回路例の場合は、偶数行と奇数行でレイアウト形状が異なる場合のレイアウトとなる。

【0075】

(AD変換回路で用いられる比較器)

図7は、AD変換回路23で用いられる比較器31の構成例を示す回路図である。本例に係る比較器31は、ソース電極が共通に接続された差動対トランジスタ51、52と、そのソース共通ノードとグランドとの間に接続された電流源トランジスタ53とを有している。差動対トランジスタ51、52及び電流源トランジスタ53として、Nチャネル型

10

20

30

40

50

のMOSトランジスタが用いられている。

【0076】

MOSトランジスタ51のゲート電極には、単位画素11から列信号線22_mを通して供給される信号電圧 V_{out} が容量54を介して与えられる。トランジスタ52のゲート電極には、参照信号生成部15で生成される階段波の参照信号 V_{ref} が容量55を介して与えられる。MOSトランジスタ51のドレイン電極と電源 V_{dd} との間には、Pチャネル型のMOSトランジスタ56が接続されている。MOSトランジスタ52のドレイン電極と電源 V_{dd} との間には、ダイオード接続構成、即ち、ゲート電極とドレイン電極とが共通に接続されたPチャネル型のMOSトランジスタ57が接続されている。MOSトランジスタ56, 57は、ゲート電極が互いに共通に接続されている。

10

【0077】

MOSトランジスタ51のゲート電極とドレイン電極との間には、Pチャネル型のMOSトランジスタ58が接続されている。MOSトランジスタ52のゲート電極とドレイン電極との間にも、Pチャネル型のMOSトランジスタ59が接続されている。そして、これらMOSトランジスタ58, 59の各ゲート電極には、基準電圧を設定するための制御を行う制御信号PAZの反転信号が印加される。

【0078】

制御信号PAZは、図1のタイミング制御部18で生成される。この場合、タイミング制御部18は、AD変換回路23の基準電圧を設定する設定部としての機能を併せ持つことになる。

20

【0079】

図8に、比較器31の各部の波形、即ち、制御信号PAZ、参照信号 V_{ref} 、列信号線22_mの信号電圧 V_{out} 、及び、比較器31の比較出力 V_{co} の各波形を示す。

【0080】

AD変換回路23の基準電圧は、制御信号PAZの反転信号がMOSトランジスタ58, 59の各ゲート電極に印加されることによって容量54, 55に保持される。そして、比較器31において、参照信号(参照電圧) V_{ref} と列信号線22_mの信号電圧 V_{out} とが比較される。参照信号 V_{ref} の変化に応じて、信号電圧 V_{out} との比較結果 V_{co} が遷移するタイミングをデジタル信号として保持する。

【0081】

30

制御信号PAZによって取得された参照信号 V_{ref} 及び信号電圧 V_{out} の基準電圧から、それぞれ同じ振幅となったときに比較結果 V_{co} が遷移する。尚、本発明が適用されるAD変換回路23は、入力電圧範囲を調整する基準電圧の設定手段を有していれば、本構成に限るものではない。

【0082】

(第1実施形態の作用、効果)

列並列ADC搭載のCMOSイメージセンサ10_Aにおいて、ある単位画素の信号レベルの読み出し前に、既に信号レベルの読み出しが完了した単位画素のリセットレベルを読み出してAD変換回路23の基準電圧として、次のような作用、効果を得ることができる。すなわち、面内の大きな特性の揺らぎ(面内分布)の差異や、寄生容量の大きさに依存したオフセット成分を効果的に除去することができる。

40

【0083】

図9に、リセットレベルの面内分布と、直前の行のリセットレベルを用いた基準電圧を示す。リセットレベルと基準電圧は異なる画素であるため誤差を有するが、面内の大きな特性の揺らぎ(面内分布)の差異や、寄生容量の大きさに依存したオフセット成分を効果的に除去することができる。従って、図10に示すように、必要なAD変換回路23の入力電圧範囲を狭めることができる。温度変動に対してリセットレベルが変動した場合も、基準電圧がリセットレベルの変動に追従するため、AD変換回路23の入力電圧範囲を拡大する必要がない。

【0084】

50

複数のレイアウト形状からなる画素が混在する場合、リセットレベルは図11に示すように、レイアウト形状に起因する傾向の違いが発生する。例えば、偶数行と奇数行でレイアウト形状が異なる画素パターンが適用されている場合、図12に示すように、それぞれが異なるリセットレベルと面内分布を有する。

【0085】

このため、直前に読み出しが完了した異なるレイアウト形状の画素からリセットレベルを読み出すと、図13に示すように、リセットレベルと基準電圧との差を低減する効果が低くなる。そこで、直前に読み出しが完了した同一レイアウト形状の画素を選択して、そのリセットレベルを基準電圧とすることで、リセットレベルと基準電圧の相関を高めることができ、図14に示すように、リセットレベルと基準電圧との差を効果的に低減することができる。10

【0086】

これにより、画素の出力振幅に対して、AD変換回路23の変換可能な入力電圧範囲に必要なマージンを低減することが可能となる。そして、当該入力電圧範囲に必要なマージンを低減できることにより、AD変換回路23の電源電圧の低電圧化や低消費電力化を図ることができる。

【0087】

以下に、ある単位画素の信号レベルの読み出し前に、既に信号レベルの読み出しが完了した単位画素のFD部42のリセットレベルを読み出し、当該リセットレベルをAD変換回路23の基準電圧として設定するための具体的な実施例について説明する。20

【0088】

(実施例1)

図15は、実施例1に係る駆動方法の説明に供するタイミング波形図である。図15に示すように、i番目の画素行の画素の信号を読み出す際、直前に読み出された(i-1)番目の画素行を選択し、FD部42をリセット電位V_rにリセットする。そして、リセットレベルV_{rst_i-1}を読み出して、当該リセットレベルV_{rst_i-1}をAD変換回路23の基準電圧V_{zr}として設定する。

【0089】

続いて、i番目の画素行を選択し、信号レベルV_{sig_i}を読み出してAD変換を実行し、その後、i番目の画素行の画素のFD部42をリセット電位V_rにリセットして、リセットレベルV_{rst_i}をノイズレベルとして読み出し、AD変換を実行する。このAD変換を行う際に、信号レベルV_{sig_i}からリセットレベルV_{rst_i}を減算する相關二重サンプリングによるノイズ除去処理が実行される。30

【0090】

この相關二重サンプリングの動作シーケンスについて、図1のシステム構成を参照して説明する。

【0091】

先ず、階段波の参照信号V_{ref}が参照信号生成部15から比較器31に入力されると同時に、タイミング制御回路18からアップ/ダウンカウンタ32に対してクロックCKが与えられる。これにより、アップ/ダウンカウンタ32では1回目の読み出し動作時の比較器31での比較時間が、例えばアップカウント動作によって計測される。40

【0092】

そして、参照信号V_{ref}と列信号線22₁~22_mの信号電圧V_{out}とが等しくなったときに比較器31の出力V_{co}は“H”レベルから“L”レベルへ反転する。この比較器31の比較出力V_{co}の極性反転を受けて、アップ/ダウンカウンタ32は、アップカウント動作を停止して比較器31での1回目の比較期間に応じたカウント値を保持する。この1回目の読み出し動作では、単位画素11のリセットレベルV_{rst_i}を含む、単位画素11毎の入射光量に応じた信号レベルV_{sig_i}が読み出される。

【0093】

2回目の読み出し動作では、リセットレベルV_{rst_i}が、1回目の信号レベルV_{sig_i}の50

読み出し動作と同様の動作によってノイズレベルとして読み出される。すなわち、選択行 i の単位画素 11 から列信号線 $22_{-1} \sim 22_{-m}$ への 2 回目の読み出しが安定した後、参照信号生成部 15 から参照信号 V_{ref} が A/D 変換回路 $23_{-1} \sim 23_{-m}$ の各比較器 31 に与えられることで、比較器 31 において比較動作が行われる。これと同時に、比較器 31 での 2 回目の比較時間が、アップ / ダウンカウンタ 32 において 1 回目とは逆方向のカウント動作、即ち、ダウンカウント動作によって計測される。

【0094】

このように、アップ / ダウンカウンタ 32 のカウント動作を 1 回目に例えばアップカウント動作とし、2 回目に逆方向のダウンカウント動作とすることにより、当該アップ / ダウンカウンタ 32 内で自動的に (1 回目の比較期間) - (2 回目の比較期間) の減算処理が行われる。そして、参照信号 V_{ref} と列信号線 $22_{-1} \sim 22_{-m}$ の信号電圧 V_{out} とが等しくなったときに比較器 31 の比較出力 V_{co} が極性反転し、この極性反転を受けてアップ / ダウンカウンタ 32 のカウント動作が停止する。その結果、アップ / ダウンカウンタ 32 には、(1 回目の比較期間) - (2 回目の比較期間) の減算処理の結果に応じたカウント値が保持される。

【0095】

(1 回目の比較期間) - (2 回目の比較期間) = (信号レベル V_{sig_i} + リセットレベル V_{rst_i}) - (リセットレベル V_{rst_i}) = (信号レベル V_{sig_i}) である。以上の 2 回の読み出し動作とアップ / ダウンカウンタ 32 での減算処理により、単位画素 11 毎のばらつきを含んだリセットレベル V_{rst_i} が除去されるため、単位画素 11 毎の入射光量に応じた信号レベル V_{sig_i} を取り出すことができる。以上が、相関二重サンプリングの動作シーケンスである。

【0096】

本実施例では、図 15 のタイミング波形図から明らかなように、(i-1) 番目の画素行の読み出し期間から、 i 番目の画素行の基準電圧設定期間に移行する際に、選択信号 SEL を一度非アクティブ状態にしている。但し、1 行前の画素行を選択し、その画素行のリセットレベルを読み出して A/D 変換回路 23 の基準電圧として設定する場合には、選択信号 SEL をアクティブ状態のままにすることが可能である。一度非アクティブ状態にする時間を省くことで、当該期間を短縮できる分だけ動作の高速化を図ることができる利点がある。

【0097】

(実施例 2)

図 16 は、実施例 2 に係る駆動方法の説明に供するタイミング波形図である。基本的な動作は、実施例 1 の場合と同じである。実施例 1 の場合と異なるところは、A/D 変換回路 23 の基準電圧を読み出す際、FD 部 42 をリセット電位 V_r にリセットする動作を省略している点である。

【0098】

A/D 変換回路 23 の基準電圧を読み出すべく選択された画素は、既に信号レベルの読み出し後にリセットレベルを読み出すべく FD 部 42 がリセット電位 V_r にリセットされているため、基準電圧を得る際に FD 部 42 をリセットする動作を省略することができる。このように、A/D 変換回路 23 の基準電圧を読み出す際、FD 部 42 をリセットする動作を省略することで、動作の高速化を図ることができる。

【0099】

但し、FD 部 42 にて発生するリーク電流等により、時間の経過による電圧変動が大きい場合は、基準電圧を読み出す際 FD 部 42 をリセット電位 V_r に再度リセットする実施例 1 の方が、実施例 2 よりも好ましい。

【0100】

(実施例 3)

図 17 は、実施例 3 に係る駆動方法の説明に供するタイミング波形図である。図 17 に示すように、 p 行前に読み出された(i-p)行目の画素行を選択し、FD 部 42 をリセット

10

20

30

40

50

電位 V_r にリセットして読み出したリセットレベル $V_{rst_i_p}$ を A/D 変換回路 23 の基準電圧 V_{zr} として設定する。続いて、 i 番目の画素行を選択し、信号レベル V_{sig_i} を読み出して A/D 変換を実行する。その後、 i 番目の画素行の画素の FD 部 42 をリセット電位 V_r にリセットして、リセットレベル V_{rst_i} をノイズレベルとして読み出し、A/D 変換を実行する。

【0101】

例えば、複数のレイアウト形状の画素が混在する 2 次元配列において、同一のレイアウト形状の画素が 2 行前である場合は $p = 2$ 、4 行前である場合は $p = 4$ とするのが好ましい。但し、例えば偶数行、奇数行で 2 種類のレイアウト形状が混在していた場合に、 $p = 2$ に限るものではなく、 $p = 4$ であっても同一レイアウト形状の画素が選択可能であるため、効果は得られる。特に、配線形状や駆動順番の違いにより、 $p = 2$ の画素がノイズの影響を受けやすい場合などには、 $p = 4$ の画素を基準電圧として用いることで、より高い効果が得られる場合がある。

【0102】

<2. 第2実施形態>

[2-1. システム構成]

図 18 は、本発明の第2実施形態に係る CMOS イメージセンサの構成の概略を示すシステム構成図であり、図中、図 1 と同等部位には同一符号を付して示している。

【0103】

図 18 に示すように、本実施形態に係る CMOS イメージセンサ 10B は、画素アレイ部 12 に加えて、その周辺回路として、例えば、行走査部 13、カラム処理部 14B、参照信号生成部 15、列走査部 16、水平出力線 17、及び、タイミング制御部 18 を有する。CMOS イメージセンサ 10B においては、カラム処理部 14B が第1実施形態のカラム処理部 14A と構成を異にしているだけであり、行走査部 13、参照信号生成部 15、列走査部 16、水平出力線 17、及び、タイミング制御部 18 については、基本的に、第1実施形態と同じである。

【0104】

カラム処理部 14B は、例えば、画素アレイ部 12 の画素列毎、即ち、列信号線 22 (22₁ ~ 22_m) 毎に 1 対 1 の対応関係をもって設けられたカラムアンプ回路 25 (25₁ ~ 25_m) を有する。カラムアンプ回路 25 (25₁ ~ 25_m) は、画素アレイ部 12 の各単位画素 11 から列毎に出力されるアナログ信号に対して増幅処理を行うとともに、信号レベルとリセットレベルとの差分をとる相関二重サンプリング処理を行う。

【0105】

カラムアンプ回路 25₁ ~ 25_m は全て同じ構成となっている。ここでは、カラムアンプ回路 25_m を例に挙げて説明するものとする。カラムアンプ回路 25_m は、反転増幅器 61、入力容量 62、帰還容量 63、制御スイッチ 64、及び、水平選択スイッチ 65 を有する構成となっている。そして、カラムアンプ回路 25_m は、列信号線 22_m を介して単位画素 11 から供給される信号電圧 V_{out} を増幅してアナログ信号 V_{amp} として出力する。

【0106】

尚、本例では、カラム処理部 14B について、カラムアンプ回路 25 が列信号線 22 毎に 1 対 1 の対応関係をもって設けられた構成を例に挙げたが、1 対 1 の対応関係の配置に限られるものではない。例えば、1 つのカラムアンプ回路 25 を複数の画素列で共有し、複数の画素列間で時分割にて使用する構成とすることも可能である。

【0107】

図 19 は、カラムアンプ回路 25 の具体的な回路例を示す回路図である。図 20 に、カラムアンプ回路 25 の動作例を示す。A/D 変換回路 23 の場合と同様に、制御信号 PAZ による制御の下に、制御スイッチ 64 によって反転増幅器 61 の入出力端間を短絡することで、カラムアンプ回路 25 の基準電圧を取得する。

【0108】

10

20

30

40

50

カラムアンプ回路25では、取得した基準電圧からの差分 V_{out} が、アナログ信号 V_{amp} の振幅として得られる。カラムアンプ回路25において、入力容量62の容量値を C_{in} 、帰還容量63の容量値を C_g とすると、アナログ信号 V_{amp} は、容量値 C_{in} と容量値 C_g との比である C_{in} / C_g 倍される。

【0109】

[2-2. 第2実施形態の特徴とする事項]

第2実施形態に係るCMOSイメージセンサ10_Bも、第1実施形態に係るCMOSイメージセンサ10_Aと同様に、全画素一括露光のために、信号電荷をFD部42に保持した状態で信号読み出しを実行する構成を採っている。そして、カラムアンプ回路25においても、AD変換回路23の場合と同様に、信号レベルとリセットレベルの両方を処理するために、最初にリセットレベルに対して基準電圧の取得が必要となる。

10

【0110】

そこで、第2実施形態においても、第1実施形態と同様に、ある単位画素の信号レベルの読み出し前に、既に信号レベルの読み出しが完了した単位画素のFD部42のリセットレベルを読み出し、当該リセットレベルをカラムアンプ回路25の基準電圧として設定する。この基準電圧は、カラムアンプ回路25の増幅可能な入力電圧範囲の基準となる電圧である。そして、基準電圧を調整(シフト)することで、入力信号に対する入力電圧範囲が決まる。

【0111】

このように、信号レベルの読み出し前に、既に信号レベルの読み出しが完了した単位画素のFD部42のリセットレベルを読み出し、当該リセットレベルをカラムアンプ回路25の基準電圧として設定することで、第1実施形態の場合と同様の作用、効果を得ることができる。また、既に信号レベルの読み出しが完了した単位画素のFD部42のリセットレベルをカラムアンプ回路25の基準電圧として設定するための実施例としても、先述した実施例1乃至実施例3を適用することができる。

20

【0112】

<3. 他の画素構成>

第1、第2実施形態においては、リセットレベルを信号レベルの前に読み出すことができない固体撮像装置として、グローバル露光機能を持つCMOSイメージセンサ10_A、10_Bを例に挙げた。このグローバル露光機能を持つCMOSイメージセンサ10_A、10_Bは、全画素一括の露光を実現すべく、フォトダイオード41で発生した電荷を全画素同時にFD部42へ転送し、当該FD部42で信号電荷が保持された状態から、順次読み出し動作を実行する。

30

【0113】

但し、リセットレベルを信号レベルの前に読み出すことができない固体撮像装置としては、グローバル露光機能を持つCMOSイメージセンサ10_A、10_Bに限られるものではない。他にも、光電変換部から転送される光電荷を電荷電圧変換部とは別に保持するメモリ部を有する単位画素によって構成されるCMOSイメージセンサや、有機光電変換膜を用いた単位画素によって構成されるイメージセンサなどを挙げることができる。

【0114】

40

(他の画素例1)

図21は、光電変換部から転送される光電荷を電荷電圧変換部とは別に保持するメモリ部を有する、他の画素例1に係る単位画素の一例を示す構成図であり、図中、図2と同等部位には同一符号を付して示している。

【0115】

他の画素例1に係る単位画素11_Aにおいて、フォトダイオード41は、例えば、N型基板61上に形成されたP型ウェル層62に対し、P型不純物層63を基板表層部に形成してN型埋め込み層64を埋め込むことによって形成される埋込み型フォトダイオードである。

【0116】

50

単位画素 11_A は、埋込み型フォトダイオード 41 に加えて、第 1 転送ゲート部 47、メモリ部 (MEM) 48、第 2 転送ゲート部 43、及び、FD 部 42 を有する構成となっている。メモリ部 48 及び FD 部 42 は遮光されている。

【0117】

第 1 転送ゲート部 47 は、埋込み型フォトダイオード 41 で光電変換され、その内部に蓄積された電荷を、転送信号 TRX がゲート電極 47_A に印加されることによって転送する。メモリ部 48 は、ゲート電極 47_A の下に形成された N 型の埋込みチャネル 65 によって形成され、第 1 転送ゲート部 47 によってフォトダイオード 41 から転送された電荷を蓄積する。メモリ部 48 が埋込みチャネル 65 によって形成されていることで、Si-SiO₂ 界面での暗電流の発生を抑えることができるため画質の向上に寄与できる。

10

【0118】

このメモリ部 48 において、その上部にゲート電極 47_A を配置し、当該ゲート電極 47_A に転送信号 TRX を印加することでメモリ部 48 に変調をかけることができる。すなわち、ゲート電極 47_A に転送信号 TRX が印加されることで、メモリ部 48 のポテンシャルが深くなる。これにより、メモリ部 48 の飽和電荷量を、変調を掛けない場合よりも増やすことができる。

【0119】

ゲート電極 47_A の下のフォトダイオード 41 とメモリ部 48 との境界部分には、N- の不純物拡散領域 69 を設けることによってオーバーフローパス 60 が形成されている。このオーバーフローパス 60 は、低照度での発生電荷を優先的にフォトダイオード 41 に蓄積する手段として用いられる。具体的には、フォトダイオード 41 で発生し、オーバーフローパス 60 のポテンシャルを超えた電荷は、自動的にメモリ部 48 に溢れ出て当該メモリ部 48 に蓄積される。換言すれば、オーバーフローパス 60 のポテンシャル以下の発生電荷についてはフォトダイオード 41 に蓄積される。

20

【0120】

第 2 転送ゲート部 43 は、メモリ部 48 に蓄積された電荷を、ゲート電極 43_A に転送信号 TRG が印加されることによって転送する。FD 部 42 は、N 型層からなる電荷電圧変換部であり、第 2 転送ゲート部 43 によってメモリ部 48 から転送された電荷を電圧に変換する。

【0121】

30

このように、フォトダイオード 41 から転送される信号電荷を FD 部 42 とは別に保持するメモリ部 48 を有する、他の画素例 1 に係る単位画素 11_A によって構成される CMOS イメージセンサの場合も、リセットレベルを信号レベルの前に読み出すことができない。従って、他の画素例 1 に係る単位画素 11_A によって構成される CMOS イメージセンサに対しても、先述した第 1、第 2 実施形態を適用することで、所期の目的を達成することができる。

【0122】

(他の画素例 2)

図 22 は、有機光電変換膜を用いた、他の画素例 2 に係る単位画素の一例を示す構成図であり、図中、図 2 と同等部位には同一符号を付して示している。

40

【0123】

他の画素例 2 に係る単位画素 11_B において、有機光電変換膜 71 は上部電極 72 と下部電極 73 で挟まれている。少なくとも下部電極 73 は画素毎に分割され、透明性の高い電極が使われることが多い。そして、上部電極 72 に対してバイアス電源 74 によりバイアス電圧 V_b が印加されている。

【0124】

有機光電変換膜 71 での光電変換によって発生した電荷は FD 部 42 に蓄積される。FD 部 42 の電荷は、増幅トランジスタ 45 を含む読み出し回路を介して列信号線 22 から電圧として読み出される。FD 部 42 は、リセットトランジスタ 44 によりドレイン電位 V_r に設定される。そして、リセットトランジスタ 44 のドレイン電位 V_r は、FD 部 42

50

の空乏化されたリセットトランジスタ44側のポテンシャルよりも低い電圧V_{r1}から高い電圧V_{r2}へ遷移させることが可能となっている。

【0125】

このように、有機光電変換膜71を用いた、他の画素例2に係る単位画素11_Bによって構成されるイメージセンサの場合も、リセットレベルを信号レベルの前に読み出すことができない。従って、他の画素例2に係る単位画素11_Bによって構成されるイメージセンサに対しても、先述した第1，第2実施形態を適用することで、所期の目的を達成することができる。

【0126】

<4.変形例>

10

【0127】

上記各実施形態では、単位画素が行列状に配置されてなるCMOSイメージセンサに適用した場合を例に挙げて説明したが、本発明はCMOSイメージセンサへの適用に限られるものではない。すなわち、本発明は、単位画素が行列状に2次元配置されてなるX-Yアドレス方式の固体撮像装置全般に対して適用可能である。

【0128】

また、本発明は、可視光の入射光量の分布を検知して画像として撮像する固体撮像装置への適用に限らず、赤外線やX線、あるいは粒子等の入射量の分布を画像として撮像する固体撮像装置全般に対して適用可能である。

【0129】

20

尚、固体撮像装置はワンチップとして形成された形態であってもよいし、撮像部と、信号処理部または光学系とがまとめてパッケージングされた撮像機能を有するモジュール状の形態であってもよい。

【0130】

<5.電子機器>

本発明は、固体撮像装置への適用に限られるものではなく、デジタルスチルカメラやビデオカメラ等の撮像装置や、携帯電話機などの撮像機能を有する携帯端末装置など、画像取込部（光電変換部）に固体撮像装置を用いる電子機器全般に対して適用可能である。画像取込部に固体撮像装置を用いる電子機器には、画像読取部に固体撮像装置を用いる複写機も含まれる。尚、電子機器に搭載される上記モジュール状の形態、即ちカメラモジュールを撮像装置とする場合もある。

30

【0131】

（撮像装置）

図23は、本発明に係る電子機器、例えば撮像装置の構成の一例を示すブロック図である。

【0132】

図23に示すように、本発明に係る撮像装置100は、レンズ群101等を含む光学系、撮像素子（撮像デバイス）102、DSP回路103、フレームメモリ104、表示装置105、記録装置106、操作系107及び電源系108等を有する。そして、DSP回路103、フレームメモリ104、表示装置105、記録装置106、操作系107及び電源系108がバスライン109を介して相互に接続されている。

40

【0133】

レンズ群101は、被写体からの入射光（像光）を取り込んで撮像素子102の撮像面上に結像する。撮像素子102は、レンズ群101によって撮像面上に結像された入射光の光量を画素単位で電気信号に変換して画素信号として出力する。

【0134】

表示装置105は、液晶表示装置や有機EL(electro luminescence)表示装置等のパネル型表示装置からなり、撮像素子102で撮像された動画または静止画を表示する。記録装置106は、撮像素子102で撮像された動画または静止画を、ビデオテープやDVD(Digital Versatile Disk)等の記録媒体に記録する。

50

【0135】

操作系107は、ユーザによる操作の下に、本撮像装置が持つ様々な機能について操作指令を発する。電源系108は、DSP回路103、フレームメモリ104、表示装置105、記録装置106及び操作系107の動作電源となる各種の電源を、これら供給対象に対して適宜供給する。

【0136】

上記の構成の撮像装置は、ビデオカメラやデジタルスチルカメラ、さらには携帯電話機等のモバイル機器向けカメラモジュールなどの撮像装置として用いることができる。そして、当該撮像装置において、撮像素子102として、先述した各実施形態に係るCMOSイメージセンサ10_A、10_B等の固体撮像装置を用いることで、次のような作用効果を得ることができる。
10

【0137】

すなわち、先述した各実施形態に係るCMOSイメージセンサ10_A、10_Bは、グローバル露光によって歪みのない撮像を実現できる。従って、画像歪みが許容できない、高速に動く被写体の撮像や、撮像画像の同時性を必要とするセンシング用途に用いて好適な撮像装置として実現出来る。

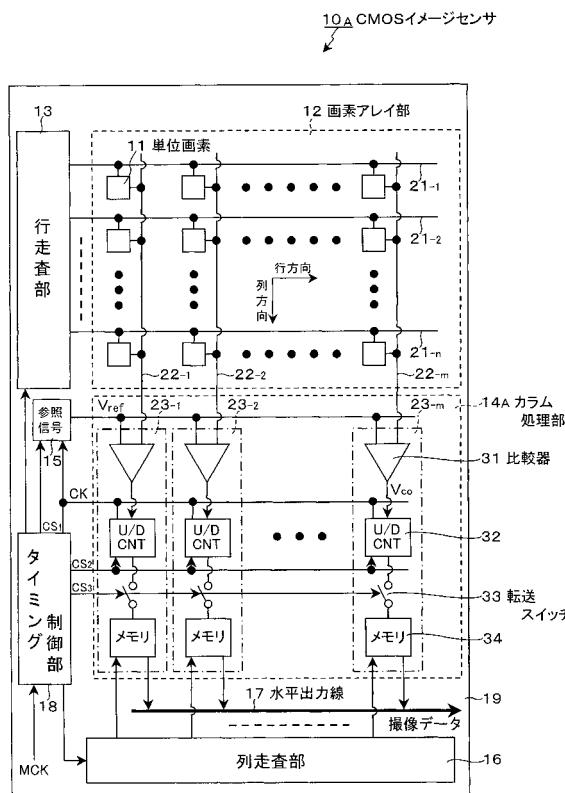
【0138】

また、先述した各実施形態に係るCMOSイメージセンサ10_A、10_Bは、面内の大きな特性の揺らぎ（面内分布）の差異や、寄生容量の大きさに依存したオフセット成分を効果的に除去することができる。これにより、画素の出力振幅に対して、信号処理部の処理可能な入力電圧範囲に必要なマージンを低減することが可能となるため、信号処理部の電源電圧の低電圧化や低消費電力化を図ることができる。従って、各種電子機器の低電圧化や低消費電力化に寄与できる。
20

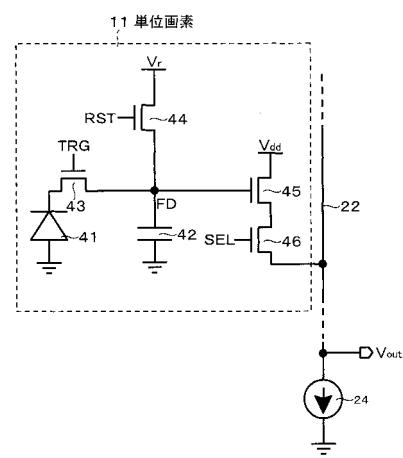
【符号の説明】**【0139】**

10_A、10_B…CMOSイメージセンサ、11、11_A、11_B…単位画素、12…画素アレイ部、13…行走査部、14_A、14_B…カラム処理部、15…参照信号生成部、16…列走査部、17…水平出力線、18…タイミング制御部、21(21₋₁～21_{-n})…行制御線、22(22₋₁～22_{-m})…列信号線、23(23₋₁～23_{-m})…A/D変換回路、24…電流源、25(25₋₁～25_{-m})…カラムアンプ回路、31…比較器、32…アップ/ダウンカウンタ、33…転送スイッチ、34…メモリ、41…フォトダイオード、42…電荷電圧変換部、43…転送トランジスタ（転送ゲート部）、44…リセットトランジスタ、45…増幅トランジスタ、46…選択トランジスタ
30

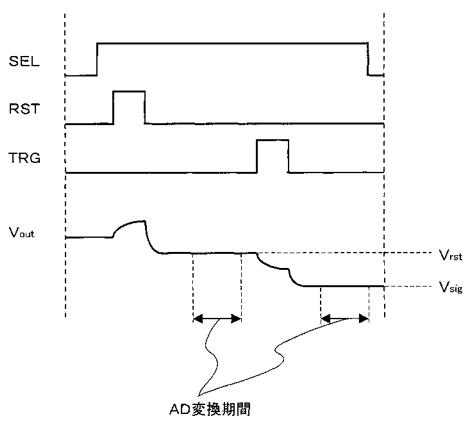
【図1】



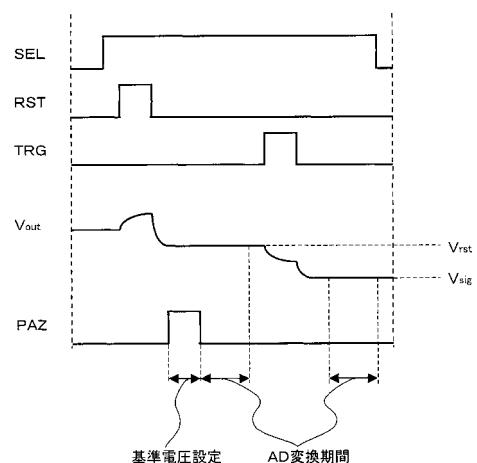
【図2】



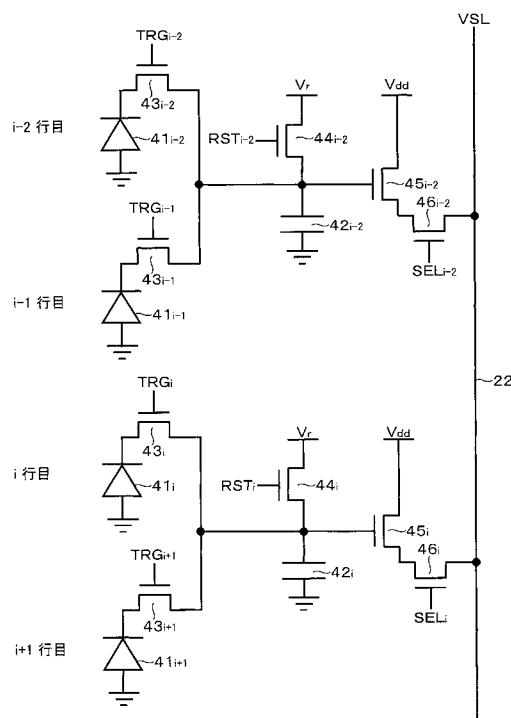
【図3】



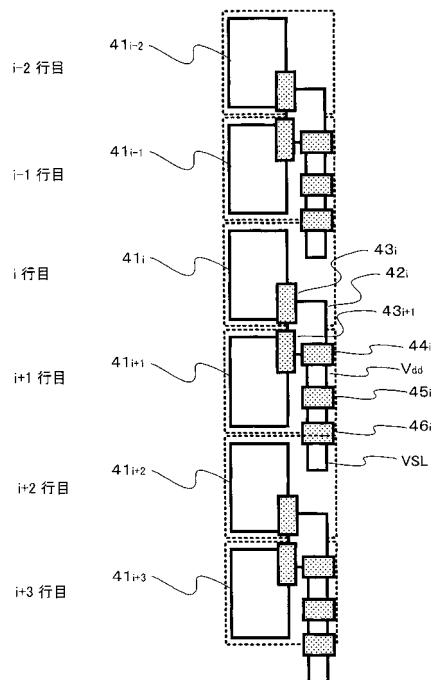
【図4】



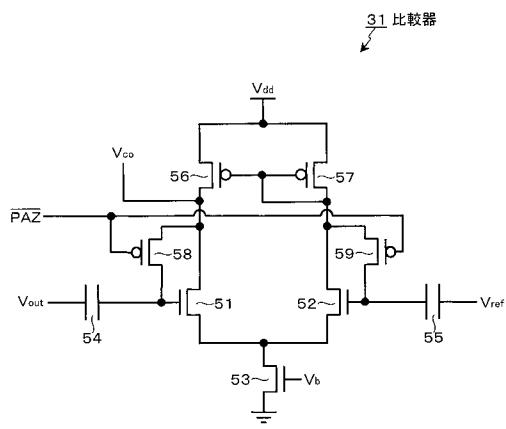
【図5】



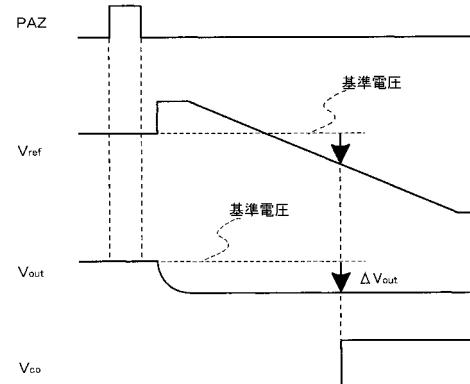
【図6】



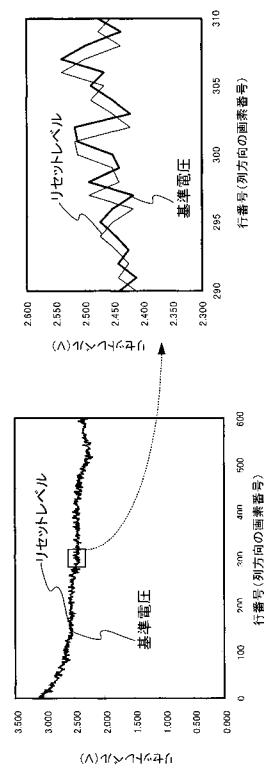
【図7】



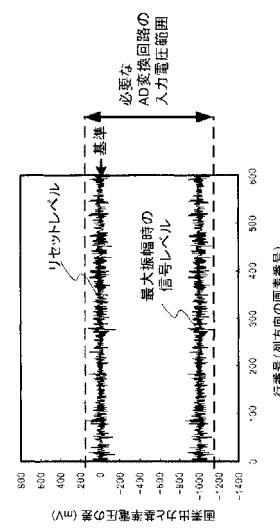
【図8】



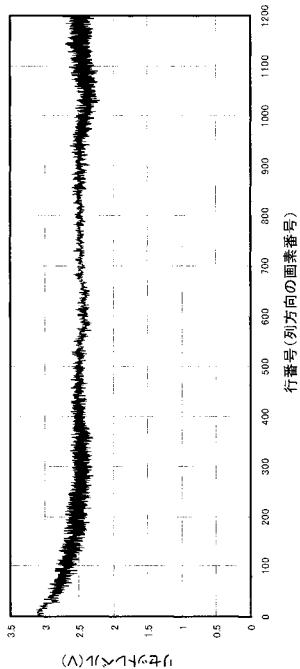
【図 9】



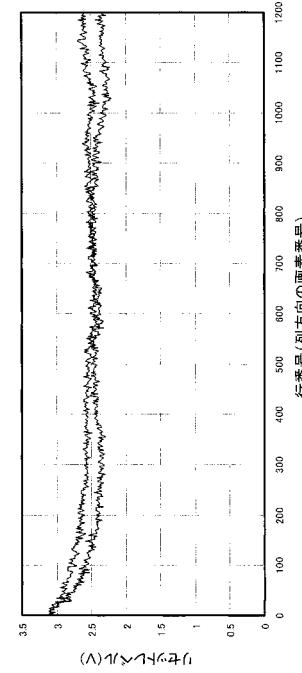
【図 10】



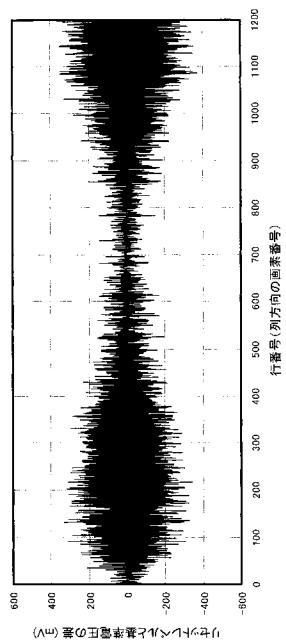
【図 11】



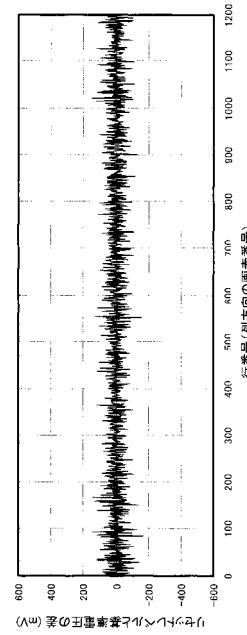
【図 12】



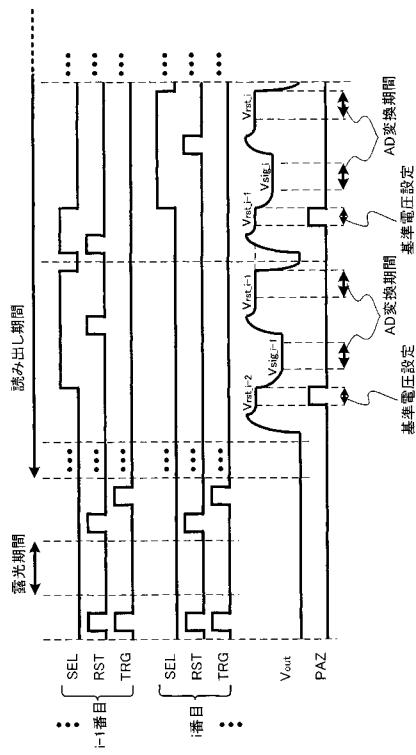
【図13】



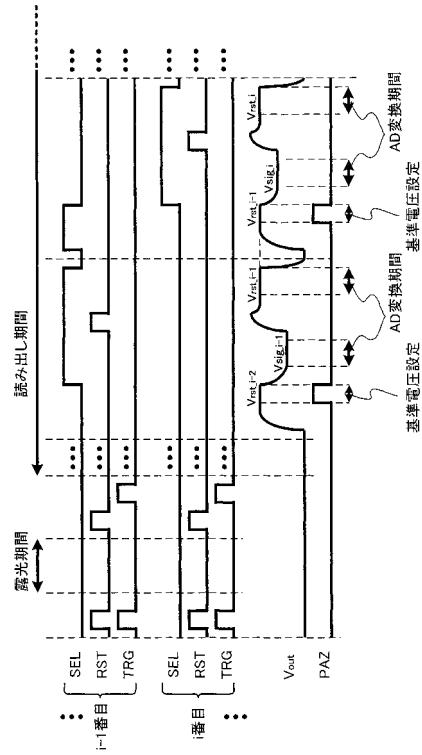
【図14】



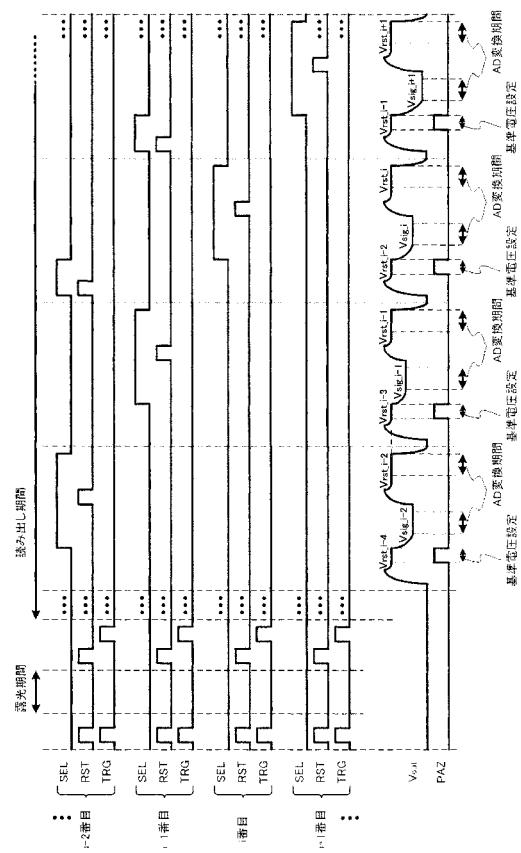
【図15】



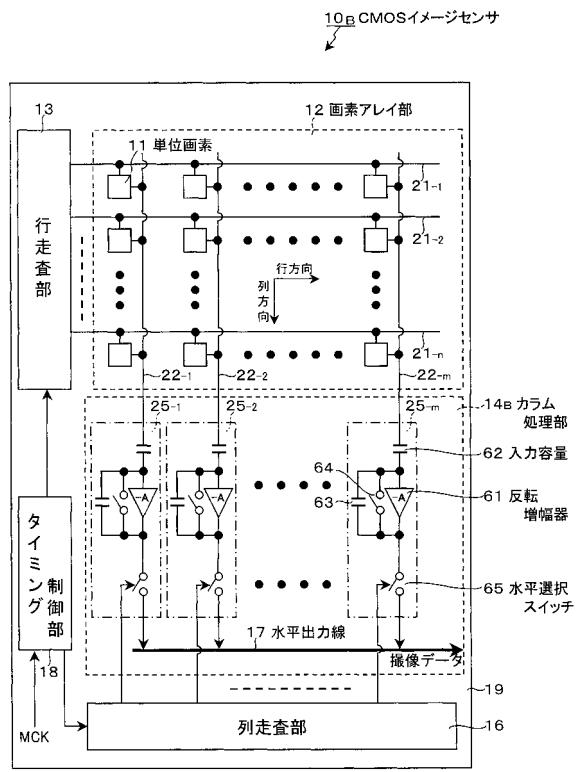
【図16】



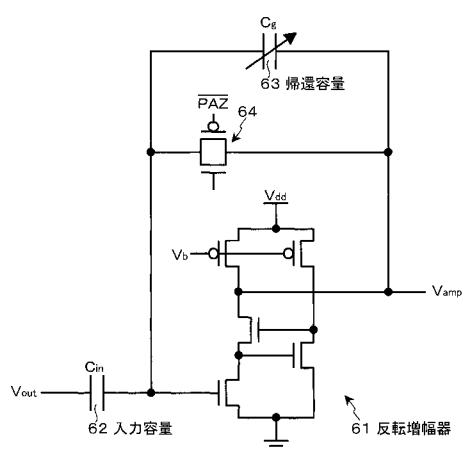
【図17】



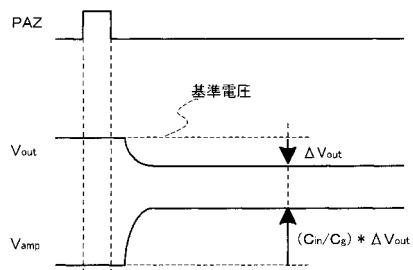
【図18】



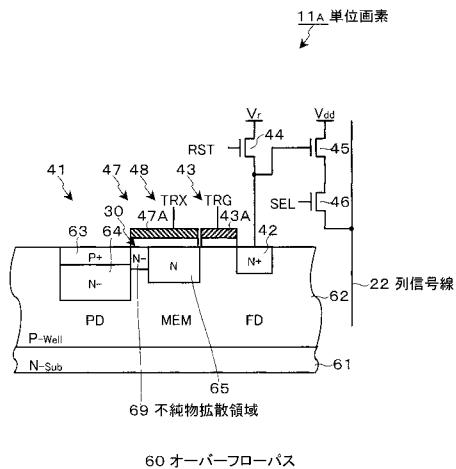
【図19】



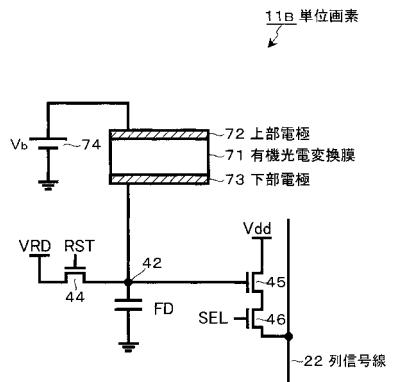
【図20】



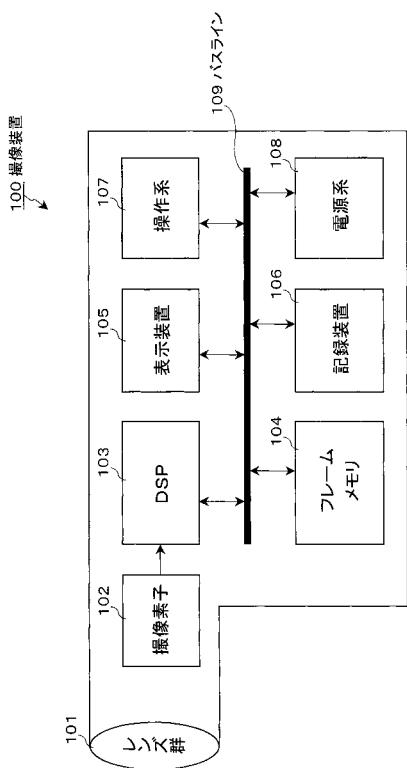
【図21】



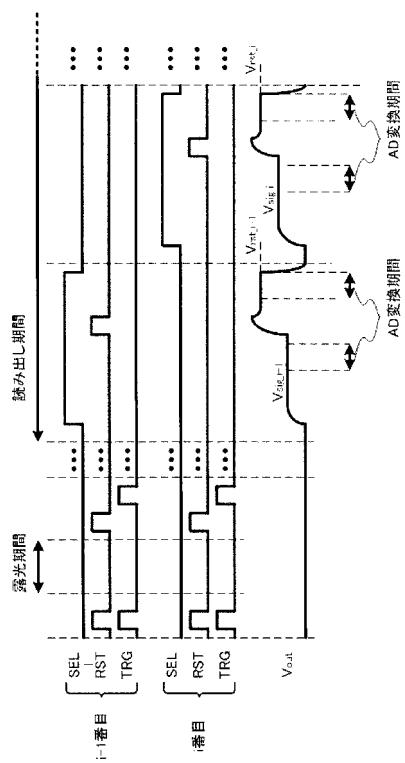
【図22】



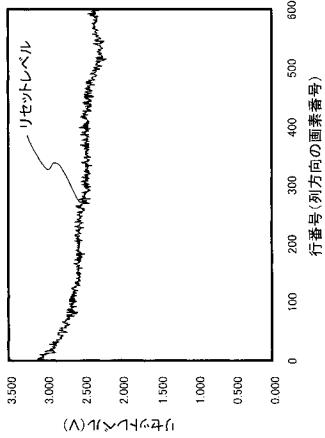
【図23】



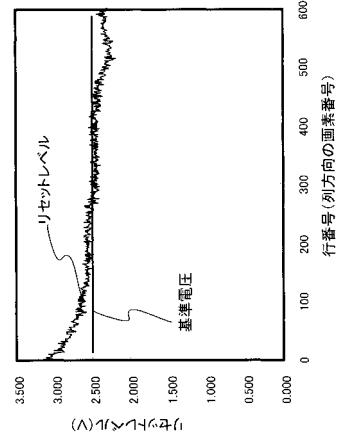
【図24】



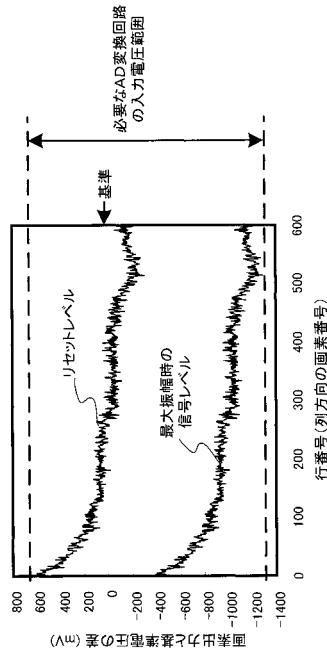
【図25】



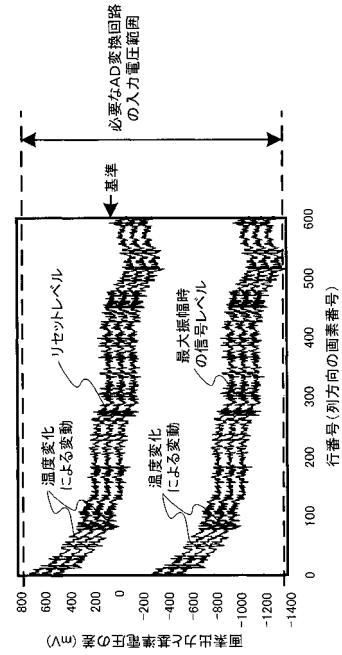
【図26】



【図27】



【図28】



フロントページの続き

(72)発明者 高塚 挙文
東京都港区港南1丁目7番1号 ソニー株式会社内

(72)発明者 樺原 雅樹
東京都港区港南1丁目7番1号 ソニー株式会社内

審査官 木方 庸輔

(56)参考文献 特開昭61-264971(JP,A)
特開2007-013756(JP,A)
特開2010-016656(JP,A)
特開2006-311008(JP,A)
特開2010-028624(JP,A)
特開2009-049870(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04N 5/335