



(12)发明专利

(10)授权公告号 CN 105679628 B

(45)授权公告日 2017.08.25

(21)申请号 201610036745.2

(22)申请日 2016.01.20

(65)同一申请的已公布的文献号

申请公布号 CN 105679628 A

(43)申请公布日 2016.06.15

(73)专利权人 中山大学

地址 510275 广东省广州市新港西路135号

(72)发明人 余峻聪 罗来堂 曹涛 邓少芝

许宁生 陈军

(74)专利代理机构 广州粤高专利商标代理有限公司

公司 44102

代理人 张月光

(51)Int.Cl.

H01J 29/48(2006.01)

H01J 9/02(2006.01)

(56)对比文件

CN 1298551 A,2001.06.06,说明书第5页第3段-第9页第3段,附图4-6.

CN 1298551 A,2001.06.06,说明书第5页第3段-第9页第3段,附图4-6.

JP 特开平9-27265 A,1997.01.28,说明书第[0008]-[0017]段,附图1.

US 5710478 A,1998.01.20,

JP 特开平10-50205 A,1998.02.20,

JP 特开平4-249026 A,1992.09.04,

审查员 刘艳

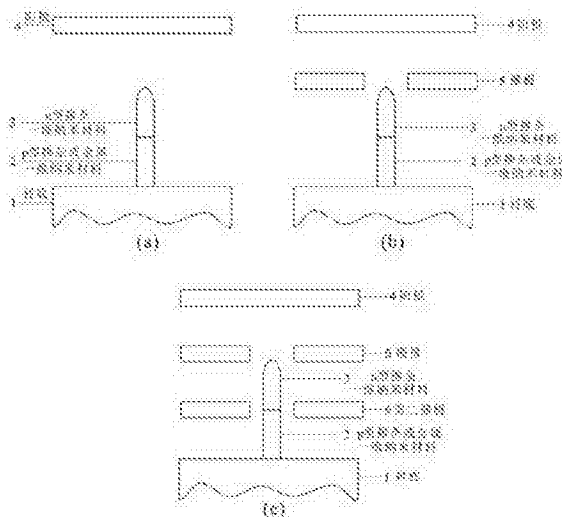
权利要求书2页 说明书7页 附图3页

(54)发明名称

一种带反偏置纳米结的场致电子发射器件结构

(57)摘要

本发明公开了一种带反偏置纳米结的场致电子发射器件结构,该器件结构由发射体和电极构成;所述发射体由两段一维纳米材料组成,其一段为用于发射电子的N型掺杂半导体,另一段为P型掺杂半导体,或者是能与所述N型掺杂半导体形成肖特基接触的金属;所述两段一维纳米材料接触形成PN结或肖特基结,所述PN结或肖特基结突出于衬底表面;该器件结构的反偏置纳米结具有限流效应,可抑制场发射电流波动,同时电极施加的电场在纳米结结区的贯穿效应使纳米结的电阻随电场的增大而减小,提高发射体的耐压(耐流)能力,改善器件的可靠性并减弱由于结电阻压降而导致的驱动电压过高及功耗过大的问题,且有利于提高阵列中发射体场发射特性的均匀性。



1. 一种带反偏置纳米结的场致电子发射器件结构,其特征在于,该器件结构由发射体和电极构成;所述发射体由两段一维纳米材料组成,其一段为用于发射电子的N型掺杂半导体,另一段为P型掺杂半导体,或者是能与所述N型掺杂半导体形成肖特基接触的金属;所述两段一维纳米材料接触形成PN结或肖特基结,所述PN结或肖特基结突出于衬底表面,所述一维纳米材料的直径小于200 nm,PN结或肖特基结外表面电场强度大于 $10^7$  V/m。

2. 根据权利要求1所述的带反偏置纳米结的场致电子发射器件结构,其特征在于,所述电极由单个电极或多个电极组成。

3. 根据权利要求2所述的带反偏置纳米结的场致电子发射器件结构,其特征在于,当所述电极是一个阳极时,所述阳极位于发射体的正上方;当所述电极含有一个阳极和一个栅极时,所述阳极位于发射体的正上方,所述栅极位于阳极和衬底表面之间;当所述电极含有一个阳极、一个第一栅极,一个第二栅极时,所述阳极位于发射体的正上方,所述第二栅极位于PN结或肖特基结所在位置的水平线上,所述第一栅极位于阳极和第二栅极之间。

4. 根据权利要求1所述的带反偏置纳米结的场致电子发射器件结构,所述PN结或肖特基结的位置处于发射体尖端10 nm以下,发射体高度的1/2处以上。

5. 根据权利要求1所述的带反偏置纳米结的场致电子发射器件结构,其特征在于,所述N型掺杂半导体的掺杂浓度在 $10^{14}$   $\text{cm}^{-3}$ ~ $10^{18}$   $\text{cm}^{-3}$ 之间,所述P型掺杂半导体的掺杂浓度在 $10^{19}$   $\text{cm}^{-3}$ ~ $10^{21}$   $\text{cm}^{-3}$ 之间,所述P型掺杂半导体的掺杂浓度大于所述N型掺杂半导体的掺杂浓度的10倍以上。

6. 根据权利要求1所述的带反偏置纳米结的场致电子发射器件结构,其特征在于,所述能与所述N型掺杂半导体形成肖特基接触的金属的费米能级与所述N型掺杂半导体费米能级的差值大于0.4 eV。

7. 权利要求1至6一项所述带反偏置纳米结的场致电子发射器件结构的制备方法,其特征在于,包括以下步骤:

S1. 在P型掺杂半导体或能与所述N型掺杂半导体形成肖特基结的金属材料上制备直立取向的一维N型掺杂半导体纳米结构,所述一维N型掺杂半导体纳米结构的高度为300 nm~1  $\mu\text{m}$ ;

S2. 以制备的一维N型掺杂半导体纳米结构为掩模,使用等离子体或化学溶液刻蚀S1所述的P型掺杂半导体或者金属材料,制备高度为200~800 nm的P型半导体或金属一维纳米结构,获得带反偏置纳米结的场致电子发射器件结构的发射体;

S3. 利用微加工工艺方法集成栅极,并组装阳极,制备出带反偏置纳米结的场致电子发射器件结构。

8. 权利要求1至6任一项所述的带反偏置纳米结的场致电子发射器件结构的制备方法,其特征在于,包括以下步骤:

S1. 选用表面覆盖有厚度为300 nm~1  $\mu\text{m}$ 的N型掺杂半导体薄膜的P型掺杂半导体衬底或金属衬底,在表面制备出直径为100~200 nm的掩模或掩模阵列;

S2. 利用等离子体或化学溶液刻蚀S1所述的N型掺杂半导体薄膜及P型掺杂半导体衬底或金属衬底,获得带反偏置纳米结的场致电子发射器件结构的发射体;

S3. 利用微加工工艺方法集成栅极,并组装阳极,制备出带反偏置纳米结的场致电子发射器件结构。

9. 权利要求1至6任一项所述的带反偏置纳米结的场致电子发射器件结构的制备方法, 其特征在于, 包括以下步骤:

S1. 在导电材料上, 直接生长P型掺杂半导体一维纳米结构或能与所述N型掺杂半导体形成肖特基结的一维金属纳米结构;

S2. 在所制备的一维纳米结构顶端定位生长N型掺杂半导体一维纳米结构, 制备出带反偏置纳米结的场致电子发射器件结构的发射体;

S3. 利用微加工工艺方法集成栅极, 并组装阳极, 制备出带反偏置纳米结的场致电子发射器件结构。

## 一种带反偏置纳米结的场致电子发射器件结构

### 技术领域

[0001] 本发明涉及纳米电子器件技术领域,更具体地,涉及一种带反偏置纳米结的场致电子发射器件结构。

### 背景技术

[0002] 场致发射电子源阵列在平板显示器、并行电子束光刻、微型X射线源上具有潜在应用。目前在研究的电子源材料主要包括半导体纳米尖锥及纳米线、金属纳米尖锥及纳米线、碳基材料(碳纳米管\石墨烯)、金属氧化物纳米线。由于电子源阵列中发射体的几何形貌和表面电子结构存在差异,这分别造成发射端面的局域电场强度和功函数不同,阵列中发射体的场发射特性一致性较差。阵列中的发射体为并联排布,在相同外加电压的作用下,阵列中仅有部分性能优异的发射体参与发射,使阵列总的电流强度难以有效提升。此外,场致发射电子源普遍存在一定的电流波动。

[0003] 为了克服上述问题,目前所采用的技术方法是将发射体与电阻或场效应管串联。串联电阻的目的是利用电阻的分压形成负反馈,抑制瞬时大电流脉冲,减小发射电流的波动。由于串联电阻对发射电流较大的发射体的分压作用更为明显,可一定程度提高阵列中发射体特性的均匀性。然而,起有效分压的电阻的阻值通常达到兆欧量级,且阻值无法动态调节,其分压效果导致电子源的驱动电压上升,发射电流难以提升,功耗增加;也为驱动电路的设计带来困难。

[0004] 而串联场效应管的目的是利用场效应管的恒流区特性,抑制场发射电流的波动,提高阵列中发射体的场发射特性的一致性;也可通过栅压改变沟道电阻,实现有源控制。然而,场效应管在恒流区的电阻随着源漏电压的增大而增大,其作用类似于串联一个阻值随着外加电压增大的可变电阻。在场发射电流增大过程中,场效应管上的分压会显著增大;此效应和串联电阻相似,也会导致电子源的驱动电压上升,功耗增加等问题。而且,场效应管器件的制作工艺也较为复杂,制备成本较高。

[0005] 除上述两种方法外,也有研究者提出利用PN结反偏置时的限流区特性,来抑制场发射电流的波动,提高阵列中发射体的可靠性并改善反射体之间的场发射特性的一致性。但是现有的器件结构中,PN结位于衬底表面,外加电场难以对结区形成贯穿效应,这种PN结在限流区的阻值是固定的,和串联电阻相似;若PN结阻值过小,则难以达到有效的抑制场发射电流波动的效果,若PN结阻值过大,则其分压效果会导致电子源的驱动电压上升,发射电流难以提升,功耗增加。

### 发明内容

[0006] 本发明提供解决上述技术问题的方法,即提供一种带反偏置纳米结的场致电子发射器件结构。

[0007] 本发明同时提供上述带反偏置纳米结的场致电子发射器件结构的制备方法。本发明的目的是通过以下技术方案予以实现的:

[0008] 一种带反偏置纳米结的场致电子发射器件结构,该器件结构由发射体和电极构成;所述发射体由两段一维纳米材料组成,其一段为用于发射电子的N型掺杂半导体,另一段为P型掺杂半导体,或者是能与所述N型掺杂半导体形成肖特基接触的的金属;所述两段一维纳米材料接触形成PN结或肖特基结,所述PN结或肖特基结突出于衬底表面。

[0009] 这里必须保证该PN结或者肖特基结必须突出衬底表面,不能与衬底表面齐平或低于衬底表面。

[0010] 该器件结构在工作时,纳米结处于反偏置状态,电极施加电压形成的电场既可诱导发射体顶端发射电子,又可贯穿纳米发射体上纳米结所在位置(纳米结区)的表面。这种贯穿作用使纳米结外表面附近的势垒区收窄,电子隧穿通过纳米结的几率增大,结电阻减小。随着电极上施加的电压的增大,电场对结区的贯穿作用增强,电子隧穿通过纳米结的几率增加,结电阻进一步减小。在场发射电流增大过程中,结区压降增加缓慢或减小,场发射电流-电场(I-E)特性曲线仍可保持陡直。同时,由于结电阻的降低,在结区产生的焦耳热不会随电流的增大而快速地上升。和串联电阻、场效应管或与衬底表面齐平的PN结对比,这种器件结构既可以抑制场发射电流的波动,又可以提高发射体的耐压(耐流)能力,增加器件的可靠性,同时还能减弱由于结电阻压降过大而导致的发射体场发射驱动电压过高及功耗过大问题,且有利于提高阵列中发射体场发射特性的均匀性。

[0011] 优选地,所述一维纳米材料的直径小于200 nm,PN结或肖特基结外表面电场强度大于 $10^7$  V/m,从而在PN结或肖特基结外表面形成较强的电场贯穿效果,对纳米结的电子输运特性具有增强作用。

[0012] 为了在PN结或肖特基结外表面获得强度大于 $10^7$  V/m的电场,需要对发射体与电极的相对位置进行设计,优选地,所述电极由单个电极或多个电极组成。

[0013] 更优选地,当所述电极是一个阳极时,所述阳极位于发射体的正上方;当所述电极含有一个阳极和一个栅极时,所述阳极位于发射体的正上方,所述栅极位于阳极和衬底表面之间,此时对阳极和栅极共同施加电压;当所述电极含有一个阳极、一个第一栅极,一个第二栅极时,所述阳极位于发射体的正上方,所述第二栅极位于PN结或肖特基结所在位置的的水平线上,所述第一栅极位于阳极和第二栅极之间,此时对阳极、第一栅极和第二栅极共同施加电压。

[0014] 为了使PN结或肖特基结外表面的电场对结区具有有效的电场贯穿效应及避免纳米结被击穿,对所述PN结或肖特基结的位置有要求;优选地,所述PN结或肖特基结的位置突出于衬底表面,具体处于发射体尖端10 nm以下,发射体高度的1/2处以上(500 nm~2  $\mu$ m间可调,如1.2  $\mu$ m)的1/2处之间。

[0015] 本发明所涉及的带反偏置纳米结的场致电子发射器件结构,如果纳米结为PN结,所述N型掺杂半导体的掺杂浓度在 $10^{14}$   $\text{cm}^{-3}$ ~ $10^{18}$   $\text{cm}^{-3}$ 之间,使电场在N型区有一定的贯穿深度。所述P型掺杂半导体的掺杂浓度在 $10^{19}$   $\text{cm}^{-3}$ ~ $10^{21}$   $\text{cm}^{-3}$ 之间;P型掺杂半导体的掺杂浓度大于所述N型掺杂半导体的掺杂浓度的10倍以上。由于P型半导体掺杂浓度远大于N型半导体,电场贯穿作用对正电荷区(P型半导体一侧)的影响比对负电荷区(N型半导体一侧)的影响显著,从而导致势垒区在纳米结区外表面附近收窄,电子的隧穿几率增强。

[0016] 如果纳米结为肖特基结,要求能与所述N型掺杂半导体形成肖特基接触的的金属的费米能级与所述N型掺杂半导体费米能级的差值大于0.4 eV,例如在0.4 eV~1.0 eV之间,

才能在N型半导体区形成一定宽度的势垒区,电场贯穿效应才能对势垒区形成有效的作用。

[0017] 本发明还提供所述带反偏置纳米结的场致电子发射器件结构的制备方法,包括以下步骤:

[0018] S1. 在P型掺杂半导体或能与所述N型掺杂半导体形成肖特基结的金属材料上制备直立取向的一维N型掺杂半导体纳米结构,所述一维N型掺杂半导体纳米结构的高度为300 nm~1  $\mu$ m;

[0019] S2. 以制备的一维N型掺杂半导体纳米结构为掩模,使用等离子体或化学溶液刻蚀S1所述的P型掺杂半导体或者金属材料,制备高度为200~800 nm的P型半导体或金属一维纳米结构,获得带反偏置纳米结的场致电子发射器件结构的发射体;

[0020] S3. 利用微加工工艺方法集成栅极,并组装阳极,制备出带反偏置纳米结的场致电子发射器件结构。

[0021] 所述的带反偏置纳米结的场致电子发射器件结构的制备方法,还可以包括以下步骤:

[0022] S1. 选用表面覆盖有厚度为300 nm~1  $\mu$ m的N型掺杂半导体薄膜的P型掺杂半导体衬底或金属衬底,在表面制备出直径为100~200 nm的掩模或掩模阵列;

[0023] S2. 利用等离子体或化学溶液刻蚀S1所述的N型掺杂半导体薄膜及P型掺杂半导体衬底或金属衬底,获得带反偏置纳米结的场致电子发射器件结构的发射体;

[0024] S3. 利用微加工工艺方法集成栅极,并组装阳极,制备出带反偏置纳米结的场致电子发射器件结构。

[0025] 所述的带反偏置纳米结的场致电子发射器件结构的制备方法还可以包括以下步骤:

[0026] S1. 在导电材料上,直接生长P型掺杂半导体一维纳米结构或能与所述N型掺杂半导体形成肖特基结的一维金属纳米结构;

[0027] S2. 在所制备的一维纳米结构顶端定位生长N型掺杂半导体一维纳米结构,制备出带反偏置纳米结的场致电子发射器件结构的发射体;

[0028] S3. 利用微加工工艺方法集成栅极,并组装阳极,制备出带反偏置纳米结的场致电子发射器件结构。

[0029] 与现有技术相比,本发明具有以下有益效果:

[0030] 本发明提供了一种带反偏置纳米结的场致电子发射器件结构,该器件结构由发射体和电极构成;所述发射体由两段一维纳米材料组成,其一段为用于发射电子的N型掺杂半导体,另一段为P型掺杂半导体,或者是能与所述N型掺杂半导体形成肖特基接触的金属;所述两段一维纳米材料接触形成PN结或肖特基结,所述PN结或肖特基结突出于衬底表面;所述器件结构在工作时,纳米结处于反偏状态;电极施加的电压所形成的电场既可诱导发射端电子发射,又可贯穿纳米发射体上纳米结所在位置(纳米结区)的表面,提高电子隧穿通过纳米结的几率。随着电极上施加的电压的增大,电场对结区的贯穿作用增强,电子的隧穿几率增加,结电阻减小。在场发射电流增大过程中,结区压降增加缓慢,甚至有可能不增加或减小。同时,由于结电阻的降低,在结区产生的焦耳热不会随电流的增大而快速地上升。上述器件结构与串联电阻、场效应管或与衬底表面齐平的PN结所起作用的效果,它不仅具有抑制场发射电流波动的优点,还可以提高发射体的耐压(耐流)能力,增加器件工作的可

靠性,同时还能减弱由于结电阻压降过大而导致的发射体场发射驱动电压过高及功耗过大问题,且有利于提高阵列中发射体场发射特性的均匀性。

### 附图说明

[0031] 图1为带反偏置纳米结的场致电子发射器件的示意图;其中,图1(a)为组装了阳极的带反偏置纳米结的场致电子发射器件的示意图,器件由一个电极(阳极)和发射体组成;图1(b)为集成了阳极和栅极的带反偏置纳米结的场致电子发射器件的示意图,器件由两个电极(阳极和栅极)和发射体共同组成;图1(c)为多极结构的带反偏置纳米结的场致电子发射器件的示意图,器件由三个电极(阳极、栅极和第二栅极)和发射体共同组成;其中1为衬底,2为P型掺杂半导体或金属(一维纳米材料)(半导体选择硅的话,可简写为p-Si,若是N型掺杂硅,则简写为n-Si),3为N型掺杂半导体或金属(一维纳米材料)(N型掺杂半导体选择氧化锌的话,可简写为n-ZnO),4为阳极,5为栅极,6为第二栅极。

[0032] 图2为由p-Si/n-ZnO发射体阵列(500×500)及n-Si/n-ZnO发射体阵列(500×500)和阳极组成的器件结构的场发射电流-电场(I-E)特性曲线。

[0033] 图3为由p-Si/n-ZnO阵列发射体(500×500)和阳极组成的器件结构在外加电场为84.8 MV/m时,及由n-Si/n-ZnO阵列发射体(500×500)和阳极组成的器件结构在外加电场为83.5 MV/m时的场发射电流随时间变化的曲线;其中由p-Si/n-ZnO阵列发射体和阳极组成的器件结构的场发射电流波动仅为±2.4%,而由n-Si/n-ZnO阵列发射体和阳极组成的器件结构的场发射电流波动为±14.8%。

[0034] 图4为由p-Si/n-ZnO阵列(500×500)发射体和阳极组成的器件结构经过场发射测试后的典型SEM图,从图中可以看出只有少数的纳米发射体被损坏。

[0035] 图5为由n-Si/n-ZnO阵列(500×500)发射体和阳极组成的器件结构经过场发射测试后的典型SEM图,从图中可以看出绝大部分的纳米发射体已损坏。

### 具体实施方式

[0036] 下面通过说明书附图和具体实施例对本发明做进一步的说明,但本发明并不限于下面特定例子。

[0037] 实施例1

[0038] 带反偏置纳米结的场致电子发射器件结构(单电极,发射体:p-Si/n-ZnO)的制备,包括以下步骤:

[0039] S1. 在P型掺杂( $10^{19} \text{ cm}^{-3}$ )硅片上,利用磁控溅射沉积系统在其表面沉积厚度为20~50 nm的Zn种子层;

[0040] S2. 旋涂厚度约为500~650 nm的电子束光刻胶(PMMA);

[0041] S3. 利用电子束曝光系统对电子束光刻胶进行直写;

[0042] S4. 对曝光后的样品进行显影,得到间距为4  $\mu\text{m}$ 的PMMA纳米孔洞阵列模板,孔洞直径小于200 nm;

[0043] S5. 利用水热法( $\text{Zn}^{2+} 0.005 \text{ mol/L}$ ,  $80^\circ\text{C}$ , 18 h)在微孔中生长出垂直于衬底的ZnO一维纳米结构,生长ZnO的方法参照申请号为200710032889.1的专利);

[0044] S6. 利用超声震断去除微孔孔洞外的ZnO,最终得到的一维纳米结构的高度约为

500~650 nm(如图1(a)中3所示);

[0045] S7. 以ZnO一维纳米结构为掩模,使用等离子体刻蚀系统(ICP)干法刻蚀p-Si衬底,通过对刻蚀时间的控制(1 min~3 min),得到高度在200 nm~1 μm间可控的一维Si纳米结构(如图1(a)中2所示),从而获得p-Si/n-ZnO纳米发射体,所制备的发射体中纳米结位于衬底表面上方200 nm~1 μm处;

[0046] S8. 将电极(阳极)组装在发射体的正上方,从而得到二极管结构的p-Si/n-ZnO场致电子发射器件结构。

[0047] 我们利用上述工艺分别制备了n-Si/n-ZnO及p-Si/n-ZnO的纳米电子发射阵列(500×500)器件结构(纳米结距离衬底表面550 nm),采用表面镀有ITO的玻璃作为阳极,对器件结构的场发射特性进行测试。所测试的阵列中发射体之间的间距为4 μm,阴极和阳极间利用厚度为42 μm的陶瓷片进行隔离。图2是上述两种器件结构对应的三组场发射电流-电场(I-E)特性曲线,从图中可以看出,两种器件结构的场发射的I-E特性曲线重复性都较好,且p-Si/n-ZnO发射体阵列能实现更大的场发射电流。而图3是p-Si/n-ZnO及n-Si/n-ZnO这两个阵列在外加电场分别为84.8 MV/m及83.5 MV/m时,场发射电流随时间的波动曲线。从图中可以看出,p-Si/n-ZnO纳米电子发射器件结构阵列的场发射电流波动较小,为±2.4%,场发射电流平稳;而n-Si/n-ZnO纳米电子发射器件结构阵列的场发射电流波动较大,为±14.8%。图4为p-Si/n-ZnO纳米电子发射器件结构阵列经过场发射测试后的典型SEM图,从图中可以看出,阵列中纳米发射体只有少数被损坏。图5为n-Si/n-ZnO纳米电子发射器件结构阵列经过场发射测试后的典型SEM图,从图中可以看出,阵列中大部分纳米发射体已损坏。

[0048] 实施例2

[0049] 带反偏置纳米结的场致电子发射器件结构(单电极,发射体:p-Si/n-Si)的制备,包括以下步骤:

[0050] S1. 选用表面具有厚度为300 nm~1 μm的N型掺杂( $10^{14} \text{ cm}^{-3} \sim 10^{18} \text{ cm}^{-3}$ )硅半导体的P型掺杂( $10^{19} \text{ cm}^{-3} \sim 10^{21} \text{ cm}^{-3}$ )硅半导体衬底,利用薄膜沉积系统在其表面沉积厚度约为50 nm的金属Cr层;

[0051] S2. 旋涂厚度约为400 nm的负性电子束光刻胶(AR-N 7520.18);

[0052] S3. 利用电子束光刻系统对光刻胶进行图形曝光;

[0053] S4. 采用体积比为4:1的四甲基氢氧化铵(TMAH)和去离子水混合溶液对曝光后的样品进行显影,得到直径为100~200 nm的光刻胶点阵图案;

[0054] S5. 以光刻胶点阵图案为掩模,利用ICP刻蚀将光刻胶图形转移至金属层,在表面制备出直径为100~200 nm的金属点阵;

[0055] S6. 以金属图形为掩模,ICP刻蚀N型掺杂硅薄膜及P型掺杂硅衬底,通过对刻蚀时间的调节,可控制一维纳米结构的高度在500 nm~2 μm之间;

[0056] S7. 在氧气的气氛中,900℃热氧化90 min;

[0057] S8. 利用HF溶液刻蚀去除表面的SiO<sub>2</sub>及附着在SiO<sub>2</sub>表面的金属Cr,获得p-Si/n-Si纳米发射体,所制备的纳米发射体上的纳米结位于衬底表面上方200 nm~1 μm处;

[0058] S9. 将电极(阳极)组装在发射体的正上方,制备单电极的p-Si/n-Si场致电子发射器件结构。



[0059] 实施例3

[0060] 实验方法同实施例1或2,唯一不同的是将氧化锌替换为N型掺杂的二氧化锡、三氧化二铁、氧化钛、氧化钨等金属氧化物或氮化镓、磷化铟等材料中的任一种。

[0061] 实施例4

[0062] 实验方法同实施例1或2,唯一不同的是将P型掺杂的一维硅纳米结构替换为镍、铂、金、银等金属一维纳米结构或P型掺杂的氮化镓等半导体一维纳米结构中的任一种。

[0063] 实施例5

[0064] 带反偏置纳米结的场致电子发射器件结构(双两电极,发射体:p-Si/n-ZnO)的制备,包括以下步骤:

[0065] S1. 在实施例1,S7制备得到的p-Si/n-ZnO发射体的基础上,利用等离子体增强化学气相沉积系统(PECVD)在发射体表面沉积一层厚度约为20~50 nm的非晶硅;

[0066] S2. 利用PECVD沉积厚度为800~1000 nm的SiO<sub>2</sub>,作为绝缘层;

[0067] S3. 利用磁控溅射沉积系统沉积厚度约为200 nm的金属Cr层;

[0068] S4. 旋涂厚度约为2.4 μm的光学光刻胶(苏州瑞红);

[0069] S5. 利用等离子刻蚀系统对光学光刻胶进行刻蚀,使其厚度剩余约100 nm;

[0070] S6. 利用质量比为3:5:20的高氯酸、硝酸铈铵、去离子水混合溶液对金属Cr进行刻蚀,刻蚀时间为90 s,去除未被光刻胶覆盖的金属Cr;

[0071] S7. 将样品放入丙酮溶液中超声清洗5 min,去除剩余的光刻胶;

[0072] S8. 利用体积比为10:1的去离子水和HF酸的混合溶液对SiO<sub>2</sub>进行刻蚀,刻蚀时间为65 s;ZnO一维纳米结构被非晶硅覆盖,不和HF溶液接触,因此不受刻蚀;

[0073] S9. 利用ICP刻蚀去除ZnO一维纳米结构表面的非晶硅;

[0074] S10. 将电极(阳极)组装在此结构的正上方,从而制备出具有双电极的p-Si/n-ZnO场致电子发射器件结构,如图1(b)所示。

[0075] 实施例6

[0076] 实验方法同实施例5,唯一不同的是将氧化锌替换为N型掺杂的二氧化锡、三氧化二铁、氧化钛、氧化钨等金属氧化物或硅、氮化镓、磷化铟等材料中的任一种。

[0077] 实施例7

[0078] 实验方法同实施例5,唯一不同的是将P型掺杂的硅一维纳米结构替换为镍、铂、金、银等金属一维纳米结构或P型掺杂的氮化镓等半导体的一维纳米结构中的任一种。

[0079] 实施例8

[0080] 带反偏置纳米结的场致电子发射器件结构(三个电极,发射体:p-Si/n-ZnO)的制备,包括以下步骤:

[0081] S1. 在实施例1,S7制备得到的p-Si/n-ZnO纳米发射体的基础上,利用薄膜沉积系统在发射体表面沉积一层厚度约为20~50 nm的非晶硅;

[0082] S2. 利用PECVD沉积厚度为500~600 nm的SiO<sub>2</sub>层,作为绝缘层;

[0083] S3. 利用磁控溅射系统沉积厚度约为200 nm的金属Cr层;

[0084] S4. 旋涂厚度约为2.4 μm的光学光刻胶(苏州瑞红);

[0085] S5. 利用ICP刻蚀系统对光刻胶进行刻蚀,使其厚度剩余约100 nm;

[0086] S6. 利用质量比为3:5:20的高氯酸、硝酸铈铵、去离子水混合溶液对金属Cr进行

刻蚀,刻蚀时间为90 s,去除未被光刻胶覆盖的金属Cr;

[0087] S7. 将样品放入丙酮溶液中超声清洗5 min,去除剩余的光刻胶;

[0088] S8. 重复步骤S2~S7;

[0089] S9. 利用体积比为10:1的去离子水和HF酸的混合溶液对SiO<sub>2</sub>进行刻蚀,刻蚀时间为65 s,此时由于ZnO一维纳米结构被非晶硅覆盖,不和HF溶液接触,因此不受刻蚀;

[0090] S10. 利用ICP刻蚀去除ZnO一维纳米结构表面的非晶硅;

[0091] S11. 将电极(阳极)组装在此结构的正上方,制备出具有三个电极的p-Si/n-ZnO场致电子发射器件结构,如图1(c)所示。

[0092] 实施例9

[0093] 实验方法同实施例8,唯一不同的是将氧化锌替换为N型掺杂的二氧化锡、三氧化二铁、氧化钛、氧化钨等金属氧化物或硅、氮化镓、磷化铟等材料中的任一种。

[0094] 实施例10

[0095] 实验方法同实施例8,唯一不同的是将P型掺杂的硅一维纳米结构替换为镍、铂、金、银等金属一维纳米结构或P型掺杂的氮化镓等半导体一维纳米结构中的任一种。

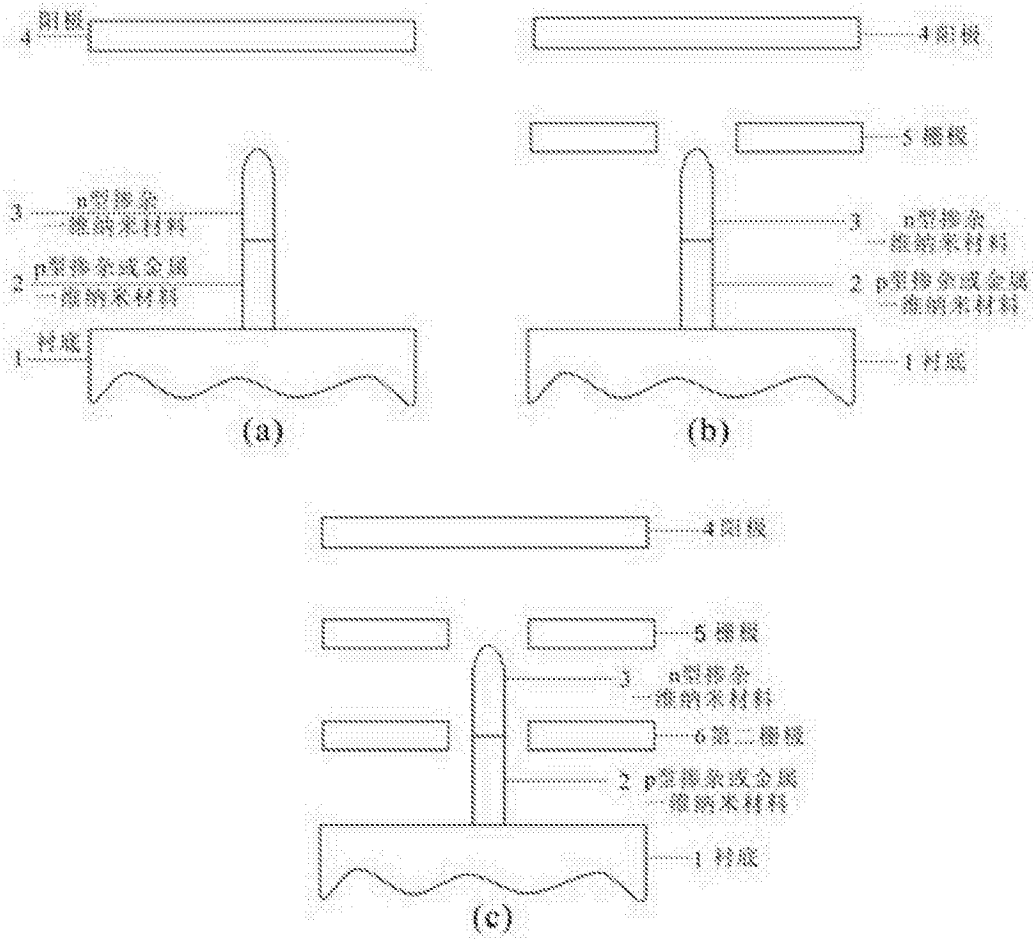


图1

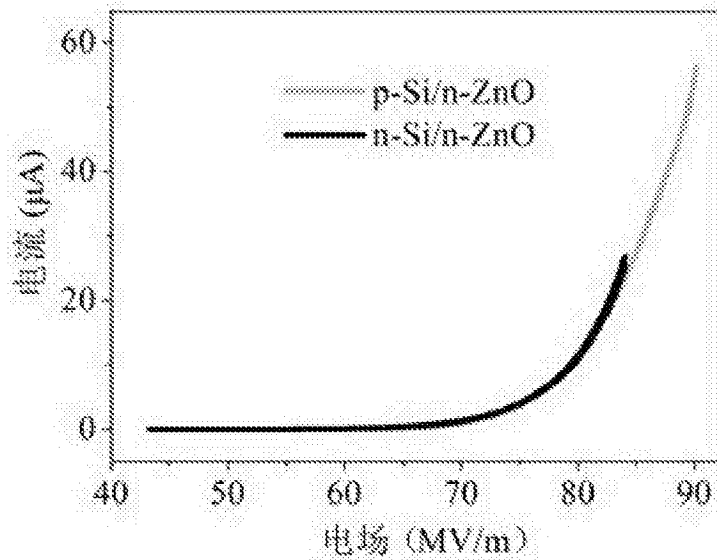


图2

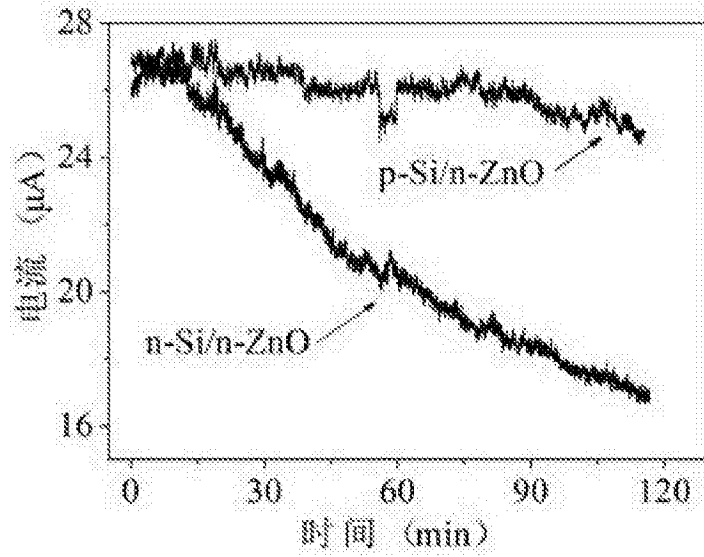


图3

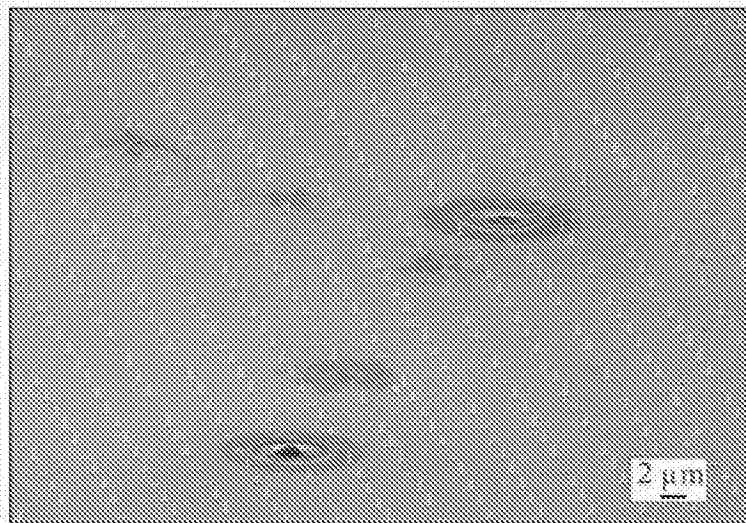


图4

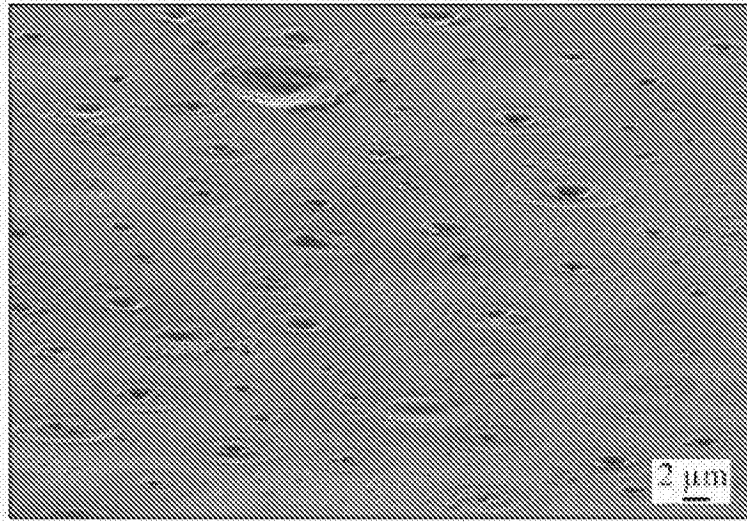


图5