

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年8月31日(31.08.2023)



(10) 国際公開番号

WO 2023/161757 A1

(51) 国際特許分類:

H10B 41/70 (2023.01) H01L 29/788 (2006.01)

G11C 11/22 (2006.01) H01L 29/792 (2006.01)

H01L 21/336 (2006.01)

(21) 国際出願番号: PCT/IB2023/051253

(22) 国際出願日: 2023年2月13日(13.02.2023)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2022-028041 2022年2月25日(25.02.2022) JP

(71) 出願人: 株式会社半導体エネルギー研究所
(SEMICONDUCTOR ENERGY LABORATORY

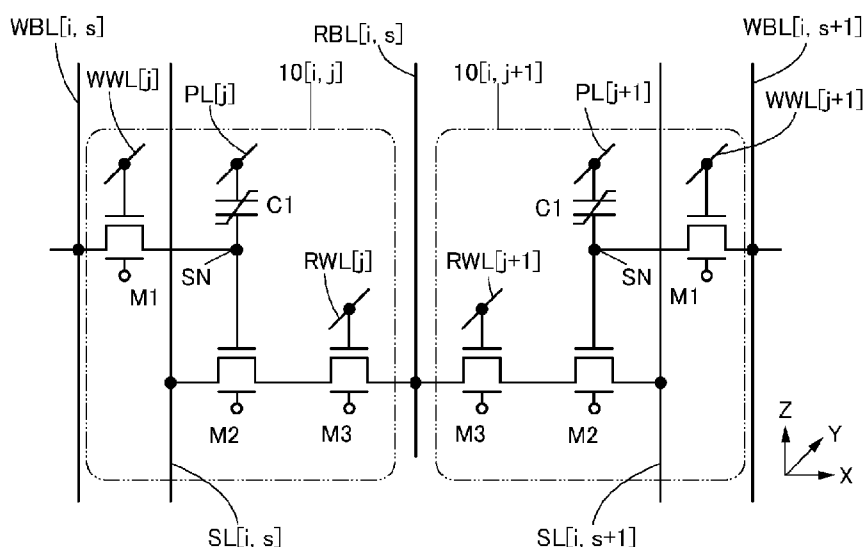
CO., LTD.) [JP/JP]; 〒2430036 神奈川県厚木市長谷398 Kanagawa (JP).

(72) 発明者: 國武 寛 司 (KUNITAKE, Hitoshi); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP). 井坂 史人 (ISAKA, Fumito); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP). 大貫達也 (ONUKI, Tatsuya); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP). 山崎舜平 (YAMAZAKI, Shunpei); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP).

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

図2A



(57) Abstract: Provided is a semiconductor device that enables miniaturization and high integration. The semiconductor device has: a first transistor that includes a first conductor, a first insulator, a first metal oxide, a second insulator, and a second conductor layered in this order from the bottom, and a third conductor and a fourth conductor covering part of the upper surface and the sides surfaces of the first metal oxide; a second transistor that includes a fifth conductor, a first insulator, a second metal oxide, a third insulator, and a sixth conductor layered in this order from the bottom, and a seventh conductor and an eighth conductor covering part of the upper surface and the side surfaces of the second metal oxide;

[続葉有]

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告(条約第21条(3))
- 一 白黒。出願原本にはカラー又はグレースケールの情報が含まれており、PATENTSCOPE からのダウンロードが可能。

and a third transistor that includes a ninth conductor, a first insulator, a second metal oxide, a fourth insulator, a tenth conductor, and an eighth conductor layered in this order from the bottom, and an eleventh conductor covering part of the upper surface and the side surfaces of the second metal oxide. One of the electrodes of a capacitor containing a material capable of exhibiting ferroelectric properties is electrically connected with the third conductor and the sixth conductor.

(57) 要約: 微細化又は高集積化が可能な半導体装置を提供する。第1のトランジスタは、下から順に積層される第1の導電体、第1の絶縁体、第1の金属酸化物、第2の絶縁体、および第2の導電体と、第1の金属酸化物の上面および側面の一部を覆う第3の導電体と第4の導電体とを有し、第2のトランジスタは、下から順に積層される第5の導電体、第1の絶縁体、第2の金属酸化物、第3の絶縁体、および第6の導電体と、第2の金属酸化物の上面および側面の一部を覆う第7の導電体と第8の導電体とを有し、第3のトランジスタは、下から順に積層される第9の導電体、第1の絶縁体、第2の金属酸化物、第4の絶縁体、および第10の導電体と、第8の導電体と、第2の金属酸化物の上面および側面の一部を覆う第11の導電体とを有し、強誘電性を有しうる材料を含む容量の一方の電極が第3の導電体および第6の導電体と電気的に接続される半導体装置。

明細書

発明の名称

半導体装置

技術分野

[0001]

本発明の一態様は、半導体装置、記憶装置、及び電子機器に関する。また、本発明の一態様は、半導体装置の作製方法に関する。

[0002]

なお、本発明の一態様は、上記の技術分野に限定されない。本発明の一態様の技術分野としては、半導体装置、表示装置、発光装置、蓄電装置、記憶装置、電子機器、照明装置、入力装置（例えば、タッチセンサ）、入出力装置（例えば、タッチパネル）、それらの駆動方法、又はそれらの製造方法を一例として挙げることができる。

[0003]

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能し得る装置全般を指す。トランジスタ等の半導体素子をはじめ、半導体回路、演算装置、記憶装置は、半導体装置の一態様である。表示装置（液晶表示装置、発光表示装置等）、投影装置、照明装置、電気光学装置、蓄電装置、記憶装置、半導体回路、撮像装置、電子機器等は、半導体装置を有するといえる場合がある。

背景技術

[0004]

近年、LSI (Large Scale Integration)、CPU (Central Processing Unit)、メモリ（記憶装置）等の半導体装置の開発が進められている。これらの半導体装置は、コンピュータ、携帯情報端末等様々な電子機器に使用されている。また、演算処理実行時の一時記憶、データの長期記憶等、用途に応じて様々な記憶方式のメモリが開発されている。代表的な記憶方式のメモリとして、例えば、DRAM (Dynamic Random Access Memory)、SRAM (Static Random Access Memory)、及び、フラッシュメモリが挙げられる。

[0005]

また、扱われるデータ量の増大に伴って、より大きな記憶容量を有する半導体装置が求められている。特許文献1及び非特許文献1では、トランジスタを積層して形成したメモリセルが開示されている。

[先行技術文献]

[特許文献]

[0006]

[特許文献1] 国際公開第2021/053473号

[非特許文献]

[0007]

[非特許文献1] M. Oota et. al, “3D-Stacked CAAC-In-Ga-Zn Oxide FETs with Gate Length of 72nm”, IEDM Tech. Dig., 2019, pp. 50-53

発明の概要

発明が解決しようとする課題

[0008]

本発明の一態様は、微細化又は高集積化が可能な半導体装置を提供することを課題の一とする。本発明の一態様は、動作速度が速い半導体装置を提供することを課題の一とする。本発明の一態様は、良好な電気特性を有する半導体装置を提供することを課題の一とする。本発明の一態様は、トランジスタの電気特性のばらつきが少ない半導体装置を提供することを課題の一とする。本発明の一態様は、信頼性が高い半導体装置を提供することを課題の一とする。本発明の一態様は、オン電流が大きい半導体装置を提供することを課題の一とする。本発明の一態様は、消費電力が少ない半導体装置を提供することを課題の一とする。本発明の一態様は、新規の半導体装置を提供することを課題の一とする。

[0009]

本発明の一態様は、工程数が少ない半導体装置の作製方法を提供することを課題の一とする。

[0010]

本発明の一態様は、記憶容量が大きい記憶装置を提供することを課題の一とする。本発明の一態様は、占有面積が小さい記憶装置を提供することを課題の一とする。本発明の一態様は、信頼性が高い記憶装置を提供することを課題の一とする。本発明の一態様は、消費電力が少ない記憶装置を提供することを課題の一とする。本発明の一態様は、新規な記憶装置を提供することを課題の一つとする。

[0011]

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。本発明の一態様は、これらの課題の一以上を解決するものであって、課題の全てを解決する必要はない。明細書、図面、請求項の記載から、これら以外の課題を抽出することが可能である。

課題を解決するための手段

[0012]

本発明の一態様は、第1のトランジスタと、第2のトランジスタと、容量と、を有し、第1のトランジスタは、第1の絶縁体と、第1の絶縁体上の第1の金属酸化物と、第1の金属酸化物上の第2の絶縁体と、第2の絶縁体上の第1の導電体と、第1の金属酸化物の上面の一部および側面の一部を覆う第2の導電体と、第1の金属酸化物の上面の一部および側面の一部を覆う第3の導電体と、を有し、第2のトランジスタは、第1の絶縁体と、第1の絶縁体上の第1の金属酸化物と、第1の金属酸化物上の第3の絶縁体と、第3の絶縁体上の第4の導電体と、第3の導電体と、第1の金属酸化物の上面の一部および側面の一部を覆う第5の導電体と、を有し、第3の導電体は、第1のトランジスタと、第2のトランジスタと、で共有され、第1の金属酸化物は、第1のトランジスタと、前記第2のトランジスタと、で共有され、第1の金属酸化物は、第1のトランジスタのチャネル形成領域と、第2のトランジスタのチャネル形成領域と、を有し、第1の絶縁体は、第1の金属酸化物と重畳する領域を有し、容量は、第6の導電体と、第7の導電体と、第6の導電体と第7の導電体の間に位置する強誘電性を有しうる材料と、を有し、第1の導電体と、第6の導電体は、電氣的に接続される半導体装置である。

[0013]

また上記構成において、強誘電性を有しうる材料は、酸化ハフニウム、酸化ジルコニウム、および

HfZrO_x (Xは0よりも大きい実数) から選ばれる一以上であることが好ましい。

[0014]

また上記構成において、強誘電性を有しうる材料は、酸素、ハフニウム、およびジルコニウムを有する材料であることが好ましい。

[0015]

また上記構成において、強誘電性を有しうる材料は、酸化ハフニウムにジルコニウム、シリコン、アルミニウム、ガドリニウム、イットリウム、ランタン、ストロンチウムから選ばれる一以上を添加した材料であることが好ましい。

[0016]

また上記構成において、強誘電性を有しうる材料は、酸化ジルコニウムにハフニウム、シリコン、アルミニウム、ガドリニウム、イットリウム、ランタン、ストロンチウムから選ばれる一以上を添加した材料であることが好ましい。

[0017]

また上記構成において、第8の導電体は、平面視において、第6の導電体と第10の導電体に挟まれる領域を有することが好ましい。

[0018]

また上記構成において、第3のトランジスタを有し、第1の絶縁体は、強誘電性を有しうる材料を有し、第3のトランジスタは、第8の導電体と、第8の導電体上の第1の絶縁体と、第1の絶縁体上の第2の金属酸化物と、第2の金属酸化物上の第5の絶縁体と、第5の絶縁体上の第9の導電体と、第2の金属酸化物の上面の一部および側面の一部を覆う第6の導電体と、を有し、第6の導電体は、第1の絶縁体の上面と接する領域を有し、第7の導電体は、第1の絶縁体の下面と接する領域を有し、第8の導電体は、第1の絶縁体の下面と接する領域を有し、第1の絶縁体は、第2の金属酸化物と重畳する領域と、第7の導電体と重畳する領域と、を有することが好ましい。

[0019]

また上記構成において、第7の導電体と、第8の導電体は、窒化チタンを有することが好ましい。

[0020]

また上記構成において、順に積層された複数の記憶層を有し、複数の記憶層のそれぞれは、第1のトランジスタ、第2のトランジスタ、および容量を有し、複数の記憶層のそれぞれが有する第2のトランジスタの第5の導電体は、互いに電氣的に接続されることが好ましい。

発明の効果

[0021]

本発明の一態様により、微細化又は高集積化が可能な半導体装置を提供できる。本発明の一態様により、動作速度が速い半導体装置を提供できる。本発明の一態様により、良好な電気特性を有する半導体装置を提供できる。本発明の一態様により、トランジスタの電気特性のばらつきが少ない半導体装置を提供できる。本発明の一態様により、信頼性が高い半導体装置を提供できる。本発明の一態様により、オン電流が大きい半導体装置を提供できる。本発明の一態様により、消費電力が少ない半導体装置を提供できる。本発明の一態様により、新規の半導体装置を提供できる。

[0022]

本発明の一態様により、工程数が少ない半導体装置の作製方法を提供できる。

[0023]

本発明の一態様により、記憶容量が大きい記憶装置を提供できる。本発明の一態様により、占有面積が小さい記憶装置を提供できる。本発明の一態様により、信頼性が高い記憶装置を提供できる。本発明の一態様により、消費電力が少ない記憶装置を提供できる。本発明の一態様により、新規な記憶装置を提供できる。

[0024]

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。本発明の一態様は、これらの効果の一以上を解決するものであって、必ずしも、これらの効果の全てを有する必要はない。明細書、図面、請求項の記載から、これら以外の効果を抽出することが可能である。

図面の簡単な説明

[0025]

図1A及び図1Bは、記憶装置の一例を示す図である。

図2Aは、メモリセルの回路構成例を示す図である。図2Bは、分極量を示すグラフである。

図3A、図3B、図3C、図3D、図3Eは、メモリセルの動作例を示す図である。

図4は、メモリセルの動作例を示す図である。

図5A、図5B、図5Cは、メモリセルの動作例を示す図である。

図6A、図6B、図6Cは、メモリセルの動作例を示す図である。

図7は、メモリセルの動作例を示す図である。

図8は、半導体装置の構成例を示す断面図である。

図9は、半導体装置の構成例を示す断面図である。

図10Aは、半導体装置の構成例を示す断面図である。図10Bは、トランジスタの構成例を示す断面図である。

図11は、半導体装置の構成例を示す断面図である。

図12は、半導体装置の構成例を示す断面図である。

図13は、半導体装置の構成例を示す図である。

図14は、半導体装置の構成例を示す図である。

図15は、半導体装置の構成例を示す断面図である。

図16A、及び図16Bは、半導体装置の構成例を示す平面図である。

図17A、及び図17Bは、半導体装置の構成例を示す平面図である。

図18A及び図18Bは半導体装置の一例を示す図である。

図19A及び図19Bは電子部品の一例を示す図である。

図20A乃至図20Jは、電子機器の一例を示す図である。

図21A乃至図21Eは、電子機器の一例を示す図である。

図22A乃至図22Cは、電子機器の一例を示す図である。

図23は、宇宙用機器の一例を示す図である。

発明を実施するための形態

[0026]

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

[0027]

なお、以下に説明する発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。また、同様の機能を指す場合には、ハッチングパターンを同じくし、特に符号を付さない場合がある。

[0028]

また、図面において示す各構成の、位置、大きさ、及び、範囲等は、理解の簡単のため、実際の位置、大きさ、及び、範囲等を表していない場合がある。このため、開示する発明は、必ずしも、図面に開示された位置、大きさ、及び、範囲等に限定されない。

[0029]

なお、本明細書等において、「第1」、「第2」という序数詞は、便宜上用いるものであり、構成要素の数、又は、構成要素の順序（例えば、工程順、又は積層順）を限定するものではない。また、本明細書のある箇所において構成要素に付す序数詞と、本明細書の他の箇所、又は特許請求の範囲において、当該構成要素に付す序数詞と、が一致しない場合がある。

[0030]

なお、「膜」という言葉と、「層」という言葉とは、場合によっては、又は、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能である。又は、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能である。

[0031]

本明細書等において、「上に」、「下に」、「上方に」、又は「下方に」等の配置を示す語句は、構成要素同士の位置関係を、図面を参照して説明するために、便宜上用いている場合がある。また、構成要素同士の位置関係は、各構成を描写する方向に応じて適宜変化するものである。従って、本明細書等で説明した語句に限定されず、状況に応じて適切に言い換えることができる。例えば、「導電体の上に位置する絶縁体」の表現では、示している図面の向きを180度回転することによって、「導電体の下に位置する絶縁体」と言い換えることができる。

[0032]

(実施の形態1)

本実施の形態では、本発明の一態様の記憶装置について図面を用いて説明する。

[0033]

図1Aに、本発明の一態様の記憶装置の斜視概略図を示す。図1Bに、本発明の一態様の記憶装置のブロック図を示す。

[0034]

図1A及び図1Bに示す記憶装置100は、駆動回路層50と、n層の記憶層11と、を有する。記憶層11は、それぞれ、メモリセルアレイ15を有する。メモリセルアレイ15は、複数のメモリセル10を有する。

[0035]

n層の記憶層11は駆動回路層50上に設けられる。n層の記憶層11を駆動回路層50上に設けることで、記憶装置100の占有面積を低減できる。また、単位面積当たりの記憶容量を高めることができる。

[0036]

本実施の形態では、1層目の記憶層11を記憶層11__1と示し、2層目の記憶層11を記憶層11__2と示し、3層目の記憶層11を記憶層11__3と示す。また、k層目（kは1以上n以下の整数。）の記憶層11を記憶層11__kと示し、n層目の記憶層11を記憶層11__nと示す。なお、本実施の形態等において、n層の記憶層11全体に係る事柄を説明する場合、又はn層ある記憶層11の各層に共通の事柄を示す場合に、単に「記憶層11」と表記する場合がある。

[0037]

<駆動回路層50の構成例>

駆動回路層50は、PSW22（パワースイッチ）、PSW23、及び周辺回路31を有する。周辺回路31は、周辺回路41、コントロール回路32、及び電圧生成回路33を有する。

[0038]

記憶装置100において、各回路、各信号及び各電圧は、必要に応じて、適宜取捨することができる。或いは、他の回路又は他の信号を追加してもよい。信号BW、信号CE、信号GW、信号CLK、信号WAKE、信号ADDR、信号WDA、信号PON1、及び信号PON2は外部からの入力信号であり、信号RDAは外部への出力信号である。

[0039]

信号CLKはクロック信号である。信号BW、信号CE、及び信号GWは制御信号である。信号CEはチップイネーブル信号であり、信号GWはグローバル書き込みイネーブル信号であり、信号BWはバイト書き込みイネーブル信号である。信号ADDRはアドレス信号である。信号WDAは書き込みデータであり、信号RDAは読み出しデータである。信号PON1、及び信号PON2は、パワーゲーティング制御用信号である。なお、信号PON1、及び信号PON2は、コントロール回路32で生成してもよい。

[0040]

コントロール回路32は、記憶装置100の動作全般を制御する機能を有するロジック回路である。例えば、コントロール回路は、信号CE、信号GW及び信号BWを論理演算して、記憶装置100の動作モード（例えば、書き込み動作、読み出し動作）を決定する。又は、コントロール回路32は、この動作モードが実行されるように、周辺回路41の制御信号を生成する。

[0041]

電圧生成回路33は負電圧を生成する機能を有する。信号WAKEは、信号CLKの電圧生成回路33への入力を制御する機能を有する。例えば、信号WAKEにHレベルの信号が与えられると、信号CLKが電圧生成回路33へ入力され、電圧生成回路33は負電圧を生成する。

[0042]

周辺回路41は、メモリセル10に対するデータの書き込み及び読み出しをするための回路である。周辺回路41は、行デコーダ42、列デコーダ44、行ドライバ43、列ドライバ45、入力回路47、出力回路48、センスアンプ46を有する。

[0043]

行デコーダ42及び列デコーダ44は、信号ADDRをデコードする機能を有する。行デコーダ42は、アクセスする行を指定するための回路であり、列デコーダ44は、アクセスする列を指定するための回路である。行ドライバ43は、行デコーダ42が指定する配線WWL（書き込みワード線）又は配線RWL（読み出しワード線）を選択する機能を有する。列ドライバ45は、データをメモリセル10に書き込む機能、メモリセル10からデータを読み出す機能、及び読み出したデー

タを保持する機能等を有する。列ドライバ45は、列デコーダ44が指定する配線WBL（書き込みビット線）、及び配線RBL（読み出しビット線）を選択する機能を有する。

[0044]

入力回路47は、信号WDAを保持する機能を有する。入力回路47が保持するデータは、列ドライバ45に出力される。入力回路47の出力データが、メモリセル10に書き込むデータ（Din）である。列ドライバ45がメモリセル10から読み出したデータ（Dout）は、出力回路48に出力される。出力回路48は、Doutを保持する機能を有する。また、出力回路48は、Doutを記憶装置100の外部に出力する機能を有する。出力回路48から出力されるデータが信号RDAである。

[0045]

PSW22は周辺回路31へのVDDの供給を制御する機能を有する。PSW23は、行ドライバ43へのVHMの供給を制御する機能を有する。ここでは、記憶装置100の高電源電圧がVDDであり、低電源電圧はGND（接地電位）である。また、VHMは、ワード線を高レベルにするために用いられる高電源電圧であり、VDDよりも高い。信号PON1によってPSW22のオン・オフが制御され、信号PON2によってPSW23のオン・オフが制御される。図1Bでは、周辺回路31において、VDDが供給される電源ドメインの数を1としているが、複数にすることもできる。この場合、各電源ドメインに対してパワースイッチを設ければよい。

[0046]

<記憶層11の構成例>

n層ある記憶層11の構成例について説明する。n層ある記憶層11は、それぞれがメモリセルアレイ15を有する。また、メモリセルアレイ15は、複数のメモリセル10を有する。図1（B）では、メモリセルアレイ15がp行q列（p及びqは2以上の整数。）のマトリクス状に配置された複数のメモリセル10を有する例を示している。

[0047]

なお、行と列は互いに直交する方向に延在する。本実施の形態では、X方向を「行」とし、Y方向を「列」としているが、X方向を「列」とし、Y方向を「行」としてもよい。

[0048]

図1Bでは、1行1列目に設けられたメモリセル10をメモリセル10[1, 1]と示し、p行q列目に設けられたメモリセル10をメモリセル10[p, q]と示している。また、i行j列目（iは1以上p以下の整数。jは1以上q以下の整数。）に設けられたメモリセル10をメモリセル10[i, j]と示している。

[0049]

メモリセルの回路構成例を図2Aに示す。

[0050]

メモリセル10は、トランジスタM1、トランジスタM2、トランジスタM3、及び容量C1を有する。3つのトランジスタと1つの容量で構成されるメモリセルを、3Tr1C型のメモリセルともいう。よって、本実施の形態に示すメモリセル10は、3Tr1C型のメモリセルである。ここで容量C1の誘電体として、強誘電体を用いる構成とすることが好ましい。

[0051]

メモリセル10[i, j]において、トランジスタM1のゲートは配線WWL[j]と電氣的に接

続され、ソース又はドレインの一方は配線WBL [i, s] と電氣的に接続される。配線WBL [i, s] は、積層された他の記憶層11のメモリセル10 [i, j] が有するトランジスタM1のソース又はドレインの一方と電氣的に接続される。なお、図2Aでは、配線WWL [j] のがトランジスタM1のゲート電位を与える機能を有する場合の構成例を示している。容量C1は一对の電極を有する。容量C1の一方の電極は配線PL [j] と電氣的に接続され、他方の電極はトランジスタM1のソース又はドレインの他方と電氣的に接続される。なお、例えば図2Aでは、配線PL [j] が容量C1の一方の電極に電位を与える機能を有する場合の構成例を示している。また、トランジスタM2のゲートは容量C1の他方の電極と電氣的に接続され、ソース又はドレインの一方はトランジスタM3のソース又はドレインの一方と電氣的に接続され、ソース又はドレインの他方は配線SL [i, s] と電氣的に接続される。配線SL [i, s] は、積層された他の記憶層11のメモリセル10 [i, j] が有するトランジスタM2のソース又はドレインの他方と電氣的に接続される。また、トランジスタM3のゲートは配線RWL [j] と電氣的に接続され、ソース又はドレインの他方は配線RBL [i, s] と電氣的に接続される。配線RBL [i, s] は、積層された他の記憶層11のメモリセル10 [i, j] が有するトランジスタM3のソース又はドレインの他方と電氣的に接続される。

[0052]

メモリセル10 [i, j] において、容量Cの他方の電極、トランジスタM1のソース又はドレインの他方、及びトランジスタM2のゲートが互いに電氣的に接続され、常に同電位となる領域を「ノードSN」と呼ぶ。

[0053]

メモリセル10 [i, j + 1] において、トランジスタM1のゲートは配線WWL [j + 1] と電氣的に接続され、ソース又はドレインの一方は配線WBL [i, s + 1] と電氣的に接続される。配線WBL [i, s + 1] は、積層された他の記憶層11のメモリセル10 [i, j + 1] が有するトランジスタM1のソース又はドレインの一方と電氣的に接続される。なお、図2Aでは、配線WWL [j + 1] がトランジスタM1のゲート電位を与える機能を有する場合の構成例を示している。容量C1の一方の電極は配線PL [j + 1] と電氣的に接続され、他方の電極はトランジスタM1のソース又はドレインの他方と電氣的に接続される。なお、例えば図2Aでは、配線PL [j + 1] が容量C1の一方の電極に電位を与える機能を有する場合の構成例を示している。また、トランジスタM2のゲートは容量C1の他方の電極と電氣的に接続され、ソース又はドレインの一方はトランジスタM3のソース又はドレインの一方と電氣的に接続され、ソース又はドレインの他方は配線SL [i, s + 1] と電氣的に接続される。配線SL [i, s + 1] は、積層された他の記憶層11のメモリセル10 [i, j + 1] が有するトランジスタM2のソース又はドレインの他方と電氣的に接続される。また、トランジスタM3のゲートは配線RWL [j + 1] と電氣的に接続され、ソース又はドレインの他方は配線RBL [i, s] と電氣的に接続される。配線RBL [i, s] は、積層された他の記憶層11のメモリセル10 [i, j + 1] が有するトランジスタM3のソース又はドレインの他方と電氣的に接続される。

[0054]

以上より、配線RBL [i, s] は、メモリセル10 [i, j] が有するトランジスタM3のソース又はドレインの他方、及びメモリセル10 [i, j + 1] が有するトランジスタM3のソース又はドレインの他方と電氣的に接続される。よって、配線RBL [i, s] は、隣り合う列同士に位

置するメモリセル10に信号を送信する配線として機能する。図2Aにおいて、配線RBL[i, s]は、メモリセル10[i, j]とメモリセル10[i, j+1]に信号を送信する配線として機能する。また、図示しないが、配線WBL[i, s]は、隣り合う列同士に位置するメモリセル10、ここでは例えばメモリセル10[i, j-1]とメモリセル10[i, j]に信号を送信する配線として機能し、配線WBL[i, s+1]は、隣り合う列同士に位置するメモリセル10、ここでは例えばメモリセル10[i, j+1]とメモリセル10[i, j+2]に信号を送信する配線として機能する。また、図示しないが、配線SL[i, s]は、隣り合う列同士に位置するメモリセル10、ここでは例えばメモリセル10[i, j-1]とメモリセル10[i, j]に信号を送信する配線として機能し、配線SL[i, s+1]は、隣り合う列同士に位置するメモリセル10、ここでは例えばメモリセル10[i, j+1]とメモリセル10[i, j+2]に信号を送信する配線として機能する。

[0055]

メモリセル10[i, j+1]において、容量C1の他方の電極、トランジスタM1のソース又はドレインの他方、及びトランジスタM2のゲートが互いに電氣的に接続され、常に同電位となる領域をノードSNと呼ぶ。

[0056]

また、図2Aに示すように、トランジスタM1、トランジスタM2、及びトランジスタM3として、それぞれ、バックゲートを有するトランジスタを用いてもよい。ゲートとバックゲートは、ゲートとバックゲートで半導体のチャネル形成領域を挟むように配置される。ゲートとバックゲートは導電体で形成される。バックゲートはゲートと同様に機能させることができる。また、バックゲートの電位を変化させることで、トランジスタのしきい値電圧を変化させることができる。バックゲートの電位は、ゲートと同電位としてもよく、接地電位若しくは任意の電位としてもよい。

[0057]

なお、トランジスタM1、トランジスタM2、及びトランジスタM3は、それぞれ、バックゲートを有していなくてもよい。

[0058]

また、ゲートとバックゲートは導電体で形成されるため、トランジスタの外部で生じる電場が、チャネルが形成される半導体に作用しないようにする機能（特に静電気に対する静電遮蔽機能）も有する。すなわち、静電気等の外部の電場の影響によりトランジスタの電氣的な特性が変動することを抑制できる。また、バックゲートを設けることで、BT(Bias Temperature)試験前後におけるトランジスタのしきい値電圧の変化量を低減できる。

[0059]

例えば、トランジスタM1にバックゲートを有するトランジスタを用いることで、外部の電場の影響が軽減され、トランジスタM1は安定してオフ状態を維持できる。よって、ノードSNに書き込まれたデータを安定して保持できる。バックゲートを設けることで、メモリセル10の動作が安定し、メモリセル10を含む記憶装置の信頼性を高めることができる。

[0060]

同様に、トランジスタM3にバックゲートを有するトランジスタを用いることで、外部の電場の影響が軽減され、トランジスタM3は安定してオフ状態を維持できる。よって、配線RBLと配線SLの間の漏れ電流が低減され、メモリセル10を含む記憶装置の消費電力を低減できる。

[0061]

本発明の一態様の半導体装置は、チャネルが形成される半導体層に金属酸化物の一種である酸化物半導体を用いたトランジスタ（「OSトランジスタ」ともいう。）を有する。OSトランジスタは、チャネルが形成される半導体層にシリコンを用いるトランジスタ（Siトランジスタともいう）と比べてソースとドレインの間の絶縁耐圧が高い。トランジスタM1にOSトランジスタを用いることにより、強誘電体層の反転分極電圧に対して、十分な耐性を有し、メモリセル10の書き換え耐性を向上させることができる。また、OSトランジスタの周波数特性は高いため、半導体装置はデータの読み出し、及び書き込みを高速に行うことができる。

[0062]

トランジスタM1、トランジスタM2、及びトランジスタM3として、OSトランジスタを用いることが好ましい。酸化物半導体はバンドギャップが2 eV以上であるため、オフ電流が著しく少ない。よって、メモリセル10の消費電力を低減できる。よって、メモリセル10を含む記憶装置100の消費電力を低減できる。

[0063]

なおトランジスタM1、トランジスタM2、及びトランジスタM3のチャネルが形成される半導体層としては、単結晶半導体、多結晶半導体、微結晶半導体、又は非晶質半導体等を、単体で又は組み合わせて用いてもよい。半導体材料としては、例えば、シリコン、又はゲルマニウムを用いることができる。また、シリコンゲルマニウム、炭化シリコン、ヒ化ガリウム、酸化物半導体、又は窒化物半導体といった化合物半導体を用いてもよい。

[0064]

また、OSトランジスタを含むメモリセルを「OSメモリ」と呼ぶことができる。また、当該メモリセルを含む記憶装置100も「OSメモリ」と呼ぶことができる。

[0065]

また、OSトランジスタは高温環境下においても動作が安定し、特性変動が少ない。例えば、高温環境下でもオフ電流がほとんど増加しない。具体的には、室温以上200℃以下の環境温度下でもオフ電流がほとんど増加しない。また、高温環境下でもオン電流が低下しにくい。よって、OSメモリは、高温環境下においても動作が安定し、高い信頼性が得られる。

[0066]

またOSトランジスタは、高温環境下において、Siトランジスタよりも優れた電気特性を有する。具体的には、100℃以上200℃以下、好ましくは125℃以上150℃以下といった高温下においてもオン電流とオフ電流の比が大きいと、良好なスイッチング動作を行うことができる。

[0067]

本発明の一態様の記憶装置において、容量C1の誘電体として強誘電体を用いる構成とすることが好ましい。

[0068]

容量C1の誘電体として強誘電体を用いることにより、容量C1に保持できる電荷量を、誘電体として常誘電体を用いる場合に比べて大きくすることができる。よって、本発明の一態様の記憶装置は、データを長期間保持することができる。これにより、リフレッシュ（セルへのデータの再書き込み）の頻度を低減することができるため、本発明の一態様の記憶装置の消費電力を低減することができる。また、第1の電極と、第2の電極と、の間に強誘電体層が設けられた容量は、容量を大

きくするための構造、例えばトレンチ構造を取ることなく、データを長時間保持することができる。これにより、作りやすい構造の記憶装置とすることができる。強誘電体層を備えた容量を、強誘電体容量（強誘電体キャパシタ）という場合がある。

[0069]

強誘電体層を備えた容量は、強誘電体層を挟む2つの電極の間に電圧（電界あるいは電場）が印加されると、その電圧の印加方向および印加量に応じて強誘電体層の分極方向および分極量が変化する。強誘電体層の分極状態の変化を利用して、強誘電体層を挟む2つの電極の間に信号（データ）が記憶される（書きこまれる）。容量への記憶（書き込み）が行われた後、強誘電体層を挟む2つの電極の間の電圧をゼロにしても強誘電体層内に分極が残る（残留分極）。分極を書き換えるためには、分極を反転するための電圧（分極反転電圧）を印加する。

[0070]

図2Bは、強誘電体層への電界に応じた分極の大きさ（分極量）を示すグラフである。図2Bにおいて、横軸は強誘電体層に印加する電界Eを示している。また、縦軸は強誘電体層の分極量Pを示している。

[0071]

強誘電体層に印加する電界を高くしていくと、強誘電体層の分極は大きくなる。強誘電体層に電界 E_H を印加した後に、強誘電体層に印加する電界を低くしていくと、正電荷が容量の一方の電極側に偏り、負電荷が容量の他方の電極側に偏るため、電界が0になった際に正の分極が残る。強誘電体層に印加する電界を低くしていくと、強誘電体層の分極は小さくなる。強誘電体層に電界 E_L を印加した後に、強誘電体層に印加する電界を高くしていくと、正電荷が容量C1の他方の電極側に偏り、負電荷が容量の一方の電極側に偏るため、電界が0になった際に負の分極が残る。強誘電体層に電界 E_H 及び電界 E_L を与えるための電圧は、分極反転電圧とすることができる。分極反転電圧を容量C1に印加することで、メモリセル10にデータを書き込むことができる。

[0072]

メモリセル10からデータを読み出す際、分極反転電圧を超える電圧を容量C1に印加すると、強誘電体層の分極状態（残留分極の分極方向）が変わるため、再度分極状態を戻すための動作が必要になる。つまり分極反転電圧を超える電圧を容量C1に印加してメモリセル10からデータを読み出す場合、データのリフレッシュが必要となる。

[0073]

本発明の一態様では、メモリセル10からデータを読み出す際、容量C1に分極反転電圧を超えない電圧を印加し、強誘電体層の分極の状態が電界0に戻しても元の状態となるよう動作させる。具体的には、メモリセル10からデータを読み出す際、強誘電体層が分極反転しない電界 E_R を印加し、当該電界 E_R とした際の分極の変化量（ P_H 、 P_L ）を利用してメモリセル10からデータを読み出す構成とする。電界 E_R は、例えば分極が0になる電界（抗電界）とすることができる。

[0074]

強誘電体層に電界 E_R を与えるための電圧は、分極反転させない電圧とすることができる。分極反転させない電圧を容量C1に印加することで、分極の変化量（ P_H 、 P_L ）に応じた電位の変化を増幅してメモリセル10からデータを読み出すことができる。なお図2Bにおいて、電界 E_R として負の電界を図示しているが、正の電界であってもよい。

[0075]

つまり本発明の一態様では、データを長期間保持することができるといった強誘電体容量の利点に加え、メモリセル10からデータを読み出す際、所謂、破壊読出しとすることなく行うことができる。換言すれば、データの読み出しの前後において、分極の状態の変化が生じないため、データのリフレッシュが必要なく、データの長時間の保持が可能となる。そのためメモリセル10を備えた記憶装置は、読み出すデータの信頼性に優れる。またメモリセル10を備えた記憶装置は、低消費電力化を図ることができる。また、常誘電体を有する容量などと比べて、容量の面積を小さくすることができる。

[0076]

強誘電体層に用いることのできる、強誘電性を有しうる材料としては、酸化ハフニウム、酸化ジルコニウム、 HfZrO_x (x は0よりも大きい実数とする)、酸化ハフニウムに元素J1 (ここでの元素J1は、ジルコニウム (Zr)、シリコン (Si)、アルミニウム (Al)、ガドリニウム (Gd)、イットリウム (Y)、ランタン (La)、ストロンチウム (Sr) など。) を添加した材料、酸化ジルコニウムに元素J2 (ここでの元素J2は、ハフニウム (Hf)、シリコン (Si)、アルミニウム (Al)、ガドリニウム (Gd)、イットリウム (Y)、ランタン (La)、ストロンチウム (Sr) など。) を添加した材料、などが挙げられる。

[0077]

ここで、ハフニウム原子と元素J1の原子数の比は適宜設定することができる。例えば、ハフニウム原子とジルコニウム原子の原子数を1:1またはその近傍にすればよい。また、ジルコニウム原子と元素J2の原子数の比は適宜設定することができ、例えば、ジルコニウム原子と元素J2の原子数を1:1またはその近傍にすればよい。

[0078]

また、強誘電性を有しうる材料として、 PbTiO_x 、チタン酸バリウムストロンチウム (BST)、チタン酸ストロンチウム、チタン酸ジルコン酸鉛 (PZT)、タンタル酸ビスマス酸ストロンチウム (SBT)、ビスマスフェライト (BFO)、チタン酸バリウム、などのペロブスカイト構造を有する圧電性セラミックスを用いてもよい。また、強誘電性を有しうる材料としては、例えば、上記に列挙した材料から選ばれた複数の材料、又は、上記に列挙した材料から選ばれた複数の材料からなる積層構造とすることができる。ところで、酸化ハフニウム、酸化ジルコニウム、 HfZrO_x 、および酸化ハフニウムに元素J1を添加した材料などは、成膜条件だけでなく、各種プロセスなどによっても結晶構造 (特性) が変わり得る可能性があるため、本明細書等では強誘電性を発現する材料のみを強誘電体と呼ぶだけでなく、強誘電性を有しうる材料または強誘電性を有せしめる材料とも呼んでいる。

[0079]

また、強誘電性を有しうる材料としては、窒化アルミニウムスカンジウム ($\text{Al}_{1-a}\text{Sc}_a\text{N}_b$ (a は0より大きく、0.5より小さい実数であり、 b は1またはその近傍の値である。以下、単に AlScN として示す。))、 Al-Ga-Sc 窒化物、 Ga-Sc 窒化物などを用いることができる。また、強誘電性を有しうる材料としては、元素M1と、元素M2と、窒素と、を有する金属窒化物を用いることができる。ここで、元素M1は、アルミニウム (Al)、ガリウム (Ga)、インジウム (In) などから選ばれた一つまたは複数である。また、元素M2は、ホウ素 (B)、スカンジウム (Sc)、イットリウム (Y)、ランタノイド (ランタン (La)、セリウム (Ce)、プラセオジウム (Pr)、ネオジウム (Nd)、プロメチウム (Pm)、サマリウム (Sm)、ユウロ

ピウム (E u)、ガドリニウム (G d)、テルビウム (T b)、ジスプロシウム (D y)、ホルミウム (H o)、エルビウム (E r)、ツリウム (T m)、イッテルビウム (Y b)、及びルテチウム (L u)、アクチノイド (アクチニウム (A c) からローレンシウム (L r) までの 15 の元素)、チタン (T i)、ジルコニウム (Z r)、ハフニウム (H f)、バナジウム (V)、ニオブ (N b)、タンタル (T a)、クロム (C r) などから選ばれた一つまたは複数である。なお、元素 M1 の原子数と元素 M2 の原子数の比は適宜設定することができる。また、元素 M1 と、窒素と、を有する金属酸化物は、元素 M2 を含まなくても、強誘電性を有する場合がある。また、強誘電性を有しうる材料としては、上記金属窒化物に元素 M3 が添加された材料を用いることができる。なお、元素 M3 は、マグネシウム (M g)、カルシウム (C a)、ストロンチウム (S r)、亜鉛 (Z n)、カドミウム (C d) などから選ばれた一つまたは複数である。ここで、元素 M1 の原子数、元素 M2 の原子数、および元素 M3 の原子数の比は適宜設定することができる。なお、上記の金属窒化物は、少なくとも、第 13 族元素と、第 15 族元素である窒素とを含むため、当該金属窒化物を、13-15 族の強誘電体、13 族窒化物の強誘電体などと呼ぶ場合がある。

[0080]

また、強誘電性を有しうる材料としては、 SrTaO_2N 、 BaTaO_2N などのペロブスカイト型酸窒化物、 κ アルミナ型構造の GaFeO_3 などを用いることができる。

[0081]

また、強誘電性を有しうる材料としては、例えば、上記に列挙した材料から選ばれた複数の材料からなる混合物又は化合物とすることができる。又は、強誘電性を有しうる材料としては、上記に列挙した材料から選ばれた複数の材料からなる積層構造とすることができる。ところで、上記に列挙した材料も、強誘電性を有しうる材料または強誘電性を有せしめる材料と呼ぶ場合がある。

[0082]

中でも強誘電体層として、酸化ハフニウム層、あるいは酸化ハフニウムおよび酸化ジルコニウムを有する層は、数 nm といった薄膜に加工しても強誘電性を有しうるため、好ましい。薄膜化することができる強誘電体層とすることで、微細化されたトランジスタと組み合わせられた記憶装置とすることができる。

[0083]

また、強誘電性を有しうる材料として HfZrO_x を用いる場合、原子層堆積 (ALD: Atomic Layer Deposition) 法、特に熱 ALD 法を用いて成膜することが好ましい。また、熱 ALD 法を用いて、強誘電性を有しうる材料を成膜する場合、プリカーサとして炭化水素 (Hydro Carbon、HC ともいう) を含まない材料を用いると好適である。強誘電性を有しうる材料中に、水素、及び炭素の一方または双方が含まれる場合、強誘電性を有しうる材料の結晶化を阻害する場合がある。このため、上記のように、炭化水素を含まないプリカーサを用いることで、強誘電性を有しうる材料中の、水素、及び炭素の一方または双方の濃度を低減することが好ましい。例えば、炭化水素を含まないプリカーサとしては、塩素系材料があげられる。なお、強誘電性を有しうる材料として、酸化ハフニウムおよび酸化ジルコニウムを有する材料 (HfZrO_x) を用いる場合、プリカーサとしては、 HfCl_4 、及び ZrCl_4 の一方又は双方を用いればよい。ALD 法は、プリカーサと、リアクタント (例えば酸化剤) を交互に導入して行う成膜方法であり、このサイクルを繰り返す回数によって膜厚を調節することができるため、精密な膜厚調節が可能である。

[0084]

また、ALD法により成膜した膜に加熱処理を施すことが好ましい。加熱処理は例えば、RTA (Rapid Thermal Anneal) 装置、抵抗加熱炉、マイクロ波加熱装置を用いることができる。特に、RTA装置を用いることにより、強誘電性に特に優れた膜が得られる場合があり、好ましい。

[0085]

なお、強誘電性を有しうる材料を用いた膜を成膜する場合、膜中の不純物、ここでは水素、炭化水素、及び炭素の少なくとも一つを徹底的に排除することで、高純度真性な強誘電性を有する膜を形成することができる。なお、高純度真性な強誘電性を有する膜と、後述する実施の形態に示す高純度真性な酸化物半導体とは、製造プロセスの整合性が非常に高い。よって、生産性が高い記憶装置の作製方法を提供することができる。

[0086]

また、強誘電性を有しうる材料として HfZrO_x を用いる場合、熱ALD法を用いて酸化ハフニウムと酸化ジルコニウムとを1:1の組成になるように交互に成膜すると好ましい。

[0087]

また、熱ALD法を用いて、強誘電性を有しうる材料を成膜する場合、酸化剤は H_2O または O_3 を用いることができる。ただし、熱ALD法の酸化剤としては、これに限定されない。例えば、熱ALD法の酸化剤としては、 O_2 、 O_3 、 N_2O 、 NO_2 、 H_2O 、及び H_2O_2 の中から選ばれるいずれか一または複数を含んでもよい。

[0088]

また、強誘電性を有しうる材料の結晶構造は、特に限定されない。例えば、強誘電性を有しうる材料の結晶構造としては、立方晶系、正方晶系、直方晶系、及び単斜晶系の中から選ばれるいずれか一または複数とすればよい。特に強誘電性を有しうる材料としては、直方晶系の結晶構造を有すると、強誘電性が発現するため好ましい。または、強誘電性を有しうる材料として、アモルファス構造と、結晶構造とを有する複合構造としてもよい。

[0089]

配線WBLは、メモリセル10に書き込まれるデータに応じた信号（データ信号）が与えられる配線である。配線WBLは、書き込みビット線という場合もある。配線WBLは、他の配線、例えば配線RBLと共通の配線とすることができる。

[0090]

配線WWLは、メモリセル10にデータを書き込むための信号（選択信号）が与えられる配線である。配線WWLは、書き込みワード線という場合もある。

[0091]

配線PLは、メモリセル10にデータを書き込むための信号（制御信号）およびメモリセル10からデータを読み出すための信号（制御信号）が与えられる配線である。配線PLは、容量C1が有する強誘電体を有する層の分極状態を制御する機能を有し、分極制御線という場合がある。

[0092]

配線SLは、メモリセル10からデータを読み出すための定電位が与えられる配線である。配線SLは、メモリセル10に記憶されたデータに応じて配線RBLとの間で電流を流すための機能を有し、ソース線という場合がある。

[0093]

配線RBLは、メモリセル10から読み出されるデータに応じた信号が与えられる配線である。配線RBLは、読み出しビット線という場合もある。配線RBLは、他の配線、例えば配線WBLと共通の配線とすることができる。

[0094]

図2Aに示すメモリセル10において、各トランジスタは、nチャネル型のトランジスタであるとして説明する。例えば、トランジスタM1がnチャネル型トランジスタである場合、配線WWLを高電位（Hレベル電位、Hレベルともいう）とすると、トランジスタM1をオン状態（オン）とすることができる。また配線WWLを低電位（Lレベル電位、Lレベルともいう）とすると、トランジスタM1をオフ状態（オフ）とすることができる。トランジスタM3についても同様である。

[0095]

メモリセル10へのデータの書き込みは、ノードSNの電位と配線PLの電位とによって与えられる容量C1が有する強誘電体を有する層への電界の向きに応じて行われる。詳細は後述するが、書きこまれるデータ信号は、容量C1に分極反転電圧を印加する。容量C1が有する強誘電体層では、データ信号に応じて、異なる状態の分極状態を取り得る。この分極状態によって、容量C1の容量値を異ならせることができる。この分極状態および容量C1の容量値の違いは、容量C1への電界が0の状態であっても維持される。

[0096]

メモリセル10からのデータの読み出しは、配線PLの電位を変化させた際の容量C1での容量結合を利用して行われる。配線PLの電位は、容量C1に印加される電圧が強誘電体層を分極反転させない電圧となるようにする。ノードSNを電氣的に浮遊状態として、配線PLの電位を変化させることにより、容量C1で容量結合が生じる。そのため、配線PLの電位の変化に応じてノードSNの電位が変化する。ノードSNの電位の変化は、容量C1の容量値の状態に応じて異なる。そのため記憶したデータに応じてトランジスタM2のゲートの電位が異ならせることができる。トランジスタのゲートの電位が異なることで、トランジスタM2のソースとドレインとの間を流れる電流量が異なることになる。当該電流量の違いによりメモリセル10からデータを読み出すことができる。

[0097]

図3Aは、図2Aに示すメモリセル10におけるデータの書き込みの動作を説明するためのタイミングチャートである。図3Aでは、メモリセル10における配線WWL、配線WBL、配線PL、ノードSN、配線RBL、配線RWLおよび配線SLの信号または電位を示している。また図3Aでは、メモリセル10に書き込むデータとして「data1」および「data0」を示している。「data1」はHレベルの信号、「data0」はLレベルの信号として示している。

[0098]

図3Aに示す期間P11では、配線WWLをHレベルとする。配線WBLには、メモリセル10に書き込むデータdata1またはdata0に応じた信号が与えられており、当該信号に応じた電位がノードSNに与えられる。配線PLは、Hレベルとする。配線RBL、配線RWLおよび配線SLは、Lレベルとする。

[0099]

配線WBL、配線PL、およびノードSNに与えるHレベルの信号は、電位VPL1、Lレベルの

信号は電位 0 V として示している。電位 V_{PL1} は、容量 C_1 の電極の一方に電位 V_{PL1} が印加され、電極の他方に電位 0 V が印加されることで、容量 C_1 の強誘電体層に反転分極電圧が印加される電位とする。電位 V_{PL1} は、2.5 V 以上であることが好ましい。

[0100]

なお電位 V_{PL1} を与えて、反転分極電圧を超える電圧を容量 C_1 に印加する場合、トランジスタ $M1$ 乃至トランジスタ $M3$ は、高い電圧に対する耐性（耐圧）に優れたトランジスタが好ましい。トランジスタ $M1$ 乃至トランジスタ $M3$ を S_i トランジスタと比べて耐圧に優れた特性を有する O_S トランジスタで構成することにより、メモリセル 10 の書き換え耐性を向上させることができる。

[0101]

期間 P_{11} において、配線 PL が H レベル、ノード SN が H レベルのとき、容量 C_1 の電極には、図 3 B に示す電位が印加される。図 3 B に図示するように、容量 C_1 の両端の電極は共に電位 V_{PL1} と等電位となるため、反転分極電圧を超える電圧は印加されず、強誘電体層に対する電界が生じない。一方、期間 P_{11} において、配線 PL が H レベル、ノード SN が L レベルのとき、容量 C_1 の電極には、図 3 C に示す電位が印加される。図 3 C に図示するように、容量 C_1 の電極は反転分極電圧となる電圧 V_{PL1} が印加され、強誘電体層に電界 E_L が生じる。そのため容量 C_1 は、 $data_0$ に応じた分極状態が書きこまれる。

[0102]

図 3 A に示す期間 P_{12} では、期間 P_{11} に引き続き、配線 WWL を H レベルとする。配線 WBL には、期間 P_{11} に引き続き、メモリセル 10 に書き込むデータ $data_1$ または $data_0$ に応じた信号が与えられており、当該信号に応じた電位がノード SN に与えられる。配線 PL は、L レベルとする。配線 RBL 、配線 RWL および配線 SL は、L レベルとする。

[0103]

期間 P_{12} において、配線 PL が L レベル、ノード SN が H レベルのとき、容量 C_1 の電極には、図 3 D に示す電位が印加される。図 3 D に図示するように、期間 P_{11} とは逆向きの電界が容量 C_1 の一対の電極に印加され、容量 C_1 の電極には反転分極電圧となる電圧 V_{PL1} が印加され、強誘電体層に電界 E_H が生じる。そのため容量 C_1 は、 $data_1$ に応じた分極状態が書きこまれる。一方、期間 P_{12} において、配線 PL が L レベル、ノード SN が L レベルのとき、図 3 E に図示するように、容量 C_1 の電極は共に電位 0 V と等電位となるため、反転分極電圧を超える電圧は印加されず、強誘電体層に対する電界が生じない。

[0104]

図 4 は、図 2 に示すメモリセル 10 におけるデータの読み出しの動作を説明するためのタイミングチャートである。図 4 では、メモリセル 10 における配線 WWL 、配線 WBL 、配線 PL 、ノード SN 、配線 RBL 、配線 RWL および配線 SL の信号または電位を示している。また図 4 では、メモリセル 10 から読み出されるデータとして「 $data_1$ 」および「 $data_0$ 」を示している。「 $data_1$ 」および「 $data_0$ 」はデータの書き込み動作で容量 C_1 の強誘電体層の分極状態として記憶されたデータに相当する。

[0105]

図 4 に示す期間 P_{21} では、配線 WWL は、L レベルとする。またノード SN は電氣的に浮遊状態となっている。配線 PL を電位 V_{PL2} にする。配線 WBL 、配線 RWL および配線 SL は、L レベルとする。配線 RBL は、期間 P_{21} よりも前の期間において、トランジスタ $M2$ およびトラン

ジスタM3を流れる電流によって電位が変動する電位にプリチャージしておく。例えば、電位VPL1よりも小さい電位にプリチャージしておく。

[0106]

図5Aに図示するように、メモリセル10におけるノードSNには、トランジスタM2のゲート容量などの寄生容量である容量C2が存在する。ノードSNが電氣的に浮遊状態で、容量C1の一方の電極の電位を変化させると、容量C1と容量C2の容量結合によって、ノードSNの電位が変動する状態となる。

[0107]

ノードSNの電位 V_{SN} の変化量 ΔV_{SN} は、容量C1の容量値 C_{FE} 、容量C2の容量値 C_S 、容量C1の電圧に相当する電圧VPL2の変化量 ΔV_{PL2} によって決まり、式(1)で表すことができる。

[0108]

[数1]

$$\Delta V_{SN} = \frac{C_{FE}}{(C_{FE} + C_S)} \times \Delta V_{PL2} \quad (1)$$

[0109]

容量C1の容量値 C_{FE} は、容量C1が有する強誘電体層の分極状態によって決まる。この分極状態は、書きこんだデータ「data1」、または「data0」に応じて異なる。そのため、書きこんだデータ「data1」または「data0」によって、ノードSNの電位 V_{SN} を異ならせることができる。ノードSNの寄生容量（容量C2）の容量値 C_S は、強誘電体層を有する容量C1の容量値 C_{FE} と比べて小さい。容量C1の分極状態に応じた容量値の違いによる電位の差が、Vdata0またはVdata1として、ノードSNの電位 V_{SN} に現れる。

[0110]

図4に示す期間P22では、配線RWLをHレベルとする。トランジスタM3のソースとドレインとの間が導通状態となる。トランジスタM2には、ノードSNの電位に応じた電流が流れる。

[0111]

配線PLを電圧VPL2とすることにより、ノードSNの電位は、図5Bおよび図5Cに図示するように電位Vdata0または電位Vdata1(>Vdata0)の2つの状態を取り得る。トランジスタM2には、電位Vdata0またはVdata1に応じた電流Idata0またはIdata1(>Idata0)が流れる。電流Idata0またはIdata1が流れることにより、プリチャージされた配線RBLの電位が変化する。変化後の配線RBLの電位は、トランジスタM2に流れた電流(Idata0またはIdata1)の大きさに応じて決まる。変化後の配線RBLの電位と、参照電圧 V_{REF} との大小関係を比較することによって、書きこんだデータが「data1」と「data0」のいずれかを判定し、メモリセル10からデータを読み出すことができる。図4において、トランジスタM2に電流Idata0が流れる場合には例えば、配線RBLの電位は参照電圧 V_{REF} より高くなり、電流Idata1が流れる場合には例えば、配線RBLの電位は一定時間が経過した後に参照電圧 V_{REF} より低くなる。

[0112]

なおプリチャージされる配線RBLの電位は、電位VPL1よりも小さいことが好ましい。当該構成とすることで、配線RBLの電位の変動を小さくすることができる。そのため、配線RBLに電

氣的に接続されるトランジスタを有する回路がS i トランジスタなどの微細化されたトランジスタであって耐圧が小さい場合であっても問題なく動作させることができる。

[0113]

なお図2Aのメモリセル10のデータの読み出しの動作は、別の構成とすることもできる。例えば、図6Aのタイミングチャートのように動作させてもよい。図6Aでは、図4と異なり、配線SLの電位を高くし、配線RBLを0Vにプリチャージした状態でノードSNの電位に応じた電流を流す構成となる。つまり、図6Bおよび図6Cに図示するように、トランジスタM2には、配線SLから配線RBLに向けて、電位Vdata0またはVdata1に応じた電流Idata0またはIdata1(>Idata0)が流れる。配線RBLの電位と、参照電圧VREFとの大小関係を比較することによってメモリセル10から読み出すことができる。図6Aにおいて、トランジスタM2に電流Idata0が流れる場合には例えば、配線RBLの電位は参照電圧VREFより低くなり、電流Idata1が流れる場合には例えば、配線RBLの電位は一定時間が経過した後に参照電圧VREFより高くなる。

[0114]

また図2Aのメモリセル10のデータの読み出しの動作は、別の動作方法とすることもできる。例えば、図7のタイミングチャートのように動作させてもよい。

[0115]

図7は、図4に、ノードSNの電位を設定する動作を追加した動作方法に相当する。図7の期間P20では、配線WBLの電位を設定したい電位VPRE_SNとし、配線WWLをHレベルとする。ノードSNの電位は、電位VPRE_SNとなる。その後、配線WWLをLレベルとし、ノードSNを電氣的に浮遊状態としておく。このようにすることで、期間P21で配線PLの電位を変化させた際に変動するノードSNの電位を、トランジスタM2が電流を流す電流に設定しやすくすることができる。

[0116]

本実施の形態は、他の実施の形態と適宜組み合わせることができる。

[0117]

(実施の形態2)

本実施の形態では、本発明の一態様の半導体装置について図面を用いて説明する。

[0118]

本発明の一態様は、基板上に記憶層が設けられる半導体装置に関する。記憶層は、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、容量と、を有し、これらによりメモリセルを構成することができる。本発明の一態様の半導体装置は、メモリセルを有することから、データを記憶する機能を有する。よって、本発明の一態様の半導体装置は、記憶装置といえることができる。

[0119]

本発明の一態様の半導体装置では、上記構成を有する記憶層が、複数積層して設けられる。つまり、上記構成を有する記憶層が、例えば基板面に対して垂直な方向に複数設けられる。これにより、記憶層を1層とする場合より、メモリセルの占有面積を増やさずに、半導体装置の記憶容量を増やすことができる。よって、1ビット当たりの占有面積が低減され、小型で記憶容量の大きな半導体装置を実現できる。OSトランジスタは、チャンネルが形成される半導体層を、スパッタリング法など

の薄膜法により形成できる。また、OSトランジスタは低い温度、例えば750℃以下の温度において形成することができる。よってOSトランジスタを有する層を複数、積層して設けることができる。複数積層して設けられる記憶層には、OSトランジスタを好適に用いることができる。

[0120]

OSトランジスタは、Siトランジスタを用いた回路上などに積層することで自由に配置可能であるため、集積化を容易に行うことができる。シリコンとしては、例えば、非晶質シリコン（水素化アモルファスシリコンという場合がある）、微結晶シリコン、多結晶シリコン、単結晶シリコン等を用いることができる。またOSトランジスタは、Siトランジスタと同様の製造装置を用いて作製することが可能であるため、低コストで作製可能である。

[0121]

ゲインセル型のメモリセルは、1メモリセルあたり少なくとも2つのトランジスタが必要であり、単位面積あたりに配置できるメモリセルの数を増やすことが難しいが、メモリセル10を構成するトランジスタにOSトランジスタを用いることで、メモリセルアレイ15を複数積層して設けることができる。すなわち、単位面積あたりに記憶できるデータ量を増やすことができる。

[0122]

記憶層を複数積層して設ける場合、書き込みビット線、及び読み出しビット線は、例えば基板面に対して垂直な方向に設けることができる。例えば、n層（nは2以上の整数）の記憶層を有する半導体装置を形成する場合、n層の記憶層を貫通するように開口を設け、当該開口の内部に導電体を形成することにより、書き込みビット線、及び読み出しビット線を形成することができる。ここで、本発明の一態様の半導体装置では、第1の導電体の上面及び側面と接する領域を有するように、書き込みビット線として機能する領域を有する導電体が設けられる。

[0123]

<半導体装置の構成例>

以下では、本発明の一態様の半導体装置の構成例について説明する。

[0124]

図8は、本発明の一態様の半導体装置の構成例を示す断面図である。図8に示す半導体装置は、先の実施の形態に示すメモリセルの回路構成に適用することができる。

[0125]

図8に示す半導体装置は、基板（図示せず）上の絶縁体210と、絶縁体210に埋め込まれた導電体209a、及び導電体209bと、絶縁体210上の絶縁体212と、絶縁体212上の絶縁体214と、絶縁体214上のn層の記憶層11と、n層の層を貫通するようにZ方向（Z方向の説明は後述する）に延在して設けられ、導電体209aと電氣的に接続された導電体240aと、導電体209bと電氣的に接続された導電体240bと、記憶層11—n上の絶縁体181と、絶縁体181上、導電体240a上及び導電体240b上の絶縁体183と、絶縁体183上の絶縁体185と、を有する。なお、本実施の形態の半導体装置が有する構成要素は、それぞれ、単層構造であってもよく、積層構造であってもよい。

[0126]

以降において、アルファベットで区別する構成要素について、これらに共通する事項を説明する場合には、アルファベットを省略した符号を用いて説明する場合がある。例えば、導電体209aと導電体209bに共通する事項を説明する場合には、導電体209と記載する場合がある。

[0127]

記憶層11__1乃至記憶層11__nにはそれぞれ、複数のメモリセルを有するメモリセルアレイが設けられる。メモリセルは、トランジスタ201、トランジスタ202、トランジスタ203、及び容量101を有する。また、導電体240aは、書き込みビット線として機能する領域を有し、導電体240bは、読み出しビット線として機能する領域を有する。トランジスタ201、トランジスタ202、トランジスタ203、及び容量101はそれぞれ、先の実施の形態に示すメモリセル10が有するトランジスタM1、トランジスタM2、トランジスタM3、及び容量C1と対応させることができる。また、導電体240a及び導電体240bはそれぞれ、配線WBL及び配線RBLと対応させることができる。

[0128]

本明細書等において、図示するトランジスタのチャネル長方向と平行な方向をX方向とし、図示するトランジスタのチャネル幅方向と平行な方向をY方向とする。X方向とY方向は、互いに垂直な方向とすることができる。さらに、X方向及びY方向の両方と垂直な方向、つまりXY面と垂直な方向を、Z方向とする。X方向、及びY方向は、例えば基板面に対して平行な方向とし、Z方向は、基板面に対して垂直な方向とすることができる。

[0129]

導電体209a、及び導電体209bは、スイッチ、トランジスタ、容量、インダクタ、抵抗素子、及びダイオードといった回路素子の一部、配線、電極、又は、端子として機能する。

[0130]

図8では、n層の記憶層のうち、最下層である記憶層11__1と、記憶層11__1上の記憶層11__2と、最上層である記憶層11__nと、を示している。

[0131]

導電体209a、及び導電体209bは、記憶層11に設けられるメモリセルを駆動するための駆動回路と電氣的に接続される。当該駆動回路は、導電体209a、及び導電体209bよりも下に設けられる。記憶層11の積層数（nの数）を増やすことで、メモリセルの占有面積を増やさずに、記憶装置の記憶容量を増やすことができる。よって、1ビット当たりの占有面積が低減され、小型で記憶容量の大きな半導体装置を実現できる。

[0132]

トランジスタ201、トランジスタ202、及びトランジスタ203は、絶縁体214上に設けられる。ここで、トランジスタ202とトランジスタ203は、一部の層を共有している。トランジスタ201乃至トランジスタ203の上方には、容量101が設けられる。

[0133]

図9は、導電体240a及び導電体240bに替えて、接続電極240c及び接続電極240dを有する例を示す。記憶層11は、トランジスタ201が有する導電体242a（図10にて詳述）と電氣的に接続される導電体233aと、トランジスタ203が有する導電体242e（図10にて詳述）と電氣的に接続される導電体233bと、を有する。k層目（kは1以上n以下の整数。）の記憶層11である記憶層11__kが有する導電体233a及び導電体233bをそれぞれ、導電体233a[k]及び導電体233b[k]と表す。接続電極240cは導電体233a[1]乃至導電体233a[n]（図示しない）を有し、これらは電氣的に接続される。また、接続電極240dは導電体233b[1]乃至導電体233b[n]（図示しない）を有し、これらは電氣的

に接続される。

[0134]

図10Aは、導電体209a、導電体209b、絶縁体210、絶縁体212、絶縁体214、及び記憶層11—1の構成例を示す断面図である。図10Aに示すように、トランジスタ201乃至トランジスタ203上に絶縁体282が設けられ、絶縁体282上に絶縁体285が設けられる。

[0135]

トランジスタ201、トランジスタ202、及びトランジスタ203はそれぞれ、絶縁体214上の導電体205a1と、導電体205a1上の絶縁体222と、絶縁体222上の絶縁体224と、絶縁体224上の金属酸化物230（金属酸化物230a、及び金属酸化物230b）と、絶縁体224の側面の一部、並びに、金属酸化物230の上面の一部及び側面の一部を覆う、導電体242と、金属酸化物230上の絶縁体253と、絶縁体253上の絶縁体254と、絶縁体254上の導電体260と、を有する。ここで、トランジスタ201は、導電体242として導電体242a、及び導電体242bを有し、トランジスタ202は、導電体242として導電体242c、及び導電体242dを有し、トランジスタ203は、導電体242として導電体242d、及び導電体242eを有する。トランジスタ202、及びトランジスタ203は、金属酸化物230、及び導電体242dをそれぞれ共有する。図10等において、トランジスタ201、トランジスタ202、及びトランジスタ203が有する導電体205a1をそれぞれ、導電体205a1—1、導電体205a1—2、及び導電体205a1—3と示す。また、トランジスタ201、トランジスタ202、及びトランジスタ203が有する導電体260をそれぞれ、導電体260—1、導電体260—2、及び導電体260—3と示す。また、トランジスタ201が有する金属酸化物230を230—1と示し、トランジスタ202及びトランジスタ202において共有される金属酸化物230を230—2と示す。絶縁体222は、トランジスタ201の導電体205a1と金属酸化物230に挟まれ、トランジスタ201の導電体260と重畳する領域と、トランジスタ202の導電体205a1と金属酸化物230に挟まれ、トランジスタ202の導電体260と重畳する領域と、トランジスタ203の導電体205a1と金属酸化物230に挟まれ、トランジスタ203の導電体260と重畳する領域と、を有する。また図10Aに示す構成において、導電体205a1は、絶縁体222の下面と接する領域を有することが好ましい。

[0136]

絶縁体214上には開口が設けられた絶縁体216aが設けられ、当該開口の内部に導電体205a1が埋め込まれる。そして、導電体205a1上、及び絶縁体216a上に絶縁体222が設けられる。また、導電体242a乃至導電体242e上には絶縁体275が設けられ、絶縁体275上には絶縁体280が設けられている。絶縁体253、絶縁体254、及び導電体260は、絶縁体280及び絶縁体275に設けられた開口の内部に埋め込まれている。絶縁体280上及び導電体260上に絶縁体282が設けられている。導電体205a1は、絶縁体216aの側面と接する領域を有することができる。また、絶縁体253は、導電体242の側面、絶縁体275の側面、及び絶縁体280の側面のうち少なくとも一部と接する領域を有することができる。

[0137]

金属酸化物230は、トランジスタ201、トランジスタ202、又はトランジスタ203のチャネル形成領域として機能する領域を有する。なお、トランジスタ201、トランジスタ202、及びトランジスタ203には、金属酸化物230の代わりに、単結晶シリコン、多結晶シリコン、又

は非晶質シリコン等の半導体を用いてもよく、例えば低温ポリシリコン（LTPS：Low Temperature Poly Silicon）を用いてもよい。

[0138]

導電体242aは、トランジスタ201のソース電極又はドレイン電極の一方として機能する領域を有する。導電体242bは、トランジスタ201のソース電極又はドレイン電極の他方として機能する領域を有する。導電体242cは、トランジスタ202のソース電極又はドレイン電極の一方として機能する領域を有する。導電体242dは、トランジスタ202のソース電極又はドレイン電極の他方、及びトランジスタ203のソース電極又はドレイン電極の一方として機能する領域を有する。導電体242eは、トランジスタ203のソース電極又はドレイン電極の他方として機能する領域を有する。

[0139]

導電体260は、トランジスタ201、トランジスタ202、又はトランジスタ203の第1のゲート電極として機能する領域を有する。絶縁体253、及び絶縁体254は、それぞれ、トランジスタ201、トランジスタ202、又はトランジスタ203の第1のゲート絶縁体として機能する領域を有する。

[0140]

導電体205a1は、トランジスタ201、トランジスタ202、又はトランジスタ203の第2のゲート電極として機能する領域を有する。絶縁体222は、トランジスタ201の第2のゲート絶縁体として機能する領域と、トランジスタ202の第2のゲート絶縁体として機能する領域と、トランジスタ203の第2のゲート絶縁体として機能する領域と、を有する。絶縁体224は、トランジスタ201、トランジスタ202、又はトランジスタ203の第2のゲート絶縁体として機能する領域を有する。

[0141]

本明細書等において、第1のゲート電極はフロントゲート電極、又は単にゲート電極ということができ、第2のゲート電極はバックゲート電極ということができる。なお、第1のゲート電極をバックゲート電極といい、第2のゲート電極をフロントゲート電極、又は単にゲート電極といってもよい。

[0142]

トランジスタ202とトランジスタ203とは隣接し、前述のように金属酸化物230と、導電体242dと、をそれぞれ共有している。これにより、トランジスタ2個分の面積よりも小さい面積（例えば、1.5個分の面積）に2つのトランジスタ（トランジスタ202とトランジスタ203）を形成することができる。よって、トランジスタ202とトランジスタ203が金属酸化物230及び導電体242dを共有しない場合より、トランジスタを高密度に配置でき、半導体装置における高集積化を実現できる。

[0143]

また、トランジスタ202が有する導電体260と、トランジスタ203が有する導電体260と、の間の領域に、導電体242dが配置される。よって、金属酸化物230の導電体242dと重なる領域にn型の領域（低抵抗領域）を形成することができる。特に、金属酸化物230bの導電体242dと重なる領域にn型の領域を形成することができる。また、導電体242dを介して、トランジスタ202とトランジスタ203との間に電流を流すこともできる。したがって、Siトラ

ンジスタを２つ直列で接続する構成に比べて、トランジスタ２０２とトランジスタ２０３との間の抵抗成分を極めて少なくすることができる。

[０１４４]

なお導電体２４２ｄは、金属酸化物２３０の側面の一部を覆う。例えば、図示しないが、導電体２４２ｄを含む、トランジスタ２０２のチャネル幅方向の断面において、導電体２４２ｄは金属酸化物２３０の側面を覆う。

[０１４５]

絶縁体２８２上には絶縁体２８５が設けられる。絶縁体２８０、絶縁体２８２、及び絶縁体２８５には、導電体２４２ｂに達する開口が設けられ、当該開口の内部に導電体２３１が埋め込まれる。また、絶縁体２８２、及び絶縁体２８５には、トランジスタ２０２が有する導電体２６０に達する開口が設けられ、当該開口の内部に導電体２３２が設けられる。

[０１４６]

容量１０１は、絶縁体２８５、導電体２３１、及び導電体２３２上の導電体１６１と、導電体１６１上の絶縁体１６３と、絶縁体１６３上の導電体１６２と、を有する。

[０１４７]

絶縁体１６３は、導電体１６１と導電体１６２に挟まれる領域を有する。

[０１４８]

導電体１６１は容量１０１の一方の電極（下部電極ともいう。）として機能する領域を有する。絶縁体１６３は、容量１０１の誘電体として機能する領域を有する。導電体１６２は容量１０１の他方の電極（上部電極ともいう。）として機能する領域を有する。容量１０１は、ＭＩＭ容量を構成している。

[０１４９]

導電体２３１により、導電体２４２ｂと、導電体１６１と、が電氣的に接続される。また、導電体２３２により、トランジスタ２０２が有する導電体２６０と、導電体１６１と、が電氣的に接続される。以上より、トランジスタ２０１のソース電極又はドレイン電極の他方として機能する領域を有する導電体２４２ｂは、導電体２３１、導電体１６１、及び導電体２３２を介して、トランジスタ２０２のゲート電極として機能する領域を有する導電体２６０と電氣的に接続される。

[０１５０]

導電体１６２、及び絶縁体１６３上に、絶縁体２８７が設けられる。絶縁体２８７上に絶縁体２１５が設けられる。絶縁体２１５上には開口が設けられた絶縁体２１６ｂが設けられ、当該開口の内部に導電体２０５ａ２が埋め込まれる。

[０１５１]

以降において、導電体２０５ａ１、及び導電体２０５ａ２に共通する事項を説明する場合には、導電体２０５ａと記載する場合がある。

[０１５２]

導電体２４２ａ、導電体２４２ｂ、導電体２４２ｃ、及び導電体２４２ｅは、半導体層として機能する金属酸化物２３０を越えて延在しており、金属酸化物２３０の上面及び側面の一部を覆う。よって、導電体２４２ａ、導電体２４２ｂ、導電体２４２ｃ、及び導電体２４２ｅは、配線としても機能する。例えば、導電体２４２ａの上面、側面、及び下面の一部と接する領域を有するように、書き込みビット線として機能する領域を有する導電体２４０ａが設けられる。また、導電体２４２

eの上面、側面、及び下面の一部と接する領域を有するように、読み出しビット線として機能する領域を有する導電体240bが設けられる。なお、導電体242dも、配線として機能することができる。また、他の配線も、配線として機能することができる場合がある。

[0153]

書き込みビット線として機能する導電体240aが導電体242aの上面、側面、及び下面の一部と接する領域を有することにより、書き込みビット線と導電体242aとの間に、別途接続用の電極を設ける必要が無くなる。また、読み出しビット線として機能する導電体240bが導電体242eの上面、側面、及び下面の一部と接する領域を有することにより、読み出しビット線と導電体242eとの間に、別途接続用の電極を設ける必要が無くなる。よって、メモリセルアレイの占有面積を低減できる。また、メモリセルの集積度が向上し、記憶容量を増大できる。なお、導電体240aは、導電体242aの上面、側面、及び下面の一以上、より好ましくは二以上と接する領域を有し、導電体240bは、導電体242eの上面、側面、及び下面の一以上、より好ましくは二以上と接する領域を有する。導電体240aが導電体242aの複数面と接することで、導電体240aと導電体242aの間の接触抵抗を低減でき、導電体240bが導電体242eの複数面と接することで、導電体240bと導電体242eの間の接触抵抗を低減できる。

[0154]

ここで、絶縁体212、及び絶縁体214には、導電体209aと重なる領域を有する開口291a、及び導電体209bと重なる領域を有する開口291bが設けられる。また、絶縁体222には、導電体209a、及び開口291aと重なる領域を有する開口292a、並びに導電体209b、及び開口291bと重なる領域を有する開口292bが設けられる。また、絶縁体282には、導電体209a、開口291a、及び開口292aと重なる領域を有する開口293a、並びに導電体209b、開口291b、及び開口292bと重なる領域を有する開口293bが設けられる。さらに、絶縁体215には、導電体209a、開口291a、開口292a、及び開口293aと重なる領域を有する開口294a、並びに導電体209b、開口291b、開口292b、及び開口293bと重なる領域を有する開口294bが設けられる。そして、開口291a乃至開口294aの内部には導電体240aが設けられ、開口291b乃至開口294bの内部には導電体240bが設けられる。なお、絶縁体212には開口291aを設けなくてもよい。

[0155]

また、開口291a、及び開口291bにおいて、絶縁体212の側面、及び絶縁体214の側面は絶縁体216aに覆われる。また、開口292aにおいて、絶縁体222の側面は導電体242aに覆われ、開口292bにおいて、絶縁体222の側面は導電体242bに覆われる。また、開口293a、及び開口293bにおいて、絶縁体282の側面は絶縁体285に覆われる。さらに、開口294a、及び開口294bにおいて、絶縁体215の側面は絶縁体216bに覆われる。

[0156]

以上より、絶縁体214の上面及び側面の一部を覆うように絶縁体216aが設けられるということができる。また、絶縁体222の上面及び側面の一部を覆うように導電体242a、及び導電体242eが設けられるということができる。さらに、絶縁体282の上面及び側面の一部を覆うように絶縁体285が設けられ、絶縁体215の上面及び側面の一部を覆うように絶縁体216bが設けられるということができる。

[0157]

本発明の一態様の半導体装置を上記構成とする場合、絶縁体 2 1 2 の側面、絶縁体 2 1 6 a の側面、絶縁体 2 7 5 の側面、絶縁体 2 8 5 の側面、絶縁体 2 8 7 の側面、及び絶縁体 2 1 6 b の側面のうち少なくとも一部と接する領域を有するように、導電体 2 4 0 a、及び導電体 2 4 0 b が設けられる。また、前述のように、導電体 2 4 2 a の側面、及び導電体 2 4 2 e の側面と接する領域を有するように、導電体 2 4 0 a、及び導電体 2 4 0 b が設けられる。さらに、絶縁体 2 1 2、絶縁体 2 1 4、絶縁体 2 8 2、及び絶縁体 2 1 5 とは接しないように、導電体 2 4 0 a、及び導電体 2 4 0 b が設けられる。

[0 1 5 8]

本発明の一態様の半導体装置を以上のような構成とすることにより、図 8 に示す記憶層 1 1 __n を形成した後に、記憶層 1 1 __1 乃至記憶層 1 1 __n を貫通し、導電体 2 0 9 a に達する開口を設ける際に、絶縁体 2 1 2、絶縁体 2 8 2、及び絶縁体 2 1 5 を加工する必要がなくなる。よって、絶縁体 2 1 2、絶縁体 2 8 2、及び絶縁体 2 1 5 に、加工されやすい条件が他の絶縁体と異なる材料を用いても、上記開口を 1 つの条件で形成することができる。以上により、絶縁体に用いることができる材料選択の幅を広げることができる。なお、上記開口の内部に導電膜を埋め込むことにより、導電体 2 4 0 a、及び導電体 2 4 0 b を形成することができる。

[0 1 5 9]

図 1 0 B は、図 1 0 A に示すトランジスタのチャネル幅方向、つまり Y 方向の構成例を示す断面図である。

[0 1 6 0]

図 1 0 B に示す例では、絶縁体 2 1 0 上に絶縁体 2 1 2 が設けられ、絶縁体 2 1 2 上に絶縁体 2 1 4 が設けられ、絶縁体 2 1 4 上に絶縁体 2 1 6 a が設けられ、絶縁体 2 1 6 a に設けられた開口の内部に導電体 2 0 5 a 1 が設けられる。また、導電体 2 0 5 a 1 上、及び絶縁体 2 1 6 a 上に絶縁体 2 2 2 が設けられ、絶縁体 2 2 2 上に絶縁体 2 2 4、及び絶縁体 2 7 5 が設けられ、絶縁体 2 2 4 上に金属酸化物 2 3 0 が設けられている。絶縁体 2 2 4 の側面、並びに、金属酸化物 2 3 0 の上面及び側面は、絶縁体 2 5 3、絶縁体 2 5 4、及び導電体 2 6 0 によって覆われている。絶縁体 2 5 3、絶縁体 2 5 4、及び導電体 2 6 0 は、絶縁体 2 7 5 上に設けられた絶縁体 2 8 0 の開口 2 5 8 の内部に設けられている。絶縁体 2 5 3 上、絶縁体 2 5 4 上、導電体 2 6 0 上、及び絶縁体 2 8 0 上には絶縁体 2 8 2 が設けられ、絶縁体 2 8 2 上には絶縁体 2 8 5 が設けられる。

[0 1 6 1]

ここで、金属酸化物 2 3 0 は、第 1 のゲート電極として機能する領域を有する導電体 2 6 0 によって、上面だけでなく、側面も覆われているといえる。

[0 1 6 2]

本明細書等において、少なくとも第 1 のゲート電極の電界によって、チャネル形成領域を電気的に取り囲むトランジスタの構造を、`surrounded channel` (`S-channel`) 構造とよぶ。また、本明細書等で開示する `S-channel` 構造は、`Fin` 型構造及びプレーナ型構造とは異なる構造を有する。一方で、本明細書等で開示する `S-channel` 構造は、`Fin` 型構造の一種として捉えることも可能である。なお、本明細書等において、`Fin` 型構造とは、ゲート電極が少なくともチャネルの 2 面以上（具体的には、2 面、3 面、又は 4 面）を包むように配置される構造を示す。`Fin` 型構造、及び `S-channel` 構造を採用することで、短チャネル効果に対する耐性を高める、別言すると短チャネル効果が発生し難いトランジスタとすることが

できる。

[0163]

本実施の形態の半導体装置が有するトランジスタを、上記のS-channel構造とすることで、チャネル形成領域を電氣的に取り囲むことができる。なお、S-channel構造は、チャネル形成領域を電氣的に取り囲んでいる構造であるため、実質的にGAA (Gate All Around) 構造、又はLGAA (Lateral Gate All Around) 構造と、同等の構造であるともいえる。トランジスタをS-channel構造、GAA構造、又はLGAA構造とすることで、酸化物とゲート絶縁体との界面又は界面近傍に形成されるチャネル形成領域を、酸化物のバルク全体とすることができる。したがって、トランジスタに流れる電流密度を向上させることが可能となるため、トランジスタのオン電流の向上、又はトランジスタの電界効果移動度を高めることが期待できる。

[0164]

なお、図10Bに示すトランジスタについては、S-channel構造のトランジスタを例示したが、本発明の一態様の半導体装置はこれに限定されない。例えば、本発明の一態様に用いることができるトランジスタ構造としては、プレーナ型構造、Fin型構造、及びGAA構造の中から選ばれるいずれか一又は複数としてもよい。

[0165]

なお、金属酸化物230の断面形状は、図10Bに示す構成に限られない。例えば、金属酸化物230は側面と上面との間に湾曲面を有していてもよい。これにより、金属酸化物230上に形成される膜の被覆性を高めることができる。

[0166]

次に、本実施の形態の半導体装置が有するトランジスタについて詳細に説明する。

[0167]

金属酸化物230は、絶縁体224上の金属酸化物230aと、金属酸化物230a上の金属酸化物230bと、を有することが好ましい。金属酸化物230b下に金属酸化物230aを有することで、金属酸化物230aよりも下方に形成された構造物から、金属酸化物230bへの不純物の拡散を抑制することができる。

[0168]

なお、本実施の形態では、金属酸化物230が、金属酸化物230a及び金属酸化物230bの2層構造である例を示すが、これに限定されない。金属酸化物230は、例えば、金属酸化物230bの単層構造であってもよく、3層以上の積層構造としてもよい。

[0169]

金属酸化物230bは、トランジスタにおける、チャネル形成領域と、チャネル形成領域を挟むように設けられるソース領域及びドレイン領域と、を有する。チャネル形成領域の少なくとも一部は、導電体260と重なる。ソース領域は、一対の導電体242の一方と重なり、ドレイン領域は、一対の導電体242の他方と重なる。

[0170]

チャネル形成領域は、ソース領域及びドレイン領域よりも、酸素欠損が少ない、又は不純物濃度が低いため、キャリア濃度が低い高抵抗領域である。よって、チャネル形成領域は、i型（真性）又は実質的にi型であるということができる。

[0171]

また、ソース領域及びドレイン領域は、酸素欠損が多い、又は水素、窒素、金属元素等の不純物濃度が高いため、キャリア濃度が高い低抵抗領域である。すなわち、ソース領域及びドレイン領域は、チャンネル形成領域と比較してキャリア濃度が高い、n型の領域（低抵抗領域）である。

[0172]

なお、チャンネル形成領域のキャリア濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以下、 $1 \times 10^{17} \text{ cm}^{-3}$ 未満、 $1 \times 10^{16} \text{ cm}^{-3}$ 未満、 $1 \times 10^{15} \text{ cm}^{-3}$ 未満、 $1 \times 10^{14} \text{ cm}^{-3}$ 未満、 $1 \times 10^{13} \text{ cm}^{-3}$ 未満、 $1 \times 10^{12} \text{ cm}^{-3}$ 未満、 $1 \times 10^{11} \text{ cm}^{-3}$ 未満、又は、 $1 \times 10^{10} \text{ cm}^{-3}$ 未満であることが好ましい。また、チャンネル形成領域のキャリア濃度の下限値については、特に限定は無いが、例えば、 $1 \times 10^{-9} \text{ cm}^{-3}$ とすることができる。

[0173]

なお、金属酸化物230bのキャリア濃度を低くする場合においては、金属酸化物230b中の不純物濃度を低くし、欠陥準位密度を低くする。本明細書等において、不純物濃度が低く、欠陥準位密度が低いことを高純度真性又は実質的に高純度真性という。なお、キャリア濃度の低い酸化物半導体（又は金属酸化物）を、高純度真性又は実質的に高純度真性な酸化物半導体（又は金属酸化物）と呼ぶ場合がある。

[0174]

トランジスタの電気特性を安定にするためには、金属酸化物230b中の不純物濃度を低減することが有効である。また、金属酸化物230bの不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、及びシリコン等がある。なお、金属酸化物230b中の不純物とは、例えば、金属酸化物230bを構成する主成分以外をいう。例えば、濃度が0.1原子%未満の元素は不純物といえる。

[0175]

なお、チャンネル形成領域、ソース領域、及び、ドレイン領域は、それぞれ、金属酸化物230bだけでなく、金属酸化物230aまで形成されていてもよい。

[0176]

また、金属酸化物230において、各領域の境界を明確に検出することが困難な場合がある。各領域内で検出される金属元素、並びに、水素、及び窒素等の不純物元素の濃度は、領域ごとの段階的な変化に限らず、各領域内でも連続的に変化していてもよい。つまり、チャンネル形成領域に近い領域であるほど、金属元素、並びに、水素、及び窒素等の不純物元素の濃度が減少していてもよい。

[0177]

金属酸化物230には、半導体として機能する金属酸化物（以下、酸化物半導体ともいう）を用いることが好ましい。

[0178]

半導体として機能する金属酸化物のバンドギャップは、2 eV以上が好ましく、2.5 eV以上がより好ましい。バンドギャップの大きい金属酸化物を用いることで、トランジスタのオフ電流を低減できる。

[0179]

金属酸化物230として、例えば、インジウム酸化物、ガリウム酸化物、及び亜鉛酸化物等の金属

酸化物を用いることが好ましい。また、金属酸化物 2 3 0 として、例えば、インジウムと、元素 M と、亜鉛と、の中から選ばれる二又は三を有する金属酸化物を用いることが好ましい。なお、元素 M は、ガリウム、アルミニウム、シリコン、ホウ素、イットリウム、スズ、銅、バナジウム、ベリリウム、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、及びマグネシウムから選ばれた一種又は複数種である。特に、元素 M は、アルミニウム、ガリウム、イットリウム、及びスズから選ばれた一種又は複数種であることが好ましい。なお、インジウム、元素 M 及び亜鉛を有する金属酸化物を、 In-M-Zn 酸化物と表記することがある。

[0180]

金属酸化物 2 3 0 は、化学組成が異なる複数の酸化物層の積層構造を有することが好ましい。例えば、金属酸化物 2 3 0 a に用いる金属酸化物において、主成分である金属元素に対する元素 M の原子数比が、金属酸化物 2 3 0 b に用いる金属酸化物における、主成分である金属元素に対する元素 M の原子数比より、大きいことが好ましい。また、金属酸化物 2 3 0 a に用いる金属酸化物において、 In に対する元素 M の原子数比が、金属酸化物 2 3 0 b に用いる金属酸化物における、 In に対する元素 M の原子数比より大きいことが好ましい。当該構成にすることで、金属酸化物 2 3 0 a よりも下方に形成された構造物からの、金属酸化物 2 3 0 b に対する、不純物及び酸素の拡散を抑制できる。

[0181]

また、金属酸化物 2 3 0 b に用いる金属酸化物において、元素 M に対する In の原子数比が、金属酸化物 2 3 0 a に用いる金属酸化物における、元素 M に対する In の原子数比より大きいことが好ましい。当該構成にすることで、トランジスタは大きいオン電流、及び高い周波数特性を得ることができる。

[0182]

また、金属酸化物 2 3 0 a 及び金属酸化物 2 3 0 b が、酸素以外に共通の元素を主成分として有することで、金属酸化物 2 3 0 a 及び金属酸化物 2 3 0 b の界面における欠陥準位密度を低減できる。金属酸化物 2 3 0 a 及び金属酸化物 2 3 0 b の界面における欠陥準位密度を低減できる。そのため、界面散乱によるキャリア伝導への影響が小さくなり、トランジスタは大きいオン電流、及び高い周波数特性を得ることができる。

[0183]

具体的には、金属酸化物 2 3 0 a として、 $\text{In}:\text{M}:\text{Zn}=1:3:4$ [原子数比] 若しくはその近傍の組成、又は $\text{In}:\text{M}:\text{Zn}=1:1:0.5$ [原子数比] 若しくはその近傍の組成の金属酸化物を用いることができる。また、金属酸化物 2 3 0 b として、 $\text{In}:\text{M}:\text{Zn}=1:1:1$ [原子数比] 若しくはその近傍の組成、 $\text{In}:\text{M}:\text{Zn}=1:1:1.2$ [原子数比] 若しくはその近傍の組成、 $\text{In}:\text{M}:\text{Zn}=1:1:2$ [原子数比] 若しくはその近傍の組成、又は $\text{In}:\text{M}:\text{Zn}=4:2:3$ [原子数比] 若しくはその近傍の組成の金属酸化物を用いることができる。なお、近傍の組成とは、所望の原子数比の $\pm 30\%$ の範囲を含む。また、元素 M として、ガリウムを用いることが好ましい。また、金属酸化物 2 3 0 として金属酸化物 2 3 0 b の単層を設ける場合、金属酸化物 2 3 0 b として、金属酸化物 2 3 0 a に用いることができる金属酸化物を適用してもよい。

[0184]

なお、金属酸化物をスパッタリング法により成膜する場合、上記の原子数比は、成膜された金属酸

化物の原子数比に限られず、金属酸化物の成膜に用いるスパッタリングターゲットの原子数比であってもよい。

[0185]

金属酸化物230bは、結晶性を有することが好ましい。特に、金属酸化物230bとして、CAAC-OS (c-axis aligned crystalline oxide semiconductor) を用いることが好ましい。

[0186]

CAAC-OSは、結晶性の高い、緻密な構造を有しており、不純物及び欠陥（例えば、酸素欠損）が少ない金属酸化物である。特に、金属酸化物の形成後に、金属酸化物が多結晶化しない程度の温度（例えば、400℃以上600℃以下）で加熱処理することで、CAAC-OSをより結晶性の高い、緻密な構造にすることができる。このようにして、CAAC-OSの密度をより高めることで、当該CAAC-OS中の不純物又は酸素の拡散をより低減することができる。

[0187]

また、CAAC-OSは、明確な結晶粒界を確認することが難しいため、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。したがって、CAAC-OSを有する金属酸化物は、物理的性質が安定する。そのため、CAAC-OSを有する金属酸化物は熱に強く、信頼性が高い。

[0188]

また、金属酸化物230bとしてCAAC-OS等の結晶性を有する酸化物を用いることで、ソース電極又はドレイン電極による、金属酸化物230bからの酸素の引き抜きを抑制することができる。これにより、熱処理を行っても、金属酸化物230bから酸素が引き抜かれることを低減できるため、トランジスタは、製造工程における高い温度（所謂サーマルバジェット）に対して安定である。

[0189]

酸化物半導体を用いたトランジスタは、酸化物半導体中のチャネルが形成される領域に不純物及び酸素欠損が存在すると、電気特性が変動しやすく、信頼性が悪くなる場合がある。また、酸素欠損近傍の水素が、酸素欠損に水素が入った欠陥（以下、 V_OH と呼ぶ場合がある）を形成し、キャリアとなる電子を生成する場合がある。このため、酸化物半導体中のチャネルが形成される領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性（ゲート電極に電圧を印加しなくてもチャネルが存在し、トランジスタに電流が流れる特性）となりやすい。したがって、酸化物半導体中のチャネルが形成される領域では、不純物、酸素欠損、及び V_OH はできる限り低減されることが好ましい。言い換えると、酸化物半導体中のチャネルが形成される領域は、キャリア濃度が低減され、i型（真性化）又は実質的にi型であることが好ましい。

[0190]

これに対して、酸化物半導体の近傍に、加熱により脱離する酸素（以下、過剰酸素と呼ぶ場合がある）を含む絶縁体を設け、熱処理を行うことで、当該絶縁体から酸化物半導体に酸素を供給し、酸素欠損、及び V_OH を低減することができる。ただし、ソース領域又はドレイン領域に過剰な量の酸素が供給されると、トランジスタのオン電流の低下、又は電界効果移動度の低下を引き起こすおそれがある。さらに、ソース領域又はドレイン領域に供給される酸素の量が基板面内でばらつくことで、トランジスタを有する半導体装置の特性にばらつきが出ることになる。また、当該絶縁体から酸化物半導体に供給する酸素が、ゲート電極、ソース電極、及びドレイン電極等の導電体に拡散

すると、当該導電体が酸化してしまい、導電性が損なわれること等により、トランジスタの電気特性及び信頼性に悪影響を及ぼす場合がある。

[0191]

よって、酸化物半導体中において、チャネル形成領域は、キャリア濃度が低減され、i型又は実質的にi型であることが好ましいが、ソース領域及びドレイン領域は、キャリア濃度が高く、n型であることが好ましい。つまり、酸化物半導体のチャネル形成領域の酸素欠損、及び V_{OH} を低減することが好ましい。また、ソース領域及びドレイン領域には過剰な量の酸素が供給されないようにすること、及びソース領域及びドレイン領域の V_{OH} の量が過剰に低減しないようにすることが好ましい。また、導電体260、及び導電体242等の導電率が低下することを抑制する構成にすることが好ましい。例えば、導電体260、及び導電体242等の酸化を抑制する構成にすることが好ましい。なお、酸化物半導体中の水素は V_{OH} を形成しうるため、 V_{OH} の量を低減するには、水素濃度を低減する必要がある。

[0192]

そこで、本実施の形態では、半導体装置を、チャネル形成領域の水素濃度を低減し、かつ、導電体242、及び導電体260の酸化を抑制し、さらに、ソース領域及びドレイン領域中の水素濃度が低減することを抑制する構成とする。

[0193]

金属酸化物230bにおけるチャネル形成領域と接する絶縁体253は、水素を捕獲及び水素を固着する機能を有することが好ましい。これにより、金属酸化物230bのチャネル形成領域中の水素濃度を低減できる。よって、チャネル形成領域中の V_{OH} を低減し、チャネル形成領域をi型又は実質的にi型とすることができる。

[0194]

水素を捕獲及び水素を固着する機能を有する絶縁体として、アモルファス構造を有する金属酸化物が挙げられる。絶縁体253として、例えば、酸化マグネシウム、又はアルミニウム及びハフニウムの一方又は双方を含む酸化物等の金属酸化物を用いることが好ましい。このようなアモルファス構造を有する金属酸化物では、酸素原子がダングリングボンドを有しており、当該ダングリングボンドで水素を捕獲又は固着する性質を有する場合がある。つまり、アモルファス構造を有する金属酸化物は、水素を捕獲又は固着する能力が高いといえる。

[0195]

また、絶縁体253に、高誘電率(high-k)材料を用いることが好ましい。なお、high-k材料の一例として、アルミニウム及びハフニウムの一方又は双方を含む酸化物がある。絶縁体253としてhigh-k材料を用いることで、ゲート絶縁体の物理膜厚を保持したまま、トランジスタ動作時に印加するゲート電位の低減化が可能となる。また、ゲート絶縁体として機能する絶縁体の等価酸化膜厚(EOT)の薄膜化が可能となる。

[0196]

以上より、絶縁体253として、アルミニウム及びハフニウムの一方又は双方を含む酸化物を用いることが好ましく、アモルファス構造を有し、アルミニウム及びハフニウムの一方又は双方を含む酸化物を用いることがより好ましく、アモルファス構造を有する酸化ハフニウムを用いることがさらに好ましい。本実施の形態では、絶縁体253として、酸化ハフニウムを用いる。この場合、絶縁体253は、少なくとも酸素と、ハフニウムと、を有する絶縁体となる。また、当該酸化ハフニ

ウムは、アモルファス構造を有する。この場合、絶縁体 2 5 3 は、アモルファス構造を有する。

[0197]

そのほか、絶縁体 2 5 3 には、酸化シリコン又は酸化窒化シリコン等の、熱に対し安定な構造の絶縁体を用いてもよい。例えば、絶縁体 2 5 3 として、酸化アルミニウムと、酸化アルミニウム上の酸化シリコン又は酸化窒化シリコンと、を有する積層構造を用いてもよい。また、例えば、絶縁体 2 5 3 として、酸化アルミニウムと、酸化アルミニウム上の酸化シリコン又は酸化窒化シリコンと、酸化シリコン又は酸化窒化シリコン上の酸化ハフニウムを有する積層構造を用いてもよい。

[0198]

導電体 2 4 2、及び導電体 2 6 0 の酸化を抑制するために、導電体 2 4 2、及び導電体 2 6 0 それぞれの近傍に酸素に対するバリア絶縁体を設けることが好ましい。本実施の形態で説明する半導体装置において、当該絶縁体は、例えば、絶縁体 2 5 3、絶縁体 2 5 4、及び絶縁体 2 7 5 である。

[0199]

なお、本明細書等において、バリア絶縁体とは、バリア性を有する絶縁体のことを指す。本明細書等において、バリア性とは、対応する物質の拡散を抑制する機能（透過性が低いともいう）とする。又は、対応する物質を、捕獲、及び固着する（ゲッタリングともいう）機能とする。

[0200]

酸素に対するバリア絶縁体としては、例えば、アルミニウム及びハフニウム的一方又は双方を含む酸化物、酸化マグネシウム、酸化ガリウム、インジウムガリウム亜鉛酸化物、窒化シリコン、及び窒化酸化シリコンが挙げられる。また、アルミニウム及びハフニウム的一方又は双方を含む酸化物として、例えば、酸化アルミニウム、酸化ハフニウム、アルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネート）、並びに、ハフニウム及びシリコンを含む酸化物（ハフニウムシリケート）が挙げられる。例えば、絶縁体 2 5 3、絶縁体 2 5 4、及び絶縁体 2 7 5 はそれぞれ、上記酸素に対するバリア絶縁体の単層構造又は積層構造であると好ましい。

[0201]

絶縁体 2 5 3 は、酸素に対するバリア性を有することが好ましい。絶縁体 2 5 3 は、少なくとも絶縁体 2 8 0 よりも酸素を透過しにくいことが好ましい。絶縁体 2 5 3 は、導電体 2 4 2 の側面と接する領域を有する。絶縁体 2 5 3 が酸素に対するバリア性を有することで、導電体 2 4 2 の側面が酸化され、当該側面に酸化膜が形成されることを抑制できる。これにより、トランジスタのオン電流の低下、又は電界効果移動度の低下を起こすことを抑制できる。

[0202]

また、絶縁体 2 5 3 は、金属酸化物 2 3 0 b の上面及び側面、金属酸化物 2 3 0 a の側面、絶縁体 2 2 4 の側面、及び絶縁体 2 2 2 の上面に接して設けられる。絶縁体 2 5 3 が酸素に対するバリア性を有することで、例えば熱処理を行った際に、金属酸化物 2 3 0 b のチャネル形成領域から酸素が脱離することを抑制できる。よって、金属酸化物 2 3 0 a 及び金属酸化物 2 3 0 b に酸素欠損が形成されることを低減できる。

[0203]

また、逆に、絶縁体 2 8 0 に過剰な量の酸素が含まれていても、当該酸素が金属酸化物 2 3 0 a 及び金属酸化物 2 3 0 b に過剰に供給されることを抑制できる。よって、ソース領域及びドレイン領域が過剰に酸化され、トランジスタのオン電流の低下、又は電界効果移動度の低下を起こすことを抑制できる。

[0204]

アルミニウム及びハフニウム的一方又は双方を含む酸化物は酸素に対するバリア性を有するため、絶縁体253として好適に用いることができる。

[0205]

絶縁体254は、酸素に対するバリア性を有することが好ましい。絶縁体254は金属酸化物230のチャネル形成領域と導電体260との間、及び絶縁体280と導電体260との間に設けられている。当該構成にすることで、金属酸化物230のチャネル形成領域に含まれる酸素が導電体260へ拡散し、金属酸化物230のチャネル形成領域に酸素欠損が形成されることを抑制できる。また、金属酸化物230に含まれる酸素及び絶縁体280に含まれる酸素が導電体260へ拡散し、導電体260が酸化することを抑制できる。絶縁体254は、少なくとも絶縁体280よりも酸素を透過しにくいことが好ましい。例えば、絶縁体254として、窒化シリコンを用いることが好ましい。この場合、絶縁体254は、少なくとも窒素と、シリコンと、を有する絶縁体となる。

[0206]

また、絶縁体254は、水素に対するバリア性を有することが好ましい。これにより、導電体260に含まれる水素等の不純物が、金属酸化物230bに拡散することを防ぐことができる。

[0207]

絶縁体275は、酸素に対するバリア性を有することが好ましい。絶縁体275は、絶縁体280と導電体242との間に設けられている。当該構成にすることで、絶縁体280に含まれる酸素が導電体242に拡散することを抑制できる。したがって、絶縁体280に含まれる酸素によって、導電体242が酸化されて抵抗率が増大し、オン電流が低減することを抑制できる。絶縁体275は、少なくとも絶縁体280よりも酸素を透過しにくいことが好ましい。例えば、絶縁体275として、窒化シリコンを用いることが好ましい。この場合、絶縁体275は、少なくとも窒素と、シリコンと、を有する絶縁体となる。

[0208]

金属酸化物230におけるソース領域及びドレイン領域の水素濃度が低減することを抑制するために、ソース領域及びドレイン領域それぞれの近傍に水素に対するバリア絶縁体を設けることが好ましい。本実施の形態で説明する半導体装置において、当該水素に対するバリア絶縁体は、例えば、絶縁体275である。絶縁体275が水素に対するバリア性を有することで、絶縁体253がソース領域及びドレイン領域中の水素を捕獲及び固着することを抑制できる。したがって、ソース領域及びドレイン領域をn型とすることができる。

[0209]

上記構成にすることで、チャネル形成領域をi型又は実質的にi型とし、ソース領域及びドレイン領域をn型とすることができ、良好な電気特性を有する半導体装置を提供できる。また、上記構成にすることで、半導体装置を微細化又は高集積化しても良好な電気特性を有することができる。また、トランジスタを微細化することで高周波特性を向上することができる。具体的には、遮断周波数を向上することができる。

[0210]

水素に対するバリア絶縁体として、酸化アルミニウム、酸化ハフニウム、酸化タンタル等の酸化物、及び窒化シリコン等の窒化物が挙げられる。例えば、絶縁体275は、上記水素に対するバリア絶縁体の単層構造又は積層構造であると好ましい。

[0211]

絶縁体253及び絶縁体254は、それぞれ、ゲート絶縁体の一部として機能する。絶縁体253及び絶縁体254は、導電体260とともに、絶縁体280等に形成された開口に設ける。トランジスタの微細化を図るにあたって、絶縁体253の膜厚及び絶縁体254の膜厚はそれぞれ薄いことが好ましい。絶縁体253の膜厚は、0.1nm以上5.0nm以下が好ましく、0.5nm以上5.0nm以下がより好ましく、1.0nm以上5.0nm未満がより好ましく、1.0nm以上3.0nm以下がさらに好ましい。絶縁体254の膜厚は、0.1nm以上5.0nm以下が好ましく、0.5nm以上3.0nm以下がより好ましく、1.0nm以上3.0nm以下がさらに好ましい。なお、絶縁体253及び絶縁体254は、それぞれ、少なくとも一部において、上記のような膜厚の領域を有していればよい。

[0212]

絶縁体253の膜厚を上記のように薄くするには、原子層堆積（ALD: Atomic Layer Deposition）法を用いて成膜することが好ましい。ALD法は、プリカーサ及びリアクタントの反応を熱エネルギーのみで行う熱ALD（Thermal ALD）法、プラズマ励起されたリアクタントを用いるPEALD（Plasma Enhanced ALD）法等がある。PEALD法では、プラズマを利用することで、より低温での成膜が可能となり好ましい場合がある。

[0213]

ALD法は、一層ずつ原子を堆積することができるため、極薄の成膜が可能、アスペクト比の高い構造への成膜が可能、ピンホール等の欠陥の少ない成膜が可能、被覆性に優れた成膜が可能、及び低温での成膜が可能等の効果がある。よって、絶縁体253を、絶縁体280等に形成された開口部の側面、及び導電体242の側端部等に被覆性良く、上記のような薄い膜厚で成膜することができる。

[0214]

なお、ALD法で用いるプリカーサには例えば炭素を含むものがある。このため、ALD法により設けられた膜は、他の成膜法により設けられた膜と比較して、炭素等の不純物を多く含む場合がある。なお、不純物の定量は、二次イオン質量分析法（SIMS: Secondary Ion Mass Spectrometry）、X線光電子分光法（XPS: X-ray Photoelectron Spectroscopy）、又はオージェ電子分光法（AES: Auger Electron Spectroscopy）を用いて行うことができる。

[0215]

例えば、絶縁体254としてPEALD法で成膜した窒化シリコンを用いることができる。

[0216]

なお、絶縁体253として、酸化ハフニウム等の水素等の不純物及び酸素の透過を抑制する機能を有する絶縁体を用いることで、絶縁体253は、絶縁体254が有する機能を兼ねることができる。このような場合、絶縁体254を設けない構成にすることで、半導体装置の作製工程を簡略化し、生産性の向上を図ることができる。

[0217]

また、本実施の形態では、半導体装置を、上記構成に加えて、水素がトランジスタに混入することを抑制する構成とすることが好ましい。例えば、水素の拡散を抑制する機能を有する絶縁体を、ト

ランジスタの上下の一方又は双方を覆うように設けることが好ましい。本実施の形態で説明する半導体装置において、当該絶縁体は、例えば、絶縁体 2 1 2 である。

[0 2 1 8]

絶縁体 2 1 2 として、水素の拡散を抑制する機能を有する絶縁体を用いることが好ましい。これにより、絶縁体 2 1 2 の下方からランジスタに水素が拡散することを抑制できる。絶縁体 2 1 2 としては、上述の絶縁体 2 7 5 に用いることができる絶縁体を用いることができる。

[0 2 1 9]

絶縁体 2 1 2、絶縁体 2 1 4、及び絶縁体 2 8 2 のうち一つ又は複数は、水、水素等の不純物が、基板側から、又は、ランジスタの上方からランジスタに拡散することを抑制するバリア絶縁膜として機能することが好ましい。したがって、絶縁体 2 1 2、絶縁体 2 1 4、及び絶縁体 2 8 2 のうち一つ又は複数は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子 (N_2O 、 NO 、 NO_2 等)、銅原子等の不純物の拡散を抑制する機能を有する (上記不純物が透過しにくい) 絶縁性材料を有することが好ましい。又は、酸素 (例えば、酸素原子、及び酸素分子等の少なくとも一) の拡散を抑制する機能を有する (上記酸素が透過しにくい) 絶縁性材料を有することが好ましい。

[0 2 2 0]

絶縁体 2 1 2、絶縁体 2 1 4、及び絶縁体 2 8 2 は、それぞれ、水、水素等の不純物、及び酸素の拡散を抑制する機能を有する絶縁体を有することが好ましく、例えば、酸化アルミニウム、酸化マグネシウム、酸化ハフニウム、酸化ガリウム、インジウムガリウム亜鉛酸化物、窒化シリコン、又は窒化酸化シリコン等を用いることができる。例えば、絶縁体 2 1 2 として、より水素バリア性が高い、窒化シリコンを用いることが好ましい。また、例えば、絶縁体 2 1 2、絶縁体 2 1 4、及び絶縁体 2 8 2 は、それぞれ、水素を捕獲及び水素を固着する機能が高い、酸化アルミニウム又は酸化マグネシウム等を有することが好ましい。これにより、水、水素等の不純物が絶縁体 2 1 2 及び絶縁体 2 1 4 を介して、基板側からランジスタ側に拡散することを抑制できる。又は、水、水素等の不純物が絶縁体 2 8 2 よりも外側に配置されている層間絶縁膜等から、ランジスタ側に拡散することを抑制できる。又は、絶縁体 2 2 4 等に含まれる酸素が、基板側に拡散することを抑制できる。又は、絶縁体 2 8 0 等に含まれる酸素が、絶縁体 2 8 2 等を介してランジスタより上方に拡散することを抑制ができる。この様に、ランジスタの上下を、水、水素等の不純物、及び酸素の拡散を抑制する機能を有する絶縁体で取り囲む構造とすることが好ましい。

[0 2 2 1]

導電体 2 0 5 a は、金属酸化物 2 3 0 及び導電体 2 6 0 と重なるように配置する。ここで、導電体 2 0 5 a は、絶縁体 2 1 6 a に形成された開口部に埋め込まれて設けることが好ましい。また、導電体 2 0 5 a の一部が絶縁体 2 1 4 に埋め込まれる場合がある。

[0 2 2 2]

導電体 2 0 5 a は、単層構造であつてもよく、積層構造であつてもよい。例えば図 1 0 A では、導電体 2 0 5 a が、第 1 の導電体と、第 2 の導電体と、の 2 層積層構造である例を示している。導電体 2 0 5 a の第 1 の導電体は、絶縁体 2 1 6 a に設けられた開口部の底面及び側壁に接して設けられる。導電体 2 0 5 a の第 2 の導電体は、導電体 2 0 5 a の第 1 の導電体に形成された凹部に埋め込まれるように設けられる。ここで、導電体 2 0 5 a の第 2 の導電体の上面の高さは、導電体 2 0 5 a の第 1 の導電体の上面の高さ及び絶縁体 2 1 6 a の上面の高さと概略一致する。

[0223]

ここで、導電体205aの第1の導電体は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子(N_2O 、 NO 、又は NO_2 等)、又は銅原子等の不純物の拡散を抑制する機能を有する導電性材料を有することが好ましい。又は、酸素（例えば、酸素原子、及び酸素分子等の少なくとも一）の拡散を抑制する機能を有する導電性材料を有することが好ましい。

[0224]

導電体205aの第1の導電体に、水素の拡散を低減する機能を有する導電性材料を用いることにより、導電体205aの第2の導電体に含まれる水素等の不純物が、絶縁体216a及び絶縁体224等を介して、金属酸化物230に拡散することを防ぐことができる。また、導電体205aの第1の導電体に、酸素の拡散を抑制する機能を有する導電性材料を用いることにより、導電体205aの第2の導電体が酸化して導電率が低下することを抑制できる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、チタン、窒化チタン、タンタル、窒化タンタル、ルテニウム、及び、酸化ルテニウムが挙げられる。導電体205aの第1の導電体は、上記導電性材料の単層構造又は積層構造とすることができる。例えば、導電体205aの第1の導電体は、窒化チタンを有することが好ましい。

[0225]

また、導電体205aの第2の導電体は、タングステン、銅、又はアルミニウムを主成分とする導電性材料を用いることが好ましい。例えば、導電体205aの第2の導電体は、タングステンを有することが好ましい。

[0226]

導電体205aは、第2のゲート電極として機能することができる。その場合、導電体205aに印加する電位を、導電体260に印加する電位と連動させず、独立して変化させることで、トランジスタのしきい値電圧(V_{th})を制御することができる。特に、導電体205aに負の電位を印加することにより、トランジスタの V_{th} をより大きくし、オフ電流を低減することが可能となる。したがって、導電体205aに負の電位を印加したほうが、印加しない場合よりも、導電体260に印加する電位が0Vのときのドレイン電流を小さくすることができる。

[0227]

また、導電体205aの電気抵抗率は、上記の導電体205aに印加する電位を考慮して設計され、導電体205aの膜厚は当該電気抵抗率に合わせて設定される。また、絶縁体216aの膜厚は、導電体205aの膜厚とほぼ同じになる。ここで、導電体205aの設計が許す範囲で導電体205a及び絶縁体216aの膜厚を薄くすることが好ましい。絶縁体216aの膜厚を薄くすることで、絶縁体216a中に含まれる水素等の不純物の絶対量を低減することができるので、当該不純物が金属酸化物230に拡散することを低減することができる。

[0228]

絶縁体222及び絶縁体224は、ゲート絶縁体として機能する。

[0229]

絶縁体222は、水素（例えば、水素原子、及び水素分子等の少なくとも一）の拡散を抑制する機能を有することが好ましい。また、絶縁体222は、酸素（例えば、酸素原子、及び酸素分子等の少なくとも一）の拡散を抑制する機能を有することが好ましい。例えば、絶縁体222は、絶縁体224よりも水素及び酸素の一方又は双方の拡散を抑制する機能を有することが好ましい。

[0230]

絶縁体222は、絶縁性材料であるアルミニウム及びハフニウム的一方又は双方の酸化物を含む絶縁体を有することが好ましい。当該絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネート）等を用いることが好ましい。又は、ハフニウム及びジルコニウムを含む酸化物、例えばハフニウムジルコニウム酸化物を用いることが好ましい。このような材料を用いて絶縁体222を形成した場合、絶縁体222は、金属酸化物230から基板側への酸素の放出、及び、トランジスタの周辺部から金属酸化物230への水素等の不純物の拡散を抑制する層として機能する。よって、絶縁体222を設けることで、水素等の不純物が、トランジスタの内側へ拡散することを抑制し、金属酸化物230中の酸素欠損の生成を抑制できる。また、導電体205aの第1の導電体が、絶縁体224、及び、金属酸化物230が有する酸素と反応することを抑制できる。

[0231]

又は、上記絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、又は酸化ジルコニウムを添加してもよい。又は、これらの絶縁体を窒化処理してもよい。また、絶縁体222は、上記絶縁体に酸化シリコン、酸化窒化シリコン又は窒化シリコンを積層して用いてもよい。

[0232]

また、絶縁体222は、例えば、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、ハフニウムジルコニウム酸化物等の、いわゆるh i g h - k材料を含む絶縁体の単層構造又は積層構造としてもよい。トランジスタの微細化、及び高集積化が進むと、ゲート絶縁体の薄膜化により、リーク電流等の問題が生じる場合がある。ゲート絶縁体として機能する絶縁体にh i g h - k材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。また、絶縁体222として、チタン酸ジルコン酸鉛（P Z T）、チタン酸ストロンチウム（S r T i O₃）、又は（B a , S r）T i O₃（B S T）等の誘電率が高い物質を用いることができる場合もある。

[0233]

金属酸化物230と接する絶縁体224は、例えば、酸化シリコン又は酸化窒化シリコンを有することが好ましい。

[0234]

なお、絶縁体222及び絶縁体224は、それぞれ、2層以上の積層構造を有していてもよい。その場合、同じ材料からなる積層構造に限定されず、異なる材料からなる積層構造でもよい。

[0235]

導電体242、及び導電体260として、それぞれ、酸化しにくい導電性材料、又は、酸素の拡散を抑制する機能を有する導電性材料を用いることが好ましい。当該導電性材料として、例えば、窒素を含む導電性材料、及び酸素を含む導電性材料が挙げられる。これにより、導電体242、及び導電体260の導電率が低下することを抑制できる。導電体242、及び導電体260として、金属及び窒素を含む導電性材料を用いる場合、導電体242、及び導電体260は、少なくとも金属と、窒素と、を有する導電体となる。

[0236]

導電体242は、単層構造であってもよく、積層構造であってもよい。また、導電体260は単層

構造であってもよく、積層構造であってもよい。

[0237]

例えば図10Aでは、導電体242を、第1の導電体と、第1の導電体上の第2の導電体と、の2層構造で示す。このとき、金属酸化物230bに接する、導電体242の第1の導電体として、酸化しにくい導電性材料、又は、酸素の拡散を抑制する機能を有する導電性材料を用いることが好ましい。これにより、導電体242の導電率が低下することを抑制できる。また、導電体242の第1の導電体として、水素を吸い取りやすい（抜き取りやすい）材料を用いると、金属酸化物230の水素濃度を低減でき、好ましい。

[0238]

また、導電体242の第2の導電体は、導電体242の第1の導電体よりも、導電性が高いことが好ましい。例えば、導電体242の第2の導電体の膜厚を、導電体242の第1の導電体の膜厚より大きくすることが好ましい。

[0239]

例えば、導電体242の第1の導電体として、窒化タンタル又は窒化チタンを用い、導電体242の第2の導電体として、タングステンを用いることができる。

[0240]

導電体242の導電率が低下することを抑制するために、金属酸化物230bとして、CAAC-OS等の結晶性を有する酸化物を用いることが好ましい。特に、インジウムと、亜鉛と、ガリウム、アルミニウム、及び錫から選ばれる一又は複数と、を有する金属酸化物を用いることが好ましい。CAAC-OSを用いることで、導電体242による、金属酸化物230bからの酸素の引き抜きを抑制できる。また、導電体242の導電率が低下することを抑制できる。

[0241]

導電体242としては、例えば、タンタルを含む窒化物、チタンを含む窒化物、モリブデンを含む窒化物、タングステンを含む窒化物、タンタル及びアルミニウムを含む窒化物、チタン及びアルミニウムを含む窒化物等を用いることが好ましい。本発明の一態様においては、タンタルを含む窒化物が特に好ましい。また、例えば、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、又はランタンとニッケルを含む酸化物等を用いてもよい。これらの材料は、酸化しにくい導電性材料、又は、酸素を吸収しても導電性を維持する材料であるため、好ましい。

[0242]

なお、例えば金属酸化物230bに含まれる水素が、導電体242に拡散する場合がある。特に、導電体242に、タンタルを含む窒化物を用いることで、例えば金属酸化物230bに含まれる水素は、導電体242に拡散しやすく、拡散した水素は、導電体242が有する窒素と結合することがある。つまり、例えば金属酸化物230b等に含まれる水素は、導電体242に吸い取られる場合がある。

[0243]

導電体260は、その上面が、絶縁体254の最上部、絶縁体253の最上部、及び絶縁体280の上面と高さが概略一致するように配置される。

[0244]

導電体260は、トランジスタの第1のゲート電極として機能する。導電体260は、第1の導電体と、第1の導電体上の第2の導電体と、を有することが好ましい。例えば、導電体260の第1

の導電体は、導電体 260 の第 2 の導電体の底面及び側面を包むように配置されることが好ましい。

[0245]

例えば図 10A では、導電体 260 を 2 層構造で示す。このとき、導電体 260 の第 1 の導電体として、酸化しにくい導電性材料、又は、酸素の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

[0246]

導電体 260 の第 1 の導電体は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子、又は銅原子等の不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。又は、酸素（例えば、酸素原子、及び酸素分子等の少なくとも一）の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

[0247]

また、導電体 260 の第 1 の導電体が酸素の拡散を抑制する機能を有することで、例えば絶縁体 280 に含まれる酸素により導電体 260 の第 2 の導電体が酸化して、導電率が低下することを抑制できる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、チタン、窒化チタン、タンタル、窒化タンタル、ルテニウム、又は酸化ルテニウム等を用いることが好ましい。

[0248]

また、導電体 260 は、導電性が高い導電体を用いることが好ましい。例えば、導電体 260 の第 2 の導電体は、タングステン、銅、又はアルミニウムを主成分とする導電性材料を用いることができる。また、導電体 260 の第 2 の導電体は積層構造としてもよく、例えば、チタン、又は窒化チタンと上記導電性材料との積層構造としてもよい。

[0249]

また、トランジスタでは、導電体 260 は、例えば絶縁体 280 に形成されている開口を埋めるように自己整合的に形成される。導電体 260 をこのように形成することにより、一対の導電体 242 の間の領域に、導電体 260 を位置合わせすることなく確実に配置することができる。

[0250]

また、絶縁体 216a、絶縁体 280、絶縁体 285、絶縁体 287、絶縁体 216b、絶縁体 181、及び絶縁体 185 の上面は、それぞれ、平坦化されていてもよい。

[0251]

絶縁体 280 中の水、及び水素等の不純物濃度は低減されていることが好ましい。例えば、絶縁体 280 は、酸化シリコン、又は酸化窒化シリコン等のシリコンを含む酸化物を有することが好ましい。

[0252]

なお、絶縁体 280 の開口部において、絶縁体 280 の側壁は、絶縁体 222 の上面に対して概略垂直であってもよく、テーパ形状であってもよい。側壁をテーパ形状にすることで、例えば絶縁体 280 の開口部に設ける絶縁体 253 の被覆性が向上し、鬆等の欠陥を低減できる。

[0253]

なお、本明細書等において、テーパ形状とは、構造の側面の少なくとも一部が、基板面又は被形成面に対して傾斜して設けられている形状のことを指す。例えば、傾斜した側面と基板面又は被形成面とがなす角（以下、テーパ角と呼ぶ場合がある）が 90° 未満である領域を有すると好ましい。なお、構造の側面及び基板面は、必ずしも完全に平坦である必要はなく、微細な曲率を有する

略平面状、又は微細な凹凸を有する略平面状であってもよい。

[0254]

容量101が有する導電体161及び導電体162はそれぞれ、導電体205a、導電体242、又は導電体260に用いることができる材料を用いることができる。

[0255]

導電体161及び導電体162はそれぞれ、ALD法又はCVD法等の被覆性の良好な成膜法を用いて成膜することが好ましい。

[0256]

導電体161および導電体162として、アルミニウム、チタン、クロム、ニッケル、銅、イットリウム、ジルコニウム、モリブデン、銀、タンタル、及びタングステンなどの金属、並びに、当該金属を主成分とする合金などが挙げられる。又は上述した元素を成分とする金属窒化物膜（窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）等を用いることができる。また、これらの材料を含む膜を単層で、または積層構造として用いることができる。

[0257]

強誘電体材料に導電体が接することにより、強誘電体材料に分極が生じやすくなるため、好ましい。導電体161及び導電体162として、強誘電体材料に分極が生じやすい材料を用いることが好ましい。

[0258]

また、導電体161、絶縁体163、及び導電体162を順に積層した後、加熱処理を施すことにより、絶縁体163の強誘電性を向上させることができる場合があり、好ましい。加熱処理は例えば、RTA装置、抵抗加熱炉、マイクロ波加熱装置を用いることができる。特に、RTA装置を用いることにより、強誘電性に特に優れた膜が得られる場合があり、好ましい。RTA装置には、GRTA (Gas Rapid Thermal Anneal) 装置、LRTA (Lamp Rapid Thermal Anneal) 装置を用いることができる。

[0259]

導電体161及び導電体162にはそれぞれ、窒化チタンを用いることが好ましい。

[0260]

導電体161において、絶縁体163と接する面（例えば図10の構成においては上面）には、窒化チタンを用いることが好ましい。すなわち、導電体161を積層構造とする場合には、最上層は窒化チタン層であることが好ましい。

[0261]

導電体162において、絶縁体163と接する面（例えば図10の構成においては下面）には、窒化チタンを用いることが好ましい。すなわち、導電体162を積層構造とする場合には、最下層は窒化チタン層であることが好ましい。

[0262]

容量101が有する絶縁体163には、強誘電性を有する材料を用いることが好ましい。強誘電性を有する材料として、先の実施の形態に示す材料を用いることができる。

[0263]

ここで、強誘電体層の膜厚は、200nm以下であることが好ましく、150nm以下であることがより好ましい。

[0264]

また、ハフニウム、ジルコニウム、及び酸素を有する層を強誘電体層として用いる場合には、強誘電体層の膜厚は例えば、100 nm以下、好ましくは50 nm以下、より好ましくは20 nm以下、さらに好ましくは15 nm以下、例えば2 nm以上15 nm以下、あるいは例えば8 nm以上12 nm以下、とすることができる。

[0265]

絶縁体163は、ALD法又はCVD法等の被覆性の良好な成膜法を用いて成膜することが好ましく、特に熱ALD法を用いて形成することが好ましい。

[0266]

導電体240は、第1の導電体と、第2の導電体との積層構造とすることが好ましい。例えば、図10Aに示すように、導電体240は、第1の導電体が上記開口部の内壁に接して設けられ、さらに内側に第2の導電体が設けられる構造にすることができる。導電体240の第1の導電体は、導電体209の上面、絶縁体212の側面、絶縁体216aの側面、導電体242の上面及び側面、絶縁体280の側面、絶縁体285の側面、絶縁体287の側面、及び絶縁体216bの側面のうち少なくとも一部と接する領域を有する。

[0267]

導電体240の第1の導電体としては、水、及び水素等の不純物の透過を抑制する機能を有する導電性材料を用いることが好ましい。導電体240の第1の導電体は、例えば、タンタル、窒化タンタル、チタン、窒化チタン、ルテニウム、及び、酸化ルテニウムのうち一つ又は複数を用いた、単層構造又は積層構造とすることができる。これにより、水、及び水素等の不純物が、導電体240を通じて金属酸化物230に混入することを抑制できる。

[0268]

また、導電体240は、配線としても機能するため、導電性が高い導電体を用いることが好ましい。例えば、導電体240の第2の導電体には、タングステン、銅、又はアルミニウムを主成分とする導電性材料を用いることができる。

[0269]

例えば、導電体240の第1の導電体として窒化チタンを用い、導電体240の第2の導電体としてタングステンを用いることが好ましい。この場合、導電体240の第1の導電体は、チタンと、窒素とを有する導電体となり、導電体240の第2の導電体は、タングステンを有する導電体となる。

[0270]

なお、導電体240は、単層構造であってもよく、3層以上の積層構造であってもよい。また、例えば図8では、導電体240の上面の高さが、絶縁体181の上面の高さと揃っている例を示すが、導電体240の上面の高さは、例えば絶縁体181の上面の高さより高くてもよい。

[0271]

絶縁体216a、絶縁体280、絶縁体285、絶縁体287、絶縁体216b、絶縁体181、及び絶縁体185は、それぞれ、絶縁体163よりも誘電率が低いことが好ましい。また、絶縁体222は例えば、絶縁体216a、絶縁体280、絶縁体285、絶縁体287、絶縁体216b、絶縁体181、及び絶縁体185よりも誘電率が高いことが好ましい。絶縁体216a、絶縁体280、絶縁体285、絶縁体287、絶縁体216b、絶縁体181、及び絶縁体185として誘

電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減できる。

[0272]

強誘電性を有しうる材料を用いた絶縁体の誘電率は、絶縁体222の誘電率よりも高いことが好ましい。例えば、絶縁体163の誘電率は、絶縁体222の誘電率よりも高いことが好ましい。

[0273]

例えば、絶縁体216a、絶縁体280、絶縁体285、絶縁体287、絶縁体216b、絶縁体181、及び絶縁体185は、それぞれ、酸化シリコン、酸化窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素及び窒素を添加した酸化シリコン、及び、空孔を有する酸化シリコンのうち一つ又は複数を有することが好ましい。

[0274]

特に、酸化シリコン及び酸化窒化シリコンは、熱的に安定であるため好ましい。特に、酸化シリコン、酸化窒化シリコン、及び空孔を有する酸化シリコン等の材料は、加熱により脱離する酸素を含む領域を容易に形成することができるため好ましい。

[0275]

図11に示す記憶層11は、容量101b、トランジスタ201、トランジスタ202、及びトランジスタ203を有する。図11は、記憶層11が導電体205bを有する点、導電体160を有する点、絶縁体222に替えて絶縁体222Fを有する点、などが図10と異なる。

[0276]

容量101bは、先の実施の形態に示す容量C1と対応させることができる。また、図10と同様に、トランジスタ201、トランジスタ202、及びトランジスタ203はそれぞれ、先の実施の形態に示すメモリセル10が有するトランジスタM1、トランジスタM2、及びトランジスタM3と対応させることができ、導電体240a及び導電体240bはそれぞれ、配線WBL及び配線RBLと対応させることができる。

[0277]

図11において、導電体205bは、絶縁体216aの開口部に埋め込まれる。導電体205bは、絶縁体222Fを挟んで導電体242bと重畳する領域を有する。絶縁体222Fは、導電体205bと導電体242bに挟まれる領域を有する。また図11に示す構成において、導電体205bは、絶縁体222Fの下面と接する領域を有することが好ましい。

[0278]

導電体205bは、容量101bの一方の電極（下部電極ともいう。）として機能する領域を有する。絶縁体222Fは、容量101の誘電体として機能する領域を有する。導電体242bは、容量101bの他方の電極（上部電極ともいう。）として機能する領域を有する。

[0279]

絶縁体222Fには、強誘電性を有しうる材料を用いることが好ましい。また、絶縁体222Fとして、上記の絶縁体163の記載を参照することができる。

[0280]

絶縁体285上には絶縁体287が設けられる。絶縁体287には開口が設けられ、当該開口の内部に導電体160が埋め込まれる。そして、導電体160上、及び絶縁体287に絶縁体288が設けられる。絶縁体288上に絶縁体215が設けられる。絶縁体215上には開口が設けられた絶縁体216bが設けられ、当該開口の内部に導電体205a2、及び導電体205bが埋め込ま

れる。導電体160は、絶縁体288の側面と接する領域を有することができる。また、導電体205a2、及び導電体205bは、絶縁体216bの側面と接する領域を有することができる。

[0281]

絶縁体288は、絶縁体163よりも誘電率が低いことが好ましい。また、絶縁体214は例えば、絶縁体288よりも誘電率が高いことが好ましい。絶縁体288として誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減し、メモリセル10の動作性能への影響を抑制することができる。絶縁体288として例えば、絶縁体216a、絶縁体280、絶縁体285、絶縁体287、絶縁体216b、絶縁体181、及び絶縁体185の記載を参照することができる。

[0282]

以降において、導電体205a1、及び導電体205a2に共通する事項を説明する場合には、導電体205aと記載する場合がある。また、導電体205a、及び導電体205bに共通する事項を説明する場合には、導電体205と記載する場合がある。

[0283]

導電体231により、導電体242bと、導電体160と、が電氣的に接続される。また、導電体232により、トランジスタ202が有する導電体260と、導電体160と、が電氣的に接続される。以上より、トランジスタ201のソース電極又はドレイン電極の他方として機能する領域を有する導電体242bは、導電体231、導電体160、及び導電体232を介して、トランジスタ202のゲート電極として機能する領域を有する導電体260と電氣的に接続される。

[0284]

導電体160は、第1の導電体と、第1の導電体上の第2の導電体と、を有する。例えば、導電体160の第1の導電体として、ALD法を用いて成膜した窒化チタンを用い、導電体160の第2の導電体として、CVD法を用いて成膜したタングステンをを用いることができる。なお、絶縁体285に対するタングステンの密着性が十分高い場合は、導電体160として、CVD法を用いて成膜したタングステンの単層構造を用いてもよい。

[0285]

なお、絶縁体288または絶縁体215の一方を設けなくてもよい場合がある。

[0286]

図12に示す記憶層11は、絶縁体215に替えて絶縁体215Fを有する点、絶縁体222Fに替えて絶縁体222を有する点、及び、絶縁体288を有さない点、などが図11と異なる。

[0287]

絶縁体215Fには、強誘電性を有しうる材料を用いることが好ましい。また、絶縁体215Fとして、上記の絶縁体163の記載を参照することができる。

[0288]

なお図12において例えば、絶縁体222の膜厚は、絶縁体215Fの膜厚以上であることが好ましい場合がある。なお、絶縁体222に替えて絶縁体222Fを用いてもよい場合がある。

[0289]

図13及び図14にはそれぞれ、図12に示す記憶層11をn段積層する構成の一例を示す。図13には、図8に示す導電体240a及び導電体240bを適用した構成を示す。また図14には、図9に示す接続電極240c及び接続電極240dを適用した構成を示す。

[0290]

図12及び図13に示す記憶層11は、容量101に加えて、導電体205bと、導電体242bと、導電体205bと導電体242bに挟まれる絶縁体222と、が第2の容量を形成する場合がある。導電体205b及び導電体242bはそれぞれ、該第2の容量の電極として機能することができ、絶縁体222は誘電体として機能することができる。記憶層11において、容量101と該第2の容量の合成容量が形成される場合がある。また記憶層11において、容量101の上部電極は、ひとつ上の層の記憶層11が有する該第2の容量の下部電極と共用される、とみなすことができる場合がある。

[0291]

容量101と該第2の容量の合成容量が形成される場合においては例えば、積層された複数層の記憶層11において、上下に隣接する記憶層では、図2に示す配線RBL[i, s]を共用しない構成とすることにより、該第2の容量の影響を小さくすることができる場合がある。

[0292]

具体的には例えば、配線RBL[i, s]を2本設け（例えば配線RBL[i, s, A]及び配線RBL[i, s, B]とする）、積層された複数層の記憶層11のうち、奇数層の記憶層11に配線RBL[i, s, A]を接続し、偶数層の記憶層11に配線RBL[i, s, B]を接続する構成とすることができる。あるいは、奇数層の記憶層11に配線RBL[i, s, B]を接続し、偶数層の記憶層11に配線RBL[i, s, A]を接続する構成とすることができる。

[0293]

例えば、記憶層11_hが有するメモリセル10[i, j]には、配線WBL[i, s]が電氣的に接続され、配線RBL[i, s, A]が電氣的に接続される。また、記憶層11_hが有するメモリセル10[i, j+1]には、配線WBL[i, s+1]が電氣的に接続され、配線RBL[i, s, A]が電氣的に接続される。また、記憶層11_{h+1}が有するメモリセル10[i, j]には、配線WBL[i, s]が電氣的に接続され、配線RBL[i, s, B]が電氣的に接続される。また、記憶層11_{h+1}が有するメモリセル10[i, j+1]には、配線WBL[i, s+1]が電氣的に接続され、配線RBL[i, s, B]が電氣的に接続される。

[0294]

また、配線RBL[i, s, A]及び配線RBL[i, s, B]の一方として例えば、n層の記憶層11のそれぞれの導電体233bのうち、奇数層の記憶層11の導電体233bが含まれる接続電極を用いることができ、該接続電極において、奇数層の記憶層11の導電体233bは、互いに電氣的に接続される。また、配線RBL[i, s, A]及び配線RBL[i, s, B]の他方として例えば、n層の記憶層11のそれぞれの導電体233bのうち、偶数層の記憶層11の導電体233bが含まれる接続電極を用いることができ、該接続電極において、偶数層の記憶層11の導電体233bは、互いに電氣的に接続される。

[0295]

図15は、本発明の一態様の半導体装置の構成例を示す断面図である。図15に示す半導体装置は、図8に示す構成の下に、例えばトランジスタ300を有する層が設けられる例を示している。トランジスタ300は、例えば絶縁体210よりも上層に形成されたメモリセルの駆動回路に設けることができる。なお、図15における絶縁体210よりも上層の構成は、図8と同様のため、詳細な説明は省略する。

[0296]

図15では、トランジスタ300を例示している。トランジスタ300は、基板311上に設けられ、ゲートとして機能する導電体316、ゲート絶縁体として機能する絶縁体315、基板311の一部を含む半導体領域313、及びソース領域又はドレイン領域として機能する低抵抗領域314a、及び低抵抗領域314bを有する。トランジスタ300は、pチャネル型のトランジスタ、或いはnチャネル型のトランジスタのいずれでもよい。基板311としては、例えば単結晶シリコン基板を用いることができる。

[0297]

ここで、図15に示すトランジスタ300はチャネルが形成される半導体領域313（基板311の一部）が凸形状を有する。また、半導体領域313の側面及び上面を、絶縁体315を介して、導電体316が覆うように設けられている。なお、導電体316は仕事関数を調整する材料を用いてもよい。このようなトランジスタ300は半導体基板の凸部を利用していることからFIN型トランジスタとも呼ばれる。なお、凸部の上部に接して、凸部を形成するためのマスクとして機能する絶縁体を有していてもよい。また、ここでは半導体基板の一部を加工して凸部を形成する場合を示したが、SOI（Silicon on Insulator）基板を加工して凸形状を有する半導体膜を形成してもよい。

[0298]

なお、図15に示すトランジスタ300は一例であり、その構造に限定されず、回路構成又は駆動方法に応じて適切なトランジスタを用いることができる。

[0299]

各構造体の間には、層間膜、配線、及びプラグ等が設けられた配線層が設けられていてもよい。また、配線層は、設計に応じて複数層設けることができる。また、本明細書等において、配線と、配線と電氣的に接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、及び導電体の一部がプラグとして機能する場合もある。

[0300]

例えば、トランジスタ300上には、層間膜として、絶縁体320、絶縁体322、絶縁体324、及び絶縁体326が順に積層して設けられている。また、絶縁体320及び絶縁体322には導電体328等が埋め込まれている。また、絶縁体324及び絶縁体326には導電体330等が埋め込まれている。なお、導電体328及び導電体330はコンタクトプラグ又は配線として機能する。

[0301]

また、層間膜として機能する絶縁体は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。例えば、絶縁体322の上面は、平坦性を高めるために例えば化学機械研磨（CMP：Chemical Mechanical Polishing）法を用いた平坦化処理により平坦化されていてもよい。

[0302]

図16A、及び図16Bは、図10Aに示す構成を有する半導体装置の一例を示す平面図であり、XY平面の構成例を示している。

[0303]

図16Aには、トランジスタ201、トランジスタ202、トランジスタ203、導電体240a、及び導電体240bを示している。図16Bは、図16Aに容量101を追加して示している。図16Bでは、トランジスタ201、トランジスタ202、トランジスタ203、及び容量101に

よりメモリセル10が構成されとしている。なお、図16A、及び図16Bにおいて、導電体以外の構成要素は省略している。

[0304]

図16Aにおいて、トランジスタ201が有する導電体260は、導電体242aと導電体242bに挟まれる領域を有する。また、トランジスタ202が有する導電体260は、導電体242cと導電体242dに挟まれる領域を有する。また、トランジスタ203が有する導電体260は、導電体242dと導電体242eに挟まれる領域を有する。

[0305]

また、図17A及び図17Bにはそれぞれ、図16Bにおいて、導電体162の形状が異なる例を示す。図17Aに示す導電体162は、導電体205a1と重畳する面積を削減することができる。よって例えば、導電体162と導電体205a1との寄生容量を低減できる。また、図17Aにおいては、導電体162が平面視において、幅が変化するのに対し、図16Bにおいては、導電体162の幅を太くすることができ、配線抵抗を低減することができる。また、図17Bに示すように、導電体162の幅を細くして導電体162と導電体205a1の重畳する領域を小さくする構成としてもよい。

[0306]

<半導体装置の作製方法>

絶縁体を形成するための絶縁性材料、導電体を形成するための導電性材料、又は半導体を形成するための半導体材料は、スパッタリング法、CVD法、MBE法、PLD法、ALD法等を適宜用いて成膜することができる。

[0307]

なお、スパッタリング法にはスパッタリング用電源に高周波電源を用いるRFスパッタリング法、直流電源を用いるDCスパッタリング法、さらにパルス的に電極に印加する電圧を変化させるパルスDCスパッタリング法がある。RFスパッタリング法は主に絶縁膜を成膜する場合に用いられ、DCスパッタリング法は主に金属導電膜を成膜する場合に用いられる。また、パルスDCスパッタリング法は、主に、酸化物、窒化物、又は炭化物等の化合物をリアクティブスパッタリング法で成膜する際に用いられる。

[0308]

なお、CVD法は、プラズマを利用するプラズマCVD(PECVD)法、熱を利用する熱CVD(TCVD:Thermal CVD)法、及び光を利用する光CVD(Photo CVD)法等に分類できる。さらに用いる原料ガスによって金属CVD(MCVD:Metal CVD)法、有機金属CVD(MOCVD:Metal Organic CVD)法に分けることができる。

[0309]

プラズマCVD法は、比較的低温で高品質の膜が得られる。また、熱CVD法は、プラズマを用いないため、被処理物へのプラズマダメージを小さくすることが可能な成膜方法である。例えば、半導体装置に含まれる配線、電極、及び素子(トランジスタ、及び容量等)等は、プラズマから電荷を受け取ることでチャージアップする場合がある。このとき、蓄積した電荷によって、半導体装置に含まれる配線、電極、又は素子等が破壊される場合がある。一方、プラズマを用いない熱CVD法の場合、こういったプラズマダメージが生じないため、半導体装置の歩留まりを高くすることができる。また、熱CVD法では、成膜中のプラズマダメージが生じないため、欠陥の少ない膜が得

られる。

[0310]

また、ALD法としては、プリカーサ及びリアクタントの反応を熱エネルギーのみで行う熱ALD法、プラズマ励起されたリアクタントを用いるPEALD法等を用いることができる。

[0311]

CVD法及びALD法は、ターゲット等から放出される粒子が堆積するスパッタリング法とは異なる。したがって、被処理物の形状の影響を受けにくく、良好な段差被覆性を有する成膜方法である。特に、ALD法は、優れた段差被覆性と、優れた厚さの均一性と、を有するため、例えばアスペクト比の高い開口部の表面を被覆する場合に好適である。ただし、ALD法は、比較的成膜速度が遅いため、成膜速度の速いCVD法等の他の成膜方法と組み合わせて用いることが好ましい場合もある。

[0312]

また、CVD法では、原料ガスの流量比によって、任意の組成の膜を成膜することができる。例えば、CVD法では、成膜しながら原料ガスの流量比を変化させることによって、組成が連続的に変化した膜を成膜することができる。原料ガスの流量比を変化させながら成膜する場合、複数の成膜室を用いて成膜する場合と比べて、搬送又は圧力調整に掛かる時間を要さない分、成膜に掛かる時間を短くすることができる。したがって、半導体装置の生産性を高めることができる場合がある。

[0313]

また、ALD法では、異なる複数種のプリカーサを同時に導入することで任意の組成の膜を成膜することができる。又は、異なる複数種のプリカーサを導入する場合、各プリカーサのサイクル数を制御することで任意の組成の膜を成膜することができる。

[0314]

絶縁体222は、例えば、スパッタリング法、CVD法、MBE法、PLD法、又は、ALD法を用いて成膜することができる。本実施の形態では、絶縁体222として、ALD法を用いて、酸化ハフニウムを成膜する。又は、絶縁体222を、PEALD法を用いて成膜した窒化シリコンと、ALD法を用いて成膜した酸化ハフニウムと、の積層構造としてもよい。

[0315]

絶縁体222の成膜後に加熱処理を行ってもよい。加熱処理の温度は、250℃以上650℃以下が好ましく、300℃以上500℃以下がより好ましく、320℃以上450℃以下がさらに好ましい。なお、加熱処理は、窒素ガス若しくは不活性ガスの雰囲気、又は酸化性ガスを10ppm以上、1%以上、若しくは10%以上含む雰囲気で行うことが好ましい。

[0316]

金属酸化物230a及び金属酸化物230bは、それぞれ、例えば、スパッタリング法、CVD法、MBE法、PLD法、又は、ALD法を用いて成膜することができる。本実施の形態では、金属酸化物230a及び金属酸化物230bの成膜はスパッタリング法を用いる。

[0317]

例えば、金属酸化物230a及び金属酸化物230bをスパッタリング法によって成膜する場合は、スパッタリングガスとして、酸素、又は、酸素と貴ガスの混合ガスを用いる。スパッタリングガスに含まれる酸素の割合を高めることで、成膜される酸化膜中の過剰酸素を増やすことができる。また、金属酸化物230a及び金属酸化物230bをスパッタリング法によって成膜する場合は、例

例えば $In-M-Zn$ 酸化物ターゲットを用いることができる。

[0318]

絶縁体 253 は例えば、ALD 法、スパッタリング法、CVD 法、MBE 法、又は PLD 法を用いて成膜することができる。

[0319]

また、絶縁体 253 となる絶縁膜を ALD 法で成膜する場合、酸化剤として、オゾン (O_3)、酸素 (O_2)、又は水 (H_2O) 等を用いることができる。水素を含まない、オゾン (O_3)、又は酸素 (O_2) 等を酸化剤として用いることで、金属酸化物 230b に拡散する水素を低減できる。

[0320]

本実施の形態は、他の実施の形態と適宜組み合わせることができる。また、本明細書において、1 つの実施の形態の中に、複数の構成例が示される場合は、構成例を適宜組み合わせることが可能である。

[0321]

(実施の形態 3)

本実施の形態では、本発明の一態様の記憶装置が実装されたチップの一例について図面を用いて説明する。

[0322]

図 18A 及び図 18B に示すチップ 1200 には、複数の回路 (システム) が実装されている。このように、複数の回路 (システム) を一つのチップに集積する技術を、システムオンチップ (System on Chip: SoC) と呼ぶ場合がある。

[0323]

図 18A に示すように、チップ 1200 は、CPU 1211、GPU 1212、一又は複数のアナログ演算部 1213、一又は複数のメモリコントローラ 1214、一又は複数のインターフェース 1215、一又は複数のネットワーク回路 1216 等を有する。

[0324]

チップ 1200 には、バンパ (図示しない) が設けられ、図 18B に示すように、パッケージ基板 1201 の第 1 の面と接続する。また、パッケージ基板 1201 の第 1 の面の裏面には、複数のバンパ 1202 が設けられており、マザーボード 1203 と接続する。

[0325]

マザーボード 1203 には、DRAM 1221、及びフラッシュメモリ 1222 等の記憶装置が設けられていてもよい。例えば、DRAM 1221 に先の実施の形態に示す記憶回路を用いることができる。これにより、DRAM 1221 を、大容量化、高速化、及び低消費電力化させることができる。

[0326]

CPU 1211 は、複数の CPU コアを有することが好ましい。また、GPU 1212 は、複数の GPU コアを有することが好ましい。また、CPU 1211、及び GPU 1212 は、それぞれ一時的にデータを格納するメモリを有していてもよい。又は、CPU 1211、及び GPU 1212 に共通のメモリが、チップ 1200 に設けられていてもよい。該メモリには、前述した記憶回路を用いることができる。また、GPU 1212 は、多数のデータの並列計算に適しており、画像処理又は積和演算に用いることができる。GPU 1212 に、OS トランジスタを用いた画像処理回路、

又は、積和演算回路を設けることで、画像処理、又は積和演算を低消費電力で実行することが可能になる。

[0327]

また、CPU1211、及びGPU1212が同一チップに設けられていることで、CPU1211とGPU1212の間の配線を短くすることができ、CPU1211からGPU1212へのデータ転送、CPU1211、及びGPU1212が有するメモリ間のデータ転送、及びGPU1212での演算後に、GPU1212からCPU1211への演算結果の転送を高速に行うことができる。

[0328]

アナログ演算部1213はA/D（アナログ／デジタル）変換回路、及びD/A（デジタル／アナログ）変換回路の一、又は両方を有する。また、アナログ演算部1213に上記積和演算回路を設けてもよい。

[0329]

メモリコントローラ1214は、DRAM1221のコントローラとして機能する回路、及びフラッシュメモリ1222のインターフェースとして機能する回路を有する。

[0330]

インターフェース1215は、表示装置、スピーカー、マイクロフォン、カメラ、及びコントローラ等の外部接続機器とのインターフェース回路を有する。コントローラとは、マウス、キーボード、及びゲーム用コントローラ等を含む。このようなインターフェースとして、USB（Universal Serial Bus）、又はHDMI（登録商標）（High-Definition Multimedia Interface）等を用いることができる。

[0331]

ネットワーク回路1216は、LAN（Local Area Network）等のネットワーク回路を有する。また、ネットワークセキュリティ用の回路を有してもよい。

[0332]

チップ1200には、上記回路（システム）を同一の製造プロセスで形成することが可能である。そのため、チップ1200に必要な回路の数が増えても、製造プロセスを増やす必要が無く、チップ1200を低コストで作製することができる。

[0333]

GPU1212を有するチップ1200が設けられたパッケージ基板1201、DRAM1221、及びフラッシュメモリ1222が設けられたマザーボード1203は、GPUモジュール1204と呼ぶことができる。

[0334]

GPUモジュール1204は、SoC技術を用いたチップ1200を有しているため、そのサイズを小さくすることができる。また、画像処理に優れていることから、スマートフォン、タブレット端末、ラップトップPC、又は携帯型（持ち出し可能な）ゲーム機等の携帯型電子機器に用いることが好適である。また、GPU1212を用いた積和演算回路により、ディープニューラルネットワーク（DNN）、畳み込みニューラルネットワーク（CNN）、再帰型ニューラルネットワーク（RNN）、自己符号化器、深層ボルツマンマシン（DBM）、深層信念ネットワーク（DBN）等の手法を実行できるため、チップ1200をAIチップ、又はGPUモジュール1204をAI

システムモジュールとして用いることができる。

[0335]

本実施の形態は、他の実施の形態と適宜組み合わせることができる。

[0336]

(実施の形態4)

本実施の形態では、本発明の一態様の記憶装置が組み込まれた電子部品の一例を示す。

[0337]

[電子部品]

図19Aに電子部品700及び電子部品700が実装された基板（実装基板704）の斜視図を示す。図19Aに示す電子部品700は、モールド711内に本発明の一態様の記憶装置である記憶装置100を有している。図19Aは、電子部品700の内部を示すために、一部の記載を省略している。電子部品700は、モールド711の外側にランド712を有する。ランド712は電極パッド713と電氣的に接続され、電極パッド713は記憶装置100とワイヤ714を介して電氣的に接続されている。電子部品700は、例えばプリント基板702に実装される。このような電子部品が複数組み合わされて、それぞれがプリント基板702上で電氣的に接続されることで実装基板704が完成する。

[0338]

上記実施の形態で示した通り、記憶装置100は、駆動回路層50と、記憶層11（メモリセルアレイ15を含む）と、を有する。

[0339]

図19Bに電子部品730の斜視図を示す。電子部品730は、SiP（System in Package）又はMCM（Multi Chip Module）の一例である。電子部品730は、パッケージ基板732（プリント基板）上にインターポーザ731が設けられ、インターポーザ731上に半導体装置735、及び複数の記憶装置100が設けられている。

[0340]

電子部品730では、記憶装置100を広帯域メモリ（HBM: High Bandwidth Memory）として用いる例を示している。また、半導体装置735は、CPU、GPU、又はFPGA等の集積回路（半導体装置）を用いることができる。

[0341]

パッケージ基板732は、例えば、セラミックス基板、プラスチック基板、又は、ガラスエポキシ基板を用いることができる。インターポーザ731は、例えば、シリコンインターポーザ、又は樹脂インターポーザを用いることができる。

[0342]

インターポーザ731は、複数の配線を有し、端子ピッチの異なる複数の集積回路を電氣的に接続する機能を有する。複数の配線は、単層又は多層で設けられる。また、インターポーザ731は、インターポーザ731上に設けられた集積回路をパッケージ基板732に設けられた電極と電氣的に接続する機能を有する。これらのことから、インターポーザを「再配線基板」又は「中間基板」と呼ぶ場合がある。また、インターポーザ731に貫通電極を設けて、当該貫通電極を用いて集積回路とパッケージ基板732を電氣的に接続する場合もある。また、シリコンインターポーザでは、貫通電極として、TSV（Through Silicon Via）を用いることもできる。

[0343]

インターポーザ731としてシリコンインターポーザを用いることが好ましい。シリコンインターポーザでは能動素子を設ける必要が無い、集積回路よりも低コストで作製することができる。一方で、シリコンインターポーザの配線形成は半導体プロセスで行うことができるため、樹脂インターポーザでは難しい微細配線の形成が容易である。

[0344]

HBMでは、広いメモリバンド幅を実現するために多くの配線を接続する必要がある。このため、HBMを実装するインターポーザには、微細かつ高密度の配線形成が求められる。よって、HBMを実装するインターポーザには、シリコンインターポーザを用いることが好ましい。

[0345]

また、シリコンインターポーザを用いた、SiP及びMCM等では、集積回路とインターポーザ間の膨張係数の違いによる信頼性の低下が生じにくい。また、シリコンインターポーザは表面の平坦性が高いため、シリコンインターポーザ上に設ける集積回路とシリコンインターポーザ間の接続不良が生じにくい。特に、インターポーザ上に複数の集積回路を横に並べて配置する2.5Dパッケージ（2.5次元実装）では、シリコンインターポーザを用いることが好ましい。

[0346]

また、電子部品730と重ねてヒートシンク（放熱板）を設けてもよい。ヒートシンクを設ける場合は、インターポーザ731上に設ける集積回路の高さを揃えることが好ましい。例えば、本実施の形態に示す電子部品730では、記憶装置100と半導体装置735の高さを揃えることが好ましい。

[0347]

電子部品730を他の基板に実装するため、パッケージ基板732の底部に電極733を設けてもよい。図19Bでは、電極733を半田ボールで形成する例を示している。パッケージ基板732の底部に半田ボールをマトリクス状に設けることで、BGA（Ball Grid Array）実装を実現できる。また、電極733を導電性のピンで形成してもよい。パッケージ基板732の底部に導電性のピンをマトリクス状に設けることで、PGA（Pin Grid Array）実装を実現できる。

[0348]

電子部品730は、BGA及びPGAに限らず様々な実装方法を用いて他の基板に実装することができる。実装方法としては、例えば、SPGA（Staggered Pin Grid Array）、LGA（Land Grid Array）、QFP（Quad Flat Package）、QFJ（Quad Flat J-leaded package）、及び、QFN（Quad Flat Non-leaded package）が挙げられる。

[0349]

本実施の形態は、他の実施の形態と適宜組み合わせることができる。

[0350]

（実施の形態5）

本実施の形態では、本発明の一態様の記憶装置の応用例について説明する。

[0351]

本発明の一態様の記憶装置は、各種電子機器（例えば、情報端末、コンピュータ、スマートフォン、

電子書籍端末、デジタルスチルカメラ、ビデオカメラ、録画再生装置、ナビゲーションシステム、及び、ゲーム機）の記憶装置に適用できる。また、イメージセンサ、IoT（Internet of Things）、又はヘルスケア関連機器等に用いることもできる。なお、ここで、コンピュータとは、タブレット型のコンピュータ、ノート型のコンピュータ、及び、デスクトップ型のコンピュータの他、サーバシステムのような大型のコンピュータを含むものである。

[0352]

本発明の一態様の記憶装置を有する電子機器の一例について説明する。なお、図20A乃至図20J、及び図21A乃至図21Eには、先の実施の形態で説明した、当該記憶装置を有する電子部品700又は電子部品730が各電子機器に含まれている様子を図示している。

[0353]

[携帯電話]

図20Aに示す情報端末5500は、情報端末の一種である携帯電話（スマートフォン）である。情報端末5500は、筐体5510と、表示部5511と、を有しており、入力用インターフェースとして、タッチパネルが表示部5511に備えられ、ボタンが筐体5510に備えられている。

[0354]

情報端末5500は、本発明の一態様の記憶装置を適用することで、アプリケーションの実行時に生成される一時的なファイル（例えば、ウェブブラウザの使用時のキャッシュ）を保持することができる。

[0355]

[ウェアラブル端末]

図20Bに、ウェアラブル端末の一例である情報端末5900を示す。情報端末5900は、筐体5901、表示部5902、操作スイッチ5903、操作スイッチ5904、及びバンド5905を有する。

[0356]

ウェアラブル端末は、先述した情報端末5500と同様に、本発明の一態様の記憶装置を適用することで、アプリケーションの実行時に生成される一時的なファイルを保持することができる。

[0357]

[情報端末]

図20Cに、デスクトップ型情報端末5300を示す。デスクトップ型情報端末5300は、情報端末の本体5301と、表示部5302と、キーボード5303と、を有する。

[0358]

デスクトップ型情報端末5300は、先述した情報端末5500と同様に、本発明の一態様の記憶装置を適用することで、アプリケーションの実行時に生成される一時的なファイルを保持することができる。

[0359]

図20A乃至図20Cでは、電子機器として、スマートフォン、ウェアラブル端末、及び、デスクトップ用情報端末について説明したが、他の情報端末としては、例えば、PDA（Personal Digital Assistant）、ノート型情報端末、及び、ワークステーションが挙げられる。

[0360]

〔電化製品〕

図20Dに、電化製品の一例として電気冷凍冷蔵庫5800を示す。電気冷凍冷蔵庫5800は、筐体5801、冷蔵室用扉5802、及び冷凍室用扉5803等を有する。例えば、電気冷凍冷蔵庫5800は、IoT (Internet of Things) に対応した電気冷凍冷蔵庫である。

〔0361〕

電気冷凍冷蔵庫5800に本発明の一態様の記憶装置を適用することができる。電気冷凍冷蔵庫5800は、電気冷凍冷蔵庫5800に保存されている食材、及びその食材の消費期限等の情報を、例えばインターネットを通じて情報端末に送受信することができる。電気冷凍冷蔵庫5800は、当該情報を送信する際に生成される一時的なファイルを、本発明の一態様の記憶装置に保持することができる。

〔0362〕

図20Dでは、電化製品として電気冷凍冷蔵庫について説明したが、その他の電化製品としては、例えば、掃除機、電子レンジ、電気オーブン、炊飯器、湯沸かし器、IH調理器、ウォーターサーバー、エアコンディショナーを含む冷暖房器具、洗濯機、乾燥機、及び、オーディオビジュアル機器が挙げられる。

〔0363〕

〔ゲーム機〕

図20Eには、ゲーム機の一例である携帯ゲーム機5200を示す。携帯ゲーム機5200は、筐体5201、表示部5202、及びボタン5203等を有する。

〔0364〕

また、図20Fには、ゲーム機の一例である据え置き型ゲーム機7500を示す。据え置き型ゲーム機7500は、特に、家庭用の据え置き型ゲーム機ということができる。据え置き型ゲーム機7500は、本体7520と、コントローラ7522を有する。なお、本体7520には、無線又は有線によってコントローラ7522を接続することができる。また、図20Fには示していないが、コントローラ7522は、ゲームの画像を表示する表示部、ボタン以外の入力インターフェースとなる、タッチパネル、スティック、回転式つまみ、又はスライド式つまみ等を備えることができる。また、コントローラ7522は、図20Fに示す形状に限定されず、ゲームのジャンルに応じて、コントローラ7522の形状を様々に変更してもよい。例えば、FPS (First Person Shooter) 等のシューティングゲームでは、トリガーをボタンとし、銃を模した形状のコントローラを用いることができる。また、例えば、音楽ゲームでは、楽器、又は音楽機器等を模した形状のコントローラを用いることができる。さらに、据え置き型ゲーム機は、コントローラを使わず、代わりにカメラ、深度センサ、及び、マイクロフォンの一つ又は複数を備えて、ゲームプレイヤーのジェスチャー、又は音声によって操作する形式としてもよい。

〔0365〕

また、上述したゲーム機の映像は、テレビジョン装置、パーソナルコンピュータ用ディスプレイ、ゲーム用ディスプレイ、又はヘッドマウントディスプレイ等の表示装置によって出力することができる。

〔0366〕

携帯ゲーム機5200又は据え置き型ゲーム機7500に本発明の一態様の記憶装置を適用するこ

とによって、消費電力を低減できる。また、低消費電力化により、回路からの発熱を低減でき、発熱によるその回路自体、周辺回路、及びモジュールへの影響を少なくすることができる。

[0367]

さらに、携帯ゲーム機5200又は据え置き型ゲーム機7500に本発明の一態様の記憶装置を適用することによって、ゲームの実行中に発生する演算に必要な一時ファイル等の保持を行うことができる。

[0368]

図20E及び図20Fでは、ゲーム機の一例として、携帯ゲーム機及び家庭用の据え置き型ゲーム機について説明したが、その他のゲーム機としては、例えば、娯楽施設（ゲームセンター、遊園地等）に設置されるアーケードゲーム機、及び、スポーツ施設に設置されるバッティング練習用の投球マシンが挙げられる。

[0369]

[移動体]

本発明の一態様の記憶装置は、移動体である自動車、及び自動車の運転席周辺に適用することができる。

[0370]

図20Gには移動体の一例である自動車5700が図示されている。

[0371]

自動車5700の運転席周辺には、スピードメーター、タコメーター、走行距離、燃料計、ギア状態、又はエアコンの設定等などの様々な情報を表示するインストゥルメントパネルが備えられている。また、運転席周辺には、それらの情報を示す記憶装置が備えられていてもよい。

[0372]

特に当該表示装置には、自動車5700に設けられた撮像装置（図示しない）からの映像を映し出すことによって、例えばピラーで遮られた視界、又は運転席の死角等を補うことができ、安全性を高めることができる。すなわち、自動車5700の外側に設けられた撮像装置からの画像を表示することによって、死角を補い、安全性を高めることができる。

[0373]

本発明の一態様の記憶装置は、情報を一時的に保持することができるため、例えば、当該記憶装置を、自動車5700の自動運転、道路案内、又は危険予測等を行うシステムにおける、必要な一時的な情報の保持に用いることができる。また、本発明の一態様の記憶装置は、自動車5700に備え付けられたドライビングレコーダの映像を保持する構成としてもよい。

[0374]

なお、上述では、移動体の一例として自動車について説明しているが、移動体は自動車に限定されない。例えば、移動体としては、電車、モノレール、船、及び、飛行体（ヘリコプター、無人航空機（ドローン）、飛行機、ロケット）も挙げることができる。

[0375]

[カメラ]

本発明の一態様の記憶装置は、カメラに適用することができる。

[0376]

図20Hに、撮像装置の一例であるデジタルカメラ6240を示す。デジタルカメラ6240は、

筐体 6 2 4 1、表示部 6 2 4 2、操作スイッチ 6 2 4 3、及びシャッターボタン 6 2 4 4 を有し、また、デジタルカメラ 6 2 4 0 には、着脱可能なレンズ 6 2 4 6 が取り付けられている。なお、ここではデジタルカメラ 6 2 4 0 を、レンズ 6 2 4 6 を筐体 6 2 4 1 から取り外して交換することが可能な構成としたが、レンズ 6 2 4 6 と筐体 6 2 4 1 とが一体となってもよい。また、デジタルカメラ 6 2 4 0 は、ストロボ装置、又はビューファインダー等を別途装着することができる構成としてもよい。

[0377]

デジタルカメラ 6 2 4 0 に本発明の一態様の記憶装置を適用することによって、消費電力を低減することができる。また、低消費電力化により、回路からの発熱を低減でき、発熱によるその回路自体、周辺回路、及びモジュールへの影響を少なくすることができる。

[0378]

[ビデオカメラ]

本発明の一態様の記憶装置は、ビデオカメラに適用することができる。

[0379]

図 20 I に、撮像装置の一例であるビデオカメラ 6 3 0 0 を示す。ビデオカメラ 6 3 0 0 は、第 1 筐体 6 3 0 1、第 2 筐体 6 3 0 2、表示部 6 3 0 3、操作スイッチ 6 3 0 4、レンズ 6 3 0 5、及び接続部 6 3 0 6 を有する。操作スイッチ 6 3 0 4 及びレンズ 6 3 0 5 は第 1 筐体 6 3 0 1 に設けられており、表示部 6 3 0 3 は第 2 筐体 6 3 0 2 に設けられている。そして、第 1 筐体 6 3 0 1 と第 2 筐体 6 3 0 2 とは、接続部 6 3 0 6 により接続されており、第 1 筐体 6 3 0 1 と第 2 筐体 6 3 0 2 の間の角度は、接続部 6 3 0 6 により変更が可能である。表示部 6 3 0 3 における映像を、接続部 6 3 0 6 における第 1 筐体 6 3 0 1 と第 2 筐体 6 3 0 2 との間の角度に従って切り替える構成としてもよい。

[0380]

ビデオカメラ 6 3 0 0 で撮影した映像を記録する際、データの記録形式に応じたエンコードを行う必要がある。本発明の一態様の記憶装置を利用することによって、ビデオカメラ 6 3 0 0 は、エンコードの際に発生する一時的なファイルの保持を行うことができる。

[0381]

[ICD]

本発明の一態様の記憶装置は、植え込み型除細動器（ICD）に適用できる。

[0382]

図 20 J は、ICD の一例を示す断面模式図である。ICD 本体 5 4 0 0 は、バッテリー 5 4 0 1 と、電子部品 7 0 0 と、レギュレータと、制御回路と、アンテナ 5 4 0 4 と、右心房へのワイヤ 5 4 0 2 と、右心室へのワイヤ 5 4 0 3 とを少なくとも有している。

[0383]

ICD 本体 5 4 0 0 は手術により体内に設置され、二本のワイヤは、人体の鎖骨下静脈 5 4 0 5 及び上大静脈 5 4 0 6 を通過させて一方のワイヤ先端が右心室、もう一方のワイヤ先端が右心房に設置されるようにする。

[0384]

ICD 本体 5 4 0 0 は、ペースメーカーとしての機能を有し、心拍数が規定の範囲から外れた場合に心臓に対してペーシングを行う。また、ペーシングによって心拍数が改善しない場合（速い心室頻

拍、又は心室細動等）、電気ショックによる治療が行われる。

[0385]

ICD本体5400は、ペーシング及び電気ショックを適切に行うため、心拍数を常に監視する必要がある。そのため、ICD本体5400は、心拍数を検知するためのセンサを有する。また、ICD本体5400は、例えば当該センサによって取得した心拍数のデータ、ペーシングによる治療を行った回数、又は時間等を電子部品700に記憶することができる。

[0386]

また、アンテナ5404で電力が受信でき、その電力はバッテリー5401に充電される。また、ICD本体5400は複数のバッテリーを有することにより、安全性を高くすることができる。具体的には、ICD本体5400の一部のバッテリーが使えなくなったとしても残りのバッテリーが機能させることができるため、補助電源としても機能する。

[0387]

また、電力を受信できるアンテナ5404とは別に、生理信号を送信できるアンテナを有していてもよく、例えば、脈拍、呼吸数、心拍数、及び体温等の生理信号を外部のモニタ装置で確認できるような心臓活動を監視するシステムを構成してもよい。

[0388]

[PC用の拡張デバイス]

本発明の一態様の記憶装置は、PC (Personal Computer) 等の計算機、及び情報端末用の拡張デバイスに適用することができる。

[0389]

図21Aは、当該拡張デバイスの一例として、持ち運びのできる、情報の記憶が可能なチップが搭載された、PCに外付けする拡張デバイス6100を示している。拡張デバイス6100は、例えばUSB (Universal Serial Bus) でPCに接続することで、当該チップによる情報の記憶を行うことができる。なお、図21Aは、持ち運びが可能な形態の拡張デバイス6100を図示しているが、本発明の一態様の拡張デバイスは、これに限定されず、例えば冷却用ファンを搭載した比較的大きい形態の拡張デバイスとしてもよい。

[0390]

拡張デバイス6100は、筐体6101、キャップ6102、USBコネクタ6103及び基板6104を有する。基板6104は、筐体6101に収納されている。基板6104には、例えば本発明の一態様の記憶装置を駆動する回路が設けられている。例えば、基板6104には、電子部品700、コントローラチップ6106が取り付けられている。USBコネクタ6103は、外部装置と接続するためのインターフェースとして機能する。

[0391]

[SDカード]

本発明の一態様の記憶装置は、情報端末、又はデジタルカメラ等の電子機器に取り付けが可能なSDカードに適用することができる。

[0392]

図21BはSDカードの外観の模式図であり、図21Cは、SDカードの内部構造の模式図である。SDカード5110は、筐体5111、コネクタ5112及び基板5113を有する。コネクタ5112が外部装置と接続するためのインターフェースとして機能する。基板5113は筐体511

1に収納されている。基板5113には、記憶装置及び記憶装置を駆動する回路が設けられている。例えば、基板5113には、電子部品700、コントローラチップ5115が取り付けられている。なお、電子部品700とコントローラチップ5115とのそれぞれの回路構成は、上述の記載に限定せず、状況に応じて、適宜回路構成を変更してもよい。例えば、電子部品に備えられている書き込み回路、ロードライバ、又は読み出し回路等は、電子部品700でなく、コントローラチップ5115に組み込んだ構成としてもよい。

[0393]

基板5113の裏面側にも電子部品700を設けることで、SDカード5110の容量を増やすことができる。また、無線通信機能を備えた無線チップを基板5113に設けてもよい。これによって、外部装置とSDカード5110との間で無線通信を行うことができ、電子部品700のデータの読み出し及び書き込みが可能となる。

[0394]

[SSD]

本発明の一態様の記憶装置は、情報端末等の電子機器に取り付けが可能なSSD (Solid State Drive) に適用することができる。

[0395]

図21DはSSDの外観の模式図であり、図21Eは、SSDの内部構造の模式図である。SSD5150は、筐体5151、コネクタ5152及び基板5153を有する。コネクタ5152が外部装置と接続するためのインターフェースとして機能する。基板5153は筐体5151に収納されている。基板5153には、記憶装置及び記憶装置を駆動する回路が設けられている。例えば、基板5153には、電子部品700、メモリチップ5155、コントローラチップ5156が取り付けられている。基板5153の裏面側にも電子部品700を設けることで、SSD5150の容量を増やすことができる。メモリチップ5155にはワークメモリが組み込まれている。例えば、メモリチップ5155には、DRAMチップを用いればよい。コントローラチップ5156には、プロセッサ、及びECC (Error-Correcting Code) 回路等が組み込まれている。なお、電子部品700と、メモリチップ5155と、コントローラチップ5115と、のそれぞれの回路構成は、上述の記載に限定せず、状況に応じて、適宜回路構成を変更してもよい。例えば、コントローラチップ5156にも、ワークメモリとして機能するメモリを設けてもよい。

[0396]

[計算機]

図22Aに示す計算機5600は、大型の計算機の例である。計算機5600には、ラック5610にラックマウント型の計算機5620が複数格納されている。

[0397]

計算機5620は、例えば、図22Bに示す斜視図の構成とすることができる。図22Bにおいて、計算機5620は、マザーボード5630を有し、マザーボード5630は、複数のスロット5631、複数の接続端子を有する。スロット5631には、PCカード5621が挿されている。加えて、PCカード5621は、接続端子5623、接続端子5624、接続端子5625を有し、それぞれ、マザーボード5630に接続されている。

[0398]

図22Cに示すPCカード5621は、CPU、GPU、及び記憶装置等を備えた処理ボードの一

例である。PCカード5621は、ボード5622を有する。また、ボード5622は、接続端子5623と、接続端子5624と、接続端子5625と、半導体装置5626と、半導体装置5627と、半導体装置5628と、接続端子5629と、を有する。なお、図22Cには、半導体装置5626、半導体装置5627、及び半導体装置5628以外の半導体装置を図示しているが、それらの半導体装置については、以下に記載する半導体装置5626、半導体装置5627、及び半導体装置5628の説明を参照すればよい。

[0399]

接続端子5629は、マザーボード5630のスロット5631に挿すことができる形状を有しており、接続端子5629は、PCカード5621とマザーボード5630とを接続するためのインターフェースとして機能する。接続端子5629の規格としては、例えばPCIeが挙げられる。

[0400]

接続端子5623、接続端子5624、及び接続端子5625は、例えば、PCカード5621に対して電力供給、又は信号入力等を行うためのインターフェースとすることができる。また、例えば、PCカード5621によって計算された信号の出力を行うためのインターフェースとすることができる。接続端子5623、接続端子5624、接続端子5625のそれぞれの規格としては、例えば、USB (Universal Serial Bus)、SATA (Serial ATA)、及び、SCSI (Small Computer System Interface) が挙げられる。また、接続端子5623、接続端子5624、及び接続端子5625から映像信号を出力する場合、それぞれの規格としては、例えばHDMI (登録商標) が挙げられる。

[0401]

半導体装置5626は、信号の入出力を行う端子 (図示しない) を有しており、当該端子をボード5622が備えるソケット (図示しない) に対して差し込むことで、半導体装置5626とボード5622を電氣的に接続することができる。

[0402]

半導体装置5627は、複数の端子を有しており、当該端子をボード5622が備える配線に対して、例えば、リフロー方式のはんだ付けを行うことで、半導体装置5627とボード5622を電氣的に接続することができる。半導体装置5627としては、例えば、FPGA (Field Programmable Gate Array)、GPU、及びCPU等が挙げられる。半導体装置5627として、例えば、電子部品730を用いることができる。

[0403]

半導体装置5628は、複数の端子を有しており、当該端子をボード5622が備える配線に対して、例えば、リフロー方式のはんだ付けを行うことで、半導体装置5628とボード5622を電氣的に接続することができる。半導体装置5628としては、例えば、記憶装置が挙げられる。半導体装置5628として、例えば、電子部品700を用いることができる。

[0404]

計算機5600は並列計算機としても機能できる。計算機5600を並列計算機として用いることで、例えば、人工知能の学習、及び推論に必要な大規模の計算を行うことができる。

[0405]

上記の各種電子機器等に、本発明の一態様の記憶装置を用いることにより、電子機器の小型化、及び低消費電力化を図ることができる。また、本発明の一態様の記憶装置は消費電力が少ないため、

回路からの発熱を低減することができる。よって、当該発熱によるその回路自体、周辺回路、及びモジュールへの悪影響を低減できる。また、本発明の一態様の記憶装置を用いることにより、高温環境下においても動作が安定した電子機器を実現できる。よって、電子機器の信頼性を高めることができる。

[0406]

本実施の形態は、他の実施の形態と適宜組み合わせることができる。

[0407]

(実施の形態6)

本実施の形態では、本発明の一態様の半導体装置を宇宙用機器に適用する場合の具体例について、図23を用いて説明する。

[0408]

本発明の一態様の半導体装置は、OSトランジスタを含む。OSトランジスタは、放射線照射による電気特性の変動が小さい。つまり放射線に対する耐性が高いため、放射線が入射しうる環境において好適に用いることができる。例えば、OSトランジスタは、宇宙空間にて使用する場合に好適に用いることができる。

[0409]

図23には、宇宙用機器の一例として、人工衛星6800を示している。人工衛星6800は、機体6801と、ソーラーパネル6802と、アンテナ6803と、二次電池6805と、制御装置6807と、を有する。なお、図23においては、宇宙空間に惑星6804を例示している。なお、宇宙空間とは、例えば、高度100km以上を指すが、本明細書に記載の宇宙空間は、熱圏、中間圏、及び成層圏のうち一つ又は複数を含んでもよい。

[0410]

また、宇宙空間は、地上に比べて100倍以上、放射線量の高い環境である。なお、放射線として、例えば、X線、及びガンマ線に代表される電磁波（電磁放射線）、並びにアルファ線、ベータ線、中性子線、陽子線、重イオン線、中間子線等に代表される粒子放射線が挙げられる。

[0411]

ソーラーパネル6802に太陽光が照射されることにより、人工衛星6800が動作するために必要な電力が生成される。しかしながら、例えばソーラーパネルに太陽光が照射されない状況、又はソーラーパネルに照射される太陽光の光量が少ない状況では、生成される電力が少なくなる。よって、人工衛星6800が動作するために必要な電力が生成されない可能性がある。生成される電力が少ない状況下であっても人工衛星6800を動作させるために、人工衛星6800に二次電池6805を設けるとよい。なお、ソーラーパネルは、太陽電池モジュールと呼ばれる場合がある。

[0412]

人工衛星6800は、信号を生成することができる。当該信号は、アンテナ6803を介して送信され、例えば地上に設けられた受信機、又は他の人工衛星が当該信号を受信することができる。人工衛星6800が送信した信号を受信することにより、当該信号を受信した受信機の位置を測定することができる。以上より、人工衛星6800は、衛星測位システムを構成することができる。

[0413]

また、制御装置6807は、人工衛星6800を制御する機能を有する。制御装置6807としては、例えば、CPU、GPU、及び記憶装置の中から選ばれるいずれか一又は複数を用いて構成さ

れる。なお、制御装置 6807 には、本発明の一態様である O S トランジスタを含む半導体装置を用いると好適である。O S トランジスタは、S i トランジスタと比較し、放射線照射による電気特性の変動が小さい。つまり放射線が入射しうる環境においても信頼性が高く、好適に用いることができる。

[0414]

また、人工衛星 6800 は、センサを有する構成とすることができる。例えば、可視光センサを有する構成とすることにより、人工衛星 6800 は、地上に設けられている物体に当たって反射された太陽光を検出する機能を有することができる。又は、熱赤外センサを有する構成とすることにより、人工衛星 6800 は、地表から放出される熱赤外線を検出する機能を有することができる。以上より、人工衛星 6800 は、例えば地球観測衛星としての機能を有することができる。

[0415]

なお、本実施の形態においては、宇宙用機器の一例として、人工衛星について例示したがこれに限定されない。例えば、本発明の一態様の半導体装置は、宇宙船、宇宙カプセル、及び宇宙探査機等の宇宙用機器に好適に用いることができる。

[符号の説明]

[0416]

10 : メモリセル、11 : 記憶層、15 : メモリセルアレイ、22 : PSW、23 : PSW、31 : 周辺回路、32 : コントロール回路、33 : 電圧生成回路、41 : 周辺回路、42 : 行デコーダ、43 : 行ドライバ、44 : 列デコーダ、45 : 列ドライバ、46 : センスアンプ、47 : 入力回路、48 : 出力回路、50 : 駆動回路層、100 : 記憶装置、101 : 容量、101b : 容量、160 : 導電体、161 : 導電体、162 : 導電体、163 : 絶縁体、181 : 絶縁体、183 : 絶縁体、185 : 絶縁体、201 : トランジスタ、202 : トランジスタ、203 : トランジスタ、205a : 導電体、205b : 導電体、205 : 導電体、209a : 導電体、209b : 導電体、209 : 導電体、210 : 絶縁体、212 : 絶縁体、214 : 絶縁体、215 : 絶縁体、215F : 絶縁体、216a : 絶縁体、216b : 絶縁体、222 : 絶縁体、222F : 絶縁体、224 : 絶縁体、230a : 金属酸化物、230b : 金属酸化物、230 : 金属酸化物、231 : 導電体、232 : 導電体、233a : 導電体、233b : 導電体、240a : 導電体、240b : 導電体、240c : 接続電極、240d : 接続電極、240 : 導電体、242a : 導電体、242b : 導電体、242c : 導電体、242d : 導電体、242e : 導電体、242 : 導電体、253 : 絶縁体、254 : 絶縁体、258 : 開口、260 : 導電体、275 : 絶縁体、280 : 絶縁体、282 : 絶縁体、285 : 絶縁体、287 : 絶縁体、288 : 絶縁体、291a : 開口、291b : 開口、292a : 開口、292b : 開口、293a : 開口、293b : 開口、294a : 開口、294b : 開口、300 : トランジスタ、311 : 基板、313 : 半導体領域、314a : 低抵抗領域、314b : 低抵抗領域、315 : 絶縁体、316 : 導電体、320 : 絶縁体、322 : 絶縁体、324 : 絶縁体、326 : 絶縁体、328 : 導電体、330 : 導電体、700 : 電子部品、702 : プリント基板、704 : 実装基板、711 : モールド、712 : ランド、713 : 電極パッド、714 : ワイヤ、730 : 電子部品、731 : インターポーザ、732 : パッケージ基板、733 : 電極、735 : 半導体装置、1200 : チップ、1201 : パッケージ基板、1202 : パンプ、1203 : マザーボード、1204 : GPU モジュール、1211 : CPU、1212 : GPU、1213 : アナログ演算部、1214 : メモリコントローラ、1215 : インターフェース、12

1 6 : ネットワーク回路、1 2 2 1 : DRAM、1 2 2 2 : フラッシュメモリ、5 1 1 0 : SDカード、5 1 1 1 : 筐体、5 1 1 2 : コネクタ、5 1 1 3 : 基板、5 1 1 5 : コントローラチップ、5 1 5 0 : SSD、5 1 5 1 : 筐体、5 1 5 2 : コネクタ、5 1 5 3 : 基板、5 1 5 5 : メモリチップ、5 1 5 6 : コントローラチップ、5 2 0 0 : 携帯ゲーム機、5 2 0 1 : 筐体、5 2 0 2 : 表示部、5 2 0 3 : ボタン、5 3 0 0 : デスクトップ型情報端末、5 3 0 1 : 本体、5 3 0 2 : 表示部、5 3 0 3 : キーボード、5 4 0 0 : ICD本体、5 4 0 1 : バッテリー、5 4 0 2 : ワイヤ、5 4 0 3 : ワイヤ、5 4 0 4 : アンテナ、5 4 0 5 : 鎖骨下静脈、5 4 0 6 : 上大静脈、5 5 0 0 : 情報端末、5 5 1 0 : 筐体、5 5 1 1 : 表示部、5 6 0 0 : 計算機、5 6 1 0 : ラック、5 6 2 0 : 計算機、5 6 2 1 : PCカード、5 6 2 2 : ボード、5 6 2 3 : 接続端子、5 6 2 4 : 接続端子、5 6 2 5 : 接続端子、5 6 2 6 : 半導体装置、5 6 2 7 : 半導体装置、5 6 2 8 : 半導体装置、5 6 2 9 : 接続端子、5 6 3 0 : マザーボード、5 6 3 1 : スロット、5 7 0 0 : 自動車、5 8 0 0 : 電気冷凍冷蔵庫、5 8 0 1 : 筐体、5 8 0 2 : 冷蔵室用扉、5 8 0 3 : 冷凍室用扉、5 9 0 0 : 情報端末、5 9 0 1 : 筐体、5 9 0 2 : 表示部、5 9 0 3 : 操作スイッチ、5 9 0 4 : 操作スイッチ、5 9 0 5 : バンド、6 1 0 0 : 拡張デバイス、6 1 0 1 : 筐体、6 1 0 2 : キャップ、6 1 0 3 : USBコネクタ、6 1 0 4 : 基板、6 1 0 6 : コントローラチップ、6 2 4 0 : デジタルカメラ、6 2 4 1 : 筐体、6 2 4 2 : 表示部、6 2 4 3 : 操作スイッチ、6 2 4 4 : シャッターボタン、6 2 4 6 : レンズ、6 3 0 0 : ビデオカメラ、6 3 0 1 : 第1筐体、6 3 0 2 : 第2筐体、6 3 0 3 : 表示部、6 3 0 4 : 操作スイッチ、6 3 0 5 : レンズ、6 3 0 6 : 接続部、6 8 0 0 : 人工衛星、6 8 0 1 : 機体、6 8 0 2 : ソーラーパネル、6 8 0 3 : アンテナ、6 8 0 4 : 惑星、6 8 0 5 : 二次電池、6 8 0 7 : 制御装置、7 5 0 0 : 据え置き型ゲーム機、7 5 2 0 : 本体、7 5 2 2 : コントローラ

請求の範囲

[請求項 1]

第1のトランジスタと、第2のトランジスタと、容量と、を有し、

前記第1のトランジスタは、第1の絶縁体と、前記第1の絶縁体上の第1の金属酸化物と、前記第1の金属酸化物上の第2の絶縁体と、前記第2の絶縁体上の第1の導電体と、前記第1の金属酸化物の上面の一部および側面の一部を覆う第2の導電体と、前記第1の金属酸化物の上面の一部および側面の一部を覆う第3の導電体と、を有し、

前記第2のトランジスタは、前記第1の絶縁体と、前記第1の絶縁体上の前記第1の金属酸化物と、前記第1の金属酸化物上の第3の絶縁体と、前記第3の絶縁体上の第4の導電体と、前記第3の導電体と、前記第1の金属酸化物の上面の一部および側面の一部を覆う第5の導電体と、を有し、

前記第3の導電体は、前記第1のトランジスタと、前記第2のトランジスタと、で共有され、

前記第1の金属酸化物は、前記第1のトランジスタと、前記第2のトランジスタと、で共有され、

前記第1の金属酸化物は、前記第1のトランジスタのチャネル形成領域と、前記第2のトランジスタのチャネル形成領域と、を有し、

前記第1の絶縁体は、前記第1の金属酸化物と重畳する領域を有し、

前記容量は、第6の導電体と、第7の導電体と、前記第6の導電体と前記第7の導電体の間に位置する強誘電性を有しうる材料と、を有し、

前記第1の導電体と、前記第6の導電体は、電気的に接続される半導体装置。

[請求項 2]

請求項 1 において、

強誘電性を有しうる前記材料は、酸化ハフニウム、酸化ジルコニウム、および $HfZrO_x$ (x は 0 よりも大きい実数) から選ばれる一以上である半導体装置。

[請求項 3]

請求項 1 において、

強誘電性を有しうる前記材料は、酸素、ハフニウム、およびジルコニウムを有する材料である半導体装置。

[請求項 4]

請求項 1 において、

強誘電性を有しうる前記材料は、酸化ハフニウムにジルコニウム、シリコン、アルミニウム、ガドリニウム、イットリウム、ランタン、ストロンチウムから選ばれる一以上を添加した材料である半導体装置。

[請求項 5]

請求項 1 において、

強誘電性を有しうる前記材料は、酸化ジルコニウムにハフニウム、シリコン、アルミニウム、ガドリニウム、イットリウム、ランタン、ストロンチウムから選ばれる一以上を添加した材料である半導体装置。

[請求項 6]

請求項 1 乃至請求項 5 のいずれか一において、

前記第6の導電体および前記第7の導電体の少なくとも一は、窒化チタンを有する半導体装置。

[請求項 7]

請求項 1 乃至請求項 5 のいずれか一において、
前記第 3 の導電体は、平面視において、前記第 1 の導電体と前記第 4 の導電体に挟まれる領域を有する半導体装置。

[請求項 8]

請求項 1 乃至請求項 5 のいずれか一において、
第 3 のトランジスタを有し、
前記第 1 の絶縁体は、強誘電性を有しうる材料を有し、
前記第 3 のトランジスタは、第 8 の導電体と、前記第 8 の導電体上の前記第 1 の絶縁体と、前記第 1 の絶縁体上の第 2 の金属酸化物と、前記第 2 の金属酸化物上の第 5 の絶縁体と、前記第 5 の絶縁体上の第 9 の導電体と、前記第 2 の金属酸化物の上面の一部および側面の一部を覆う前記第 6 の導電体と、を有し、
前記第 6 の導電体は、前記第 1 の絶縁体の上面と接する領域を有し、
前記第 7 の導電体は、前記第 1 の絶縁体の下面と接する領域を有し、
前記第 8 の導電体は、前記第 1 の絶縁体の下面と接する領域を有し、
前記第 1 の絶縁体は、前記第 2 の金属酸化物と重畳する領域と、前記第 7 の導電体と重畳する領域と、を有する半導体装置。

[請求項 9]

請求項 8 において、
前記第 7 の導電体と、前記第 8 の導電体は、窒化チタンを有する半導体装置。

[請求項 10]

請求項 1 において、
順に積層された複数の記憶層を有し、
前記複数の記憶層のそれぞれは、前記第 1 のトランジスタ、前記第 2 のトランジスタ、および前記容量を有し、
前記複数の記憶層のそれぞれが有する前記第 2 のトランジスタの前記第 5 の導電体は、互いに電氣的に接続される半導体装置。

図 1A

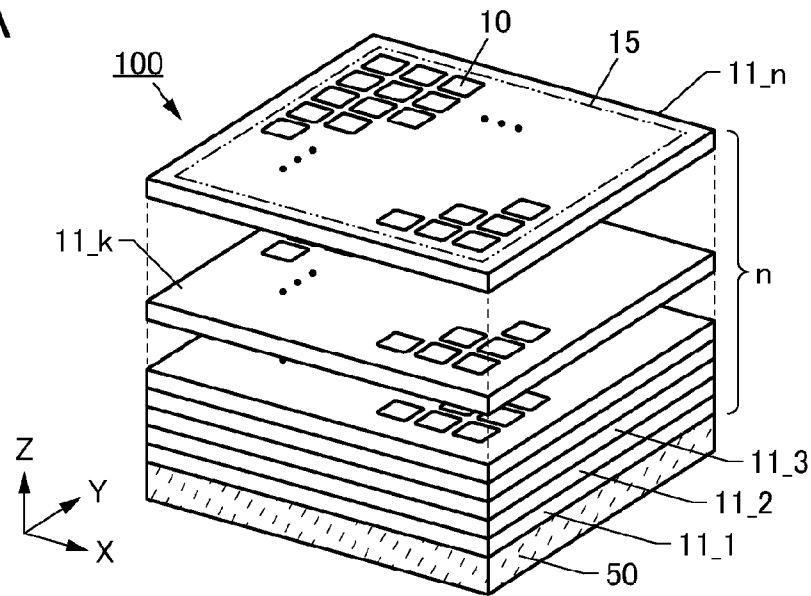


図 1B

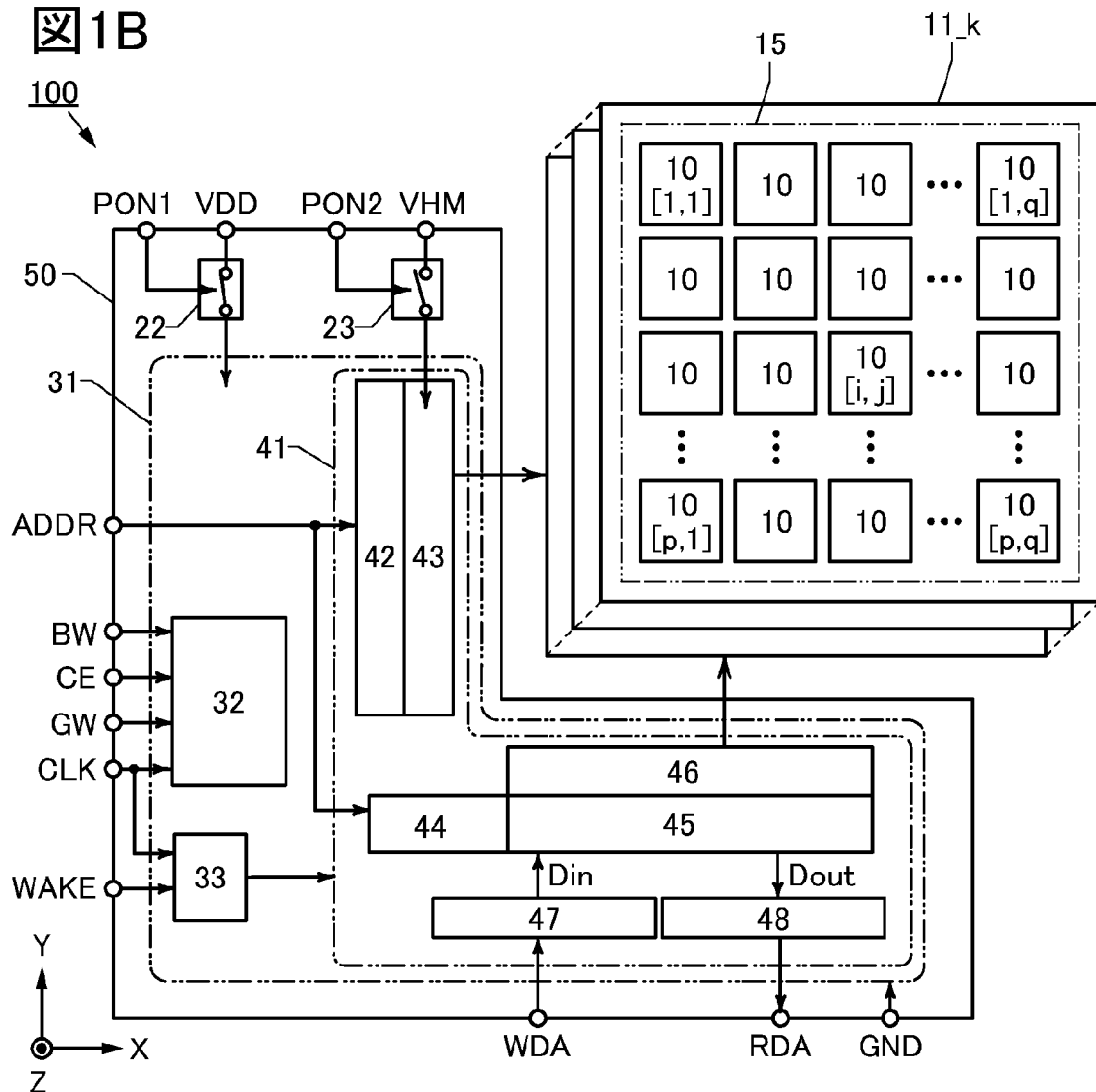


図2A

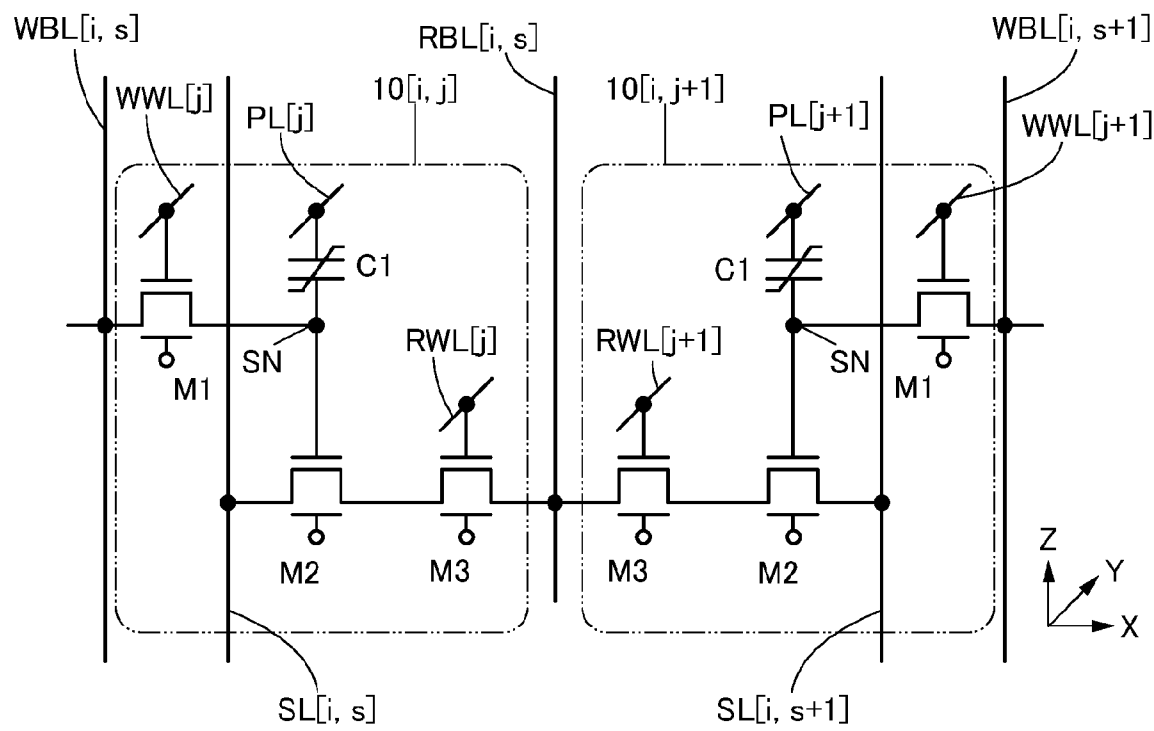


図2B

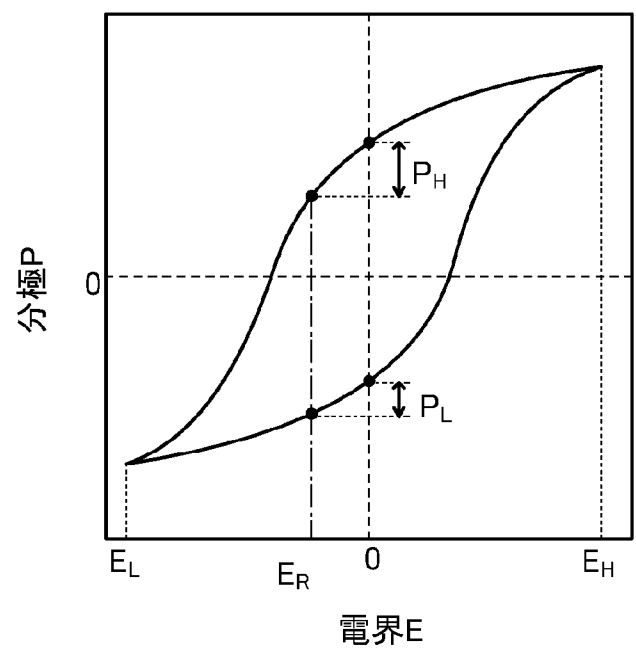


図3A

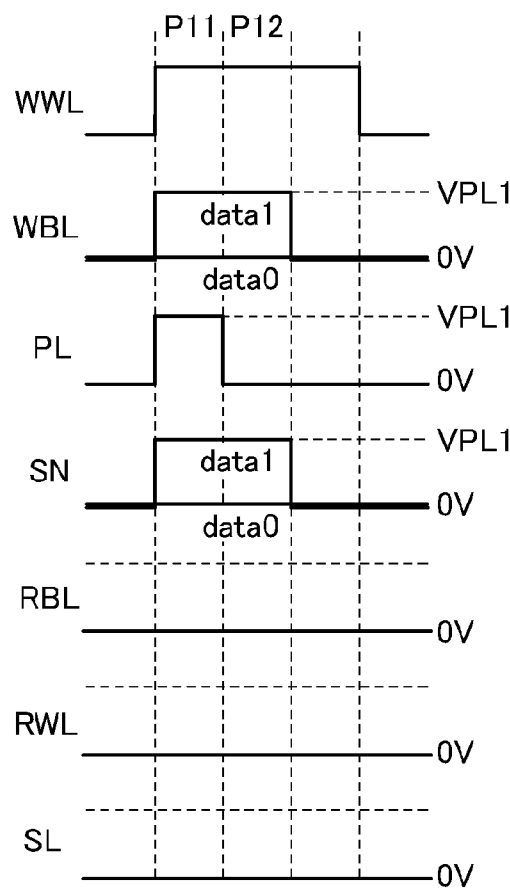


図3B

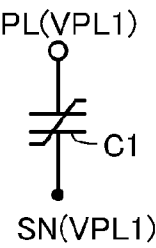


図3C

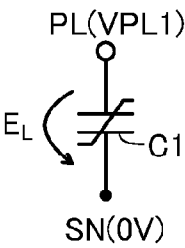


図3D

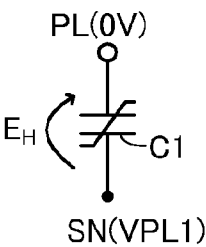


図3E

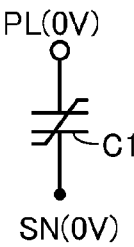


図4

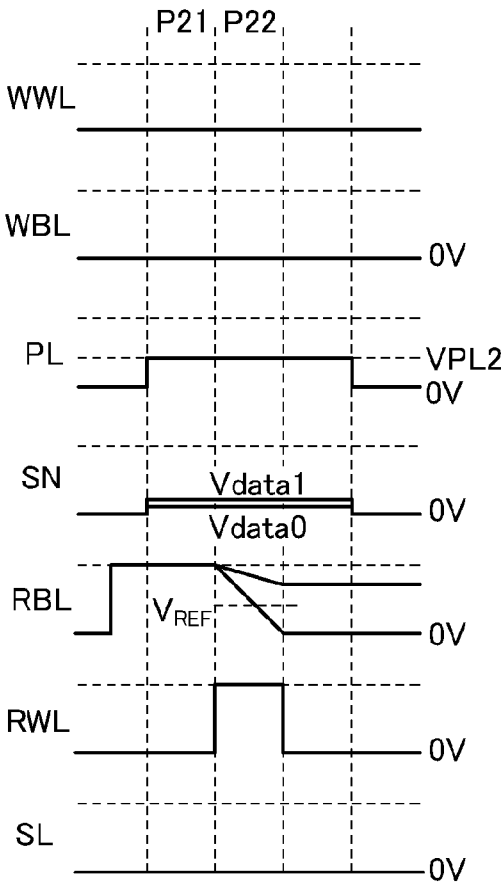


図5A

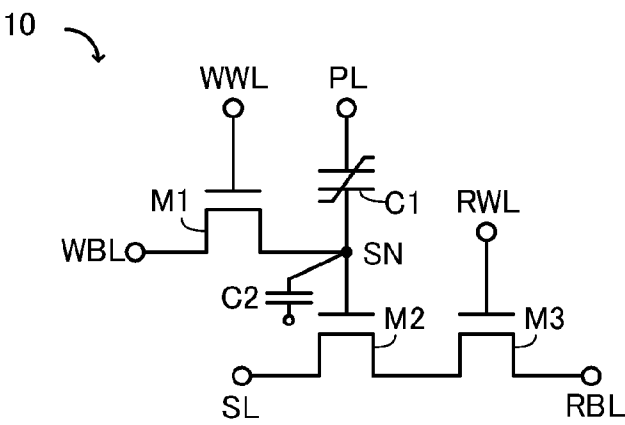


図5B

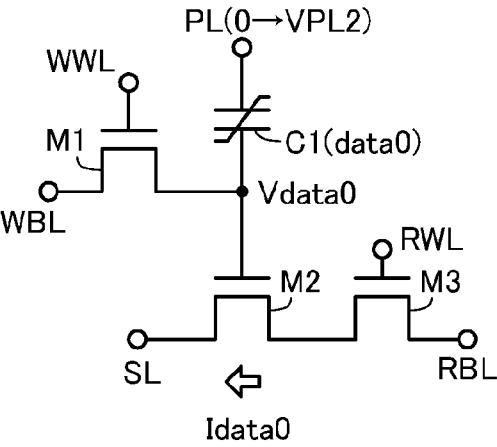


図5C

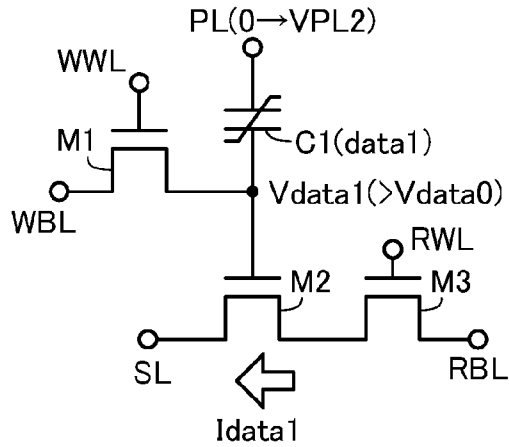


図6A

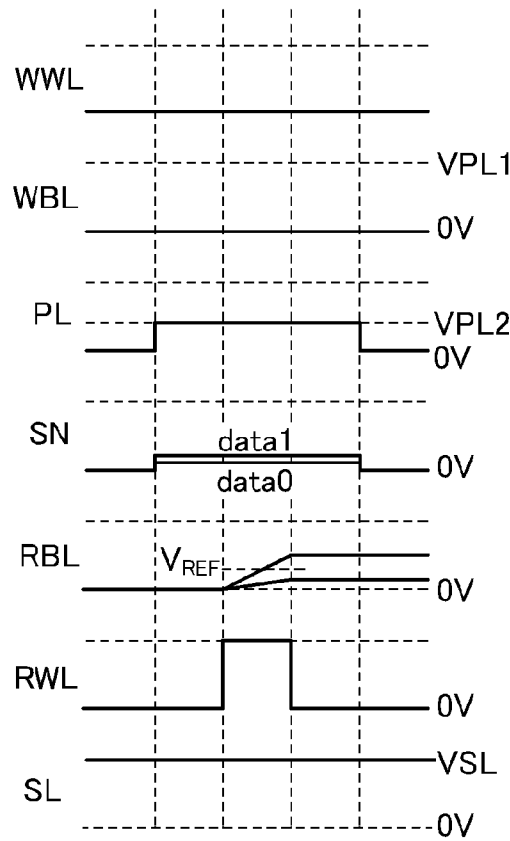


図6B

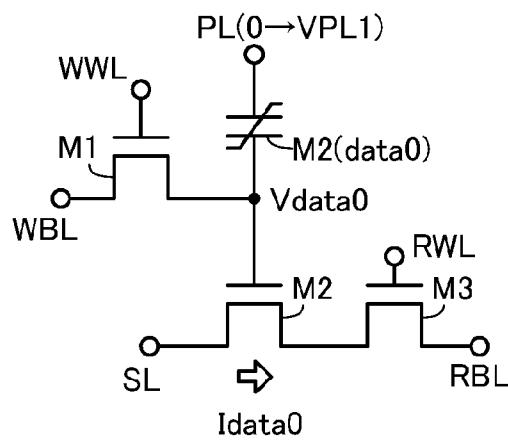


図6C

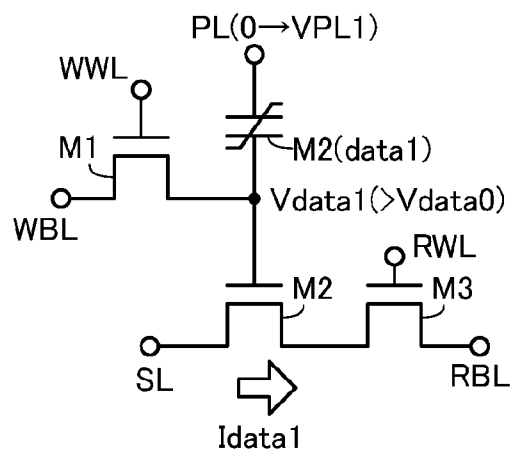


図 7

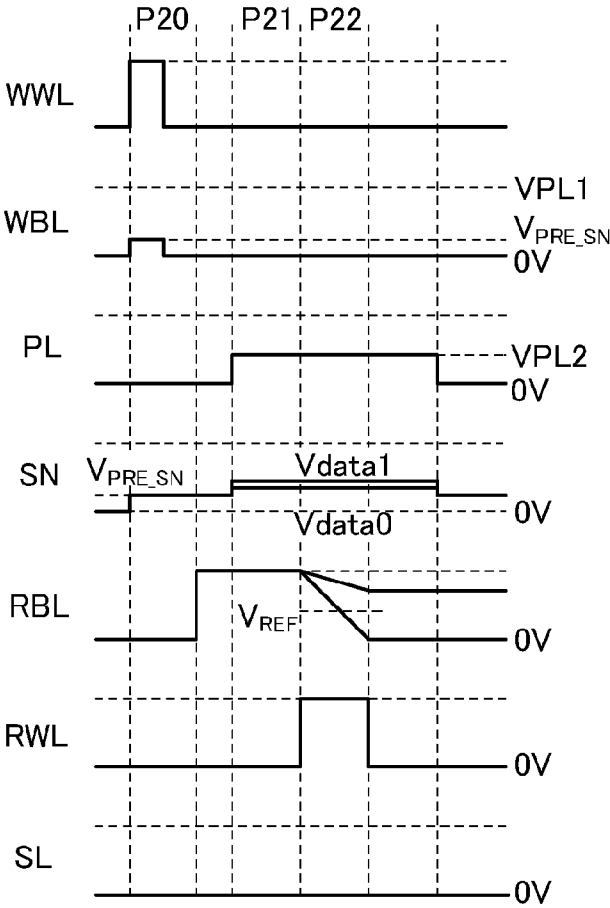


图8

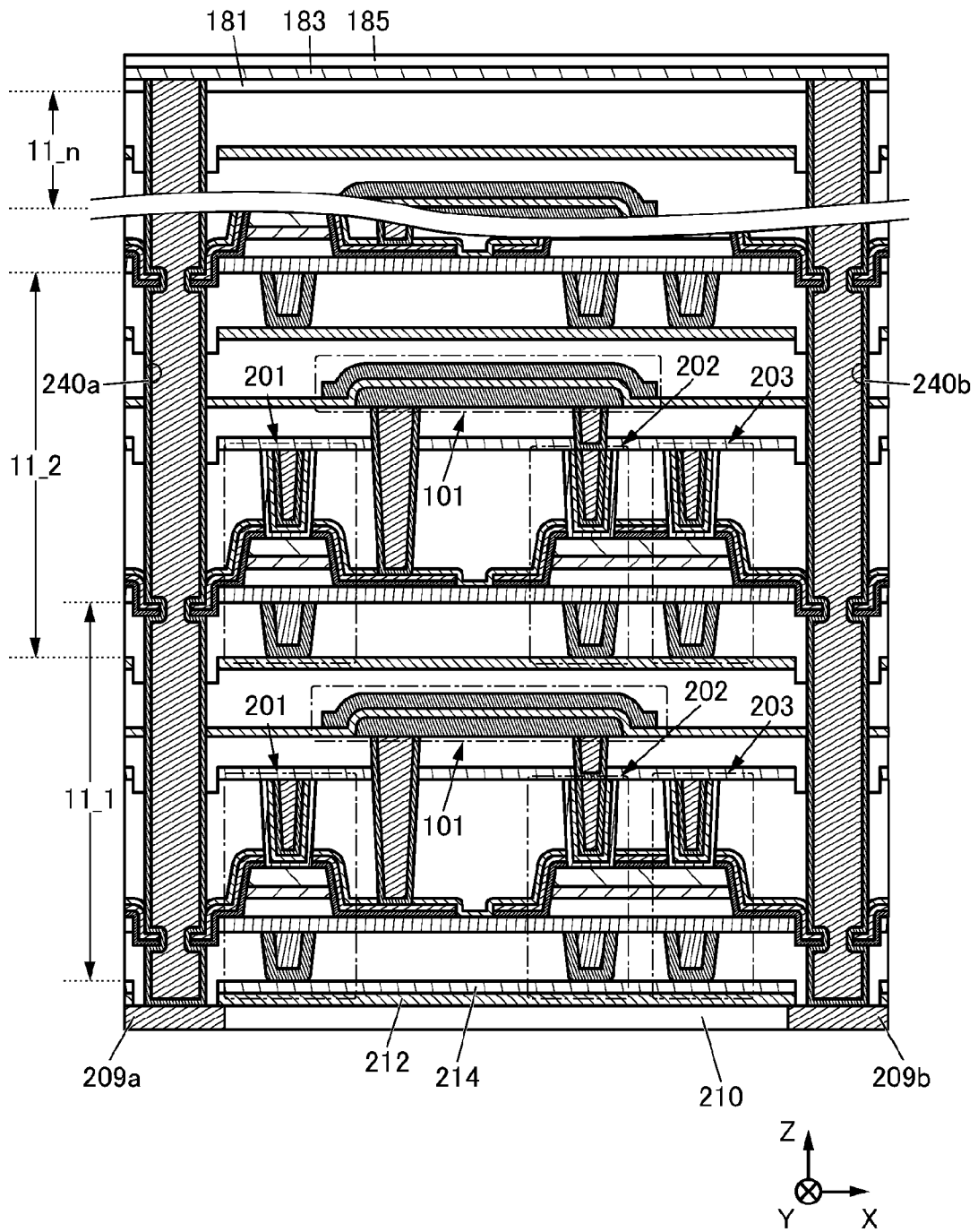


図9

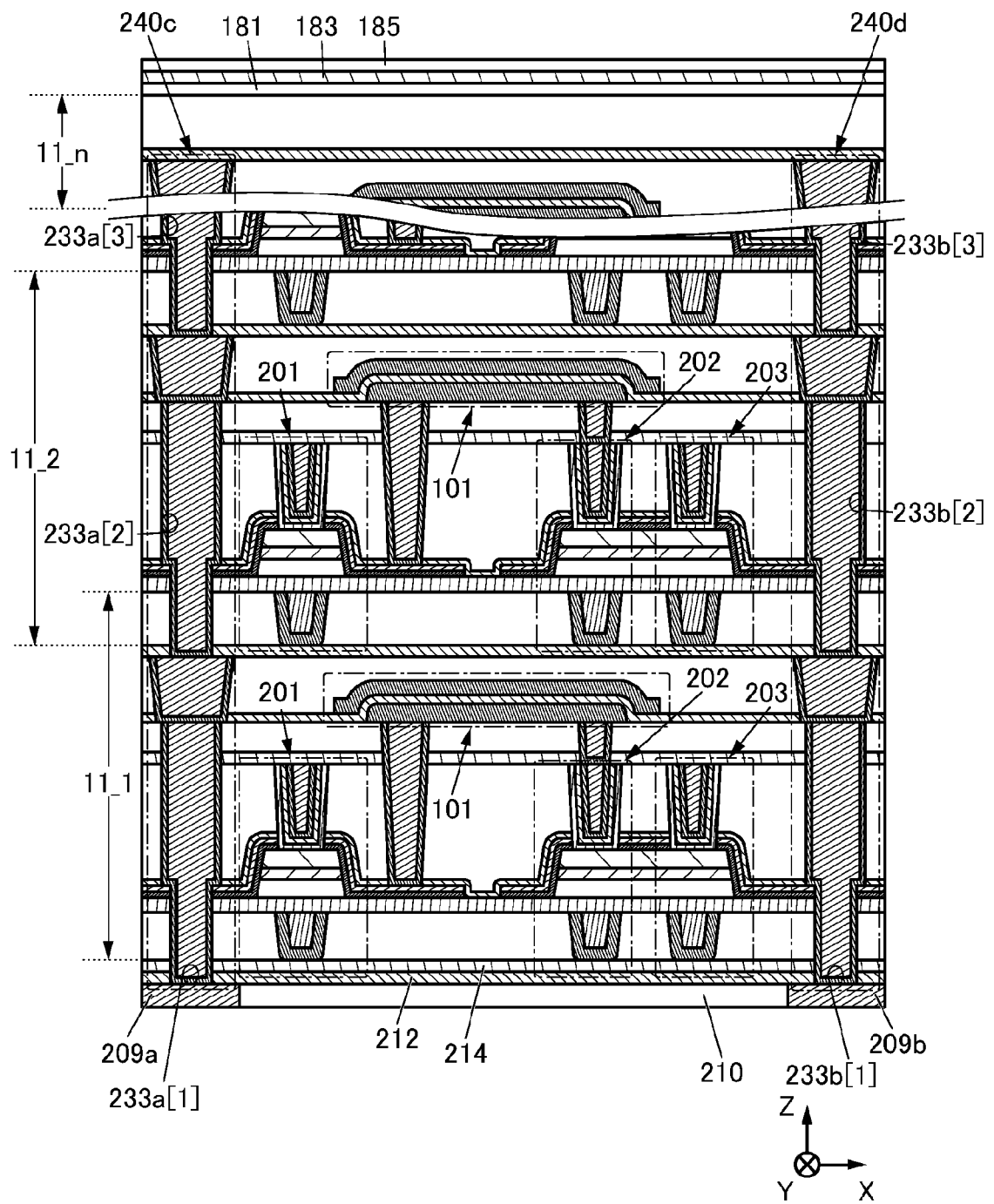


図10A

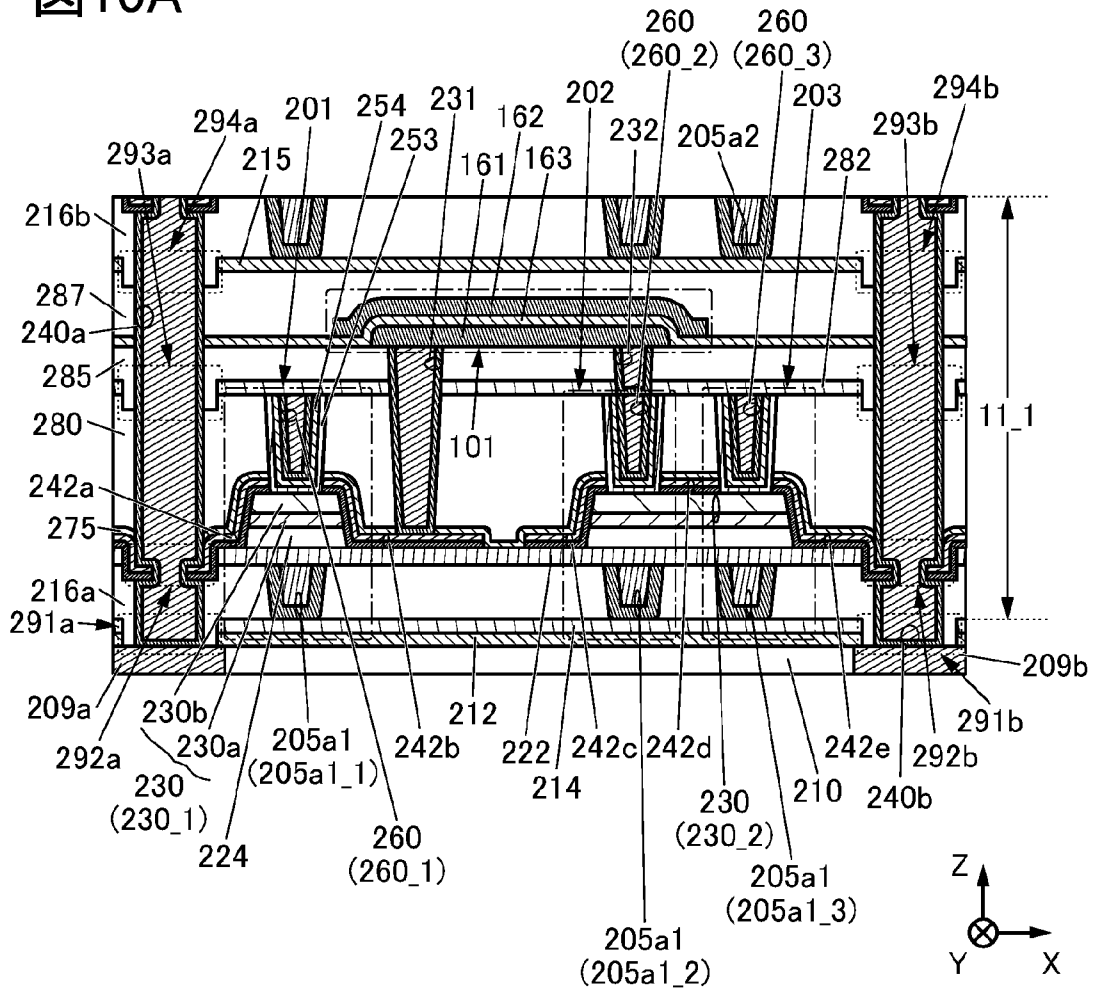


図10B

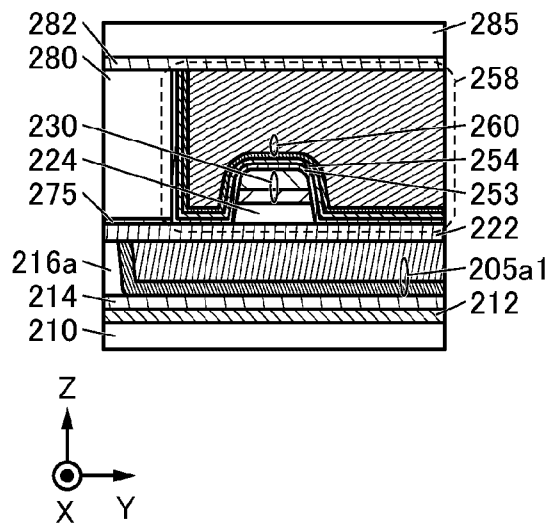


图 11

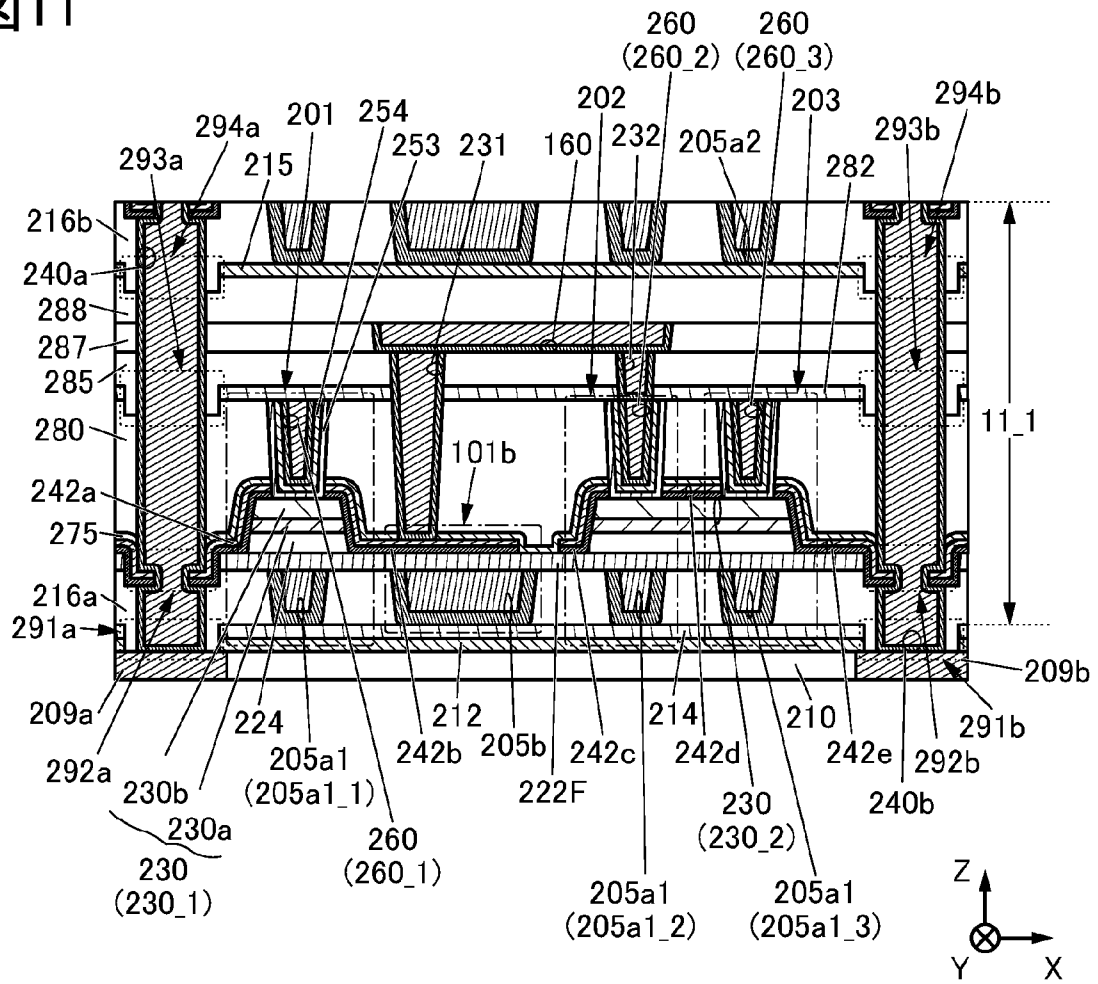


図12

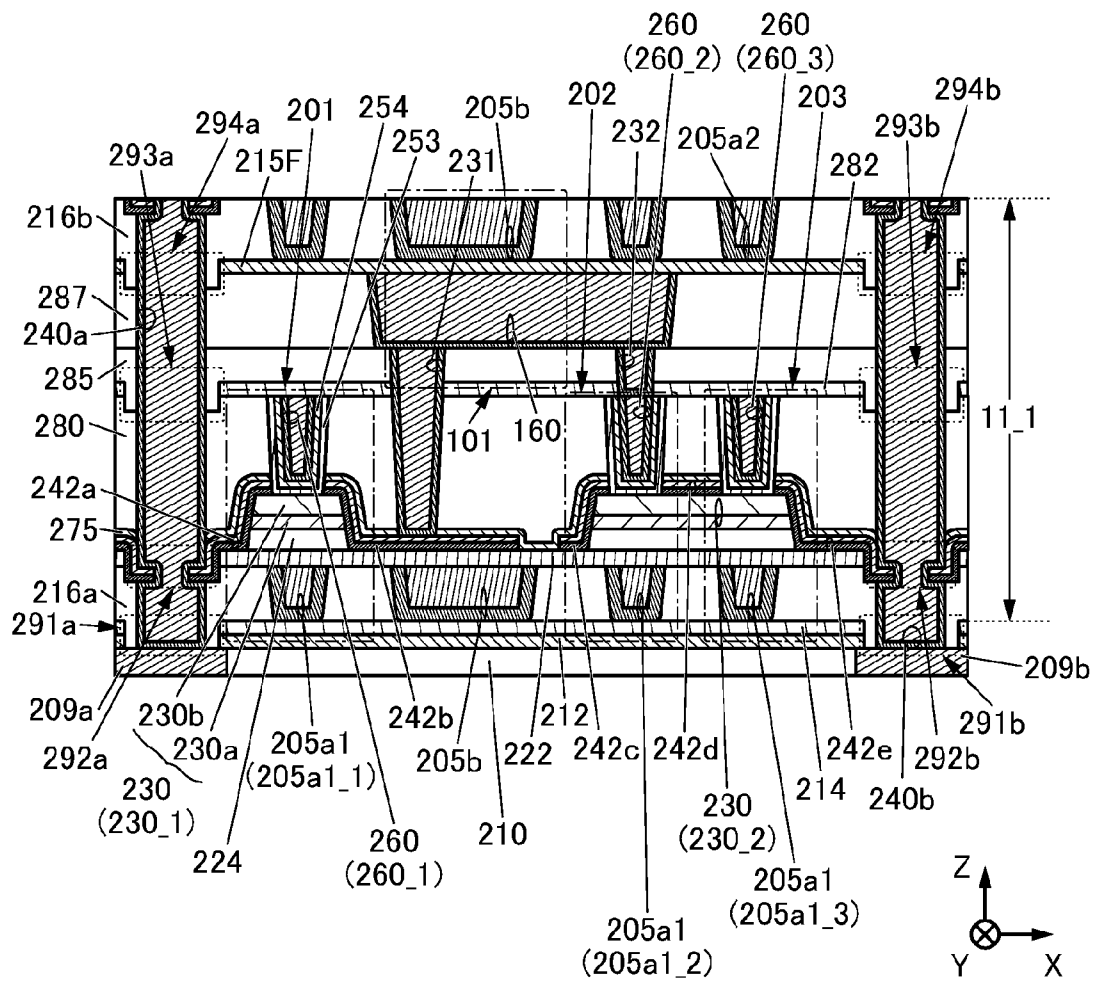


图 13

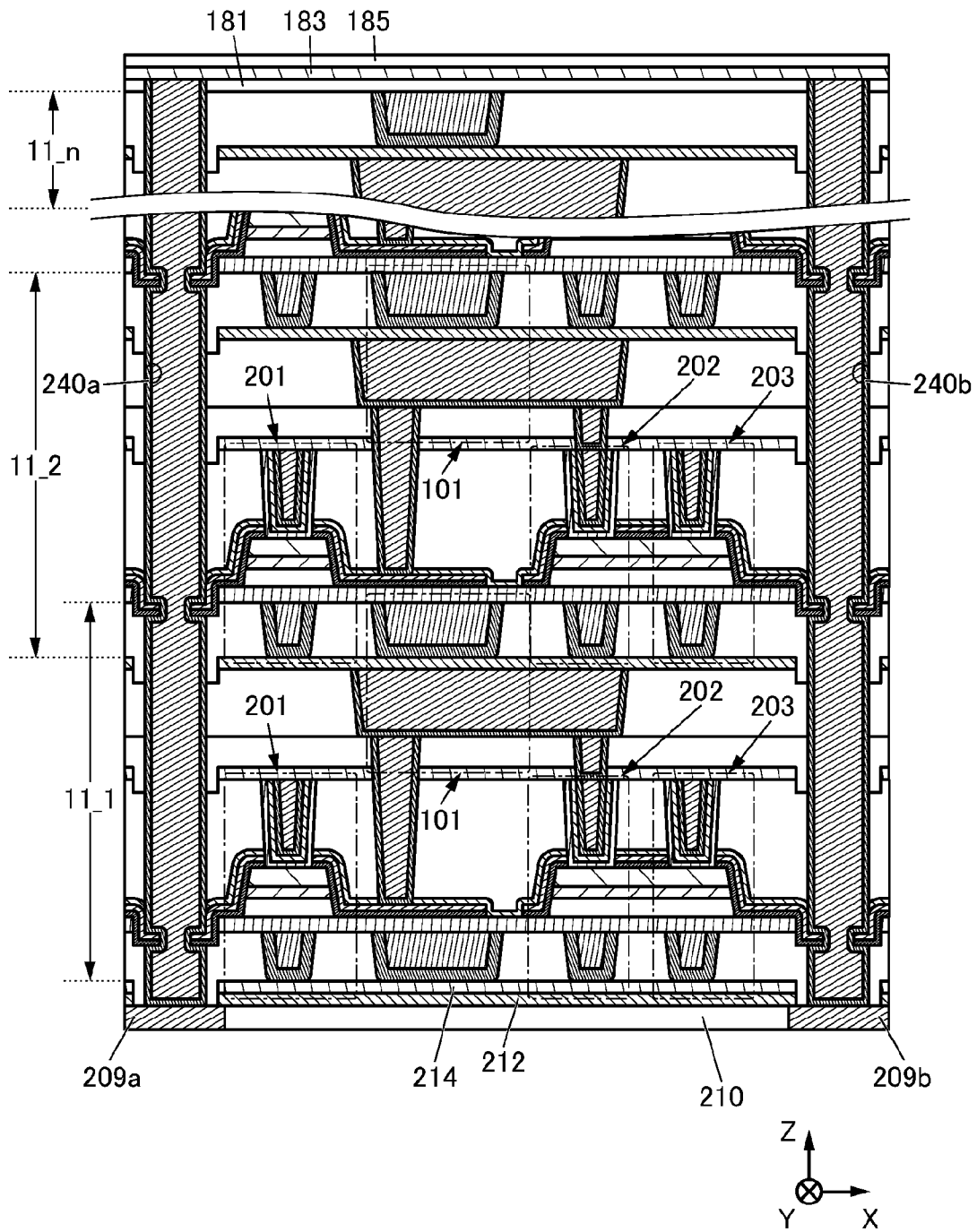


図14

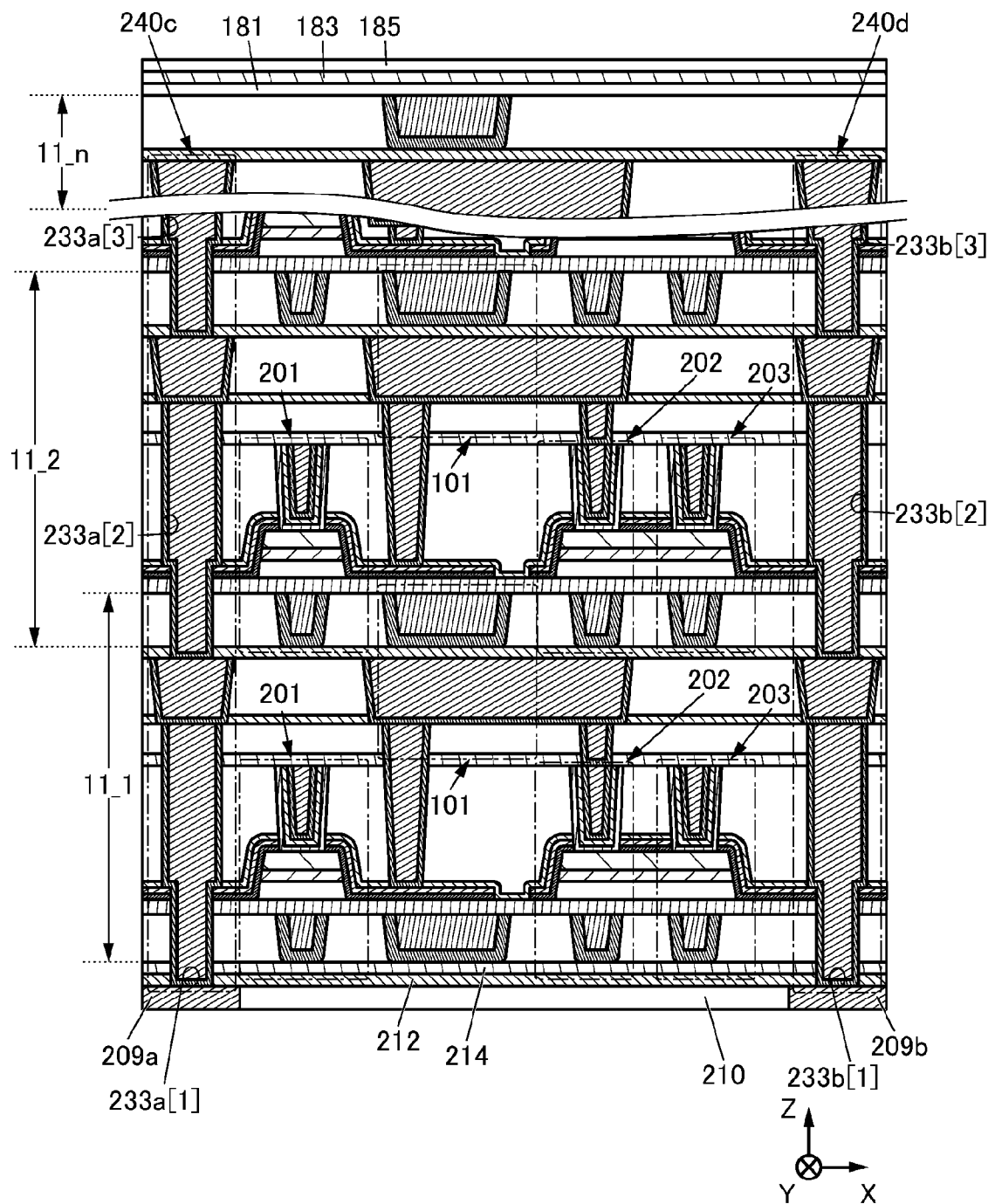


図 15

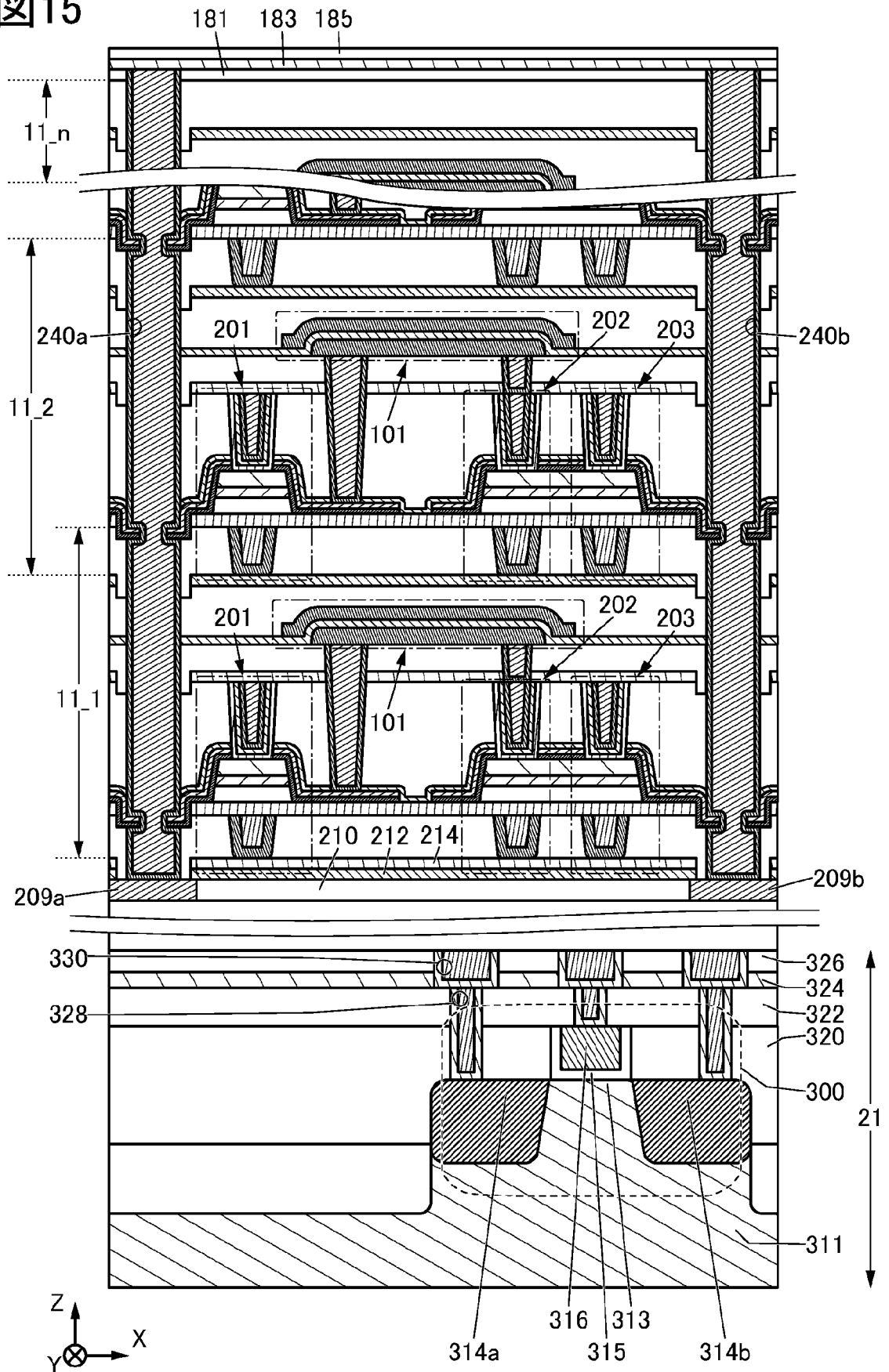


図16A

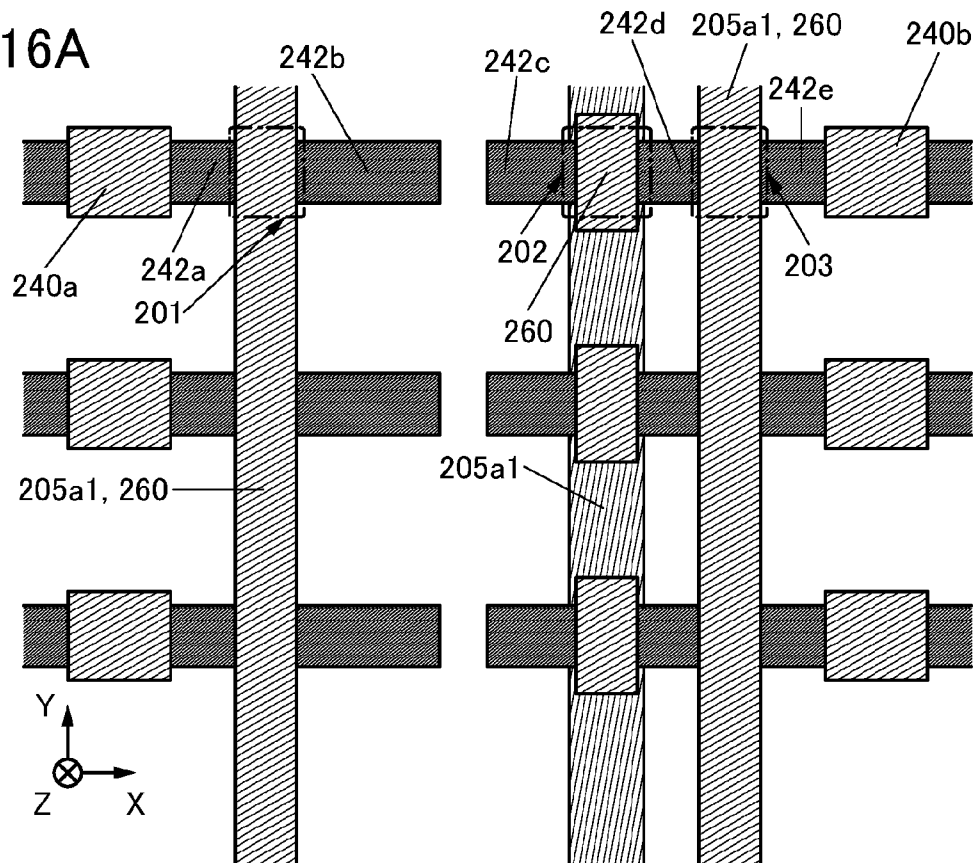


図16B

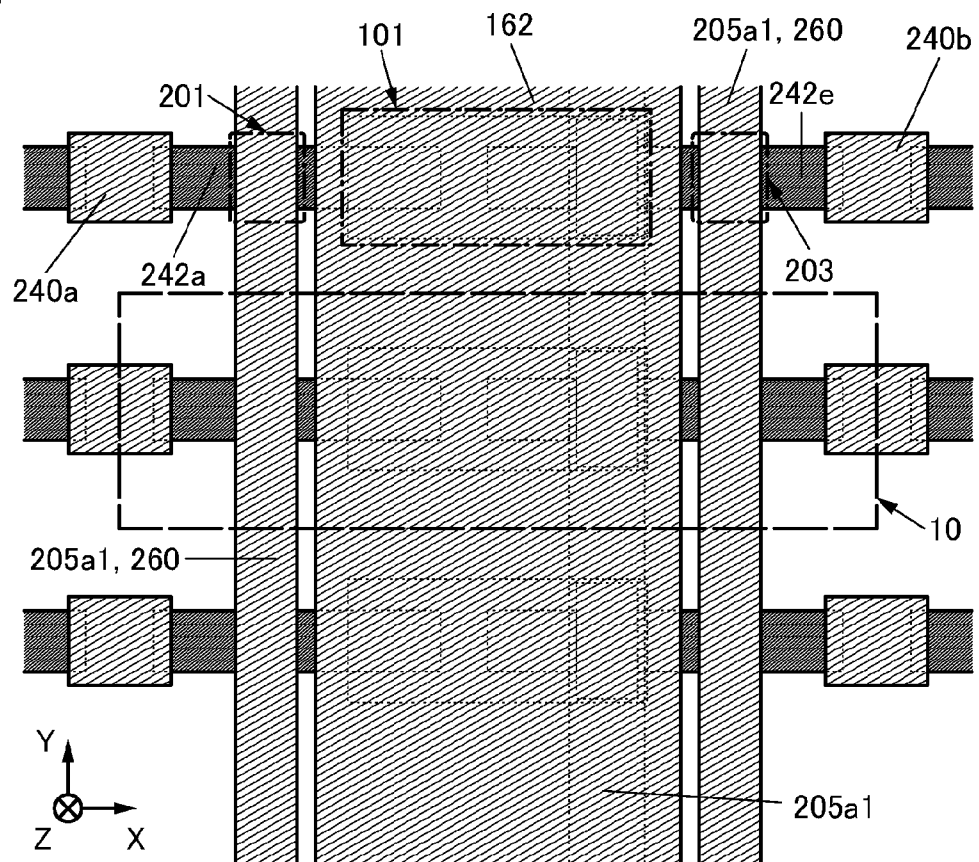


図17A

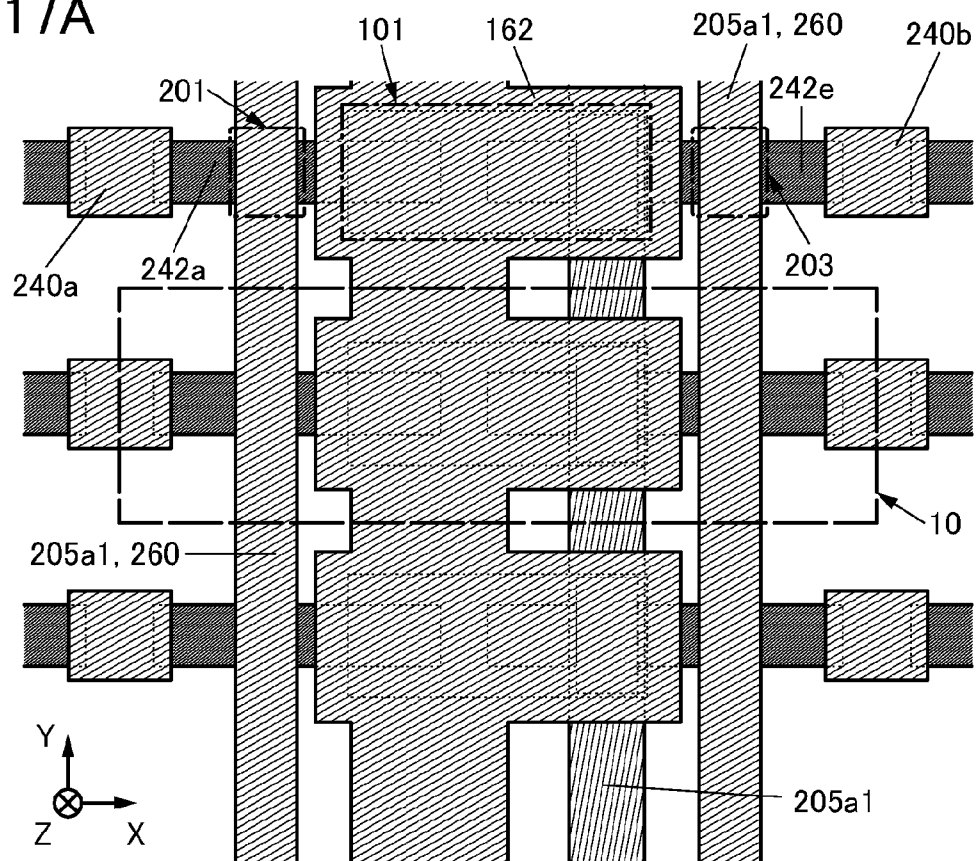


図17B

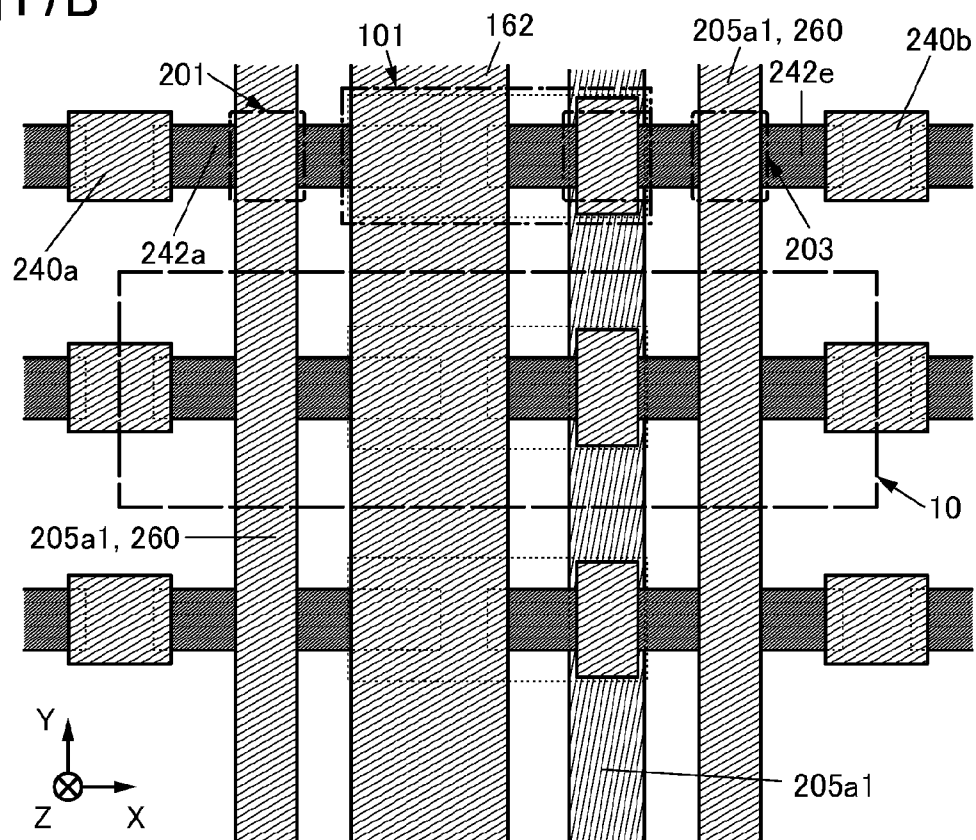


图 18A

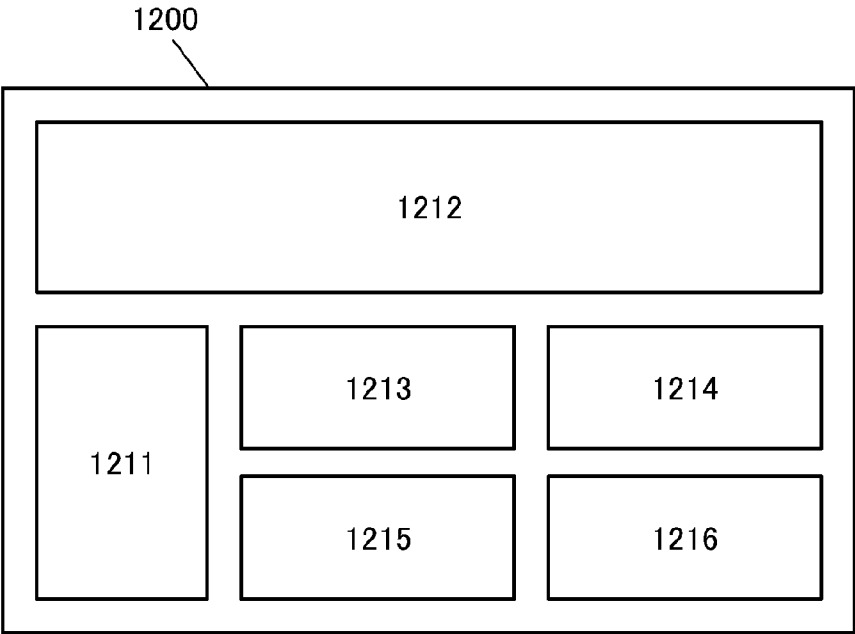


图 18B

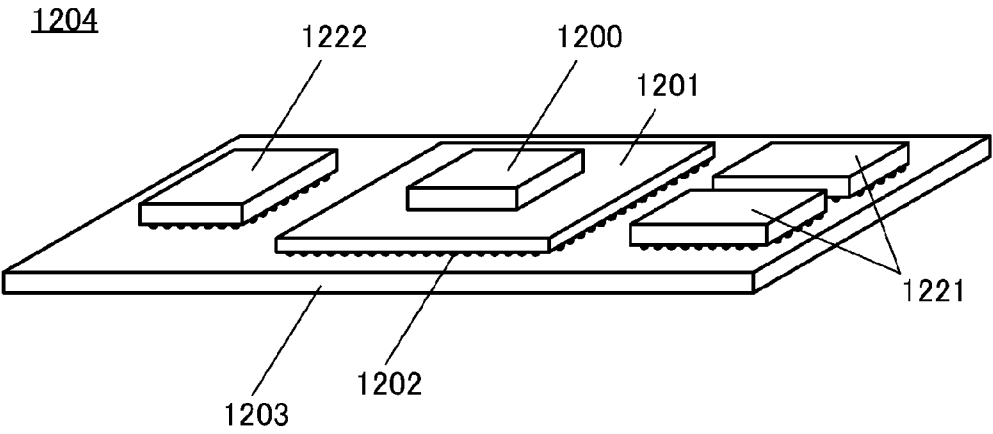


図19A

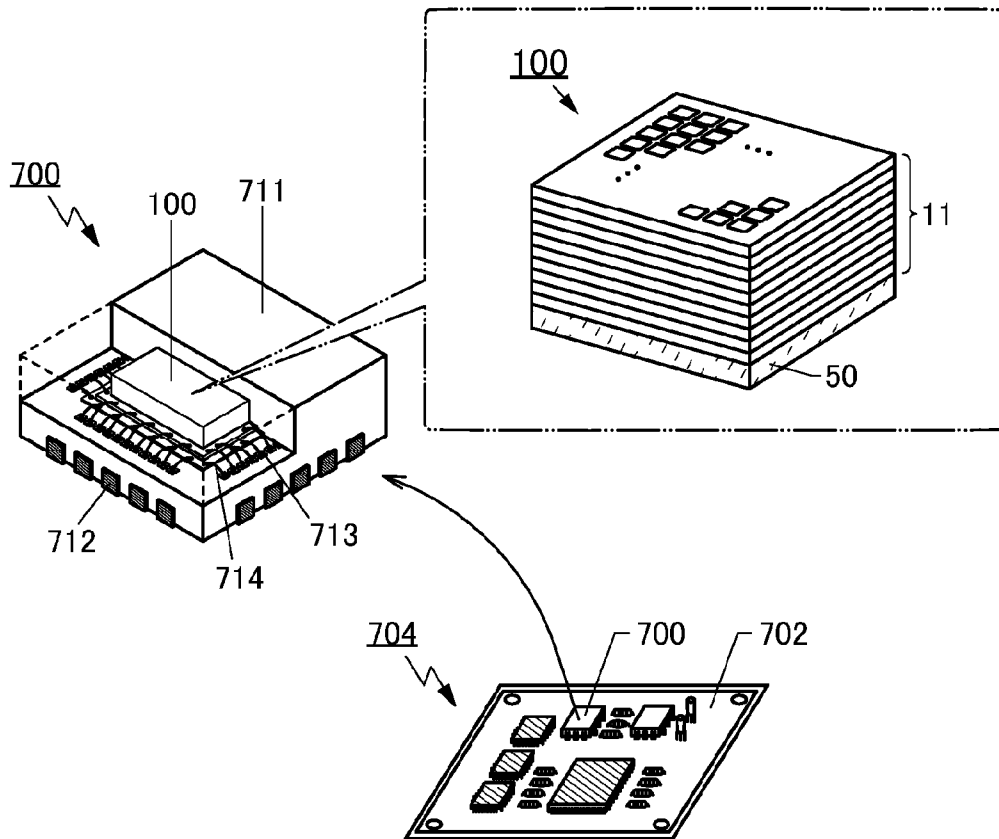


図19B

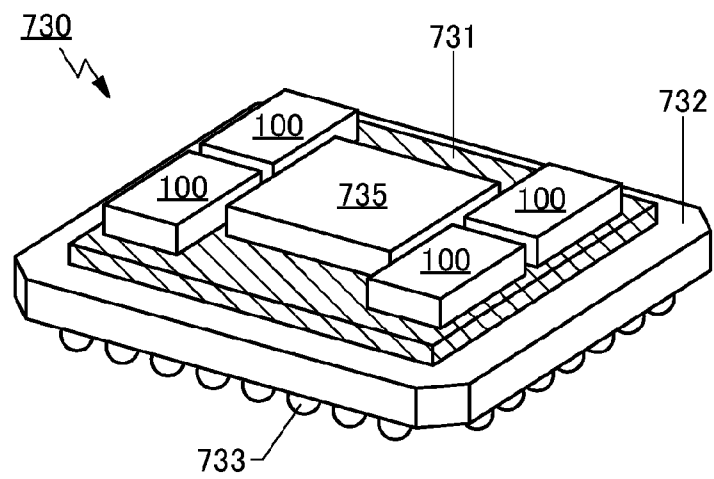


図20A

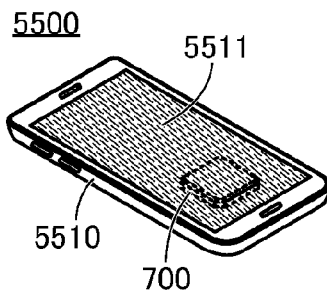


図20B

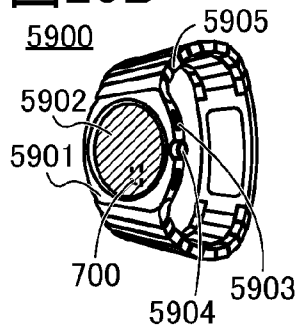


図20C

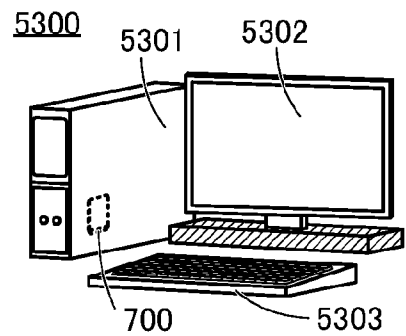


図20D

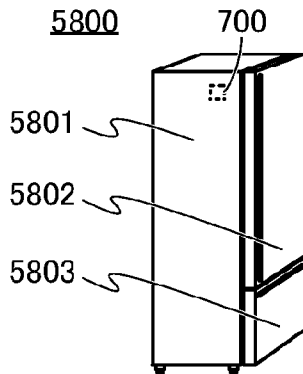


図20E

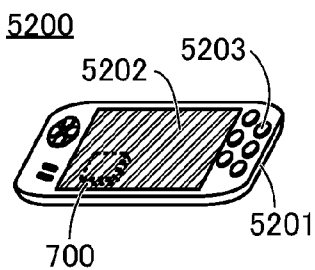


図20F

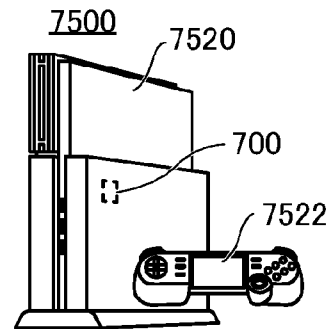


図20G

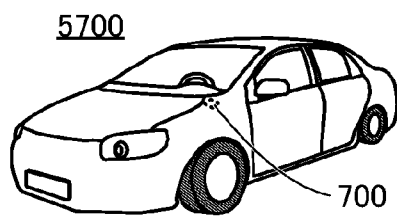


図20H

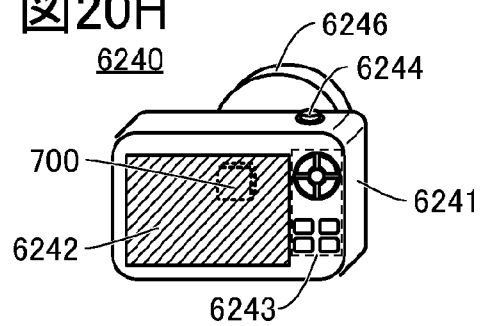


図20I

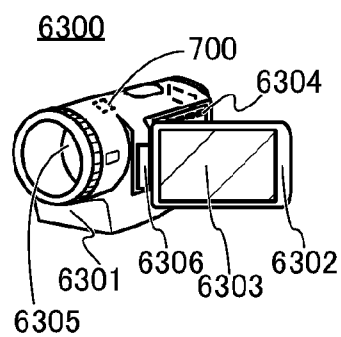


図20J

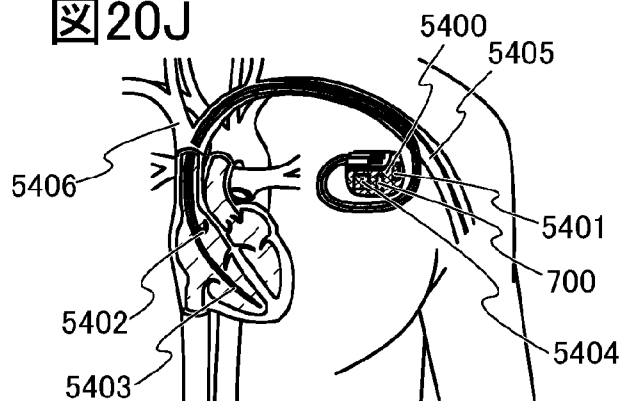


図21A

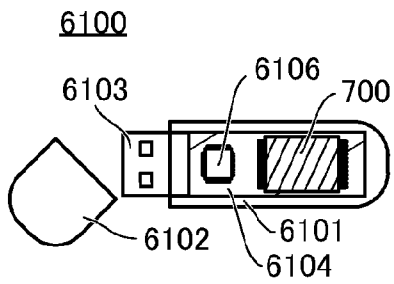


図21B

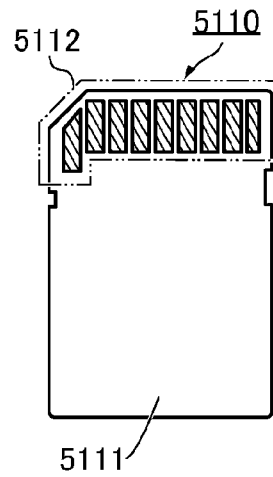


図21C

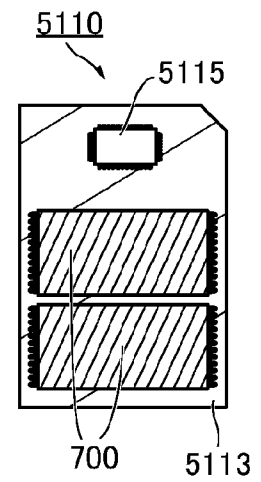


図21D

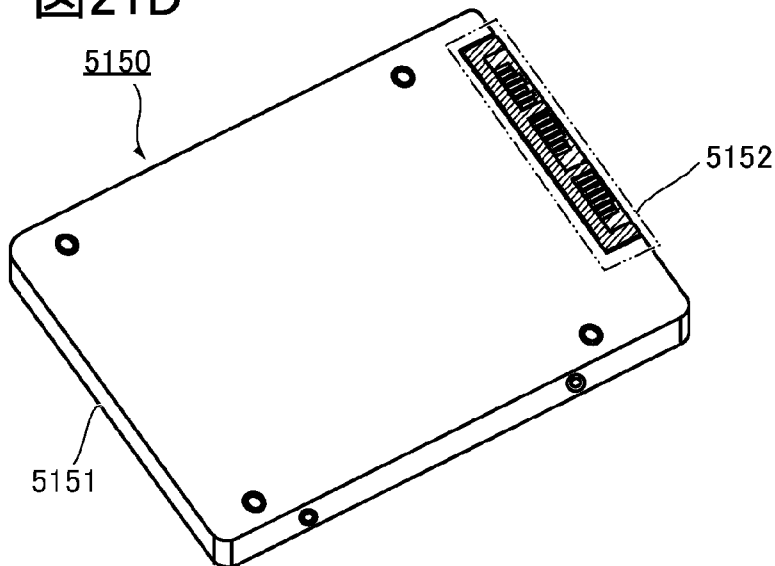
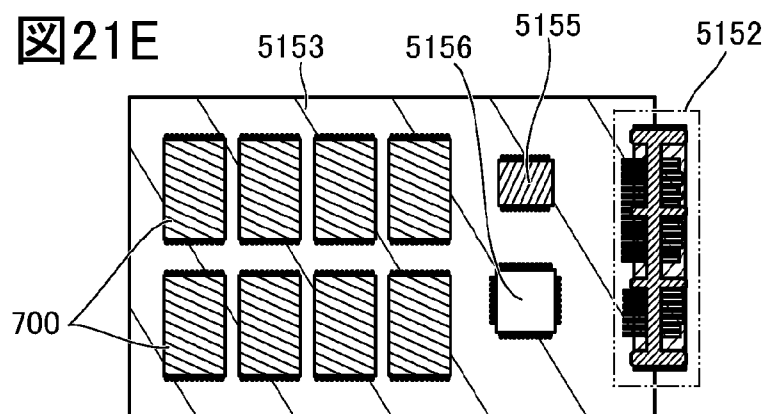


図21E



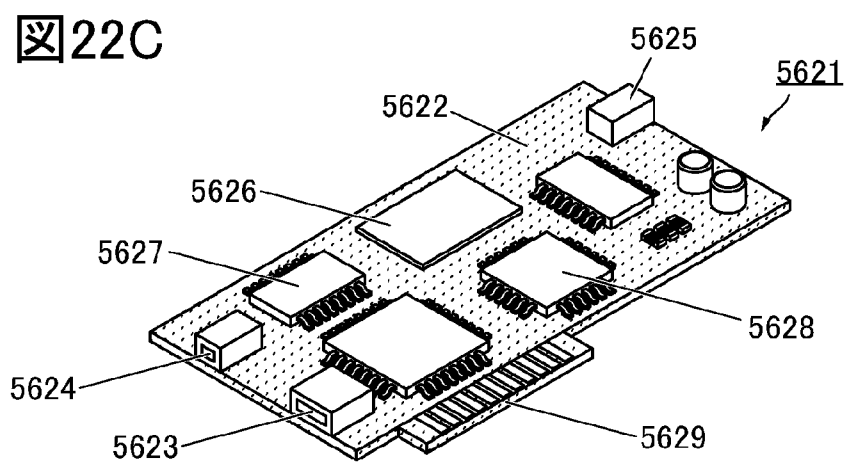
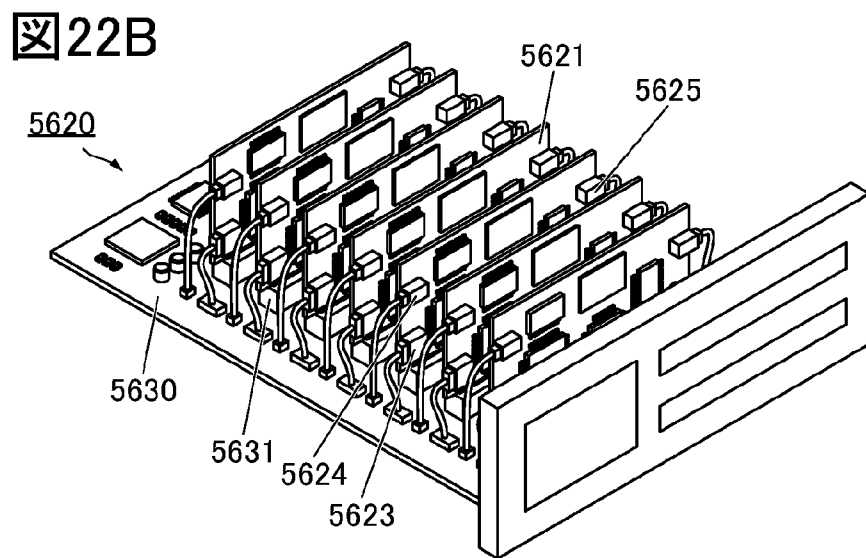
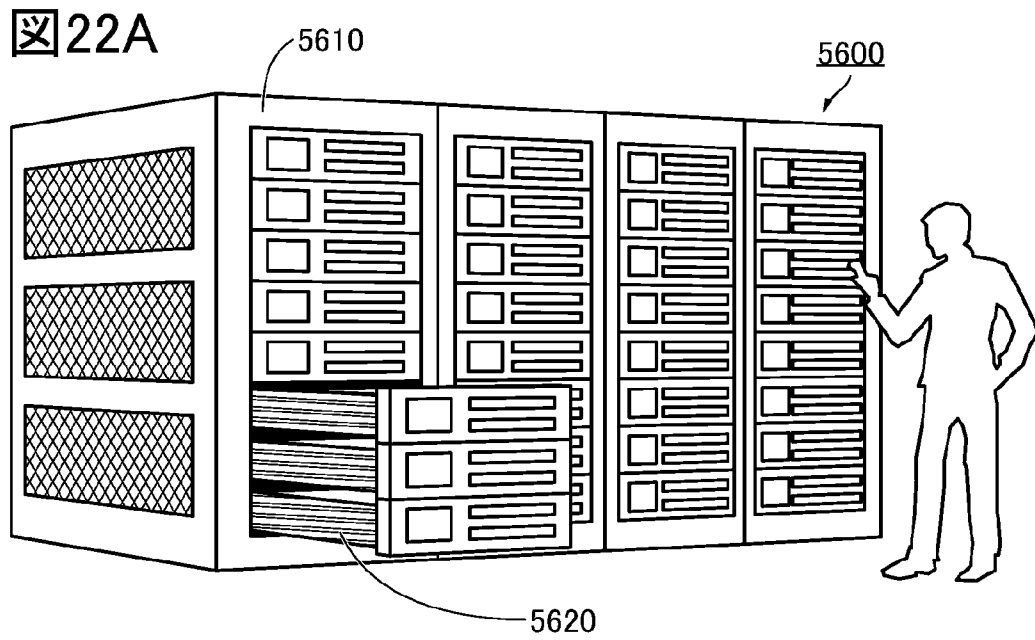
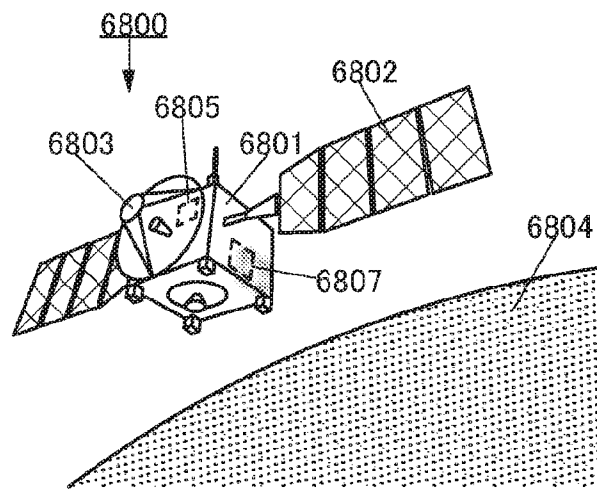


图23



INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2023/051253

A. CLASSIFICATION OF SUBJECT MATTER

H10B 41/70(2023.01)i; **G11C 11/22**(2006.01)i; **H01L 21/336**(2006.01)i; **H01L 29/788**(2006.01)i; **H01L 29/792**(2006.01)i
 FI: H10B41/70; G11C11/22 110; G11C11/22 120; H01L29/78 371

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H10B41/70; G11C11/22; H01L21/336; H01L29/788; H01L29/792

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2023
 Registered utility model specifications of Japan 1996-2023
 Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2015-222807 A (SEMICONDUCTOR ENERGY LAB CO LTD) 10 December 2015 (2015-12-10) paragraphs [0055], [0094], [0096], [0098], [0131], [0139], [0183], fig. 1-36	1-7, 10
A		8, 9
Y	JP 2019-29666 A (SEMICONDUCTOR ENERGY LAB CO LTD) 21 February 2019 (2019-02-21) paragraphs [0049], [0070], [0140], [0258], fig. 1-37	1-7, 10
A	WO 2021/229373 A1 (SEMICONDUCTOR ENERGY LAB CO LTD) 18 November 2021 (2021-11-18) paragraph [0607], fig. 1-42	1-10

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

19 April 2023

Date of mailing of the international search report

09 May 2023

Name and mailing address of the ISA/JP

**Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan**

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/IB2023/051253

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2015-222807	A	10 December 2015	US 2015/0263007 A1 paragraphs [0108], [0147], [0149], [0151], [0184], [0192], [0236], fig. 1-36 WO 2015/136412 A1	
JP	2019-29666	A	21 February 2019	US 2020/0144310 A1 paragraphs [0087], [0108], [0178], [0296], fig. 1-37 WO 2019/021098 A1	
WO	2021/229373	A1	18 November 2021	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H10B 41/70(2023.01)i; G11C 11/22(2006.01)i; H01L 21/336(2006.01)i; H01L 29/788(2006.01)i; H01L 29/792(2006.01)i FI: H10B41/70; G11C11/22 110; G11C11/22 120; H01L29/78 371		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H10B41/70; G11C11/22; H01L21/336; H01L29/788; H01L29/792		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2023年 日本国実用新案登録公報 1996-2023年 日本国登録実用新案公報 1994-2023年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2015-222807 A（株式会社半導体エネルギー研究所）10.12.2015（2015-12-10） 段落0055, 0094, 0096, 0098, 0131, 0139, 0183, 図1-36	1-7, 10
A		8, 9
Y	JP 2019-29666 A（株式会社半導体エネルギー研究所）21.02.2019（2019-02-21） 段落0049, 0070, 0140, 0258, 図1-37	1-7, 10
A	WO 2021/229373 A1（株式会社半導体エネルギー研究所）18.11.2021（2021-11-18） 段落0607, 図1-42	1-10
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 19.04.2023		国際調査報告の発送日 09.05.2023
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 小山 満 5F 9458 電話番号 03-3581-1101 内線 3516

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/IB2023/051253

引用文献			公表日	パテントファミリー文献	公表日
JP	2015-222807	A	10.12.2015	US 2015/0263007 A1 段落 0108, 0147, 0149, 0151, 0184, 0192, 0236, 図1-36 WO 2015/136412 A1	
JP	2019-29666	A	21.02.2019	US 2020/0144310 A1 段落0087, 0108, 0178, 0296, 図1-37 WO 2019/021098 A1	
WO	2021/229373	A1	18.11.2021	(ファミリーなし)	