

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2025 年 6 月 5 日 (05.06.2025)



(10) 国际公布号
WO 2025/112896 A1

- (51) 国际专利分类号:
H10K 59/131 (2023.01) **H01L 23/60** (2006.01)
- (21) 国际申请号: PCT/CN2024/122583
- (22) 国际申请日: 2024 年 9 月 29 日 (29.09.2024)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
202311635363.8 2023 年 11 月 30 日 (30.11.2023) CN
- (71) 申请人: 京东方科技集团股份有限公司(**BOE TECHNOLOGY GROUP CO., LTD.**) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号 100015 (CN)。成都京东方光电科技有限公司(**CHENGDU BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.**) [CN/CN]; 中国四川省成都市高新区(西区)合作路 1188 号 611731 (CN)。
- (72) 发明人: 王梦奇(**WANG, Mengqi**); 中国北京市大兴区北京经济技术开发区地泽路 9 号 100176 (CN)。张跳梅(**ZHANG, Tiaomei**); 中国北京市大兴区北京经济技术开发区地泽路 9 号 100176 (CN)。

(CN)。于子阳(**YU, Ziyang**); 中国北京市大兴区北京经济技术开发区地泽路 9 号 100176 (CN)。蒋志亮(**JIANG, Zhiliang**); 中国北京市大兴区北京经济技术开发区地泽路 9 号 100176 (CN)。胡明(**HU, Ming**); 中国北京市大兴区北京经济技术开发区地泽路 9 号 100176 (CN)。邱海军(**QIU, Haijun**); 中国北京市大兴区北京经济技术开发区地泽路 9 号 100176 (CN)。

- (74) 代理人: 北京中博世达专利商标代理有限公司(**BEIJING ZBSD PATENT & TRADEMARK AGENT LTD.**); 中国北京市海淀区交大东路 31 号 11 号楼 8 层 100044 (CN)。
- (81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD,

(54) **Title:** ARRAY SUBSTRATE, DISPLAY PANEL, AND DISPLAY DEVICE

(54) 发明名称: 阵列基板、显示面板及显示装置

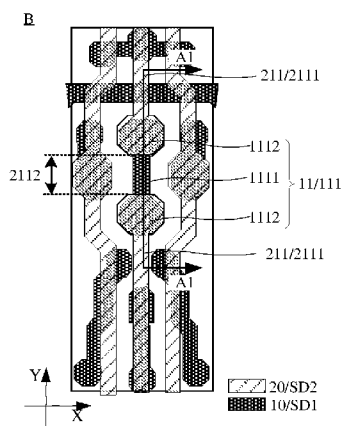


图 5

(57) **Abstract:** An array substrate, comprising a base, a plurality of pixel circuits, a first conductive layer, and a second conductive layer. The plurality of pixel circuits are arranged on the base, and the plurality of pixel circuits are arranged in multiple rows and multiple columns. The first conductive layer comprises a plurality of conductive patterns, the plurality of conductive patterns are spaced apart from the plurality of pixel circuits, and each conductive pattern comprises at least two contact parts which are spaced apart. The second conductive layer is arranged on the side of the first conductive layer distant from the base. The second conductive layer comprises a plurality of first signal lines, and the plurality of first signal lines are spaced apart in a first direction and all extend in a second direction. One first signal line is electrically connected to at least one conductive pattern, and the first signal line is connected to at least two contact parts of the conductive pattern.

(57) 摘要: 一种阵列基板, 所述阵列基板包括衬底、多个像素电路、第一导电层和第二导电层。多个像素电路设置于衬底上, 且多个像素电路排列为多行和多列。第一导电层包括多个导电图案, 多个导电图案与多个像素电路具有间隔, 导电图案包括至少两个间隔设置的接触部。第二导电层设置于第一导电层远离衬底的一侧。第二导电层包括多条第一信号线, 多条第一信号线沿第一方向间隔排布, 且均沿第二方向延伸; 一条第一信号线与至少一个导电图案电连接, 且第一信号线与导电图案的至少两个接触部连接。

SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ,
UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚
(AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR,
HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO,
PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN,
TD, TG)。

本国际公布:

- 包括国际检索报告(条约第21条(3))。

阵列基板、显示面板及显示装置

本申请要求于 2023 年 11 月 30 日提交的、申请号为 202311635363.8 的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本公开涉及显示技术领域，尤其涉及一种阵列基板、显示面板及显示装置。

背景技术

有机发光二极管 (Organic Light-Emitting Diode; 简称: OLED) 显示面板凭借其自发光、不需背光源、对比度高、厚度薄、视角广、反应速度快、可用于柔性面板、使用温度范围广、构造及制程较简单等优异性能，逐渐成为显示领域的主流产品之一，OLED 显示面板可广泛应用于智能手机、平板电脑、电视和可穿戴设备（比如手表）等终端产品中。

OLED 显示面板包括阵列基板以及设置于阵列基板上的发光器件。阵列基板包括多条信号线，信号线用于为阵列基板传输相应的控制信号，以驱动显示面板进行图像显示。如何避免信号线上发生静电积累，是显示面板中亟需解决的一个技术问题。

发明内容

一方面，提供一种阵列基板。所述阵列基板包括衬底、多个像素电路、第一导电层和第二导电层。所述多个像素电路设置于所述衬底上，且所述多个像素电路排列为多行和多列。所述第一导电层包括多个导电图案，所述多个导电图案与所述多个像素电路具有间隔，且所述像素电路包括至少两个间隔设置的接触部。所述第二导电层设置于所述第一导电层远离所述衬底的一侧。所述第二导电层包括多条第一信号线，所述多条第一信号线沿第一方向间隔排布，且均沿第二方向延伸；一条所述第一信号线与至少一个导电图案电连接，且所述第一信号线与所述导电图案的至少两个接触部连接。所述第一方向为所述多个像素电路排列的行方向，所述第二方向为所述多个像素电路排列的列方向。

在一些实施例中，所述第一导电层还包括多条第一连接线，所述多条第一连接线沿所述第二方向间隔排布，且均沿所述第一方向延伸。所述第二导电层还包括多条数据线，一条数据线与一列像素电路电连接；所述多条数据线包括多条第一数据线和多条第二数据线，所述多条第一数据线分别位于所述多条第二数据线的两侧；一条第一数据线与一条第一连接线连接。所述多条第一信号线包括多条扇出线，一条扇出线与一条第一连接线电连接。所述多个导电图案包括多个第一导电图案，所述扇出线与至少一个第一导电图案电连接。

在一些实施例中，所述扇出线包括沿所述第二方向间隔设置的多个扇出子线，相邻两个扇出子线的相互靠近的两端，与同一个第一导电图案电连接。

在一些实施例中，所述第一导电图案包括延伸部和两个接触部，所述延伸部沿所述第

二方向延伸，所述两个接触部分别与所述延伸部沿所述第二方向的两端连接，所述接触部沿所述第一方向的尺寸大于所述延伸部沿所述第一方向的尺寸。相邻两个扇出子线之间具有开口，相邻两个扇出子线的相互靠近的两端，分别与同一个第一导电图案的两个接触部电连接。

在一些实施例中，所述扇出线沿所述第二方向连续；所述第一导电图案包括沿所述第二方向交替连接的多个接触部和至少一个延伸部，所述延伸部沿所述第二方向延伸，所述接触部沿所述第一方向的尺寸大于所述延伸部沿所述第一方向的尺寸。所述扇出线与所述第一导电图案的多个接触部电连接。

在一些实施例中，所述多个第一导电图案沿所述第一方向排列为多列，每列包括沿所述第二方向排列的多个第一导电图案。一条扇出线与一列的多个第一导电图案电连接。

在一些实施例中，沿所述第二方向，所述多个第一导电图案均匀排布。所述像素电路的排布密度，为所述第一导电图案的排布密度的整数倍。

在一些实施例中，所述阵列基板包括显示区和围绕所述显示区的周边区，所述多个像素电路设置于所述显示区。所述阵列基板还包括第一电源总线，所述第一电源总线位于所述周边区，被配置为与发光器件的阴极电连接。所述多条第一信号线还包括多条第一电源信号线，沿所述第二方向，所述多条第一电源信号线的至少一端与所述第一电源总线电连接。所述多个导电图案还包括多个第二导电图案，一条第一电源信号线与至少一个第二导电图案电连接。

在一些实施例中，沿所述第二方向，一条第一电源信号线与多个第二导电图案电连接，且所述多个第二导电图案均匀排布。

在一些实施例中，所述多个导电图案包括多个第一导电图案；所述多个第一导电图案与所述多个第二导电图案的结构相同，且所述多个第一导电图案与所述多个第二导电图案的排布密度相同。

另一方面，提供一种显示装置。所述显示装置包括多个发光器件以及如上述任一实施例所述的阵列基板。所述多个发光器件设置于所述阵列基板上，且一个发光器件与阵列基板的一个像素电路连接。

又一方面，提供一种显示装置。所述显示装置包括上述显示面板。

附图说明

为了更清楚地说明本公开中的技术方案，下面将对本公开一些实施例中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本公开的一些实施例的附图，对于本领域普通技术人员来讲，还可以根据这些附图获得其他的附图。此外，以下描述中的附图可以视作示意图，并非对本公开实施例所涉及的产品的实际尺寸、方法的实际流程、信号的实际时序等的限制。

- 图 1 为根据一些实施例的显示装置的示意图；
- 图 2 为根据又一些实施例的显示装置的驱动架构图；
- 图 3 为根据一些实施例的显示面板的剖面结构图；
- 图 4 为根据一些实施例的第一导电层和第二导电层的俯视结构图；
- 图 5 为图 4 中 B 区域的局部放大图；
- 图 6 为沿图 5 中剖面线 A1-A1 的剖面图；
- 图 7 为根据一些实施例的阵列基板的局部结构图；
- 图 8 为根据一些实施例的第一导电层和第二导电层的俯视结构图；
- 图 9 为图 8 中 C 区域的局部放大图；
- 图 10 为沿图 9 中剖面线 A2-A2 的剖面图；
- 图 11 为根据一些实施例的第一信号线与导电图案的一种连接结构图；
- 图 12 为根据一些实施例的不包括第二导电层时阵列基板的俯视结构图。

具体实施方式

下面将结合附图，对本公开一些实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本公开一部分实施例，而不是全部的实施例。基于本公开所提供的实施例，本领域普通技术人员所获得的所有其他实施例，都属于本公开保护的范围。

除非上下文另有要求，否则，在整个说明书和权利要求书中，术语“包括”被解释为开放、包含的意思，即为“包含，但不限于”。在说明书的描述中，术语“一个实施例”、“一些实施例”、“示例性实施例”、“示例”或“一些示例”等旨在表明与该实施例或示例相关的特定特征、结构、材料或特性包括在本公开的至少一个实施例或示例中。上述术语的示意性表示不一定是指同一实施例或示例。此外，所述的特定特征、结构、材料或特点可以以任何适当方式包括在任何一个或多个实施例或示例中。

以下，术语“第一”、“第二”仅用于描述目的，而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量。由此，限定有“第一”、“第二”的特征可以明示或者隐含地包括一个或者更多个该特征。在本公开实施例的描述中，除非另有说明，“多个”的含义是两个或两个以上。

在描述一些实施例时，可能使用了“连接”及其衍伸的表达。术语“连接”应做广义理解，例如，“连接”可以是固定连接，也可以是可拆卸连接，或成一体；可以是直接相连，也可以通过中间媒介间接相连。

“A 和/或 B”，包括以下三种组合：仅 A，仅 B，及 A 和 B 的组合。

本文中“适用于”或“被配置为”的使用意味着开放和包容性的语言，其不排除适用于或被配置为执行额外任务或步骤的设备。

另外，“基于”的使用意味着开放和包容性，因为“基于”一个或多个所述条件或值

的过程、步骤、计算或其他动作在实践中可以基于额外条件或超出所述的值。

如本文所使用的那样，“平行”、“垂直”、“相等”包括所阐述的情况以及与所阐述的情况相近似的情况，该相近似的情况的范围处于可接受偏差范围内，其中所述可接受偏差范围如由本领域普通技术人员考虑到正在讨论的测量以及与特定量的测量相关的误差(即，测量系统的局限性)所确定。例如，“平行”包括绝对平行和近似平行，其中近似平行的可接受偏差范围例如可以是 5° 以内偏差；“垂直”包括绝对垂直和近似垂直，其中近似垂直的可接受偏差范围例如也可以是 5° 以内偏差。“相等”包括绝对相等和近似相等，其中近似相等的可接受偏差范围内例如可以是相等的两者之间的差值小于或等于其中任一者的5%。

应当理解的是，当层或元件被称为在另一层或基板上时，可以是该层或元件直接在另一层或基板上，或者也可以是该层或元件与另一层或基板之间存在中间层。

本文参照作为理想化示例性附图的剖视图和/或平面图描述了示例性实施方式。在附图中，为了清楚，放大了层的厚度和区域的面积。因此，可设想到由于例如制造技术和/或公差引起的相对于附图的形状的变动。因此，示例性实施方式不应解释为局限于本文示出的区域的形状，而是包括因例如制造而引起的形状偏差。例如，示为矩形的蚀刻区域通常将具有弯曲的特征。因此，附图中所示的区域本质上是示意性的，且它们的形状并非旨在示出设备的区域的实际形状，并且并非旨在限制示例性实施方式的范围。

参阅图 1，本公开的实施例提供了一种显示装置 1000，显示装置 1000 为具有图像显示功能的产品。示例性地，显示装置 1000 可以是显示不论运动(例如，视频)的还是固定(例如，静止图像)的且不论文字的还是图像的任何装置。

示例性地，该显示装置 1000 可以为电视机、笔记本电脑、平板电脑、个人数字助理(Personal Digital Assistant; 简称: PDA)、移动电话(手机)、表、时钟、计算器、GPS 接收器/导航仪、相机、相机视图的显示器(例如，车辆中后视相机的显示器)、可穿戴设备、增强现实(Augmented Reality; 简称: AR)设备、虚拟现实(Virtual Reality; 简称: VR)设备、车载显示器、飞行显示器等任何具有显示功能的产品或者部件。例如，如图 1 所示，显示装置 1000 可以为手机。

从显示装置 1000 的发光类型上看，上述显示装置 1000 可以是有机发光二极管显示装置、量子点电致发光显示装置(Quantum Dot Light Emitting Diodes; 简称: QLED)或者微型发光二极管(Mini/Micro Light Emitting Display; 简称: MLED)等。从显示装置 1000 的形态上看，上述显示装置 1000 可以是平面显示装置、曲面显示装置或者可折叠显示装置等。从显示装置 1000 的形状上看，上述显示装置 1000 可以是矩形或圆形等。本公开的实施例对此不做具体限定。下面以显示装置为矩形的、且为平面的有机发光二极管显示装置为例，对本公开的一些实施例进行示意性说明，但是本公开的实施方式不限于此，并且也

可以考虑任何其它显示装置，只要应用相同的技术思想即可。

参阅图 2，在一些实施例中，显示装置 1000 包括显示面板 1100 和驱动电路板 1200。驱动电路板 1200 比如可以包括时序控制器（Timing Controller；简称：TCON），电源管理芯片 DC/DC 和可调电阻分压电路（生成 Vcom）等驱动电路，驱动电路板 1200 还可以包括其他电路结构，此处不再一一列举。驱动电路板 1200 与显示面板 1100 电连接，用于向显示面板 1100 传输控制信号，进而驱动显示面板 1100 实现图像显示。除此之外，显示装置 1000 还可以包括触控结构、屏下摄像头以及屏下指纹识别传感器等，使得显示装置 1000 能够实现触控、拍照、录像、指纹识别或者人脸识别等多种不同功能，此处不做具体限定。

继续参阅图 2，显示面板 1100 具有显示区 AA 和周边区 BB，周边区 BB 至少位于显示区 AA 的一侧，示例性地，周边区 BB 围绕显示区 AA 设置。

显示区 AA 为显示面板 1100 上用于显示图像的区域，显示区 AA 设有多个子像素 P，子像素 P 为显示面板 1100 上的最小发光单元，子像素 P 用于显示图像。周边区 BB 比如可以用于设置栅极驱动电路（Gate driver on Array，简称：GOA）以及控制信号线（比如时钟信号线、电源电压信号线等）等，当然，周边区 BB 的功能不限于此，不公开的实施例不再一一赘述。

其中，多个子像素 P 可以发射不同颜色的光线，比如，多个子像素 P 包括发射红色光线的红光子像素、发射绿色光线的绿光子像素和发射蓝色光线的蓝光子像素。

多个子像素 P 排列成多行和多列，每行包括沿第一方向 X 排列的多个子像素 P，多行子像素 P 沿第二方向 Y 排列。每列包括沿第二方向 Y 排列的多个子像素 P，多列子像素 P 沿第一方向 X 排列。其中，第一方向 X 和第二方向 Y 交叉，比如，第一方向 X 与第二方向 Y 垂直。

子像素 P 包括像素电路 120 和发光器件 200。像素电路 120 包括多个薄膜晶体管（Thin Film Transistor；简称：TFT）和至少一个电容器 Cst。示例性地，像素电路 120 可以为“3T1C”电路、“7T1C”电路或“8T1C”电路等，本公开的实施方式不限于此，并且也可以考虑任何其它像素电路，只要应用相同的技术思想即可。其中，“T”是指 TFT，“T”前面的数字是指 TFT 的数量；“C”是指电容器 Cst，“C”前面的数字是指电容器 Cst 的数量。

参阅图 3，在一些实施例中，显示面板 1100 包括层叠设置的阵列基板 100、发光器件 200 和封装层 300。当然，显示面板 1100 还可以包括设置于封装层 300 远离阵列基板 100 一侧的功能叠层，功能叠层比如可以是触控功能层、减反射层、硬化层和抗指纹层中的一种或多种，以使显示面板能够实现相应的功能，本公开的实施例对上述功能叠层的种类和数量不做具体限定。

其中，发光器件 200 包括沿包括层叠设置的阳极 201、发光功能层 202 和阴极层 203。多个发光器件 200 的阴极层 203 相互连接形成连续的整层结构。显示面板 1100 还可以包

括像素界定层 PDL，像素界定层 PDL 设置于阳极 201 远离阵列基板 100 的一侧，且像素界定层 PDL 包括多个开口，每个发光功能层 202 的至少部分位于一个开口内。

封装层 300 被配置为降低外界环境中的水汽和氧气进入发光器件 200 内的风险，进而提升显示面板 1100 的使用寿命。封装层 300 可以为封装薄膜，也可以为封装基板。示例性地，如图 3 所示，封装层 300 可以为封装薄膜，此时，封装层 300 可以包括依次层叠设置的第一无机封装层 301、有机封装层 302 和第二无机封装层 303。

阵列基板 100 包括衬底 110 和设置于衬底 110 上的像素电路。一个像素电路与一个发光器件连接，被配置为驱动发光器件进行发光。其中，衬底 110 可以为刚性衬底，刚性衬底的材料比如包括玻璃。或者，衬底 110 可以为柔性衬底，柔性衬底的材料比如包括聚酰亚胺 (Polyimide; 简称: PI)、聚碳酸酯 (Polycarbonate; 简称: PC) 或者聚氯乙烯 (Polyvinyl chloride; 简称: PVC) 中的任一种。

阵列基板 100 可以包括多个导电层，多个导电层被配置为形成多个像素电路以及用于驱动像素电路的多条信号线。多个导电层比如可以包括沿垂直于衬底 110 且远离衬底 110 的方向依次设置的第一半导体层 ACT1、第一栅导电层 GT1、第二栅导电层 GT2、第二半导体层 ACT2、第三栅导电层 GT3、第一源漏导电层 SD1 和第二源漏导电层 SD2。当然，阵列基板还可以包括其他导电层，比如还可以包括第三源漏导电层，此处不做具体限定，只要采用相同的技术思路即可。其中，薄膜晶体管 TFT 可以包括位于第一半导体层 ACT1 的半导体图案 101、位于第一栅导电层 GT1 的栅极 102 和位于第一源漏导电层 SD1 的源极 103 和漏极 104；存储电容器 Cst 可以包括位于第一栅导电层 GT1 的第一极板 C1 和位于第二栅导电层 GT2 的第二极板 C2。

阵列基板 100 还可以包括位于相邻导电层之间的绝缘层，比如，阵列基板 100 可以包括位于第一半导体层 ACT1 与第一栅导电层 GT1 之间的第一栅绝缘层 GI1、位于第一栅导电层 GT1 与第二栅导电层 GT2 之间的第二栅绝缘层 GI2、位于第二栅导电层 GT2 与第二半导体层 ACT2 之间的第一层间介质层 ILD1、位于第二半导体层 ACT2 与第三栅导电层 GT3 之间的第二层间介质层 ILD2、位于第三栅导电层 GT3 与第一源漏导电层 SD1 之间的第一平坦层 PLN1、以及位于第一源漏导电层 SD1 与第二源漏导电层 SD2 之间的第二平坦层 PLN2。当然，阵列基板 100 还可以包括其他绝缘膜层，此处不再一一赘述。

参阅图 4、图 5 和图 6，本公开的实施例提供的阵列基板 100，包括第一导电层 10 和第二导电层 20，第二导电层 20 设置于第一导电层 10 远离衬底 110 的一侧。

第一导电层 10 包括多个导电图案 11，多个导电图案 11 与多个像素电路具有间隔，导电图案 11 与多个像素电路具有间隔是指：导电图案 11 与像素电路 120 不直接接触连接，或者说导电图案 11 不被用于向像素电路 120 传输信号。示例性地，在第一导电层 10 为第一源漏导电层 SD1 的情况下，像素电路可以包括位于第一源漏导电层 SD1 上的源极和漏

极，导电图案与像素电路的源极和漏极具有间隔；而且，导电图案 11 与第一导电层 10 的靠近衬底一侧的其他导电层（比如第一栅导电层和第二栅导电层等）以及半导体层均不连接。

第二导电层 20 包括多条第一信号线 21，多条第一信号线 21 沿第一方向 X 间隔排布，且均沿第二方向 Y 延伸。第一方向 X 为多个像素电路 120 排列的行方向（图 4 中的水平方向），第二方向 Y 为所述多个像素电路 120 排列的列方向，第一方向 X 和第二方向 Y 相交，比如，第一方向 X 垂直于第二方向 Y。

一条第一信号线 21 与至少一个导电图案 11 电连接，由于导电图案 11 与像素电路具有间隔，因此，第一信号线 21 不通过导电图案 11 向像素电路传输电信号，基于此，导电图案 11 的位置可以任意设置，只要不与阵列基板的其他结构发生干扰（比如接触或者电耦合）即可。

在第一信号线 21 上出现静电的情况下，静电会聚集在第一信号线 21 的凸起、拐角或者其他凸出的尖角位置。在第一信号线 21 与导电图案 11 的连接位置，在第一导电层 10 与第二导电层 20 之间的绝缘层中形成过孔 105，第一信号线 21 的部分位于过孔 105 内，并在过孔 105 内形成凸起，换言之，第一信号线 21 向靠近衬底 110 的一侧凸出形成了凸起。基于此，静电会向第一信号线 21 与导电图案 11 的连接位置（第一信号线 21 位于过孔 105 内的部分）聚集，并且传输至导电图案 11 上，然后经导电图案 11 被释放，进而将第一信号线 21 上的静电释放。如图 6 所示，导电图案 11 包括至少两个间隔设置的接触部 1112，且第一信号线 21 与导电图案 11 的至少两个接触部 1112 连接，即第一信号线 21 包括两个与接触部 1112 连接的位置，这样，第一信号线 21 在与导电图案 11 连接的位置可以形成两个凸起，更有利于静电向导电图案 11 上传输。

其中，第一导电层 10 可以为如图 3 所示的阵列基板 100 所包括的多个导电层中，除了距离衬底 110 最远的一个导电层之外的任意一者，第二导电层 20 可以为第一导电层 10 远离衬底 110 一侧的任意导电层。示例性地，第二导电层 20 可以为阵列基板 100 中用于设置信号走线的膜层，第一导电层 10 为第二导电层 20 的靠近衬底 110 一侧的任意导电层。比如，第一导电层 10 为与第二导电层 20 相邻的导电层。这样，可以降低第一信号线 21 与导电图案 11 连接位置处，且设置于第一导电层 10 与第二导电层 20 之间的绝缘层中的过孔的深度，降低第一信号线 21 与导电图案 11 之间的连接难度。

示例性地，第一导电层 10 可以为第三栅导电层 GT3，且第二导电层 20 可以为第一源漏导电层 SD1；或者，第一导电层 10 可以为第一源漏导电层 SD1，且第二导电层 20 为第二源漏导电层 SD2；或者，在阵列基板包括第三源漏导电层的情况下，第一导电层 10 可以为第二源漏导电层 SD2，且第二导电层 20 为第三源漏导电层。当然，第一导电层 10 和第二导电层 20 也可以不是相邻的导电层，示例性地，第一导电层 10 可以为第三栅导电层

GT3, 且第二导电层 20 可以为第二源漏导电层 SD2。可以理解的是, 第一导电层 10 和第二导电层 20 还可以为其他合适的组合, 本公开的实施例不再一一列举, 只要采用相同的技术思路即可。

本公开的以下实施例中, 均以第一导电层 10 为第一源漏导电层 SD1, 且第二导电层 20 为第二源漏导电层 SD2 为例进行示例性说明, 但是本申请的实施例不限于此, 只要采用相同的技术思路即可。

在一些实施例中, 如图 4 和图 7 所示, 第一导电层 10 还包括多条第一连接线 12, 多条第一连接线 12 沿第二方向 Y 间隔排布, 且均沿第一方向 X 延伸。第二导电层 20 还包括多条数据线 22, 一条数据线 22 与一列像素电路电连接。多条数据线 22 包括多条第一数据线 221 和多条第二数据线 222, 多条第一数据线 221 分别位于多条第二数据线 222 沿第一方向 X 的两侧, 示例性地, 多条第一数据线 221 可以位于显示区 AA 的沿第一方向 X 的边缘区域 AA2, 多条第二数据线 222 可以位于显示区 AA 的沿第一方向 X 的中心区域 AA1。一条第一数据线 221 与一条第一连接线 12 连接。第二导电层 20 所包括的多条第一信号线 21 包括多条扇出线 211, 一条扇出线 211 与一条第一连接线 12 电连接。多条扇出线 211 可以位于显示区 AA 的沿第一方向 X 的中心区域 AA1, 基于此, 位于显示区 AA 的沿第一方向 X 的边缘区域 AA2 的第一数据线 221, 依次通过一条第一连接线 12 和一条扇出线 211, 连接至显示区 AA 的沿第一方向 X 的中心区域 AA1, 并从中心区域 AA1 的靠近周边区的边缘引出, 数据线 22 的上述设置方式也称为显示区扇出 (Fanout In AA; 简称: FIAA) 或者面板中扇出 (Fanout In Panel; 简称: FIP)。有利于降低周边区沿第二方向 Y 的尺寸, 即降低阵列基板 100 的边框宽度, 有利于显示装置 1000 实现窄边框。扇出线 211 设置于显示区 AA 的中心区域 AA1, 且不用于对中心区域 AA1 的像素电路传输数据信号, 也就是说, 扇出线 211 与位于扇出线 211 的靠近衬底 110 的一侧的像素电路电绝缘。

相关技术中, 扇出线 211 设置于单一膜层, 且在显示区 AA 内不与除第一连接线 12 之外的其他结构连接, 导致产生的静电缺乏释放的途径; 而且扇出线 211 在子像素之间延伸, 需要避让像素电路中的一些导电结构, 因此具有一定的图案形状, 例如存在拐角或者凸起, 在扇出线 211 的拐角或者凸起的边缘处可能会积累静电。基于上述原因, 静电容易在扇出线积累, 导致阵列基板的可靠性较低。

参阅图 5 和图 6, 本公开的实施例中, 为了解决上述问题, 多个导电图案 11 包括多个第一导电图案 111, 一条扇出线 211 与至少一个第一导电图案 111 电连接, 并且在扇出线 211 与第一导电图案 111 连接的位置, 形成向靠近衬底 110 一侧凸出的凸起结构。基于此, 在扇出线 211 上出现静电的情况下, 静电会朝向扇出线 211 和第一导电图案 111 连接的位置传输, 并传输至第一导电图案 111 上, 静电在第一导电图案 111 上被释放, 可以提升阵列基板的可靠性。

在一些实施例中，如图 5 和图 6 所示，扇出线 211 包括沿第二方向 Y 间隔设置的多个扇出子线 2111，换言之，扇出线 211 包括多个相互断开的扇出子线 2111，相邻两个扇出子线 2111 之间包括一个开口 2112。分别属于相邻两个扇出子线 2111 且相互靠近的两端，与同一个第一导电图案 111 电连接，即相邻两个扇出子线 2111 通过一个第一导电图案 111 电连接。这样，扇出线 211 在传输电流的过程中，电流可以流经每一个第一导电图案 111，确保扇出线 211 上的静电可以传输至第一导电图案 111，并经第一导电图案 111 被释放掉。

参阅图 5 和图 6，第一导电图案 111 包括延伸部 1111 和两个接触部 1112，延伸部 1111 沿第二方向 Y 延伸，两个接触部 1112 分别与延伸部 1111 沿第二方向 Y 的两端连接。相邻两个扇出子线 2111 之间具有开口 2112，开口 2112 在衬底 110 上的正投影，与延伸部 1111 在衬底 110 上的正投影交叠，分别属于相邻两个扇出子线 2111 且相互靠近的两端，分别与同一个第一导电图案 111 的两个接触部 1112 电连接。接触部 1112 沿第一方向 X 的尺寸大于延伸部 1111 沿第一方向 X 的尺寸，这样，有利于降低扇出子线 2111 与接触部 1112 之间对位精度要求，降低扇出子线 2111 与接触部 1112 之间的连接难度，并且增加扇出子线 2111 与接触部 1112 之间的接触面积，降低扇出子线 2111 与接触部 1112 连接处的电阻。

在另一些实施例中，参阅图 8 和图 9，扇出线 211 沿第二方向 Y 连续，即扇出线 211 上没有开口，这样，扇出线 211 与第一导电图案 111 并联设置，第一导电图案 111 不仅可以释放扇出线 211 上的静电，还可以降低扇出线 211 的电阻。

参阅图 9、图 10 和图 11，第一导电图案 111 包括沿第二方向 Y 交替连接的多个接触部 1112 和至少一个延伸部 1111，接触部 1112 沿第一方向 X 的尺寸大于延伸部 1111 沿第一方向 X 的尺寸，有利于降低扇出线 211 与接触部 1112 之间对位精度要求，降低扇出线 211 与接触部 1112 之间的连接难度，并且增加扇出线 211 与接触部 1112 之间的接触面积，降低扇出线 211 与接触部 1112 连接处的电阻。扇出线 211 与第一导电图案 111 的多个接触部 1112 电连接，换言之，扇出线 211 与同一个第一导电图案 111 之间包括多个连接点，这样，有利于增加扇出线 211 与同一个第一导电图案 111 之间的连接可靠性和稳定性，并且有利于降低扇出线 211 的电阻。

示例性地，第一导电图案 111 沿第二方向 Y 的两端分别设置一个接触部 1112，且相邻两个接触部 1112 之间通过延伸部 1111 连接。比如，如图 10 所示，第一导电图案 111 包括两个接触部 1112 和一个延伸部 1111；或者，参阅图 11，第一导电图案 111 也可以包括三个接触部 1112 和两个延伸部 1111，第一导电图案 111 还可以包括其他数量的两个接触部 1112 和延伸部 1111，只要采用相同的技术思路即可。

在一些实施例中，如图 12 所示，多个第一导电图案 111 沿第一方向 X 排列为多列，每列包括沿第二方向 Y 排列的至少一个第一导电图案 111。一条扇出线 211 与一列的多个

第一导电图案 111 电连接, 这样可以增加与扇出线 211 连接的第一导电图案 111 的密度, 扇出线 211 上任意位置上产生的静电, 都可以传输至邻近的第一导电图案 111 上, 进一步提升扇出线 211 的静电释放效果。可以理解的是, 在图 12 中, 为了区分第一导电图案 111 和第二导电图案 112, 两者采用的不同的填充图案, 但是两者处于同一膜层, 且采用同一道成膜工艺一起制备形成。

如图 12 所示, 沿第二方向 Y, 多个第一导电图案 111 均匀排布, 有利于提升第一导电图案 111 的均一性, 并提升第一导电层 10 的图案均一性。像素电路 120 的排布密度, 为第一导电图案 111 的排布密度的整数倍, 换言之, 第一导电图案 111 在第二方向 Y 上的间距 (第一导电图案 111 的 Pitch), 为像素电路 120 在第二方向 Y 上的间距 (像素电路 120 的 Pitch) 的整数倍, 即每整数个像素电路 120 的远离衬底的一侧设有一个第一导电图案 111, 有利于提升阵列基板 100 的结构均一性, 降低显示面板因第一导电图案 111 的分布差异出现消影问题的风险。

示例性地, 如图 12 所示, 像素电路 120 的排布密度, 与第一导电图案 111 的排布密度相等。这样, 可以最大程度的提升第一导电层 10 的图案均一性, 并且最大程度提升阵列基板的结构均一性。

如图 7 所示, 阵列基板 100 还包括第一电源总线 VSS, 第一电源总线 VSS 位于周边区 BB, 第一电源总线 VSS 被配置为与发光器件 200 的阴极电连接, 即第一电源总线 VSS 与阴极层 203 电连接。第二导电层 20 所包括的多条第一信号线 21 还包括多条第一电源信号线 212, 沿第二方向 Y, 多条第一电源信号线 212 的至少一端与第一电源总线 VSS 电连接。多条第一电源信号线 212 沿第一方向 X 间隔排布, 且多条第一电源信号线 212 均沿第二方向 Y 延伸, 进而与阴极层电连接, 多条第一电源信号线 212 能够降低阴极层的电阻, 进而降低阴极层上的电压降, 提升显示区 AA 的显示均匀性。采用上述电源辅助线 50 的设置方式也被称为 SIP (VSS In Panel) 技术。

如图 4 和图 8 所示, 多个导电图案 11 还包括多个第二导电图案 112, 一条第一电源信号线 212 与至少一个第二导电图案 112 电连接, 第一电源信号线 212 在与第二导电图案 112 连接的位置, 向靠近衬底的一侧凸出形成凸起, 在第一电源信号线 212 上出现静电的情况下, 静电会聚集在第一电源信号线 212 的凸起位置, 也就是说, 静电会向第一电源信号线 212 与第二导电图案 112 的连接位置传输, 并且传输至第二导电图案 112 上, 在第二导电图案 112 的边缘或者端部发生尖端放电, 从而将静电释放至与导电图案 112 接触的绝缘层中, 静电的电荷通常较少, 绝缘层 (比如钝化层或者平坦化层) 可以吸收并释放掉少量静电荷, 进而将第一电源信号线 212 上的静电释放。可以理解的是, 静电电荷较少, 绝缘层虽然电绝缘, 但是可以吸收静电, 并且将静电释放掉。

继续参阅图 4 和图 8, 沿第二方向 Y, 一条第一电源信号线 212 与多个第二导电图案

112 电连接，且多个第二导电图案 112 均匀排布，这样，可以增加与第一电源信号线 212 连接的第二导电图案 112 的密度，第一电源信号线 212 上任意位置上产生的静电，都可以传输至邻近的第二导电图案 112 上，进一步提升第一电源信号线 212 的静电释放效果。

在一些实施例中，如图 4 和图 8 所示，多个导电图案 11 包括多个第一导电图案 111 和多个第二导电图案 112。多个第一导电图案 111 与多个第二导电图案 112 的结构相同，也就是说，第一导电图案 111 在衬底上的正投影的形状，与第二导电图案 112 在衬底上的正投影的形状相同，且第一导电图案 111 在衬底上的正投影的大小，与第二导电图案 112 在衬底上的正投影的大小相等。多个第一导电图案 111 与多个第二导电图案 112 的排布密度相同。这样，可以进一步提升第一导电层 10 的结构均一性，降低显示面板出现消影的风险。

当然，在其他一些实施例中，第一导电图案 111 和第二导电图案 112 的也可以具有差异。比如，第一导电图案 111 包括两个接触部 1112 的情况下，第二导电图案 112 可以包括一个或者三个或者其他数量的接触部；本公开的实施例不限于此，只要采用相同的技术思路即可。

在一些实施例中，如图 4 所示，在扇出线 211 包括沿第二方向 Y 间隔设置的多个扇出子线 2111 的情况下，第一电源信号线 212 也可以包括沿第二方向 Y 间隔设置的多个电源子线 2121，且扇出子线 2111 的结构与电源子线 2121 的结构相同，也就是说，扇出子线 2111 在衬底上的正投影的形状和大小，分别与电源子线 2121 在衬底上的正投影的形状和大小对应相同。或者，如图 8 所示，在扇出线 211 沿第二方向连续的情况下，第一电源信号线 212 也可以沿第二方向 Y 连续。有利于提升第二导电层 20 的结构均一性。

可以理解的是，在其他一些实施例中，在扇出线 211 包括沿第二方向 Y 间隔设置的多个扇出子线 2111 的情况下，第一电源信号线 212 还可以沿第二方向 Y 连续。或者，在扇出线 211 沿第二方向连续的情况下，第一电源信号线 212 还可以包括沿第二方向 Y 间隔设置的多个电源子线，当然，本公开的实施例不限于此，只要采用相同的技术思路即可。

以上所述，仅为本公开的具体实施方式，但本公开的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本公开揭露的技术范围内，想到变化或替换，都应涵盖在本公开的保护范围之内。因此，本公开的保护范围应以所述权利要求的保护范围为准。

1、一种阵列基板，包括：

衬底；

多个像素电路，设置于所述衬底上，且所述多个像素电路排列为多行和多列；

第一导电层，包括多个导电图案，所述多个导电图案与所述多个像素电路具有间隔，所述导电图案包括至少两个间隔设置的接触部；

第二导电层，设置于所述第一导电层远离所述衬底的一侧，包括多条第一信号线，所述多条第一信号线沿第一方向间隔排布，且均沿第二方向延伸，一条第一信号线与至少一个导电图案电连接，且所述第一信号线与所述导电图案的至少两个接触部连接；所述第一方向为所述多个像素电路排列的行方向，所述第二方向为所述多个像素电路排列的列方向。

2、根据权利要求1所述的阵列基板，其中，

所述第一导电层还包括多条第一连接线，所述多条第一连接线沿所述第二方向间隔排布，且均沿所述第一方向延伸；

所述第二导电层还包括多条数据线，一条数据线与一列像素电路电连接；所述多条数据线包括多条第一数据线和多条第二数据线，所述多条第一数据线分别位于所述多条第二数据线的两侧；一条第一数据线与一条第一连接线连接；

所述多条第一信号线包括多条扇出线，一条扇出线与一条第一连接线电连接；

所述多个导电图案包括多个第一导电图案，所述扇出线与至少一个第一导电图案电连接。

3、根据权利要求2所述的阵列基板，其中，

所述扇出线包括沿所述第二方向间隔设置的多个扇出子线，相邻两个扇出子线的相互靠近的两端，与同一个第一导电图案电连接。

4、根据权利要求3所述的阵列基板，其中，

所述第一导电图案包括延伸部和两个接触部，所述延伸部沿所述第二方向延伸，所述两个接触部分别与所述延伸部沿所述第二方向排列的两端连接，所述接触部沿所述第一方向的尺寸大于所述延伸部沿所述第一方向的尺寸；

相邻两个扇出子线之间具有开口，相邻两个扇出子线的相互靠近的两端，分别与同一个第一导电图案的两个接触部电连接。

5、根据权利要求2所述的阵列基板，其中，所述扇出线沿所述第二方向连续；

所述第一导电图案包括沿所述第二方向交替连接的多个接触部和至少一个延伸部，所述延伸部沿所述第二方向延伸，所述接触部沿所述第一方向的尺寸大于所述延伸部沿所述第一方向的尺寸；

所述扇出线与所述第一导电图案的多个接触部电连接。

6、根据权利要求2所述的阵列基板，其中，所述多个第一导电图案沿所述第一方向排

列为多列，一列包括沿所述第二方向排列的至少一个第一导电图案；

一条扇出线与一列的多个第一导电图案电连接。

7、根据权利要求6所述的阵列基板，其中，沿所述第二方向，所述多个第一导电图案均匀排布；且所述像素电路的排布密度，为所述第一导电图案的排布密度的整数倍。

8、根据权利要求1~7中任一项所述的阵列基板，其中，所述阵列基板包括显示区和围绕所述显示区的周边区，所述多个像素电路设置于所述显示区；

所述阵列基板还包括第一电源总线，所述第一电源总线位于所述周边区，被配置为与发光器件的阴极电连接；

所述多条第一信号线还包括多条第一电源信号线，沿所述第二方向，所述多条第一电源信号线的至少一端与所述第一电源总线电连接；

所述多个导电图案还包括多个第二导电图案，一条第一电源信号线与至少一个第二导电图案电连接。

9、根据权利要求8所述的阵列基板，其中，沿所述第二方向，一条第一电源信号线与多个第二导电图案电连接，且所述多个第二导电图案均匀排布。

10、根据权利要求8或9所述的阵列基板，其中，所述多个导电图案还包括多个第一导电图案；所述多个第一导电图案与所述多个第二导电图案的结构相同，且所述多个第一导电图案与所述多个第二导电图案的排布密度相同。

11、一种显示面板，包括：

如权利要求1~10中任一项所述的阵列基板；

多个发光器件，设置于所述阵列基板上，且一个发光器件与所述阵列基板的一个像素电路连接。

12、一种显示装置，包括：

如权利要求11所述的显示面板；

驱动电路板，与所述显示面板电连接，被配置为向所述显示面板传输控制信号。

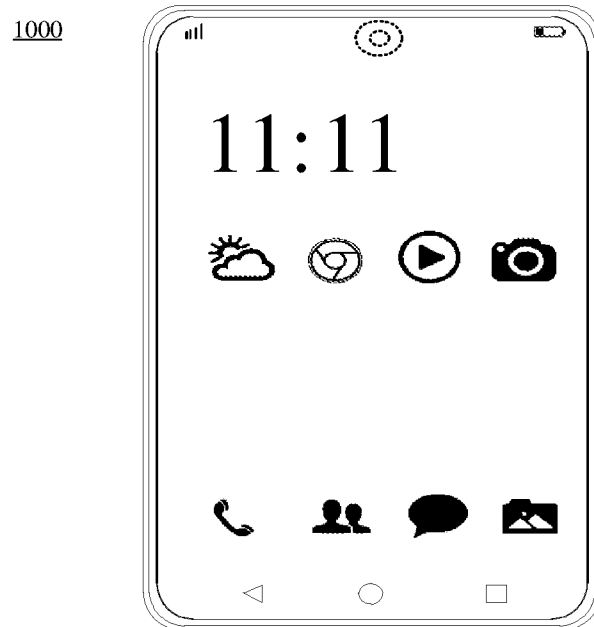


图 1

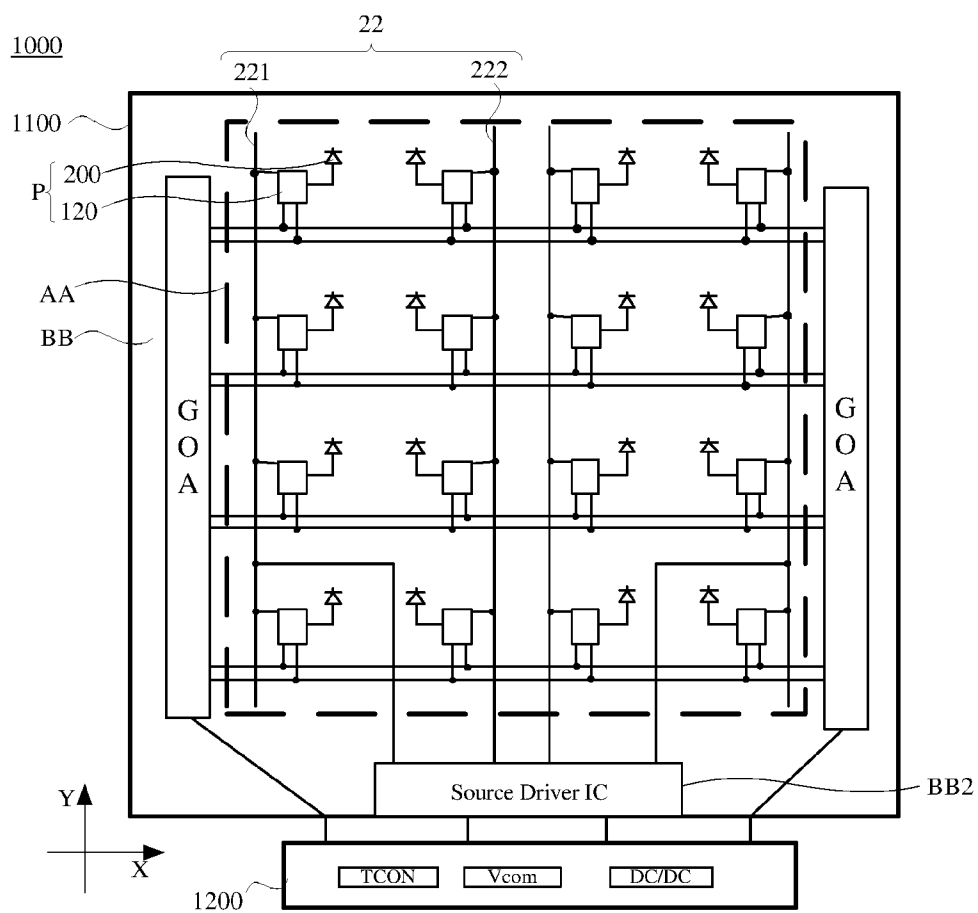


图 2

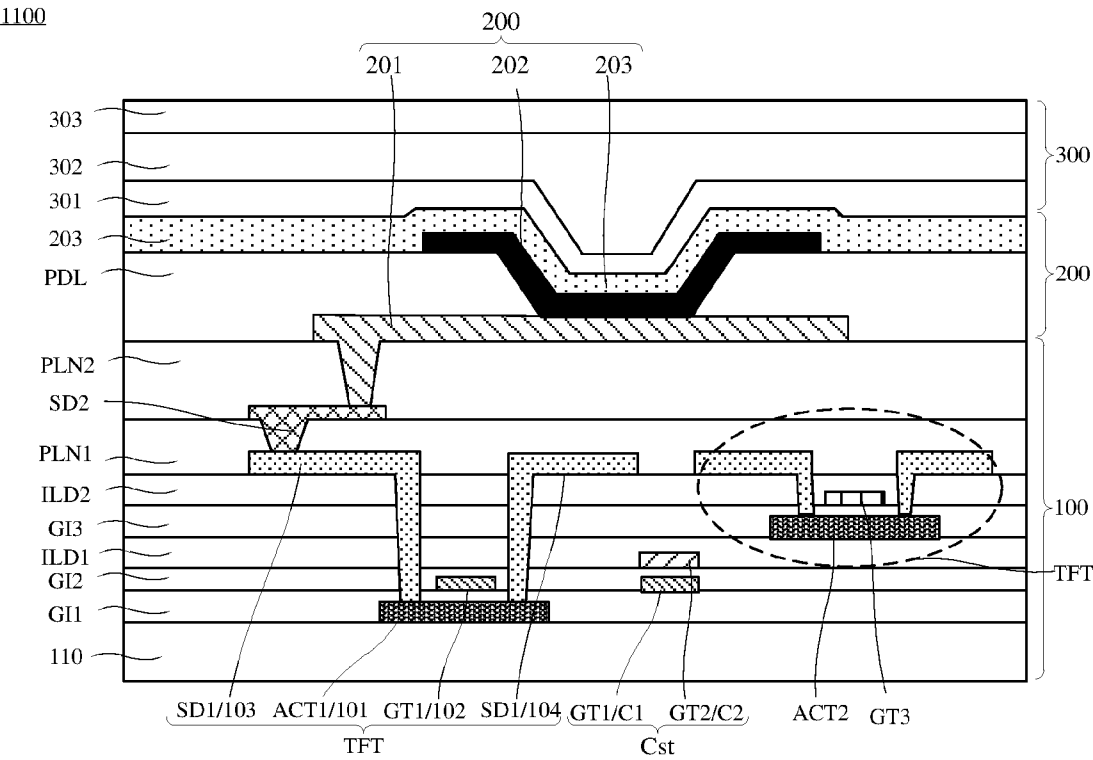


图 3

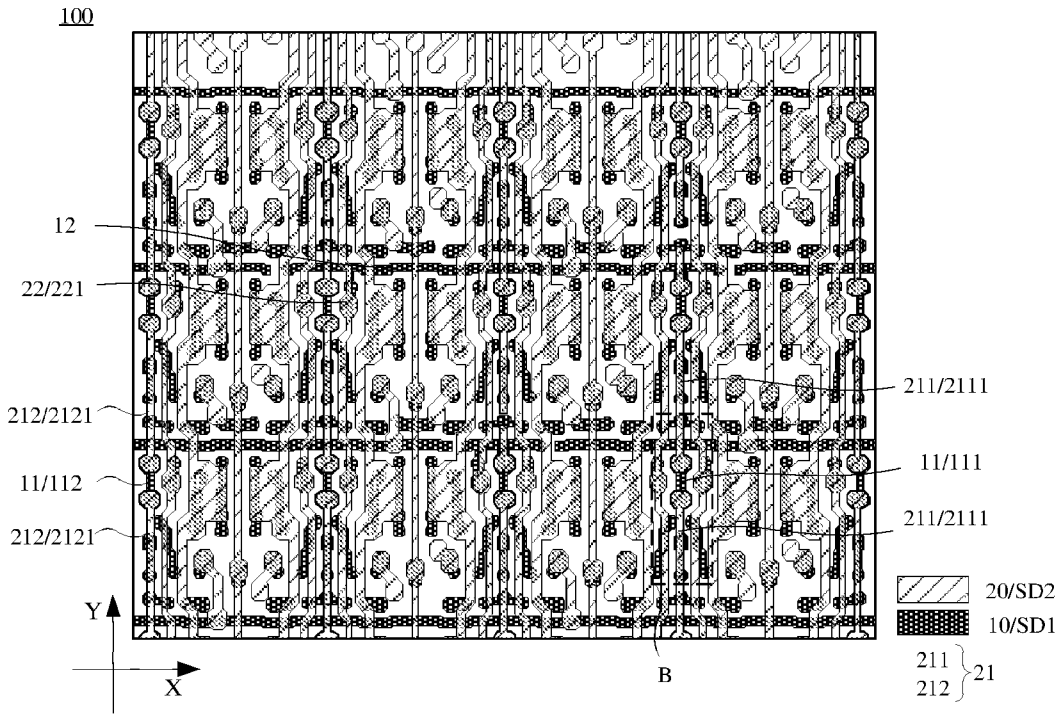


图 4

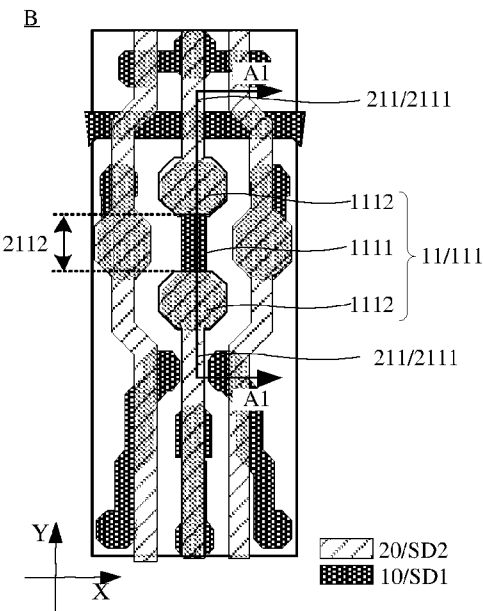


图 5

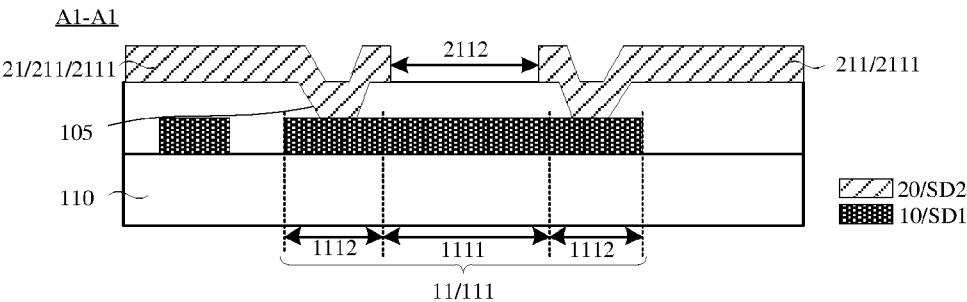


图 6

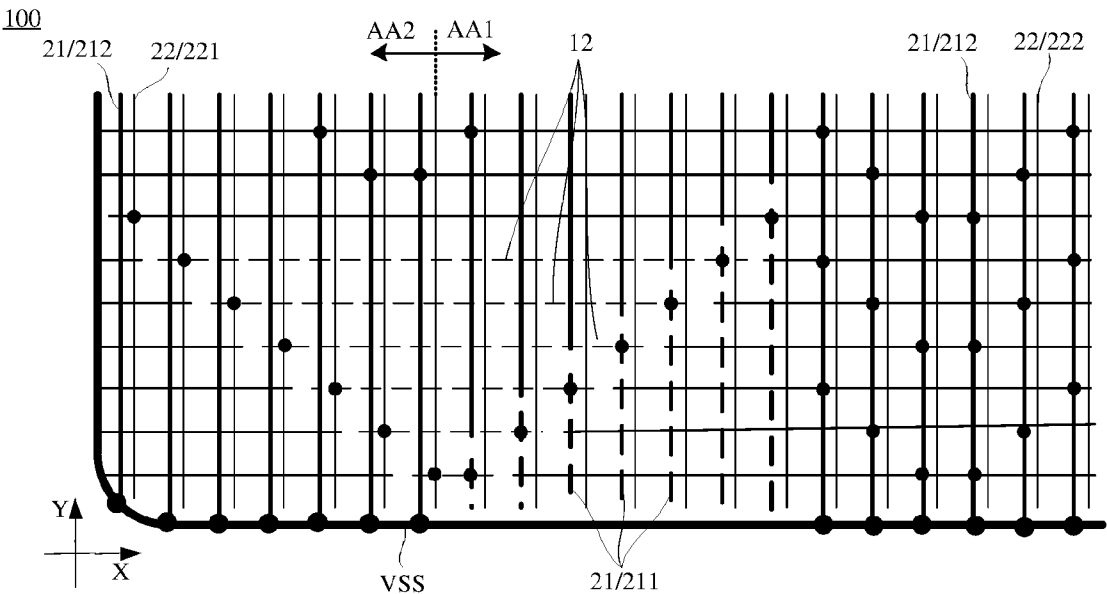


图 7

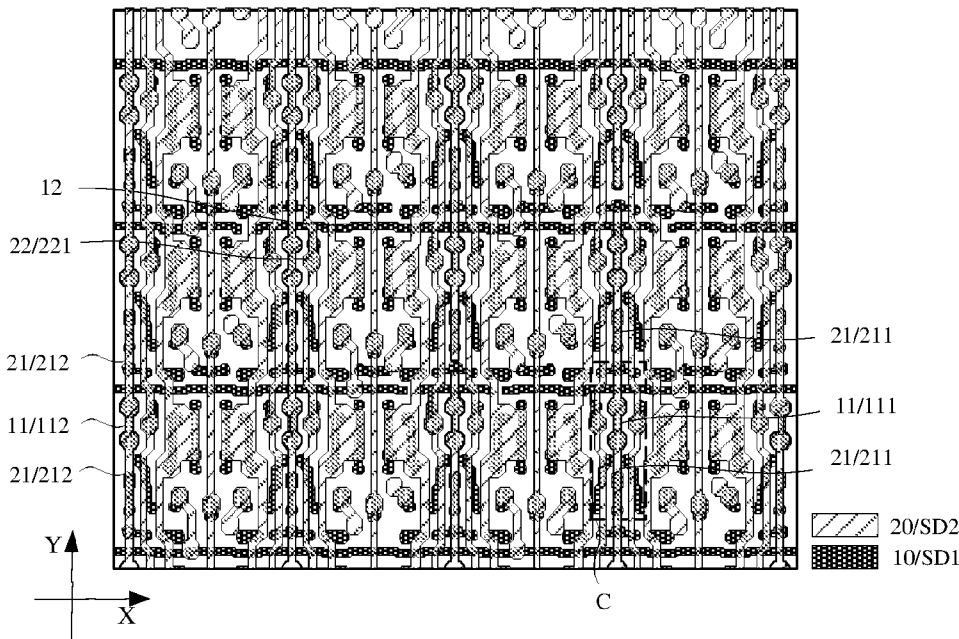


图 8

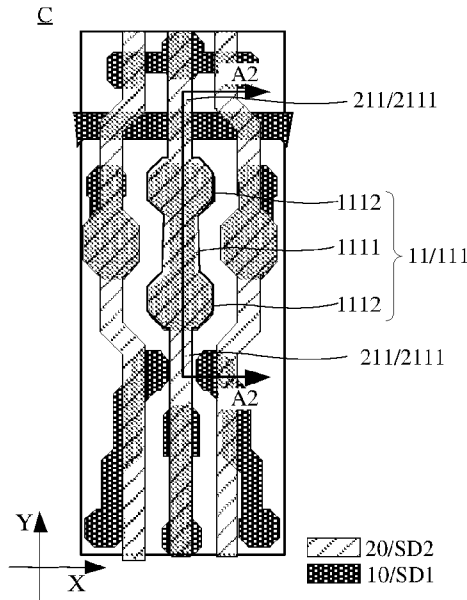


图 9

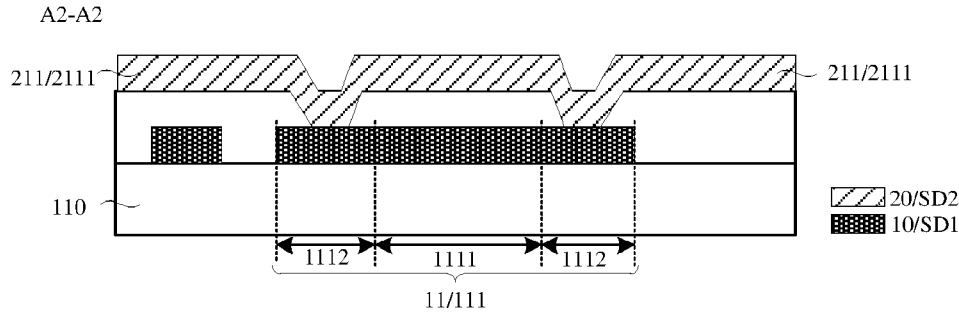


图 10

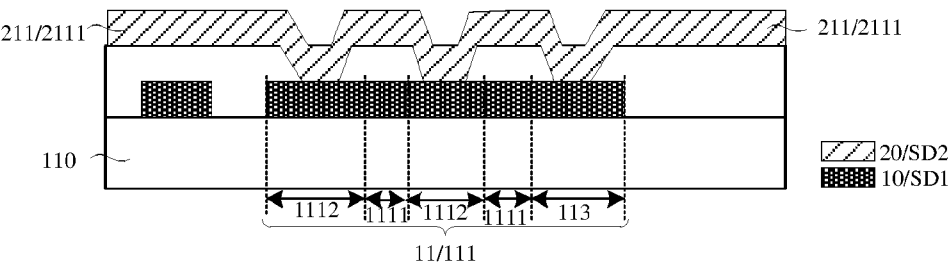


图 11

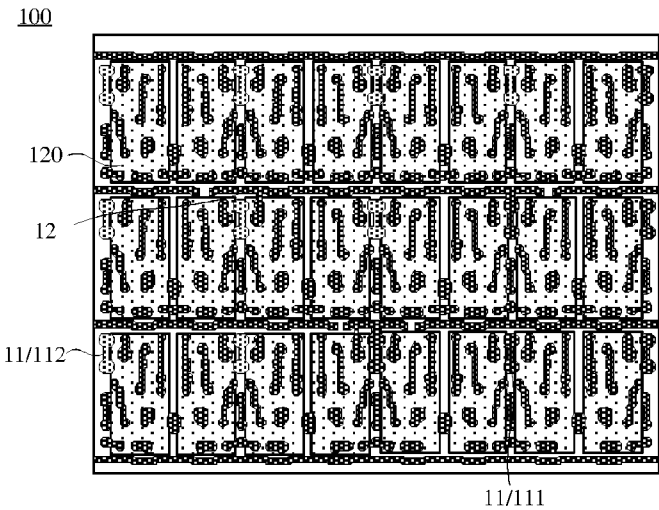


图 12

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2024/122583

A. CLASSIFICATION OF SUBJECT MATTER H10K59/131(2023.01)i; H01L23/60(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC: H10K H01L Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) CNABS; CNTXT; CNKI; WPABS; DWPI; USTXT; WOTXT; EPTXT: 导电图案, 线路图案, 导电层, 导电导体, 导电体, 导线图案, 图案化膜, 导电网格, 信号线, 数据线, 电路线, 控制线, 信号走线, 通信线, 驱动线, 传输线, 静电, 释放, 显示面板, conductive pattern, line pattern, conductive layer, electrical conductors, patterned films, conductive grids, signal lines, data lines, circuit lines, control lines, signal traces, communication lines, drive lines, transmission lines, electrostatic, esd, release, display panel		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 115241236 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 25 October 2022 (2022-10-25) claims 1-20, description, paragraphs [0122]-[0155], and figures 1-7F	1-12
X	CN 106449664 A (XIAMEN TIANMA MICRO-ELECTRONICS CO., LTD. et al.) 22 February 2017 (2017-02-22) description, paragraphs [0027]-[0044], and figures 1-5	1-12
A	CN 104637925 A (LG DISPLAY CO., LTD.) 20 May 2015 (2015-05-20) entire document	1-12
A	CN 115172431 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 11 October 2022 (2022-10-11) entire document	1-12
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 13 December 2024		Date of mailing of the international search report 16 December 2024
Name and mailing address of the ISA/CN China National Intellectual Property Administration (ISA/CN) China No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2024/122583

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 116185224 A (KUNSHAN GOVISIONOX OPTOELECTRONICS CO., LTD.) 30 May 2023 (2023-05-30) entire document	1-12

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2024/122583

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	115241236	A	25 October 2022	CN	217903120	U	25 November 2022
				WO	2023246338	A1	28 December 2023
CN	106449664	A	22 February 2017	CN	106449664	B	26 July 2019
CN	104637925	A	20 May 2015	EP	2871517	A1	13 May 2015
				EP	2871517	B1	05 October 2016
				KR	20150053154	A	15 May 2015
				US	2015123136	A1	07 May 2015
				US	9379137	B2	28 June 2016
CN	115172431	A	11 October 2022	None			
CN	116185224	A	30 May 2023	None			

A. 主题的分类

H10K59/131(2023.01)i; H01L23/60(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H10K H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS;CNTXT;CNKI;WPABS;DWPI;USTXT;WOTXT;EPTXT: 导电图案, 线路图案, 导电层, 导电导体, 导电体, 导线图案, 图案化膜, 导电网格, 信号线, 数据线, 电路线, 控制线, 信号走线, 通信线, 驱动线, 传输线, 静电, 释放, 显示面板, conductive pattern, line pattern, conductive layer, electrical conductors, patterned films, conductive grids, signal lines, data lines, circuit lines, control lines, signal traces, communication lines, drive lines, transmission lines, electrostatic, esd, release, display panel

C. 相关文件

类型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 115241236 A (京东方科技集团股份有限公司 等) 2022年10月25日 (2022 - 10 - 25) 权利要求1-20、说明书第[0122]-[0155]段及附图1-7F	1-12
X	CN 106449664 A (厦门天马微电子有限公司 等) 2017年2月22日 (2017 - 02 - 22) 说明书第[0027]-[0044]段及附图1-5	1-12
A	CN 104637925 A (乐金显示有限公司) 2015年5月20日 (2015 - 05 - 20) 全文	1-12
A	CN 115172431 A (京东方科技集团股份有限公司 等) 2022年10月11日 (2022 - 10 - 11) 全文	1-12
A	CN 116185224 A (昆山国显光电有限公司) 2023年5月30日 (2023 - 05 - 30) 全文	1-12

☐ 其余文件在C栏的续页中列出。

☒ 见同族专利附件。

★ 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“D” 申请人在国际申请中引证的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2024年12月13日

国际检索报告邮寄日期

2024年12月16日

ISA/CN的名称和邮寄地址

中国国家知识产权局
中国北京市海淀区蓟门桥西土城路6号 100088

授权官员

丁钰丰

电话号码 (+86) 0512-88995823

PCT/ISA/210 表(第2页) (2022年7月)

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2024/122583

检索报告引用的专利文件				公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	115241236	A	2022年10月25日		CN	217903120	U	2022年11月25日
					WO	2023246338	A1	2023年12月28日
CN	106449664	A	2017年2月22日		CN	106449664	B	2019年7月26日
CN	104637925	A	2015年5月20日		EP	2871517	A1	2015年5月13日
					EP	2871517	B1	2016年10月5日
					KR	20150053154	A	2015年5月15日
					US	2015123136	A1	2015年5月7日
					US	9379137	B2	2016年6月28日
CN	115172431	A	2022年10月11日		无			
CN	116185224	A	2023年5月30日		无			