(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3577316号
(P3577316)
(45)発行日　平成16年10月13日(2004.10.13)　(24)登録日　平成16年7月16日(2004.7.16)

(51)Int.Cl.[7]　F I
H03K 17/687　H03K 17/687　F
H03K 17/10　H03K 17/10

請求項の数 17　(全 9 頁)

(21)出願番号　特願平7-519116
(86)(22)出願日　平成7年1月10日(1995.1.10)
(65)公表番号　特表平9-507728
(43)公表日　平成9年8月5日(1997.8.5)
(86)国際出願番号　PCT/US1995/000423
(87)国際公開番号　WO1995/019660
(87)国際公開日　平成7年7月20日(1995.7.20)
審査請求日　平成13年10月16日(2001.10.16)
(31)優先権主張番号　180,689
(32)優先日　平成6年1月13日(1994.1.13)
(33)優先権主張国　米国(US)

(73)特許権者
アトメル・コーポレイション
アメリカ合衆国、９５１３１　カリフォルニア州、サン・ノゼ、オーチャード・パークウェイ、２３２５
(74)代理人
弁理士　深見　久郎
(74)代理人
弁理士　森田　俊雄
(74)代理人
弁理士　伊藤　英彦
(74)代理人
弁理士　堀井　豊

最終頁に続く

(54)【発明の名称】高電圧検出を用いる破壊保護回路

(57)【特許請求の範囲】
【請求項１】
高電圧回路であって、
接地電位よりも大きい大きさの第１の電源電圧と第２の電源電圧との間で切換わるための電圧入力手段を備え、前記第２の電源電圧は前記第１の電源電圧よりも大きい大きさであり、さらに
前記電圧入力手段と出力ノードとの間に結合された被制御経路を備え、前記被制御経路は直列に接続された制御MOSトランジスタと、保護MOSトランジスタとを含み、前記制御および保護MOSトランジスタの各々はゲート電極を有し、さらに
前記制御MOSトランジスタの前記ゲートに接続され、オン状態とオフ状態との間で前記制御MOSトランジスタを切換えるための信号入力手段と、
２進出力を有し、前記電圧入力手段の出力電位を判断し、出力電位が前記第２の正の電源電圧であるときに前記保護MOSトランジスタに保護する状態を確立し、出力電位が前記第１の正の電源電圧であるときに前記保護MOSトランジスタに保護しない状態を確立するための高電圧検出手段とを備え、前記保護する状態はゲート電圧が前記保護MOSトランジスタの前記ゲート電極に与えられるものであり、このためオフ状態における前記制御MOSトランジスタにかかる電圧が前記保護MOSトランジスタのゲート電圧としきい値電圧との差だけ減らされた前記第２の電源電圧に実質的に維持され、前記保護しない状態はオフ状態における前記制御MOSトランジスタにかかる電圧が最大で前記保護MOSトランジスタのしきい値電圧だけ減らされた前記第１の電源電圧に実質的に維持される、高電圧回路。

【請求項２】
前記制御MOSトランジスタの前記ソース電極が前記電圧入力手段に接続され、前記ドレイン電極が前記保護MOSトランジスタのソース電極に接続され、前記保護MOSトランジスタの前記ドレイン電極が前記出力ノードに接続される、請求項１に記載の回路。
【請求項３】
前記高電圧検出手段は、前記第２の正の電源電圧の電圧源に接続され、前記電圧源を監視する、請求項１に記載の回路。
【請求項４】
前記出力ノードから接地電位への第２の被制御経路をさらに備え、前記第２の被制御経路は直列に接続された第２の保護MOSトランジスタと第２の制御MOSトランジスタとを含み、前記第２の制御MOSトランジスタは、前記信号入力手段に結合され、前記第１の被制御経路の前記制御MOSトランジスタのオン／オフ状態の反対のオン／オフ状態に切換わるためのゲート電極を有し、前記第２の保護MOSトランジスタは、固定電圧源に接続されオフ状態における前記第２の制御MOSトランジスタにかかる電圧が前記第２の保護MOSトランジスタのしきい値電圧より低い前記固定電圧に維持される保護状態を確立するためのゲート電極を有する、請求項１に記載の回路。
【請求項５】
前記制御および保護MOSトランジスタがｐチャネルトランジスタであり、前記電源ノードが前記第２の正の電源電圧であるときに前記高電圧検出手段が前記保護MOSトランジスタの前記ゲート電極を前記第１の正の電源電圧に設定し、それによって前記保護する状態を確立する、請求項１に記載の回路。
【請求項６】
前記制御および保護MOSトランジスタの各々が前記第１の正の電源電圧と前記第２の正の電源電圧との間に破壊電圧を有する、請求項１に記載の回路。
【請求項７】
前記信号入力手段が、制御信号を受け、かつ前記制御信号の正の周期の電圧レベルを前記第２の正の電源電圧に実質的に等しい値に昇圧するよう接続された高電圧信号発生器を含む、請求項１に記載の回路。
【請求項８】
高電圧回路であって、
接地電位より大きい高電圧（V_{PP}）および低電圧（V_{CC}）のうち１つを与えるための第１のスイッチング手段と、
ドレインと、ゲートと、前記第１のスイッチング手段に接続されたソースとを有する第１のｐチャネルトランジスタと、
ドレインと、ゲートと、前記第１のｐチャネルトランジスタの前記ドレインに接続されたソースとを有する第２のｐチャネルトランジスタと、
前記第１のｐチャネルトランジスタをそれぞれオフおよびオンにするよう正の電圧と接地電位との間で前記第１のｐチャネルトランジスタの前記ゲートを選択的に切換えるための制御信号手段と、
前記第１のスイッチング手段に応答し、前記第２のｐチャネルトランジスタの前記ゲートに接続され、前記第１のスイッチング手段がV_{PP}を与えるときにV_{CC}を与え、前記第１のスイッチング手段がV_{CC}を与えるときに接地電位を与えるための第２のスイッチング手段とを含む、高電圧回路。
【請求項９】
前記第２のスイッチング手段が、前記第１のスイッチング手段への高電圧源を監視するよう接続された高電圧検出器を含む、請求項８に記載の回路。
【請求項１０】
第１および第２のｎチャネルトランジスタと出力ノードとをさらに含み、前記出力ノードが前記第２のｐチャネルトランジスタの前記ドレインにあり、前記第１および第２のｎチャネルトランジスタが前記出力ノードから接地電位への経路を形成するよう直列に接続さ

れ、前記第１のｎチャネルトランジスタがV_{CC}に固定されるよう接続されるゲートを有し、前記第２のｎチャネルトランジスタが前記制御信号手段に接続される、請求項８に記載の回路。

【請求項１１】

前記第１のｐチャネルトランジスタの前記ゲートが前記第２のｎチャネルトランジスタの前記ゲートに接続される、請求項10に記載の回路。

【請求項１２】

前記制御信号手段によって発生される正の電圧がV_{PP}に等しい値を有する、請求項10に記載の回路。

【請求項１３】

前記制御信号手段が信号入力と、前記信号入力において信号の正の電位レベルを昇圧するための発生器とを含み、前記昇圧された電位レベルがV_{PP}に等しい値を有する、請求項８に記載の回路。

【請求項１４】

前記第１および第２のｐチャネルトランジスタが薄いゲートMOSトランジスタである、請求項８に記載の回路。

【請求項１５】

高電圧インバータ回路であって、

信号入力と、

前記信号入力に応答して、0Vと正の電圧レベル（V_{CC}）との間および0Vと昇圧された正の電圧レベル（V_{PP}）との間で切換えられる信号出力と、

第１のノードを有し、前記第１のノードの電位をV_{CC}とV_{PP}との間で選択的に切換えるための電圧電源手段と、

前記第１のノードと前記信号出力との間に結合された第１の被制御経路とを備え、前記第１の被制御経路は直列に接続される第１および第２のｐチャネルトランジスタを含み、前記第１のｐチャネルトランジスタのソースは前記電圧電源手段に接続され、前記第２のｐチャネルトランジスタのドレインは前記信号出力に接続され、前記第１および第２のｐチャネルトランジスタの各々はゲートを有し、さらに

前記電圧電源手段に結合され、前記第１のノードがV_{CC}であるときに前記第２のｐチャネルトランジスタの前記ゲートに接地電位を与え、前記第１のノードがV_{PP}であるときに前記第２のｐチャネルトランジスタの前記ゲートにV_{CC}を与えるための検出手段と、

前記信号出力から接地電位への第２の被制御経路とを備え、前記第２の被制御経路は直列に接続された第１および第２のｎチャネルトランジスタを含み、前記第１のｎチャネルトランジスタのドレインは前記信号出力に接続され、前記第２のｎチャネルトランジスタのソースは接地電位に接続され、前記第１のｎチャネルトランジスタは固定されたV_{CC}を受けるよう接続されたゲートを有し、さらに

前記信号入力に接続された入力と前記第１のｐチャネルトランジスタおよび前記第２のｎチャネルトランジスタのゲートに接続された出力とを有し、前記信号入力が論理ハイのとき前記ゲートに正の電圧を与え、前記信号入力が論理ローのときに接地電位を与えるためのスイッチング手段を備え、前記正の電圧は前記第１のｐチャネルトランジスタをオフ状態にするのに十分であり、

前記第１のノードがV_{PP}であり前記スイッチング手段が前記ゲートに前記正の電圧を与えるときに、前記第１のｐチャネルトランジスタのドレインにおける電圧は前記第２のｐチャネルトランジスタのゲートの電圧から前記第２のｐチャネルトランジスタのしきい値電圧を引いたものに実質的に維持される、高電圧インバータ回路。

【請求項１６】

前記スイッチング手段がV_{PP}に実質的に等しい電位の前記正の電圧を与えるよう接続される、請求項15に記載の回路。

【請求項１７】

前記第１および第２のｎチャネルトランジスタおよびｐチャネルトランジスタが薄いゲー

トMOSトランジスタである、請求項15に記載の回路。

【発明の詳細な説明】

技術分野

この発明は一般に高電圧回路に関し、より特定的には高速度および高電圧で動作可能な破壊保護回路に関する。

背景技術

金属酸化物半導体（MOS）技術を用いる集積回路の製造において、ゲート酸化物層は、トランジスタの性能をさらに向上させるためにますます薄くなりつつある。所与の１組の端子電圧については、MOSトランジスタのドレイン電流はゲート酸化物の厚さに反比例している。“薄いゲートトランジスタ”は、300Åの厚さよりも薄いゲート酸化物層を有するだろう。トランジスタチャネルの長さを減らすこともまた、集積回路構成の性能を向上させる。

集積回路のゲートの厚さを減らすと、回路はゲート援助接合破壊によってより影響を受けやすくなる。ゲート援助接合破壊は、論理回路における不適当な電圧レベル、高電圧消費を引起こし、さらに、影響を受けたトランジスタに取消し得ない損傷を引起こし得る。

EPROM,EEPROM,PLDおよびFPGAを含む多くの不揮発性デバイスは破壊することなしに高電圧での動作を必要とする。たとえば、高電圧は書込または消去動作に用いられるだろう。高電圧での破壊に対する保護を含む回路は既に知られている。このような回路は、マーティニス（Martinez）の米国特許第4,161,663号、ラグナサン（Raghunathan）他の第4,689,504号、クウェイバ（Cuevas）の第4,845,381号およびギーヨ（Guillot）の第5,054,001号に記載されている。先行技術の回路は、設計されたようにうまく働くものの、ある欠点がある。たとえば、いくつかの回路は従来の電源電圧（V_{CC}）および高動作電圧（V_{PP}）を必要とするだけでなく、中間電圧（V_1およびV_2）もまた必要とする。別の欠点は、公知の回路のうちいくつかは、出力ノードにおいてV_{PP}と接地との間、または出力ノードにおいてV_{PP}とV_{CC}との間で切換わることに限定される。V_{PP}と接地との間か、V_{CC}と接地との間かを選択することを可能にする回路は典型的に複雑である。この複雑さは回路の速度を減少させることが多い。

この発明の目的は、回路をゲート援助接合破壊によって影響されやすくすることなしに、かつ複雑さなしに高速度で薄いゲートトランジスタの使用を可能にする高電圧回路を提供することである。

発明の概要

上記の目的は、第１に被制御経路への入力ノードが高い正の電源電圧（V_{PP}）であるか、低い正の電源電圧（V_{CC}）であるかを判断し、第２にその判断に基づいて破壊保護モードを確立するために高電圧検出器を用いる回路によって満たされる。被制御経路は制御MOSトランジスタおよび保護MOSのトランジスタのソースおよびドレイン電極の直列の接続を含む。破壊保護モードにおいて、保護MOSトランジスタは制御MOSトランジスタにかかる電圧を制限する。保護しないモードにおいて、保護MOSトランジスタは回路動作に透過的なまま保たれる。

高電圧検出器は被制御経路への電圧を監視するよう接続される。監視は被制御経路への入力ノードにおいて直接的であってもよい。これに代えて、高電圧電源がいつ入力ノードと電気的にやり取りしているかを感知してることによるように、監視は間接的であってもよい。もし、入力ノードがV_{PP}であるならば、高電圧検出器は、制御MOSトランジスタの“オフ”状態への切換が、保護MOSトランジスタをオフにさせることとなるように保護MOSトランジスタのゲートにバイアスをかける。この結果、制御MOSトランジスタにかかる電圧降下は、保護MOSトランジスタのゲート電圧およびしきい値電圧の差だけ減らされることとなる。好ましい実施例において、ゲート電圧はV_{CC}に等しく、このため中間電圧を発生させる必要はない。もしV_{CC}が5Vに等しく、しきい値電圧が－１ボルトならば、制御MOSトランジスタにかかる電圧は6Vだけ減らされることとなり、トランジスタがゲート援助接合破壊を受ける可能性がより低くなる。

もし被制御経路への入力ノードがV_{CC}であるならば、破壊保護は必要でない。その場合、

制御MOSトランジスタの状態にかかわらず保護MOSトランジスタを“オン”状態に保つよう、高電圧検出器は保護MOSトランジスタのゲート電圧を確立する。たとえば、もし被制御経路にあるトランジスタの両方がｐチャネルトランジスタであるならば、ゲート電圧は0に設定されてもよく、保護MOSトランジスタを回路動作に透過的にする、保護しない状態を確実にする。

制御MOSトランジスタのゲート電圧は、入力信号によって定められる。被制御経路にあるトランジスタの両方がｐチャネルトランジスタである場合、高電圧信号発生器は入力信号を受け、ゲート電圧をV_{PP}と接地との間で切換える。被制御経路は回路出力および、第２の保護MOSトランジスタと第２の制御MOSトランジスタとを有する第２の被制御経路に繋がる。第２の制御MOSトランジスタはソースにおいて接地電位に連結され、上述の制御MOSトランジスタのゲートに接続されるゲートを有する。このため、ゲート電圧は入力信号によって命令されるが、一方の制御MOSトランジスタがｎチャネルデバイスであり、他方がｐチャネルデバイスである場合、２つの制御トランジスタのうち一方のオン／オフ状態は、他方の逆となるだろう。第２の制御MOSトランジスタのドレインは、第２の保護MOSトランジスタのソースに接続される。第２の制御経路の２つのトランジスタがｎチャネルトランジスタであるとき、第２の保護MOSトランジスタのゲート電圧はV_{CC}に固定され得る。このゲート電圧では、このトランジスタはV_{CC}におけるトランジスタの動作に透過的であるが、V_{PP}が被制御経路に与えられるとき、第２の制御MOSトランジスタにかかる電圧を制限する。

決定的に重要であるわけではないが、回路はインバータでもよく、被制御経路の入力ノードに与えられる電圧に依存して、入力信号はV_{PP}と接地電位またはV_{CC}と接地電位のいずれかの間で出力を切換える。

この発明の利点は、２つの保護MOSトランジスタが、回路をゲート援助接合破壊の危険にさらすことなしに、薄いゲートトランジスタを用いて回路が形成されるのを可能にすることである。さらに、保護MOSトランジスタはV_{CC}モードにおいては動作に影響を及ぼさず、V_{PP}モードでも加える複雑さは最小限である。高電圧検出器は、V_{CC}/接地切換の間保護回路の透過性を確実にする。

【図面の簡単な説明】

図１は、この発明に従った破壊保護トランジスタを有するインバータの第１の実施例の概略図である。

図２は、この発明に従った破壊保護トランジスタを有するインバータの第２の実施例の概略図である。

発明を遂行するためのベストモード

図１を参照して、高電圧電源10は、電源ノード14において低い正の電圧（V_{CC}）と高い正の電圧（V_{PP}）との間で切換わるためのV_{PP}/V_{CC}スイッチ12に接続されて示される。電源10とV_{PP}/V_{CC}スイッチとの間の接続は高電圧電源10内における内部的な接地ノード60によって選択的に遮断されてもよく、V_{PP}/V_{CC}スイッチはそのような遮断が起こるたびに電源ノード14にV_{CC}を自動的に与えるよう設計されてもよい。もし電源10がV_{CC}とV_{PP}とを交互にすることができるならば、V_{PP}/V_{CC}スイッチは用いられない。

電源ノード14は２つのｐチャネルトランジスタ16および18を含む第１の被制御経路への入口である。第１のｐチャネルトランジスタ16は制御MOSデバイスであり、第２のｐチャネルトランジスタは保護MOSデバイスとして機能するよう設計される。出力20は、電源ノード14における電圧レベルに依存して、接地電位とV_{CC}または、接地電位とV_{PP}のいずれかの間で切換わる。入力信号は信号線22において高電圧信号発生器24によって受けられる。好ましい実施例において、信号線22でローであれば、ゲートノード26において接地電位を生じることとなり、ハイであればゲートノードをV_{PP}に上げることとなる。ゲートノードは第１のｐチャネルトランジスタ16のゲート28に接続される。接地電位では、ソース30における電圧レベルは、電源ノード14がV_{CC}であるかV_{PP}であるかにかかわらず、ゲートの電圧レベルを超えることとなるため、ゲート28はトランジスタを“オン”状態にさせるだろう。信号線22における論理ハイは、ゲート28においてV_{PP}を与え、電圧レベルをソース30の

電圧レベルと少なくとも同じ大きさに、それによってトランジスタ16を“オフ”状態に切換える。
高電圧検出器32は第１のｐチャネルトランジスタ16への電圧を監視するよう接続される。図１の回路において、監視は高電圧電源10の出力を判断することによって間接的になされる。電源ノード14における電圧がV_{CC}であると判断されると、高電圧検出器は保護ノード34において接地電位を確立する。保護ノードは第２のｐチャネルトランジスタ18のゲート36に接続される。接合ノード38は第１のトランジスタ16のドレイン40と第２のトランジスタ18のソース42との接続部にある。第１および第２のｐチャネルトランジスタの両方がオン状態にあるとき、第２のトランジスタのドレイン44からの出力線20は電源ノード14と同じ電圧レベルにある。２つのトランジスタは、第１のトランジスタのゲート28が接地電位である限りオンのまま保たれることとなる。
第１および第２のｐチャネルトランジスタ16および18がオンのとき、第１のｎチャネルトランジスタ46と第２のｎチャネルトランジスタ48のうち少なくとも１つがオフである。ｎチャネルトランジスタとｐチャネルトランジスタとの違いのため、ゲートノード26における接地電位はｐチャネルトランジスタ16をオンに切換え、ｎチャネルトランジスタ48をオフに切換える。この逆のことも言える。すなわち、第１のｐチャネルトランジスタ16がゲート28のV_{PP}によってオフに切換えられるとき、第２のｎチャネルトランジスタ48がオンにされる。ゲート50におけるV_{PP}はトランジスタ48のドレイン52からソース54への経路を確立する。第１のｎチャネルトランジスタ46のゲート56はV_{CC}に固定され、これによってドレイン58における電圧がゲート56における電圧を超えない限りトランジスタ46がオンのまま保たれることとなる状態を確立する。
動作において、ｐチャネルトランジスタ16と18およびｎチャネルトランジスタ46と48のオン／オフ状態を定めるための、電圧の４つの起こり得る組合せがある。これらの組合せのうちの第１の組合せにおいて、高電圧電源10は、V_{CC}が電源ノード14にあるように線60に沿ってV_{PP}/V_{CC}スイッチ12に電位を与える。高電圧検出器32は線62によって電源10に接続される。電源10の低電圧または電圧設定がないことは、検出器が保護ノード34において接地電位を提供する結果に終わる。高電圧信号発生器24は信号線22における入力に依存して、接地とV_{PP}との間で切換わる。V_{PP}は、線60の電圧から独立した高電圧信号発生器24をV_{PP}接続する、線64を介する高電圧電源10への接続によって得られる。電源ノード14がV_{CC}であり、ゲートノード26が接地であれば、第１のｐチャネルトランジスタ16はオン状態になり、第２のｎチャネルトランジスタ48はオフ状態になるだろう。ｐチャネルトランジスタ16および18の両方が、ゲート28および36において接地電位を有することとなり、そのため出力線20はV_{CC}になるであろう。
４つの起こり得る組合せのうちの第２の組合せにおいては、電源ノード14はV_{CC}のままであるが、信号線22に沿った入力は論理ハイである。その場合、発生器24はゲートノード26においてV_{PP}を与え、第１のｐチャネルトランジスタ16をオフにし、第２のｎチャネルトランジスタ48をオンにする。出力線20から第２のｎチャネルトランジスタのソース54における接地への被制御経路は、出力線を接地に引き下げる。したがって、図１の回路はインバータとして働く。
電源ノード14がV_{CC}であるとき、第２のｐチャネルトランジスタ18および第１のｎチャネルトランジスタ46は回路動作に透過的である。すなわち、これらのトランジスタはともにオン状態のままであるが、第１のｐチャネルトランジスタ16および第２のｎチャネルトランジスタ48は、２つのゲート28および50における電位を変更させることによってオンおよびオフに切換えられる。高電圧検出器32は、ゲート36を接地に維持することによって、第２のｎチャネルトランジスタ48のために、保護しない状態を確立する。
電源電圧および入力信号レベルの第３の組合せにおいて、高電圧電源10は電源ノード14においてV_{PP}を確立するよう切換えられ、信号線22での入力は論理ローである。このモードにおいて、第１のｐチャネルトランジスタ16のゲート28は0Vであり、トランジスタはオンである。対照的に、第２のｎチャネルトランジスタ48のゲート50は0Vであるため、トランジスタはオフにされ、このため出力線20からの接地経路は阻止される。高電圧電源10がハ

イであるので検出器32は第２のｐチャネルトランジスタ18のゲート36にV_{CC}を与える。ゲート36でのV_{CC}は電源ノード14からのV_{PP}によって上回られ、トランジスタ18は、出力線20が電源ノード14のレベル、すなわちV_{PP}に引上げられるのを可能にするようオンのまま保たれる。

４つの組合せのうち最後のものにおいて、電源10は高電圧のままであるが、信号線22は論理ハイに切換えられる。この状態において、第１のｐチャネルトランジスタ16のゲート28はV_{PP}になり、電源ノード14でのレベルと一致する。このため、第１のｐチャネルトランジスタはオフに切換えられる。同時に、第２のｎチャネルトランジスタ48のゲート50におけるV_{PP}は、トランジスタをオンにし出力線20への接地経路を確立する。

上述のとおり、信号線22での論理レベルは反転され、電源ノード14での電位に依存して、出力線20を0VとV_{CC}または0VとV_{PP}のいずれかの間で切換える。トランジスタ16、18、46および48の各々は、薄いゲートトランジスタであり、このためインバータは高速で動作できる。電源ノード14においてV_{CC}ならば、薄いゲートトランジスタはゲート援助接合破壊による影響を受けやすくない。しかし、V_{PP}はトランジスタの破壊電圧を超えるだろう。第２のｐチャネルトランジスタ18および第１のｎチャネルトランジスタ46は他方の２つのトランジスタ16および48への損傷を防ぐよう回路に含まれる。第２のｎチャネルトランジスタ48がオフのとき、第１のｎチャネルトランジスタ46は全V_{PP}が第１のｎチャネルトランジスタに達するのを防ぐだろう。これは、第１のトランジスタ46のソース66と第２のトランジスタ48のドレイン52との接合点が、トランジスタのしきい値電圧とゲート56との間の電位差に等しい電位に達すると、第１のトランジスタ46がオフにされ、さらなる電圧増加は第２のトランジスタ48のドレイン52に達しないからである。以上に述べられた実施例において、ゲート電圧56が5VのV_{CC}電圧であり、しきい値電圧がおよそ1Vであってもよいため、第２のトランジスタ48のドレイン52およびソース54にかかる電圧は4Vに制限されることとなる。しかし、これらの電圧は発明に決定的に重要であるわけではない。

ゲートノード26が信号線22における論理ハイによってV_{PP}のレベルにされるとき、２つのｎチャネルトランジスタ46および48はオンになるだろう。同時に、第１のｐチャネルトランジスタ16はオフに切換えられるだろう。接合ノード38におけるレベルが36でのゲート電圧からｐチャネルトランジスタ16および18のしきい値電圧を減じたものに等しい電圧に降下することとなるため、第２のｐチャネルトランジスタ18もまた遮断されるだろう。２つのトランジスタ16および18が両方オフであるので、制御トランジスタ16はV_{PP}レベル全部を降下させない。

高電圧検出器32は、電源ノード14から出力線20への第１の被制御経路が、V_{CC}で動作可能であるかV_{PP}で動作可能であるかを判断する。それから、検出器は、その判断に従って保護する状態または保護しない状態を第２のｐチャネルトランジスタ18において確立する。同じ保護が高電圧信号発生器24内の薄いゲートMOSトランジスタに対して達成され得る。線68は、発生器24の回路構成内の図示していない保護MOSトランジスタに信号を与えるために含まれる。

次に図２を参照して、第２のインバータ回路70が、図１と同じ要素を含むが、異なった配列において示されるV_{PP}と接地との間で内部的に切換わることができる高電圧電源72は、図１のV_{PP}/V_{CC}スイッチ12と同じ態様で、電源ノード76でV_{CC}またはV_{PP}のいずれかを与えるようV_{PP}/V_{CC}スイッチ74に接続される。回路の第１の被制御経路は、制御ｐチャネルトランジスタ78および保護ｐチャネルトランジスタ80を含む。ｐチャネルトランジスタの各々がオンのとき、出力線82は電源ノード76と同じレベルにあるだろう。第２の被制御経路は制御ｎチャネルトランジスタ84および保護ｎチャネルトランジスタ86を含む。制御トランジスタ78および84のゲート88および90が接続されているので、回路70が電力を受けるときはいつでも一方の被制御経路は電気的に開放しており、他方は、電気的に短絡しているだろう。

高電圧検出器92は電源ノード76における電圧レベルを監視するよう直接的に接続される。電源ノードがV_{CC}であれば、検出器に、保護ｐチャネルトランジスタ80のゲート94が接地にある、保護しない状態を確立させることとなる。電源ノード76がV_{PP}であれば、ゲート9

4のレベルがV_{CC}に上げられ、保護状態を確立することとなる。
保護ｎチャネルトランジスタ86のゲート96はV_{CC}に固定される。このため、制御ｎチャネルトランジスタがオフでありかつ出力線82において高電圧であるという組合せがないときは、保護ｎチャネルトランジスタ86は回路70の動作に透過的なまま保たれる。制御トランジスタ78および84のゲート88および90は、制御信号デバイス98に各々接続される。デバイスは、図１の信号発生器と同じ態様で働いてもよいが、これは決定的に重要であるわけではない。デバイスはV_{PP}/V_{CC}スイッチ74から入力を受取る。オプションとして、入力線100におけるレベルによってゲート88および90が電源ノード76に接続およびそこから切離されてもよい。このように、V_{CC}動作において、ゲート88および90は信号線100における論理レベルの変化によって、V_{CC}と接地との間で切換えられるだろう。V_{PP}動作において、信号入力線100における論理レベルによってゲート88および90が接地電位であるかはV_{PP}であるかが決定される。
トランジスタ78、80、84および86は図１を参照して述べられたのと同じ態様で動作する。もし、制御ｐチャネルトランジスタ78がオフであり、電源ノード76がV_{PP}であるならば、保護ｐチャネルトランジスタ80はオフになり、制御ｐチャネルトランジスタがそれにかかる全電圧を有するのを防ぐ。２つのｐチャネルトランジスタの接合点は、94におけるゲート電圧からトランジスタのしきい値電圧を引いたものより低くならないだろう。同様に、保護ｎチャネルトランジスタ86は制御ｎチャネルトランジスタ84にかかる電圧を限定する。
保護トランジスタのための保護する状態および保護しない状態を確立するための高電圧検出器の使用が、インバータ回路においてｐチャネルトランジスタと用いられるように述べられ、例示されてきたが、これは決定的に重要であるわけではない。制御トランジスタと保護トランジスタと高電圧検出器との組合せは他の回路においても用いられてよい。

【図１】

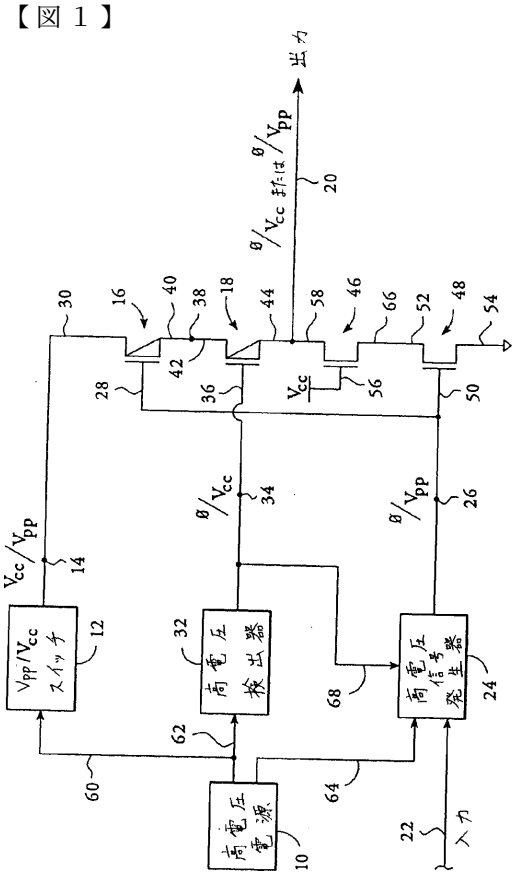


FIG. 1

【図２】

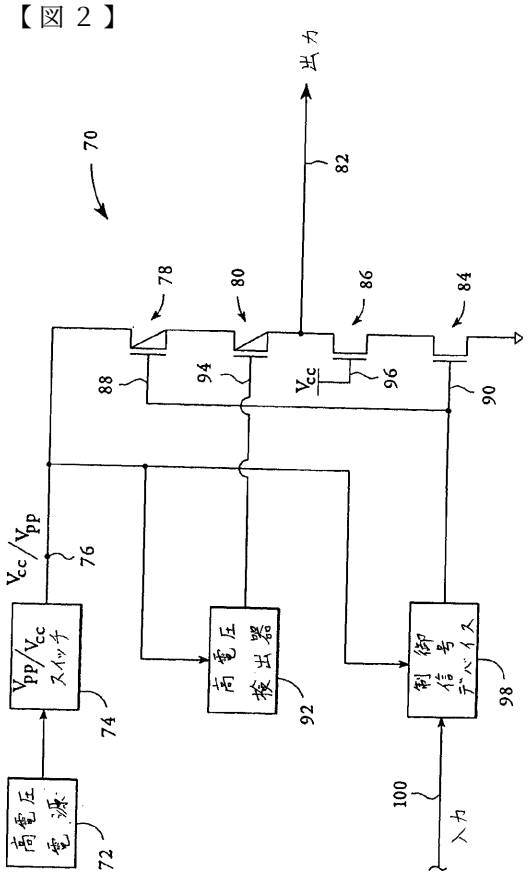


FIG. 2

フロントページの続き

(72)発明者　パサック，サロー
アメリカ合衆国、９４０２２　カリフォルニア州、ロス・アルトス・ヒルズ、ロブレダ・ロード、１２９９８
(72)発明者　ペイン，ジェームズ・イー
アメリカ合衆国、９５００５　カリフォルニア州、ボルダー・クリーク、ブルック・レーン、１２５
(72)発明者　ローゼンデール，グレン・エイ
アメリカ合衆国、９５０５０　カリフォルニア州、サンタ・クララ、モンロー・ストリート、２２５０、アパートメント・ナンバー・２６８

審査官　柳下　勝幸

(56)参考文献　特開昭５０－１４５０６５（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
H03K 17/00
H03K 19/00