



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I767233 B

(45) 公告日：中華民國 111 (2022) 年 06 月 11 日

(21) 申請案號：109116786 (22) 申請日：中華民國 109 (2020) 年 05 月 20 日

(51) Int. Cl. : **G06F30/327 (2020.01)** **G06F30/398 (2020.01)**
G06N20/00 (2019.01)

(30) 優先權：2019/05/20 美國 62/850,026
2020/05/18 美國 16/876,382
2020/05/18 世界智慧財產權組織 PCT/US20/33473

(71) 申請人：美商賽諾西斯公司 (美國) SYNOPSYS, INC. (US)
美國

(72) 發明人：塞席爾 湯瑪士 克里斯多夫 CECIL, THOMAS CHRISTOPHER (US)

(74) 代理人：陳長文

(56) 參考文獻：

TW	201816670A	US	8452075B2
US	2009/0313596A1	US	2019/0147127A1

審查人員：易昶霈

申請專利範圍項數：18 項 圖式數：9 共 40 頁

(54) 名稱

用於使用基於機器學習的編碼在電子電路佈局中的圖案分類之方法、非暫時性電腦可讀媒體、及系統

(57) 摘要

本發明揭示一種系統，其執行用於電子電路之大佈局之圖案分類之分散式或並行圖案提取及叢集化。該系統使用一佈局表示識別電路圖案。該系統使用一基於神經網路之自動編碼器編碼該等電路圖案以產生可有效地儲存之經編碼電路圖案。該系統基於一高類似性程度將該等經編碼電路圖案叢集化為任意數目個叢集。電路圖案之該等叢集可用於訓練及評估基於機器學習之模型。

A system performs distributed or parallel pattern extraction and clustering for pattern classification of large layouts of electronic circuits. The system identifies circuit patterns with a layout representation. The system encodes the circuit patterns using a neural network based autoencoder to generate encoded circuit patterns that can be stored efficiently. The system clusters the encoded circuit patterns into an arbitrary number of clusters based upon a high degree of similarity. The clusters of circuit patterns may be used for training and evaluation of machine learning based models.

指定代表圖：

符號簡單說明：

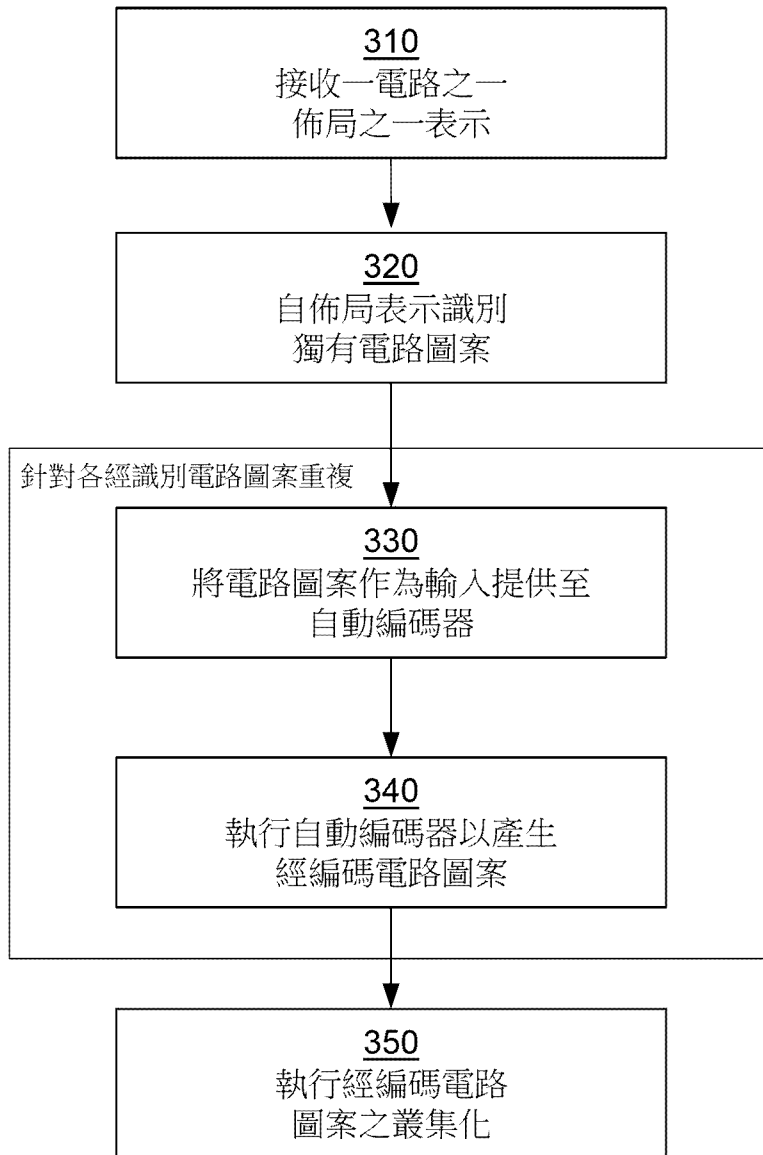
310:步驟

320:步驟

330:步驟

340:步驟

350:步驟



【圖3】



I767233

【發明摘要】

【中文發明名稱】

用於使用基於機器學習的編碼在電子電路佈局中的圖案分類之方法、非暫時性電腦可讀媒體、及系統

【英文發明名稱】

METHOD, NON-TRANSITORY COMPUTER READABLE MEDIUM, AND SYSTEM FOR CLASSIFICATION OF PATTERNS IN AN ELECTRONIC CIRCUIT LAYOUT USING MACHINE LEARNING BASED ENCODING

【中文】

本發明揭示一種系統，其執行用於電子電路之大佈局之圖案分類之分散式或並行圖案提取及叢集化。該系統使用一佈局表示識別電路圖案。該系統使用一基於神經網路之自動編碼器編碼該等電路圖案以產生可有效地儲存之經編碼電路圖案。該系統基於一高類似性程度將該等經編碼電路圖案叢集化為任意數目個叢集。電路圖案之該等叢集可用於訓練及評估基於機器學習之模型。

【英文】

A system performs distributed or parallel pattern extraction and clustering for pattern classification of large layouts of electronic circuits. The system identifies circuit patterns with a layout representation. The system encodes the circuit patterns using a neural network based autoencoder to generate encoded circuit patterns that can be stored efficiently. The system clusters the encoded circuit patterns into an arbitrary number of clusters based upon a high degree of similarity. The clusters of circuit patterns may be used for training and evaluation of machine learning based models.

【指定代表圖】

圖3

【代表圖之符號簡單說明】

310:步驟

320:步驟

330:步驟

340:步驟

350:步驟

【發明說明書】

【中文發明名稱】

用於使用基於機器學習的編碼在電子電路佈局中的圖案分類之方法、非暫時性電腦可讀媒體、及系統

【英文發明名稱】

METHOD, NON-TRANSITORY COMPUTER READABLE MEDIUM, AND SYSTEM FOR CLASSIFICATION OF PATTERNS IN AN ELECTRONIC CIRCUIT LAYOUT USING MACHINE LEARNING BASED ENCODING

【技術領域】

【0001】本發明大體上係關於電子設計自動化之領域且更具體言之，係關於用於使用圖案之基於機器學習的編碼之電子電路之大佈局之圖案分類之分散式圖案提取及叢集化。

【先前技術】

【0002】大電子電路之電子設計自動化通常處理含有數十億個獨有圖案之大設計。一些應用(諸如微影模型擬合及機器學習(ML)模型訓練)需要理解一設計內之圖案之類型使得模型良好外推至該等圖案。在電子電路之電路群組圖案至子群組或叢集之電子設計自動化期間執行某些程序，其中各子群組或叢集含有類似圖案，使得來自各叢集之一個代表性圖案可用於表示叢集。歸因於當前電子電路之大的大小，執行圖案收集及使用十億(或更多)個圖案之後續叢集化在一單一運算系統上不實際，此係因為一單一運算系統通常不具有充分記憶體及運算能力以負載及處理此等大電子電路。因此，無法跨大量電腦處理器分佈之習知技術可僅處理小電子電路。

【發明內容】

【0003】揭示用於電子電路之佈局之分類之一組態(例如，系統、方法、包含可由一處理器執行之經儲存指令之非暫時性電腦可讀儲存媒

體)。接收一電路之一佈局之一表示。該佈局表示包含幾何形狀。自該電路設計之該佈局表示提取一組電路圖案。編碼該組電路圖案以產生一組經編碼電路圖案。藉由將該電路圖案作為輸入提供至經組態以接收一輸入電路圖案且產生一經編碼電路圖案之一基於機器學習之編碼器而執行一電路圖案之編碼。使用比該輸入電路圖案更少之資料表示該經編碼電路圖案。執行該編碼器以產生對應於該輸入電路圖案之一經編碼電路圖案。將該組經編碼電路圖案叢集化為叢集。

【0004】 在一實施例中，該基於機器學習之編碼器係執行(1)編碼及(2)解碼之一基於神經網路之自動編碼器。可使用函數/步驟組執行該編碼/解碼。

【0005】 叢集可用於訓練或評估基於機器學習之模型。例如，可藉由自各叢集選擇電路圖案之一子集用於訓練基於機器學習之模型而訓練一機器學習模型。類似地，可藉由自各叢集選擇電路圖案之一子集用於評估基於機器學習之模型而評估機器學習模型。

【0006】 根據一實施例，使用分散式訓練訓練基於機器學習之編碼器。因此，判定訓練資料集。各訓練資料集包含電路圖案。電腦處理器用於並行訓練基於機器學習之編碼器。各電腦處理器使用訓練資料集之一者判定基於機器學習之編碼器之一組參數。參數表示基於機器學習之編碼器之權重。例如，基於機器學習之模型可係包括節點之一神經網路，其中各節點表示節點之輸入之一線性組合，其中根據參數使輸入加權。基於機器學習之編碼器之權重係在基於機器學習之編碼器之訓練期間(例如)經由反向傳播之一程序調整之模型之可調整參數。經訓練基於機器學習之模型之參數應用至新輸入以使用模型進行預測。彙總經並行產生之該組參數以獲

得基於機器學習之編碼器之一組經組合參數。此程序可重複多次。

【0007】 在一實施例中，基於機器學習之編碼器係包含包括接收輸入電路圖案以產生經編碼電路圖案之一組層之一卷積組件及包括接收經編碼電路圖案作為輸入且產生電路圖案之一輸出表示之一組層之一反卷積組件之一神經網路。卷積組件及反卷積組件之各者包含神經網路之一組層，各層接收一組值，處理該組值且將結果提供至下一層。替代地，可將卷積組件及反卷積組件之各者視為執行一序列步驟，各步驟接收一輸入，處理輸入且將結果提供至下一步驟。

【0008】 根據一實施例，使用一階層式叢集化技術執行經編碼電路圖案之叢集化。使用將各叢集並行重複地劃分為子叢集之一分散式系統執行階層式叢集化技術。

【0009】 根據一實施例，階層式叢集化針對各叢集判定是否應將叢集進一步細分為子叢集。針對各叢集，判定叢集內之電路圖案之類似性之一量測。系統判定電路圖案之類似性之量測是否表示小於叢集之電路圖案之間之類似性之一臨限程度。若一叢集之電路圖案之類似性之量測表示小於叢集之電路圖案之間之類似性之一臨限程度，則將叢集進一步細分為子叢集。其他實施例可使用其他準則以判定是否繼續將一叢集細分為子叢集，如本文中進一步描述。

【圖式簡單說明】

【0010】 自下文給出之詳細描述且自本發明之實施例之附圖，將更完全理解本發明。該等圖係用於提供本發明之實施例之知識及理解且不將本發明之範疇限於此等特定實施例。此外，圖不一定按比例繪製。

【0011】 圖1描繪根據本發明之一些實施例之在一積體電路之設計及

製造期間使用之各種程序之一流程圖。

【0012】圖2展示根據一實施例之一佈局分類系統之一系統架構之一方塊圖。

【0013】圖3展示繪示根據一實施例之佈局分類之整體程序之一流程圖。

【0014】圖4繪示根據一實施例之使用一例示性佈局之程序之整體流程。

【0015】圖5描繪根據一實施例之一自動編碼器模型。

【0016】圖6描繪根據一實施例之一原始柵格化電路圖案及其經編碼表示。

【0017】圖7描繪根據一實施例之一電路之一佈局之一自上而下階層式叢集化之一實例。

【0018】圖8描繪根據一實施例之在叢集項已解編碼回至柵格化多邊形空間之後之叢集項之一實例。

【0019】圖9描繪其中本發明之實施例可操作之一例示性電腦系統之一抽象圖。

【實施方式】

相關申請案之交叉參考

【0020】本申請案主張2019年5月20日申請之美國專利申請案第62/850,026號之權利，該案之內容以引用的方式併入本文中。

【0021】大電路通常具有若干重複電路圖案。例如，電路佈局可具有幾何形狀之重複圖案。類似電路圖案儲存類似資訊。因此，若將大量類似電路圖案提供為用於訓練一機器學習模型之訓練資料集，則模型可能

夠處理未提供為訓練資料之其他類型之電路圖案。

【0022】 根據一實施例之一佈局分類系統對一電路之電路圖案分類以產生類似電路圖案之叢集。電路圖案之叢集可用於(例如)產生用於訓練包含不同類型之電路圖案而非大量類似電路圖案之機器學習模型之訓練資料集。因此，相較於使用包含大量類似電路圖案之訓練資料集訓練之一模型，使用經產生訓練資料集訓練之一機器學習模型能夠處置遠更廣泛多種電路圖案。

【0023】 大電子電路之佈局可包含數十億個電路圖案。載入及處理此大量資料可消耗大量運算以及輸入/輸出資源。用於叢集化此等大電路之佈局之習知技術緩慢且效率低或需要昂貴的運算資源。

【0024】 實施例藉由執行包含以下項之步驟而執行叢集化：(1)接收一電路設計且使用分散式處理(DP)以尋找電路中之全部獨有圖案。(2)使用分散式訓練對一基於機器學習之編碼器模型進行訓練。此編碼器將電路圖案壓縮至一更小大小，使得一電路圖案之經編碼表示使用比電路圖案之一解編碼表示顯著更少之資料。(3)例如，使用一分散式階層式叢集化方法將經壓縮資料圖案叢集化成叢集。

【0025】 使用更少資料之電路圖案之編碼容許運算資源載入且處理遠更大量電路圖案。此減少用於處理電路之運算時間以及輸入/輸出額外耗用。此外，佈局分類系統執行(例如)用於訓練基於機器學習之編碼器及用於叢集化經編碼電路圖案之各種步驟之分散式處理。分散式處理容許使用大量運算程序並行執行叢集化程序之各種步驟，藉此使程序加速且容許在合理時間內處理遠更大電路。

電子設計自動化程序

【0026】圖1繪示在一製品(諸如一積體電路)之設計、驗證及製造期間使用以變換及驗證表示積體電路之設計資料及指令之一組例示性程序100。此等程序之各者可經結構化且啟用為多個模型或操作。術語「EDA」表示術語「電子設計自動化」。此等程序以使用由一設計師供應之資訊產生一產品理念110開始，變換資訊以產生使用一組EDA程序112之一製品。當設計完成時，對設計進行成品出廠驗證134，當該設計係積體電路之原圖(例如，幾何圖案)時，其被發送至一製造設施以製造遮罩組，該遮罩組接著用於製造積體電路。在成品出廠驗證之後，製造136一半導體晶粒且執行封裝及組裝程序138以產生成品積體電路140。

【0027】一電路或電子結構之規範可在自低階電晶體材料佈局至高階描述語言之範疇內。可使用一高階抽象化以使用一硬體描述語言(「HDL」)(諸如VHDL、Verilog、SystemVerilog、SystemC、MyHDL或OpenVera)設計電路及系統。可將HDL描述變換為一邏輯級暫存器傳輸層級(「RTL」)描述、一閘層級描述、一佈局層級描述或一遮罩層級描述。各較低抽象層級(其係一較不抽象描述)將更有用細節(例如，包含描述之模組之更多細節)添加至設計描述。較低抽象層級(其係較不抽象描述)可由一電腦產生、自一設計程式庫導出或由另一設計自動化程序產生。用於指定更詳細描述之在一較低層級之抽象語言下之一規範語言之一實例係SPICE，其用於具有許多類比組件之電路之詳細描述。啟用在各抽象層級處之描述以藉由該層之對應工具(例如，一正式驗證工具)使用。一設計程序可使用圖1中描繪之一序列。所述程序由EDA產品(或工具)啟用。

【0028】在系統設計114期間，指定待製造之一積體電路之功能性。

可針對諸如功率消耗、效能、區域(實體及/或代碼行)及成本降低等之所要特性最佳化設計。設計至不同類型之模組或組件之分區可在此階段處發生。

【0029】 在邏輯設計及功能驗證116期間，以一或多個描述語言指定電路中之模組或組件且針對功能準確性檢查規範。例如，可驗證電路之組件以產生匹配經設計之電路或系統之規範之要求之輸出。功能驗證可使用模擬器及其他程式，諸如測試平台產生器、靜態HDL檢查器及正式驗證器。在一些實施例中，使用稱為「仿真器」或「原型系統」之組件之特殊系統以加速功能驗證。

【0030】 在測試之合成及設計118期間，將HDL程式碼變換為一接線對照表。在一些實施例中，一接線對照表可係一圖表結構，其中圖表結構之邊緣表示一電路之組件且其中圖表結構之節點表示組件如何互連。HDL程式碼及接線對照表兩者係可由一EDA產品使用以驗證積體電路在製造時根據指定設計執行之階層式製品。可針對一目標半導體製造技術最佳化接線對照表。另外，可測試成品積體電路以驗證積體電路滿足規範之要求。

【0031】 在接線對照表驗證120期間，針對與時序約束之相容性且針對與HDL程式碼之對應性檢查接線對照表。在設計規劃122期間，針對時序及頂部層級路由建構及分析積體電路之一整體平面設計。

【0032】 在佈局或實體實施方案124期間，發生實體放置(諸如電晶體或電容器之電路組件之定位)及路由(電路組件藉由多個導體之連接)，且可執行用於啟用特定邏輯函數之單元自一程式庫之選擇。如本文中使用的術語「單元」可指定提供一布林(Boolean)邏輯函數(例如，AND、OR、NOT、XOR)或一儲存函數(諸如一正反器或鎖存器)之一組電晶體、

其他組件及互連。如本文中描述，一電路「區塊」可係指兩個或兩個以上單元。一單元及一電路區塊兩者可稱為一模組或組件且作為實體結構且在模擬中兩者啟用。針對選定單元(基於「標準單元」)指定參數(諸如大小)且使其等可在一資料庫中存取以供EDA產品使用。

【0033】 在分析及提取126期間，在允許佈局設計之改良之佈局層級處驗證電路功能。在實體驗證128期間，檢查佈局設計以確保製造約束(諸如DRC約束、電約束、微影約束)正確且電路功能匹配HDL設計規範。在解析度增強130期間，變換佈局之幾何形狀以改良如何製造電路設計。

【0034】 在成品出廠驗證期間，產生資料以(在視需要應用微影增強之後)用於微影遮罩之產生。在遮罩資料準備132期間，使用「成品出廠驗證」資料以產生用於產生成品積體電路之微影遮罩。

【0035】 一電腦系統(諸如圖9之電腦系統900或圖8之主機系統807)之一儲存子系統可用於儲存由本文中描述之一些或全部EDA產品使用之程式及資料結構及用於開發程式庫之單元及使用程式庫之實體及邏輯設計之產品。

【0036】 實施例可用於在儲存電路佈局(例如，佈局或實體實施方案124、分析及提取126、遮罩資料準備132等)之電子設計自動化程序之各種階段期間處理電路設計。

佈局分類系統之架構

【0037】 圖2展示根據一實施例之一佈局分類系統之一系統架構之一方塊圖。佈局分類系統210包含一電路圖案產生組件220、一自動編碼器230、一模型訓練組件240及一叢集化組件250。其他實施例可包含多於或少於本文中指示之組件之組件。在本文中指示為藉由一特定組件執行之功

能性可藉由與本文中指示之組件不同之組件執行。

【0038】 電路圖案產生組件220自一電路之佈局之一表示提取一組電路圖案。一電路圖案在本文中亦稱為一素材(clip)。在一實施例中，電路圖案產生組件220將佈局劃分為較小片段且運算一獨有識別符(諸如各片段之一幾何雜湊鍵)。完成獨有識別符之運算使得系統可具有各素材之一緊密識別符，可比較該緊密識別符與其他素材之其他緊密識別符以查看素材是否相同。雜湊鍵係幾何形狀之頂點位置之一數學函數。例如，數學函數可彙總頂點位置且使用一預定值作為一除數判定一模數(或餘數)值。其他幾何雜湊函數可由各項實施例使用。電路圖案產生組件220將各素材之雜湊鍵連同素材之位置一起儲存至一資料庫使得可隨後存取雜湊鍵。資料庫容許識別哪些電路圖案存在於電路之不同位置中且因此識別總體表示電路中之全部經變動幾何形狀之獨有電路圖案組。

【0039】 自動編碼器240係接收一電路分區之一表示作為輸入且輸出一電路分區之一表示之一基於機器學習之模型。自動編碼器240產生電路分區之一中間表示，其係輸入表示之一經編碼表示且可使用比輸入表示更少之位元儲存。

【0040】 模型訓練組件230使用自電路獲得之電路分區訓練自動編碼器。模型訓練組件230訓練自動編碼器240以輸出匹配電路分區之輸入表示之電路分區之一表示。

【0041】 叢集化組件250執行電路之輸入佈局表示之電路分區之叢集化。叢集化組件250儲存叢集。在一實施例中，經產生叢集用於訓練或評估機器學習模型。例如，可藉由自各叢集選擇電路圖案之一子集以用作一訓練資料集而訓練一機器學習模型。來自各叢集之電路圖案之使用確保使

用彼此不同之電路圖案執行訓練。此改良訓練程序之運算效率，此係因為在使用重複之訓練資料訓練模型時未浪費運算資源。使用重複訓練資料訓練模型浪費資源。

【0042】類似地，可藉由自各叢集選擇電路圖案之一子集用於評估基於機器學習之模型而評估機器學習模型。使用來自不同叢集之電路圖案評估基於機器學習之模型改良基於機器學習之模型之評估之品質且確保存存評估跨全部不同類型之電路圖案之充分涵蓋範圍。此外，使用來自不同叢集之電路圖案之評估程序改良習知模型評估技術之運算效率，此係因為在使用類似電路圖案評估基於機器學習之模型時未浪費運算資源。

佈局分類程序

【0043】圖3展示繪示根據一實施例之佈局分類之整體程序之一流程圖。可以不同於在流程圖中指示之順序之一順序執行圖3之流程圖中展示之步驟。例如，可與其他步驟並行執行某些步驟。此外，可使用一並行或分散式系統執行流程圖中展示之各種步驟。

【0044】佈局分類系統210接收310包含幾何形狀之一電路之一佈局之一表示。電路圖案產生組件220自電路之佈局表示識別320獨有電路圖案。電路圖案產生組件220將獨有圖案儲存於一資料庫中。

【0045】佈局分類系統210藉由針對已經識別之各電路圖案重複步驟330及340而編碼電路圖案以產生一組經編碼電路圖案。佈局分類系統210提供電路圖案作為至一編碼器(例如，自動編碼器230)之輸入。執行編碼器以針對各電路圖案產生一經編碼電路圖案。使用比輸入電路圖案更少之資料表示經編碼電路圖案。

【0046】叢集化組件250執行該組經編碼電路圖案之叢集化以產生電

路圖案之複數個叢集。將經產生叢集儲存於一資料庫中。在本文中進一步詳細描述圖3之程序之各種步驟。在圖4中繪示識別獨有電路圖案之步驟320。在圖5中繪示編碼電路圖案之步驟330、340。圖6展示經編碼及解編碼電路圖案之一實例。在圖7中繪示經編碼電路圖案之叢集化之步驟350。

【0047】圖4繪示根據一實施例之使用一例示性佈局之程序之整體流程。

步驟1：識別佈局中之全部獨有圖案

【0048】在一實施例中，一分散式系統將設計分區為電路圖案，接著並行處理各電路圖案以尋找全部獨有窗。針對各電路圖案，佈局分類系統210獲得其雜湊鍵。在一實施例中，佈局分類系統210自一幾何形狀佈局素材運算一整數雜湊鍵。可使用基於對應於幾何形狀佈局素材之一輸入影像之特徵(例如，幾何圖案)產生一鍵之一幾何雜湊技術產生雜湊鍵。使用雜湊鍵以建置在電路中遇到之全部電路圖案之一全域資料庫。在一些實施例中，若可經由鏡像、轉譯或旋轉自彼此獲得電路圖案，則佈局分類系統210將電路圖案視為相同。因此，將可藉由執行鏡像、轉譯或旋轉之一或多者自彼此獲得之兩個電路圖案映射至相同雜湊鍵。佈局分類系統210將幾何形狀素材儲存於將雜湊鍵映射至電路圖案之一全域資料庫D中，例如，如 $D[\text{雜湊鍵}] = \text{geometry_polygons}$ 。在一實施例中，佈局分類系統210使用雲端儲存器以容許產生大量鍵值對。

步驟2：建置一自動編碼器模型以減小資料大小。

【0049】在一實施例中，模型訓練組件240使用一分散式機器學習訓練程序以訓練在表示經編碼資料之其中點處具有一較小資料大小之一自動

編碼器模型230。在一實施例中，佈局分類系統210將電路佈局之多邊形資料轉換為一柵格化像素網格且在用於處理柵格化像素網格之後續步驟中使用卷積神經網路。

【0050】圖5展示接收一輸入電路圖案且重新產生電路圖案作為輸出之一自動編碼器模型。自動編碼器在將輸入電路圖案變換為匹配輸入電路圖案之輸出電路圖案之前將其變換為由模型之一隱藏層產生之一低維度經編碼表示。因此，由自動編碼器之隱藏層產生之經編碼表示包含再生電路圖案作為輸出所需之電路圖案之全部資訊。一隱藏層亦稱為自動編碼器模型之一內部層。

【0051】如圖5中展示，自動編碼器接收一電路圖案之一佈局表示。自動編碼器可包含以下組件：(1)用於執行輸入電路圖案之降低取樣之一或多個卷積層。卷積層掃描通過輸入電路圖案以識別電路圖案之特徵。卷積層可使用一或多個濾波器，各濾波器經組態以辨識電路圖案中之一特定特徵。(2)至一經編碼層之一緻密連接。經編碼層係一隱藏層(或內部層)。緻密層將卷積層之輸出連接至經編碼層之輸入。此層係緻密的，此係因為其具有大量連接，例如，卷積層之各輸出可連接至經編碼層之各輸入。(3)經編碼層使用一經編碼表示(其使用比輸入表示更少之資料值)表示輸入電路圖案。在圖6中展示對應於一輸入電路圖案之一經編碼電路圖案之一實例。(4)一緻密連接層將經編碼層之輸出連接至一或多個反卷積層。此層亦係緻密的，此係因為其具有大量連接，例如，經編碼層之各輸出連接至反卷積層之各輸入。(5)用於增加取樣經編碼電路圖案以產生匹配輸入電路圖案之電路圖案之一經解碼表示之一或多個反卷積層。反卷積隨後反轉由卷積層執行之卷積程序且表示卷積操作之一逆操作。

【0052】在一實施例中，模型訓練組件240使用可包含以下步驟之隨機權重平均化執行自動編碼器之分散式訓練。(1)模型訓練模組240將訓練資料分離成塊。(2)模型訓練模組240在各塊上部分並行擬合模型。(3)模型訓練模組240平均化來自各部分擬合之權重以產生一經組合模型。(3)模型訓練模組240自步驟2重複步驟且自步驟3中找到之其最近權重值繼續訓練模型。

【0053】此容許模型在比在一單一運算系統上之記憶體中將能夠含有之資料集更大之一資料集上擬合。

【0054】一旦訓練自動編碼器，便儲存可導致一1024x1024影像減小至一8x8經編碼表示之各資料點之經編碼版本。此係使用基於分散式機器學習之模型推斷完成。圖6展示一原始柵格化圖案610及其經編碼表示620之一實例。

【0055】在一些實施例中，佈局分類系統210在圖案之不同區域內使用幾何密度。因此，佈局分類系統210使用幾何密度以建置電路圖案之一編碼。在一項實施例中，佈局分類系統210在一給定大小之一區域內執行幾何形狀極性(多邊形/空的空間)之取樣且加總經取樣值以獲得在經編碼電路圖案中使用之一密度值。在另一實施例中，佈局分類系統210柵格化多邊形且將結果與在一特定區域內具有值一且在區域外部具有一值零之一指示符函數卷積以產生像素值。佈局分類系統210加總像素值以獲得在經編碼電路圖案中使用之密度值。

【0056】在一些實施例中，佈局分類系統210取樣柵格化圖案之不同卷積。因此，佈局分類系統210使用經卷積柵格化圖案。此係藉由柵格化圖案且接著使用一組卷積核心卷積以獲得一組經卷積影像而完成。佈局分

類系統210加總像素值以獲得類似於如上文描述之一密度運算之一經卷積和表示。

【0057】 在一些實施例中，佈局分類系統210執行柵格化圖案或上文之卷積之局部取樣。因此，佈局分類系統210判定經幾何指定(例如，在電路圖案之中心附近)之一組局部樣本點。接著，在此等點處取樣像素化影像(其可自柵格化圖案、卷積、微影影像等運算)且佈局分類系統210直接使用經取樣值或運算經取樣值之一數學函數(諸如一總和或彙總值)以用於經編碼電路圖案中。

【0058】 應注意，可取決於應用而使用其他方法以產生一經編碼資料集，例如，採取多邊形之一微影模擬且自微影模擬提取幾何/像素資訊。用於編碼電路圖案之一編碼器滿足以下性質。若將編碼器應用至根據類似性之特定量測類似之兩個不同電路圖案C1及C2，則輸出經編碼電路圖案(例如，分別為E1及E2)亦根據類似性之量測類似。因此，輸入電路圖案之叢集將導致經編碼電路圖案中之對應叢集。不滿足上文性質之編碼器係產生未必針對類似輸入類似之鍵之雜湊函數。在實施例中不使用未針對類似電路產生類似經編碼電路圖案之此等編碼器。

【0059】 在一些實施例中，佈局分類系統210執行圖案之微影模擬之局部取樣。佈局分類系統210獲取素材多邊形且使用其等作為一遮罩表示且將其饋送至一微影模擬系統以獲得接著如上文描述般藉由取樣、卷積等處理之一經模擬晶圓影像。

步驟3：分散式叢集化

【0060】 圖7展示根據一實施例之一電路之一佈局之一自上而下階層式叢集化。

【0061】在此步驟，叢集化組件250叢集化經編碼電路圖案。在一項實施例中，叢集化組件250使用分散式階層式叢集化，此係因為典型叢集化演算法具有 $O(kNd)$ 之運算複雜性，其中 k 係叢集之數目， N 係待叢集化之圖案之數目，且 d 係圖案之維度。

【0062】叢集化組件250如下執行叢集化。叢集化組件250最初包含全部輸入電路圖案作為一大叢集。叢集化組件250將叢集劃分為較小叢集。針對各叢集，叢集化組件250判定叢集內之經編碼電路圖案之類似性之一量測。叢集化組件250判定經編碼電路圖案之類似性之量測是否滿足基於叢集之經編碼電路圖案之間之類似性之一臨限條件。若經編碼電路圖案之類似性之量測指示小於(或等於)叢集之經編碼電路圖案之間之類似性之臨限程度，則叢集化組件250將叢集進一步細分為子叢集。若經編碼電路圖案之類似性之量測指示大於叢集之經編碼電路圖案之間之類似性之臨限程度，則叢集化組件250停止細分叢集。

【0063】因此，階層式叢集化藉由減小 k 及 N (及因此每層級之轉迴時間)而使叢集化程序運算上有效，此係因為包含來自電路之一組電路圖案710之資料被依序分離成可經並行細分之子叢集720。因此，代替用於叢集化之複雜性係 $O(kNd)$ ，系統可使用(例如)樹之各分支之2個子叢集分佈工作且獲得 $O(Nd\log(k))$ 之一複雜性。當 k 為大時，此係一顯著節省。此外，習知技術需要係用於使用大 k 執行叢集化演算法之過分大量記憶體。相比之下，所揭示實施例藉由使用比電路圖案之習知表示佔用顯著更少儲存器之經編碼電路圖案而改良記憶體使用。

【0064】在一單一機器或分散式機器上運行之叢集化之其他方法亦可由叢集模組250 (例如， k 平均值、光譜、彙總等)使用。其將取決於資

料量及關於哪一叢集化方法最佳適用於當前問題之其他資料特性。

【0065】 在一實施例中，叢集化組件250在叢集化樹之各階層式分支處使用k平均值叢集化。叢集化組件250可使用基於各葉片叢集度量(諸如叢集慣性等)判定哪些叢集葉片730在任何給定層級處分離之不同方法。各項實施例可在各階層式分支處使用其他叢集化方法而非k平均值。

【0066】 電路圖案之編碼分離電路圖案足夠良好使得所得叢集具有(例如)基於圖案之幾何形狀之一匹配程度滿足類似性之一量測之圖案。圖8展示在樣本叢集項810已解編碼回至柵格化多邊形空間之後之樣本叢集項810。如圖8中展示，雖然在跨叢集之電路圖案中可存在小差異，但各種電路圖案具有顯著類似性。

【0067】 一旦完成叢集化樹，便將樹之葉片用作最終叢集。針對階層式叢集化，叢集化組件250可使用樹上之中間叢集分支以判定「叢集之最佳數目」(即，基於各種度量不超過叢集化)是否小於樹之葉片之總計數。接著，在不進行進一步工作之情況下產生一不同叢集化結果。

【0068】 在一些實施例中，叢集化組件250使用特定應用度量以在應進一步劃分一叢集時有助於進行區分。例如，叢集化組件250判定經編碼電路圖案之類似性之量測是否滿足對應於叢集之經編碼電路圖案之間之類似性之一臨限條件。若滿足臨限條件，則叢集化組件250進一步細分叢集。作為一實例，當多於或等於一臨限百分比之經比較電路圖案不同時，滿足臨限條件，且若小於臨限百分比之電路圖案不同，則不滿足臨限條件。可使用以下技術之任何者執行電路圖案之比較。

【0069】 叢集化組件250可(例如)藉由僅比較涵蓋電路圖案之中心之電路圖案之區域之一子集而使用最接近電路圖案之中心之多邊形之類似

性。因此，叢集化組件250識別最接近電路圖案之中心之多邊形且跨一叢集中之不同電路圖案比較其等。相較於比較整個電路圖案之一程序，將比較限於最接近多邊形之中心之多邊形使程序運算上有效。

【0070】 叢集化組件250可判定一電路圖案中之多邊形密度以比較一叢集中之電路圖案。因此，叢集化組件250 (例如)藉由計數各叢集中之多邊形之數目而判定一叢集之電路圖案之多邊形密度之一量測。叢集化組件250藉由比較其等多邊形密度而判定一叢集中之電路圖案之類似性之一量測。

【0071】 在一些實施例中，叢集化組件250執行電路圖案中之多邊形之經模擬微影影像之取樣用於比較一叢集之電路圖案以判定是否進一步細分叢集。因此，叢集化組件250取樣一電路圖案以選擇電路圖案內之一子集或一區域且比較其與另一電路圖案之對應子集或區域。

【0072】 在一些實施例中，叢集化組件250對一經編碼電路圖案之不同部分不同地加權。例如，若各經編碼電路圖案具有16個值(數字)，則叢集化組件250將更多重點放在某些數字上且將更少重點放在其他數字上。例如，相較於更接近電路圖案之邊界之值，更接近幾何圖案之中心之值可經不同地加權。例如，與更接近電路圖案之邊界之值相比，更接近幾何圖案之中心之值可經加權更高。因此，叢集化組件250對某些值比其他值加權更高。此等權重之判定係應用特定，此係因為各經編碼項目具有使用者將判定之一相對重要性。因此，權重可自一使用者接收且可組態。

【0073】 在一些實施例中，叢集化組件250使用經編碼電路圖案執行叢集化但使用對應於經編碼電路圖案之未壓縮(原始)電路圖案以判定是否進一步細分一叢集。因此，叢集化組件250執行在本質上混合之叢集化，

其使用經壓縮資料(經編碼電路圖案)執行實際叢集化程序，但基於對應原始資料集(解編碼電路圖案)上之度量作出關於分離哪些叢集之決策。例如，即使使用經編碼電路圖案執行叢集化，仍可使用解編碼電路圖案判定兩個電路圖案之間之類似性之一量測。

電腦架構

【0074】圖9繪示在其內可執行用於引起機器執行本文中論述之任何一或多個方法論之一指令集之一電腦系統900之一例示性機器。在替代實施方案中，機器可連接(例如，網路連結)至一LAN、一內部網路、一商際網路及/或網際網路中之其他機器。機器可以一伺服器或一用戶端機器之身份在用戶端-伺服器網路環境中操作，或作為一同級機器在一同級間(或分散式)網路環境中操作，或作為一伺服器或一用戶端機器在一雲端運算基礎設施或環境中操作。

【0075】機器可為一個人電腦(PC)、一平板PC、一機上盒(STB)、一個人數位助理(PDA)、一蜂巢式電話、一網頁設備、一伺服器、一網路路由器、一交換器或橋接器，或能夠執行指定應由該機器採取之動作之一指令集(循序或以其他方式)之任何機器。此外，雖然繪示一單一機器，但術語「機器」亦應視為包含個別地或聯合地執行一組(或多組)指令以執行本文中論述之方法論之任何一或多者的機器之任何集合。

【0076】例示性電腦系統900包含一處理裝置902、一主記憶體904(例如，唯讀記憶體(ROM)、快閃記憶體、動態隨機存取記憶體(DRAM)，諸如同步DRAM (SDRAM))、一靜態記憶體906(例如，快閃記憶體、靜態隨機存取記憶體(SRAM)等)及一資料儲存系統918，其等經由一匯流排930彼此通信。

【0077】處理裝置902表示一或多個處理器，諸如一微處理器、一中央處理單元或類似者。更特定言之，處理裝置可為複雜指令集運算(CISC)微處理器、精簡指令集運算(RISC)微處理器、超長指令字(VLIW)微處理器或實施其他指令集之一處理器或實施指令集之一組合之處理器。處理裝置902亦可為一或多個專用處理裝置，諸如一特定應用積體電路(ASIC)、一場可程式化閘陣列(FPGA)、一數位信號處理器(DSP)、網路處理器或類似者。處理裝置902可經組態以執行用於執行本文中描述之操作及步驟之指令926。

【0078】電腦系統900可進一步包含用於經由網路920通信之一網路介面裝置908。電腦系統900亦可包含一視訊顯示單元910 (例如，一液晶顯示器(LCD)或一陰極射線管(CRT))、一文數字輸入裝置912 (例如，一鍵盤)、一游標控制裝置914 (例如，一滑鼠)、一圖形處理單元922、一信號產生裝置916 (例如，一揚聲器)、圖形處理單元922、視訊處理單元928及音訊處理單元932。

【0079】資料儲存裝置918可包含一機器可讀儲存媒體924 (亦稱為一非暫時性電腦可讀媒體)，其上儲存體現本文中描述之方法論或功能之任何一或多者之一或多個指令集926或軟體。指令926在其等藉由電腦系統900之執行期間亦可完全或至少部分駐留於主記憶體904內及/或處理裝置902內，主記憶體904及處理裝置902亦構成機器可讀儲存媒體。

【0080】在一些實施方案中，指令926包含用於實施對應於本發明之功能性之指令。雖然在一例示性實施方案中將機器可讀儲存媒體924展示為一單一媒體，但術語「機器可讀儲存媒體」應視為包含儲存一或多個指令集之一單一媒體或多個媒體(例如，一集中或分散式資料庫及/或相關聯

快取區及伺服器)。術語「電腦可讀儲存媒體」亦應視為包含能夠儲存或編碼一指令集以由機器執行且引起該機器及處理裝置902執行本發明之方法論之任何一或多者之任何媒體。因此，術語「電腦可讀儲存媒體」應視為包含(但不限於)固態記憶體、光學媒體及磁性媒體。

【0081】 已依據對一電腦記憶體內之資料位元之操作的演算法及符號表示呈現先前詳細描述之某些部分。此等演算法描述及表示係由熟習資料處理技術者使用以將其等工作主旨最有效地傳達給其他熟習此項技術者之手段。一演算法可為導致一所要結果之一序列操作。該等操作係需要實體量之實體操縱之操作。此等量可採取能夠經儲存、組合、比較且以其他方式操縱之電或磁信號之形式。可將此等信號稱為位元、值、元件、符號、字元、項、數字或類似者。

【0082】 然而，應牢記，全部此等及類似術語應與適當實體量相關聯且僅為應用於此等量之方便標記。除非另外具體陳述，否則如自本發明顯而易見，應瞭解，貫穿描述，某些術語係指操縱表示為電腦系統之暫存器及記憶體內之實體(電子)量的資料且將其轉變成類似地表示為電腦系統記憶體或暫存器或其他此等資訊儲存裝置內之實體量的其他資料之一電腦系統或類似電子運算裝置的動作及程序。

【0083】 本發明亦係關於一種用於執行本文中之操作的設備。此設備可專門為預期目的而建構，或其可包含藉由儲存於電腦中之一電腦程式選擇性地啟動或重新組態之一電腦。此一電腦程式可儲存於一電腦可讀儲存媒體中，諸如(但不限於)任何類型之磁碟(包含軟碟、光碟、CD-ROM及磁光碟)、唯讀記憶體(ROM)、隨機存取記憶體(RAM)、EPROM、EEPROM、磁卡或光學卡，或適於儲存電子指令之任何類型之媒體，其

等各耦合至一電腦系統匯流排。

【0084】本文中呈現之演算法及顯示器並非固有地與任何特定電腦或其他設備有關。各種其他系統可結合根據本文中之教示的程式使用，或可證實建構一更專門設備來執行方法係方便的。另外，本發明未參考任何特定程式設計語言描述。將瞭解，多種程式設計語言可用於實施如本文中描述之本發明之教示。

【0085】本發明可提供為可包含其上儲存有指令之一機器可讀媒體的一電腦程式產品或軟體，該等指令可用於程式化一電腦系統(或其他電子裝置)以執行根據本發明之一程序。一機器可讀媒體包含用於儲存呈可由一機器(例如，一電腦)讀取之一形式之資訊的任何機構。例如，一機器可讀(例如，電腦可讀)媒體包含一機器(例如，一電腦)可讀儲存媒體，諸如一唯讀記憶體(「ROM」)、隨機存取記憶體(「RAM」)、磁碟儲存媒體、光學儲存媒體、快閃記憶體裝置等。

【0086】在前述揭示內容中，本發明之實施方案已參考其之特定例示性實施方案進行描述。將顯而易見，可在不脫離如以下發明申請專利範圍中闡述之本發明之實施方案之更廣精神及範疇之情況下對其進行各種修改。在本發明以單數時態提及一些元件時，可在圖中描繪一個以上元件且使用相同數字標記相同元件。因此，本發明及圖式應被視為一闡釋性意義而非一限制性意義。

【符號說明】

【0087】

100:程序

110:產品理念

- 112:電子設計自動化(EDA)程序
- 114:系統設計
- 116:邏輯設計及功能驗證
- 118:測試之合成及設計
- 120:接線對照表驗證
- 122:設計規劃
- 124:實體實施方案
- 126:分析及提取
- 128:實體驗證
- 130:解析度增強
- 132:遮罩資料準備
- 134:成品出廠驗證
- 136:製造
- 138:封裝及組裝程序
- 140:成品積體電路
- 210:佈局分類系統
- 220:電路圖案產生組件
- 230:自動編碼器
- 240:模型訓練組件
- 250:叢集化組件
- 310:步驟
- 320:步驟
- 330:步驟

340:步驟
350:步驟
610:原始柵格化圖案
620:經編碼表示
710:電路圖案
720:子叢集
730:叢集葉片
810:樣本叢集項
900:電腦系統
902:處理裝置
904:主記憶體
906:靜態記憶體
908:網路介面裝置
910:視訊顯示單元
912:文數字輸入裝置
914:游標控制裝置
916:信號產生裝置
918:資料儲存系統
920:網路
922:圖形處理單元
924:機器可讀儲存媒體
926:指令
928:視訊處理單元

930:匯流排

932:音訊處理單元

【發明申請專利範圍】

【請求項1】

一種用於執行一電路之一實體佈局之分類之方法，該方法包括：

接收該電路之該實體佈局之一表示；

自該電路之該實體佈局表示識別一組電路圖案；

藉由一處理器將該組電路圖案編碼為包括該組中之各電路圖案之一個經編碼電路圖案之一組經編碼電路圖案，其中該編碼係使用一基於機器學習之自動編碼器執行，該自動編碼器經組態以接收一輸入電路圖案並產生一低維度之經編碼電路圖案，其中該低維度之經編碼電路圖案與該輸入電路圖案相比佔據較少之記憶體儲存空間；
及

將該組經編碼電路圖案叢集化為複數個叢集。

【請求項2】

如請求項1之方法，其中該基於機器學習之自動編碼器包括：

一卷積層，其接收該輸入電路圖案以產生該經編碼電路圖案。

【請求項3】

如請求項2之方法，其中該基於機器學習之自動編碼器進一步包括：

一反卷積層，其接收該經編碼電路圖案作為輸入且產生該電路圖案之一輸出表示。

【請求項4】

如請求項1之方法，其進一步包括：

使用該電路設計之電路圖案之一子集執行該基於機器學習之編碼器之分散式訓練。

【請求項5】

如請求項4之方法，其中該分散式訓練包括：

判定複數個訓練資料集，各訓練資料集包括複數個電路圖案；

使用複數個電腦處理器以並行訓練該基於機器學習之編碼器，其中各電腦處理器使用該複數個訓練資料集之一者判定該基於機器學習之編碼器之一組參數；及

彙總經並行產生之該組參數以獲得該基於機器學習之編碼器之一組經組合參數。

【請求項6】

如請求項1之方法，其進一步包括：

使用該等經編碼電路圖案之該複數個叢集以訓練一基於機器學習之模型，該訓練包括自用於訓練該基於機器學習之模型之各叢集選擇該等經編碼電路圖案之一子集。

【請求項7】

如請求項1之方法，其進一步包括：

使用該等經編碼電路圖案之該複數個叢集以評估一經訓練基於機器學習之模型，該評估包括自用於評估該基於機器學習之模型之各叢集選擇該等經編碼電路圖案之一子集。

【請求項8】

如請求項1之方法，其中使用一階層式叢集化技術執行叢集化該等經編碼電路圖案。

【請求項9】

如請求項8之方法，其中使用將各叢集並行劃分為子叢集之一分散式

系統執行該階層式叢集化技術。

【請求項10】

如請求項9之方法，其進一步包括：

針對各叢集判定是否應將該叢集進一步細分為子叢集，該判定包括：

針對各叢集，判定該叢集內之該等經編碼電路圖案之類似性之一量測；

判定該等經編碼電路圖案之類似性之該量測是否滿足對應於該叢集之該等經編碼電路圖案之間之類似性之一臨限條件；及

回應於判定該等經編碼電路圖案之類似性之該量測滿足該臨限條件，將該叢集進一步細分為子叢集。

【請求項11】

如請求項10之方法，其中藉由比較來自一對經編碼電路圖案之各經編碼電路圖案之一對應部分而針對該對經編碼電路圖案判定該等經編碼電路圖案之類似性之該量測。

【請求項12】

如請求項10之方法，其中該等經編碼電路圖案之類似性之該量測將不同權重指派至該等經編碼電路圖案之不同部分。

【請求項13】

如請求項9之方法，其中藉由比較該等經編碼電路圖案之多邊形密度而判定該等經編碼電路圖案之類似性之該量測。

【請求項14】

如請求項9之方法，其中使用至該編碼器之電路圖案輸入判定該等經

編碼電路圖案之類似性之該量測且使用該等經編碼電路圖案執行將該叢集劃分為子叢集。

【請求項15】

一種包括經儲存指令之非暫時性電腦可讀媒體，該等經儲存指令在由一處理器執行時引起該處理器執行包括以下各者之步驟：

接收一電路之實體佈局之一表示；

自該電路之該實體佈局表示識別一組電路圖案；

藉由該處理器將該組電路圖案編碼為包括該組中之各電路圖案之一個經編碼電路圖案之一組經編碼電路圖案，其中該編碼係基於一基於機器學習之自動編碼器之一執行，該自動編碼器經組態以接收一輸入電路圖案並產生一低維度之經編碼電路圖案，其中該低維度之經編碼電路圖案與該輸入電路圖案相比佔據較少之記憶體儲存空間；及

將該組經編碼電路圖案叢集化為複數個叢集。

【請求項16】

如請求項15之非暫時性電腦可讀媒體，該等步驟進一步包括藉由執行以下各者而執行分散式訓練：

判定複數個訓練資料集，各訓練資料集包括複數個電路圖案；

使用複數個電腦處理器以並行訓練該基於機器學習之編碼器，其中各電腦處理器使用該複數個訓練資料集之一者判定該基於機器學習之編碼器之一組參數；及

彙總經並行產生之該組參數以獲得該基於機器學習之編碼器之一組經組合參數。

【請求項17】

如請求項15之非暫時性電腦可讀媒體，該等步驟進一步包括：

針對各叢集判定是否應將該叢集進一步細分為子叢集，該判定包括：

針對各叢集，判定該叢集內之該等經編碼電路圖案之類似性之一量測；

判定該等經編碼電路圖案之類似性之該量測是否滿足對應於該叢集之該等經編碼電路圖案之間之類似性之一臨限條件；及

回應於判定該等經編碼電路圖案之類似性之該量測滿足該臨限條件，將該叢集進一步細分為子叢集。

【請求項18】

一種系統，其包括：

一記憶體，其儲存指令；及

一處理器，其與該記憶體耦合且執行該等指令，該等指令在經執行時引起該處理器執行包括以下各者之步驟：

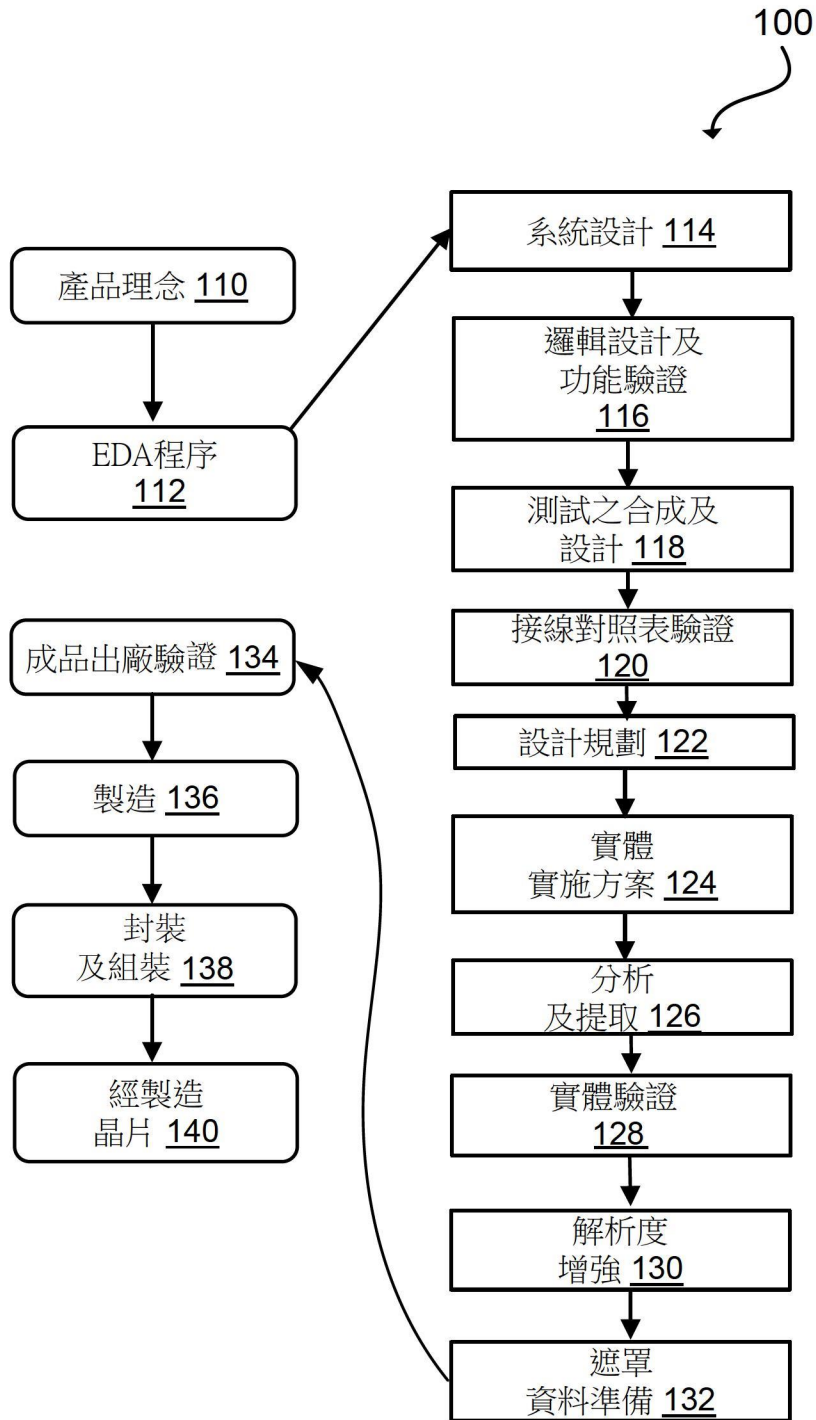
接收一電路之實體佈局之一表示；

自該電路之該實體佈局表示識別一組電路圖案；

將該組電路圖案編碼為包括該組中之各電路圖案之一個經編碼電路圖案之一組經編碼電路圖案，其中該編碼係基於一基於機器學習之自動編碼器之一執行，該自動編碼器經組態以接收一輸入電路圖案並產生一低維度之經編碼電路圖案，其中該低維度之經編碼電路圖案與該輸入電路圖案相比佔據較少之記憶體儲存空間；及

將該組經編碼電路圖案叢集化為複數個叢集。

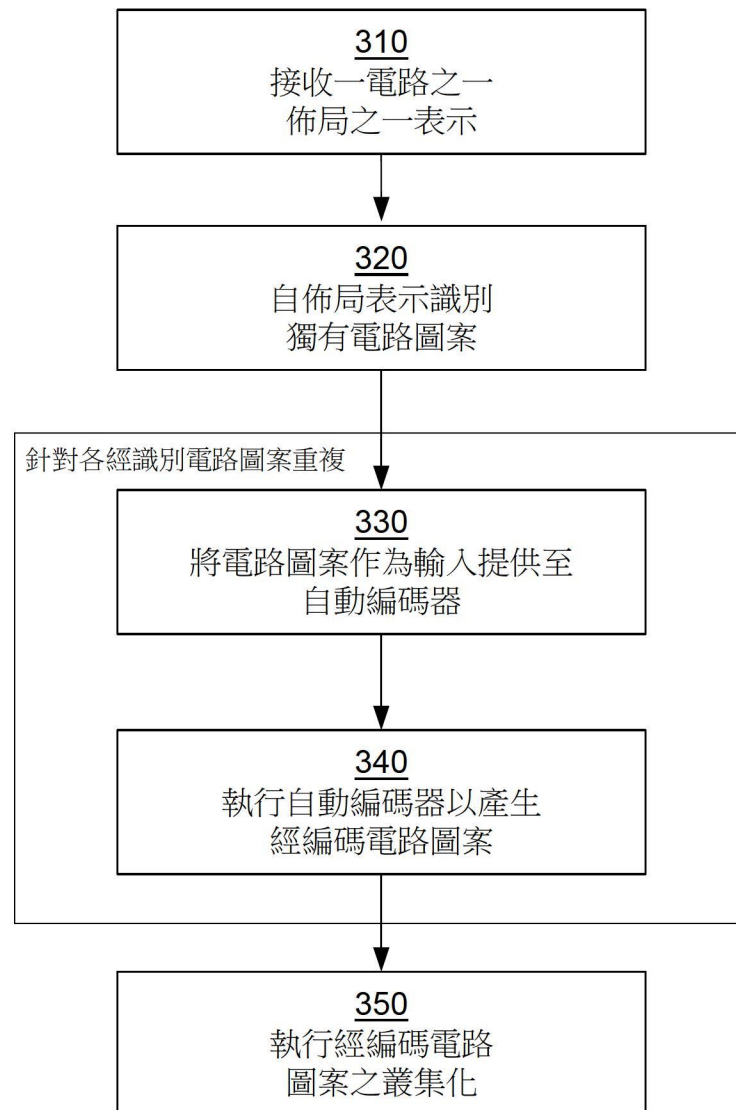
【發明圖式】



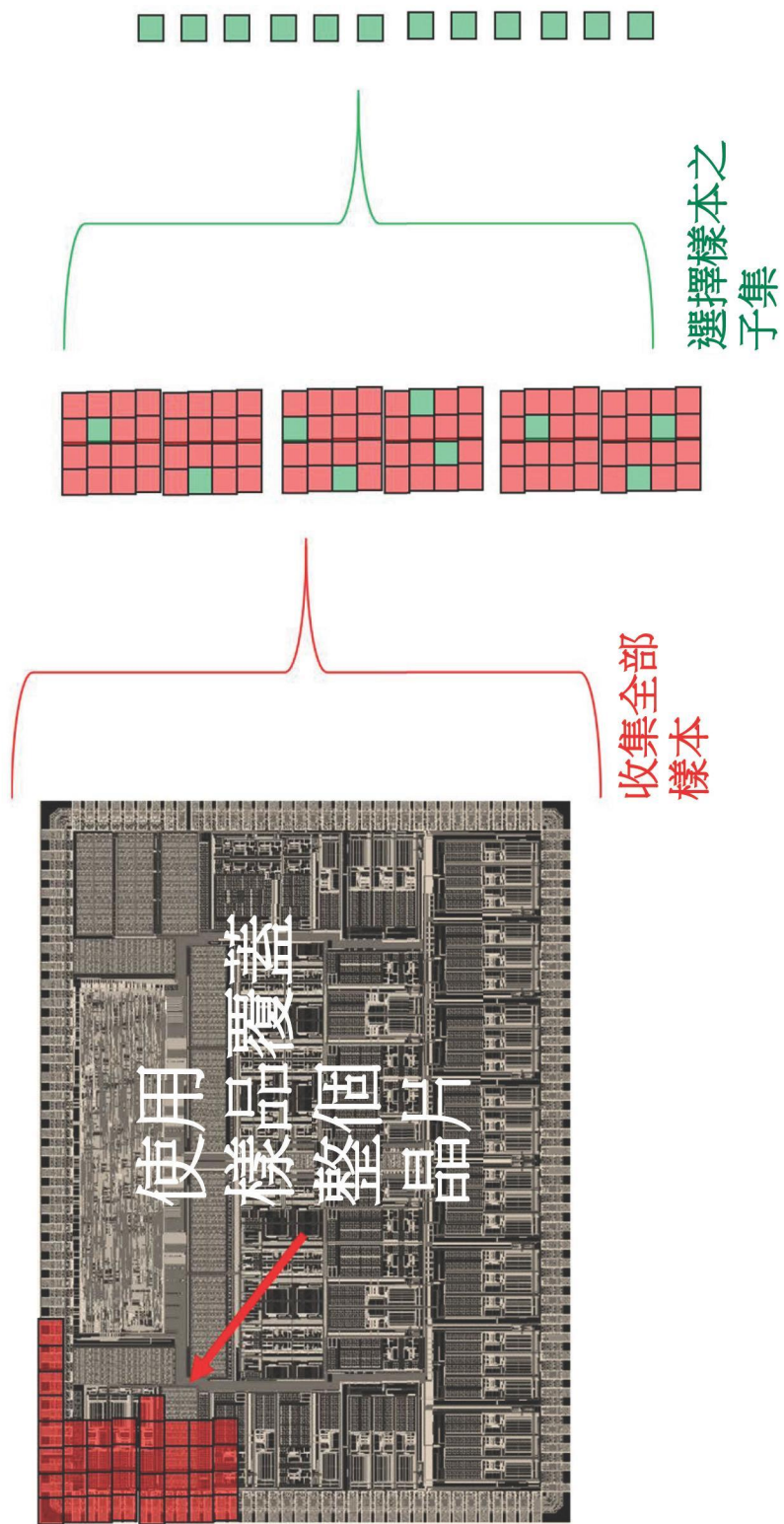
【圖1】



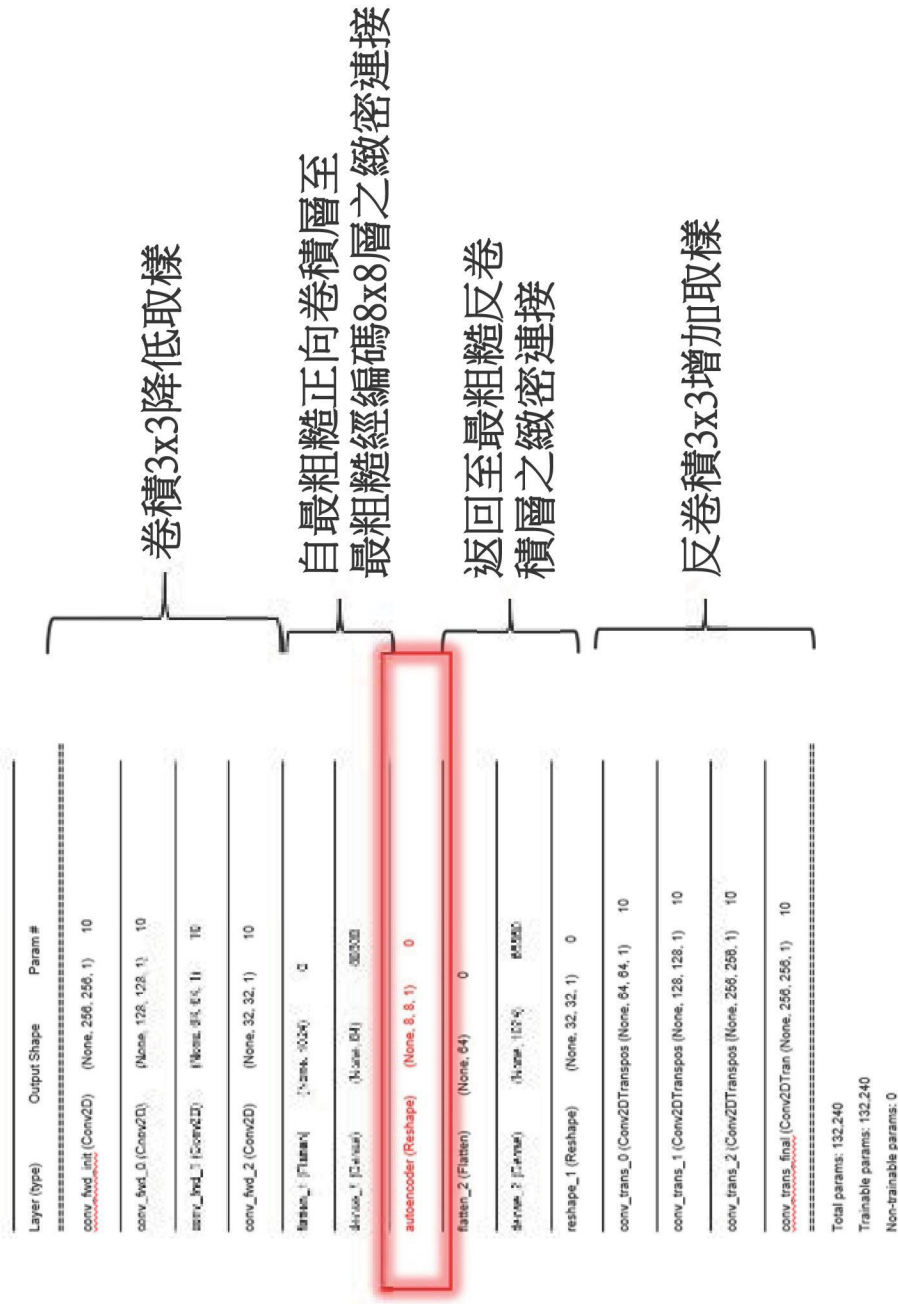
【圖2】



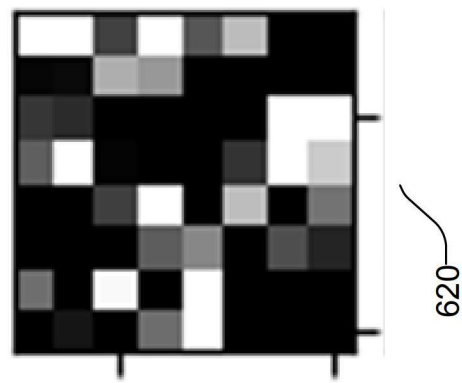
【圖3】



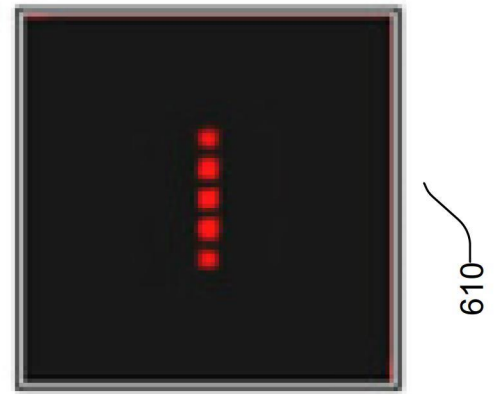
【圖4】

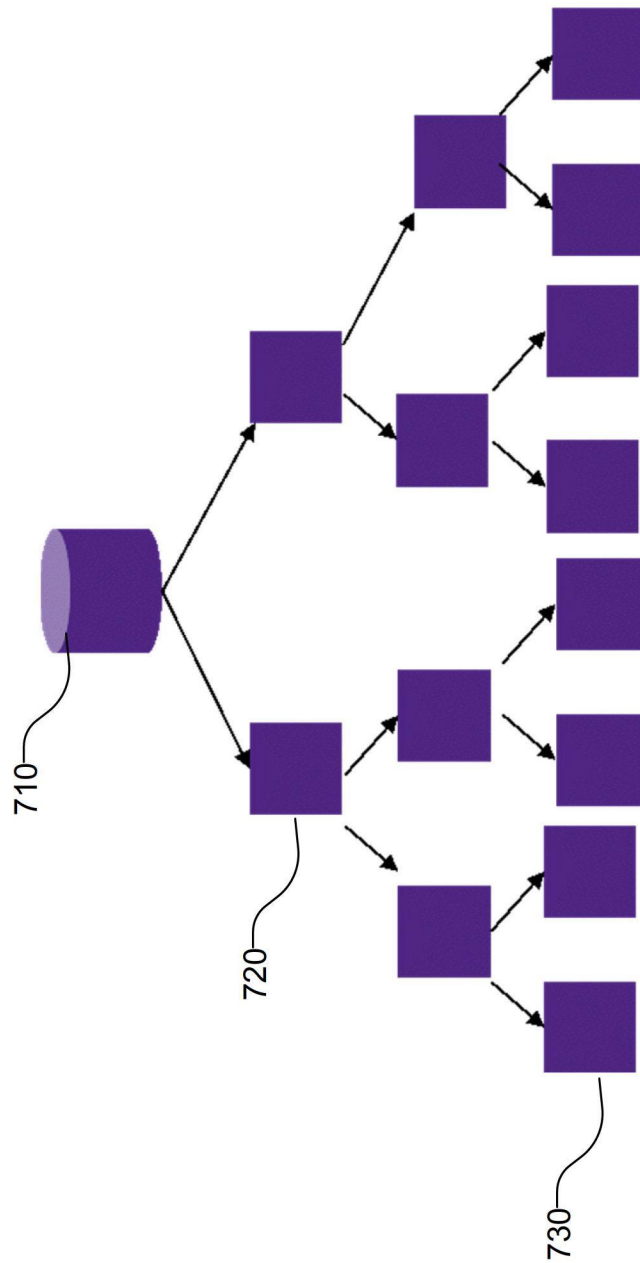


【圖5】



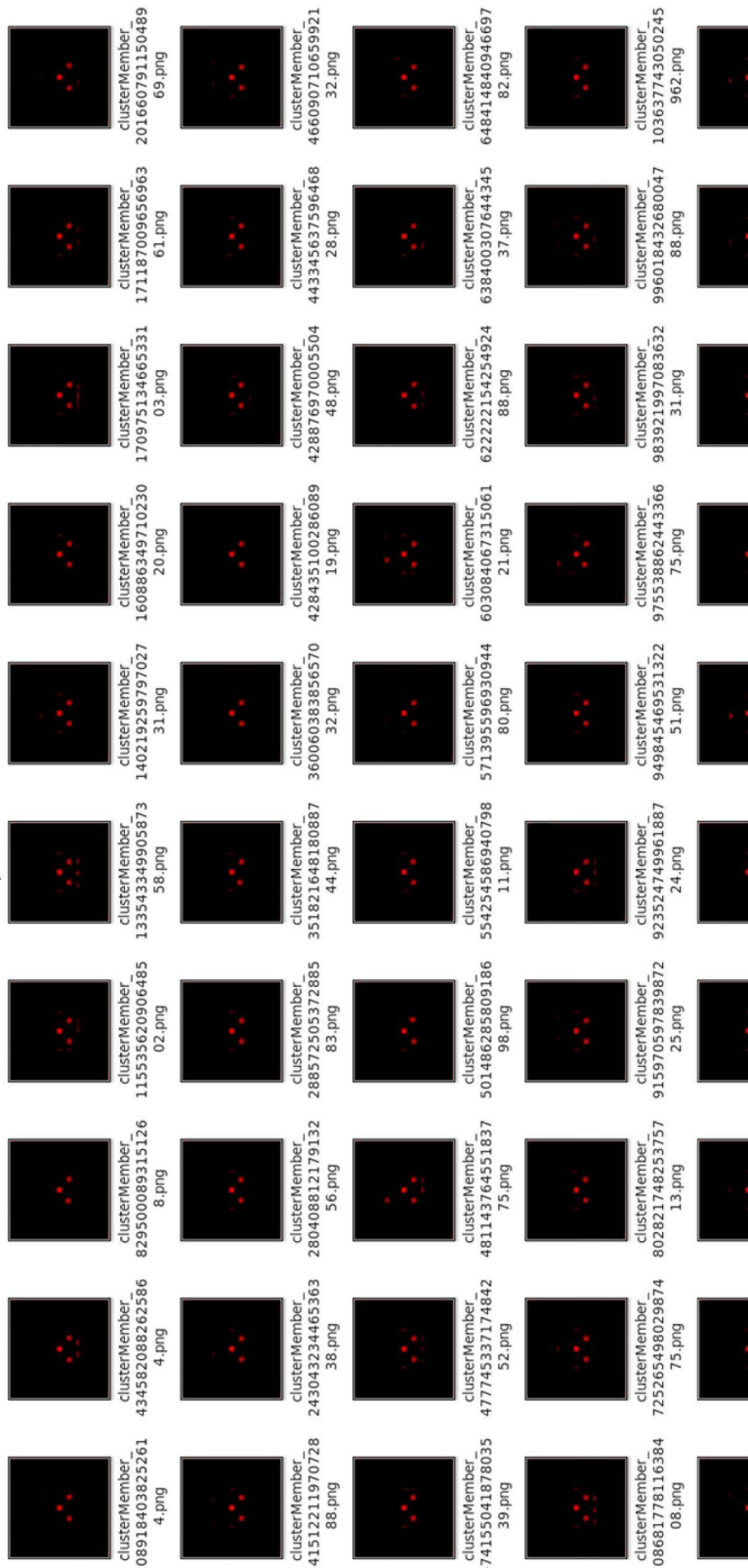
【圖6】



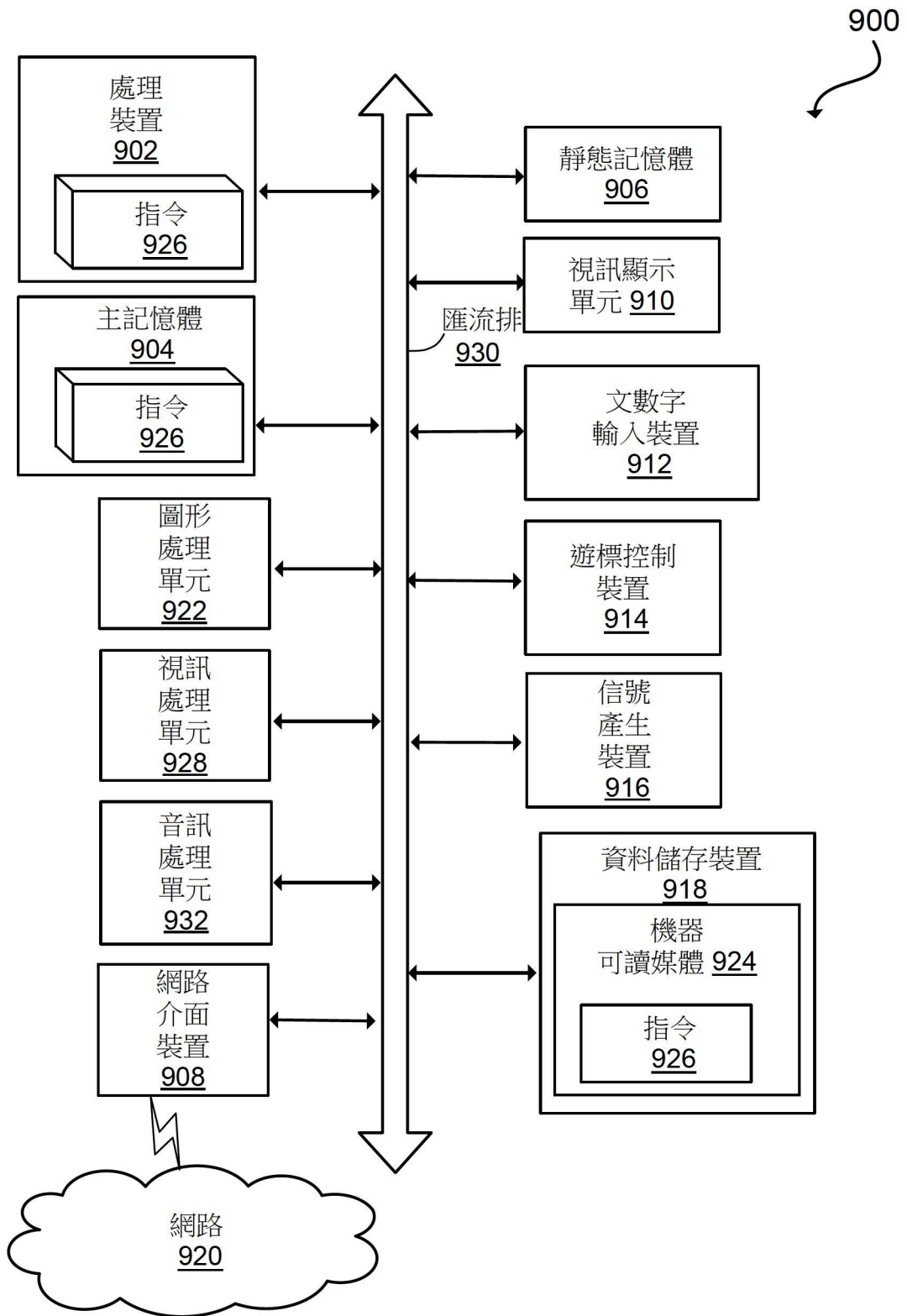


【圖7】

810



【圖8】



【圖9】