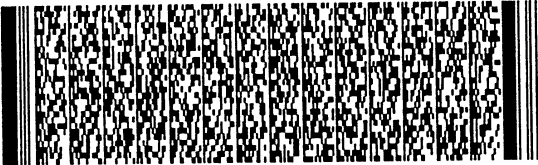


申請日期： 90. 5. 16	案號： P0111722
類別： Hall 2/18, 2/18	

(以上各欄由本局填註)

發明專利說明書		497252
一、 發明名稱	中文	製造半導體元件之方法
	英文	PROCESS OF MANUFACTURING SEMICONDUCTOR DEVICE
二、 發明人	姓名 (中文)	1. 高村 好二
	姓名 (英文)	1. YOSHIJI TAKAMURA
	國籍	1. 日本
	住、居所	1. 日本國奈良縣宇陀郡菟田野町古市場526-2
三、 申請人	姓名 (名稱) (中文)	1. 日商夏普股份有限公司
	姓名 (名稱) (英文)	1. SHARP KABUSHIKI KAISHA
	國籍	1. 日本
	住、居所 (事務所)	1. 日本國大阪府大阪市阿倍野區長池町22番22號
	代表人 姓名 (中文)	1. 町田 勝彦
	代表人 姓名 (英文)	1. KATSUHIKO MACHIDA
		

本案已向

國(地區)申請專利

日本 JP

申請日期

2000/05/19 特願2000-148053

案號

主張優先權

有

有關微生物已寄存於

寄存日期

寄存號碼

無



五、發明說明 (1)

發明背景

1. 發明領域

本發明係一種製造半導體元件的方法，特別言之，本發明係一種製造具有小型化的雙閘極CMOS電晶體之方法。

2. 習知技藝敘述

由於半導體製程技術的演進，CMOS的小型化是一種趨勢，亦普遍地應用CMOS電晶體，因其可抑制短通道效應並降低關閉電流，在雙閘極CMOS電晶體中分別使用一n型多晶矽膜及一p型多晶矽膜當作一nMOS電晶體及一pMOS電晶體之閘極電極。

在雙閘極CMOS電晶體中，閘極電極利用離子佈植植入n型或p型雜質以形成源極/汲極區域的淺接面，於是，將導入不足的雜質至閘極絕緣膜附近的區域，且在閘極內發生會降低電晶體性質的耗乏作用。

此外，在形成pMOS電晶體時，一般會植入 BF_2 離子以形成淺接面的源極/汲極區域，導入至閘極內的硼離子會由於氟的存在而在閘極絕緣膜內較易擴散，且會穿過閘極絕緣膜並擴散至通道區域內，以致使電晶體的臨界值有所變化。目前CMOS電晶體使用薄如數十的閘極絕緣膜，且由於CMOS電晶體的縮小化而傾向使用更薄的閘極絕緣膜。因此，需考慮如此會更明顯地發生硼離子穿透閘極絕緣層。

日本未審查專利公開第HEI 6 (1994)-310666號係申請一種避免如以下所述之閘極電極的耗乏作用。

如圖3(a)所示，在一個nMOS區域及pMOS區域中形成一個



五、發明說明 (2)

p 井52a 及一個n 井52b，其個別由在一半導體基板50 上利用離子佈植提供一元件隔離膜51。

然後，如圖3(b) 所示在半導體基板50 上形成一閘極絕緣膜53 及一矽膜54，且n 型及p 型雜質分別植入至nMOS 區及pMOS 區。所得之半導體基板隨後進行退火以形成如圖3(c) 中的n 型多晶矽膜54a 及p 型多晶矽膜54b。

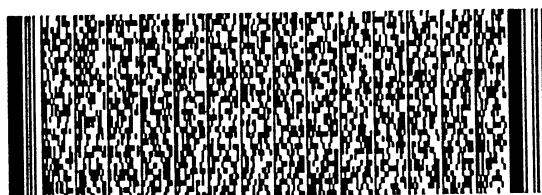
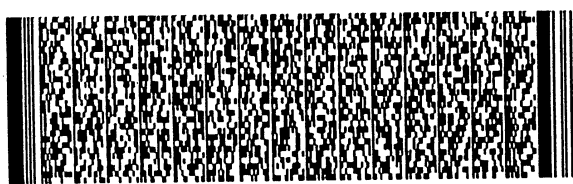
此外，圖案化此n 型多晶矽膜54a 及p 型多晶矽膜54b 以形成所需之結構並形成如圖3(d) 中之閘極電極，然後進行離子佈植以分別在nMOS 區域及pMOS 區域中形成輕微地摻雜的汲極(LDD) 區域56a 及56b，之後在整個半導體基板50 的表面上沉積一絕緣膜，並回蝕此絕緣膜以在閘極電極上形成側壁間隔物55。

將側壁間隔物55 及閘極電極當成光罩，可在nMOS 區域及pMOS 區域分別進行離子佈植，並進行退火以形成如圖3(e) 中的源極/汲極區域57a 及57b。

之後，在半導體基板50 上形成一鈦膜，並熱處理之以在源極/汲極區域57a 與57b 及閘極上提供一矽化鈦膜58，並提供一層間絕緣膜59 及接觸孔，然後利用佈線製程形成接觸栓塞60 及佈線層61。

總之，在形成閘極電極前事先利用微影製程形成一光阻光罩，可適用於將離子分別佈植在nMOS 區及pMOS 區中的多晶矽膜中，並退火以獲得nMOS 電晶體及pMOS 電晶體。

經由這些製程，在閘極絕緣膜附近導入足夠的雜質至閘極電極附近，可避免閘極電極的耗乏作用。



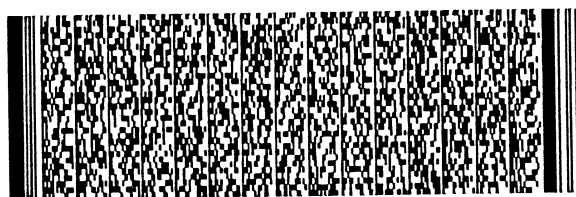
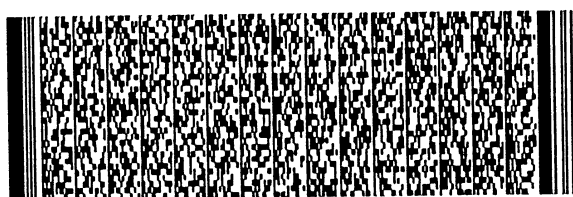
五、發明說明 (3)

然而，在以上提及的方法中，為進行閘極電極的離子佈植，需增加一道微影步驟，此外，必須用耗時較長的或進行多次的退火以將雜質自閘極表面擴散至閘極電極及閘極絕緣膜間之界面，所以，製造步驟必須增加及延長，如此會增加產品的成本。

閘極電極的耗乏作用可利用薄化組成閘極電極的多晶矽膜或增加形成源極/汲極區域之離子佈植的劑量及加速能量來避免；然而，前者會增加穿透閘極絕緣膜之硼離子的量，或由矽化物施加的應力所引起的閘極絕緣膜之劣化；後者會造成短通道效應，並增加由半導體基板缺陷所引起的接面漏電流，而半導體基板的缺陷是由於離子佈植所引起，離子佈植也特別地促進硼離子穿透pMOS電晶體中的閘極絕緣膜。

此外，日本未審查專利公開第HEI 11 (1999)-307765號申請一種避免增加微影步驟的方法，根據此方法，在半導體基板的整個表面上形成一摻雜磷之大顆粒直徑的多晶矽膜及一未摻雜的多晶矽膜，並圖案化這些多晶矽膜以形成閘極電極，之後，在離子佈植以形成一源極/汲極區域時，先前摻雜以當作n型雜質的磷利用高濃度的p型雜質來補償，以在pMOS區域中提供一p型閘極電極。

然而，當p型雜質以一劑量植入以避免閘極電極的耗乏作用時，短通道效應的抑制即有所不足，因為此法減少n型雜質並利用形成源極/汲極區域的離子佈植提供閘極電極p型傳導。



五、發明說明 (4)

此法可利用在高溫及/或長時間的退火以活化雜質來避免閘極電極的耗乏作用；然而，本方法在增加雜質擴散至源極/汲極區域時仍有問題，因在pMOS電晶體內明顯地發生短通道效應及硼離子穿透閘極絕緣膜。

硼離子穿透閘極絕緣膜可利用不含氟的硼離子之離子佈植形成源極/汲極來抑制；然而，使用硼離子使得要形成一淺的源極/汲極區域相當困難，故無法避免短通道效應，並會增加關閉電流(OFF current)。

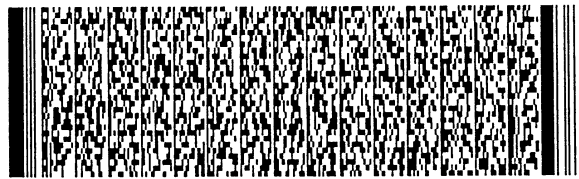
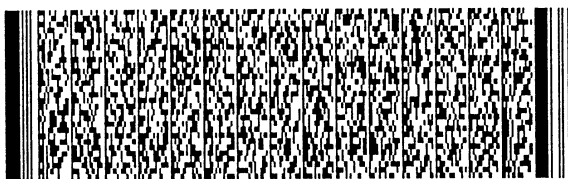
使用非晶矽來取代多晶矽，或使用如日本未審查專利公開第HEI 11 (1999)-297852號申請之大粒徑多晶矽，或在多層矽膜界面處提供一超薄絕緣膜來當作閘極電極材料可抑制硼離子的穿透；然而，如此會在閘極電極內阻礙雜質的擴散，因而很容易發生閘極電極的耗乏作用。

因此，在目前的狀況中，尚未建立一可符合避免短通道效應、降低關閉電流、抑制閘極電極的耗乏作用及避免在縮小的雙閘極CMOS電晶體中硼離子穿透閘極絕緣膜的需求之方法。

發明概述

本發明係為解決上述之問題，本發明之一目的係提供一製造包含縮小化之高性能及高可靠性的雙閘極CMOS電晶體的製程，且此法可避免短通道效應、降低關閉電流、抑制閘極的耗乏作用及避免硼離子穿透閘極絕緣膜，而毋需增加及延長製造步驟。

根據本發明，係提供一製造具有雙閘極CMOS電晶體之半



五、發明說明 (5)

導體元件的製程，其中在雙閘極CMOS電晶體中的nMOS電晶體係由以下步驟所製成：(a)在一半導體基板上形成一閘極絕緣膜及一矽膜；(b)在半導體基板的nMOS區域中將n型雜質植入至該矽膜內；(c)在該矽膜上形成一導電膜；及(d)圖案化該矽膜及該導電膜以形成一閘極電極。

此外，本發明提供一製造具有雙閘極CMOS電晶體之製程，包含下列步驟：(a)在一半導體基板上形成一閘極絕緣膜及一矽膜；(b')在該半導體基板的nMOS區域中將n型雜質植入至該矽膜內；(c)在該矽膜上形成一導電膜；及(d')圖案化該矽膜及該導電膜以形成一閘極電極。

本應用的這些及其他目的可由在此後的詳細敘述而更清楚：然而，需了解當提及本發明的較佳實施例時，詳細敘述及例子僅為說明，熟習此項技藝者可由這些詳細敘述而對本發明的精神及範圍之不同改變與修正更加明白。

圖示簡述

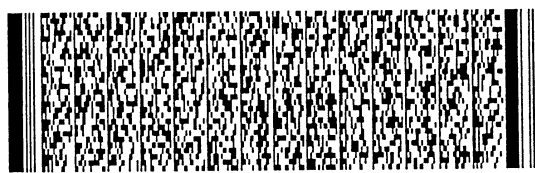
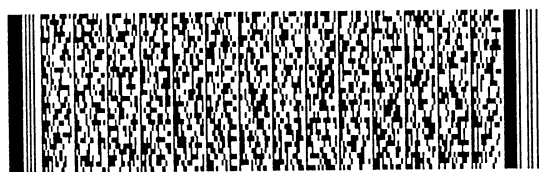
圖1(a)至1(i)為根據本發明說明製造半導體元件製程之一具體實施例主要部分的截面圖；

圖2(a)至2(i)為根據本發明說明製造半導體元件製程之另一具體實施例主要部分的截面圖；及

圖3(a)至3(f)為根據先前技藝說明半導體元件製造之主要部分的截面圖。

較佳具體實施例敘述

本發明係一製造雙閘極CMOS電晶體之製程，在雙閘極CMOS電晶體形成nMOS電晶體的製程主要包含以下步驟：



五、發明說明 (6)

(a) 在一半導體基板上形成一閘極絕緣膜及一矽膜；(b) 在半導體基板的nMOS區域中將n型雜質植入至矽膜內；(c) 在矽膜上形成一導電膜；及(d) 圖案化矽膜及導電膜以形成一閘極電極。

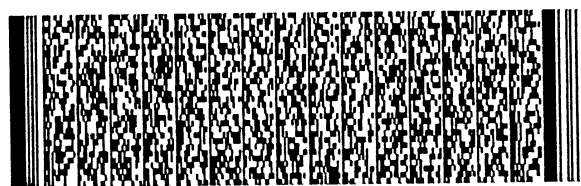
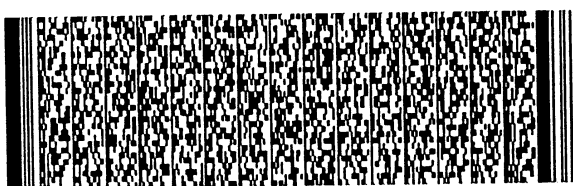
在本發明製程中所使用的半導體基板有相當多種，例如，元素半導體基板如矽、鍺等等，化合物半導體基板如GaAs、InGaAs等等，絕緣物上矽基板或多層絕緣物上矽基板，在這些基板中，以矽基板為較佳，半導體基板可與半導體元素結合，如電晶體或電容，電晶體或電容之線路、佈線層、元件隔離膜如矽局部氧化膜、溝槽元件絕緣膜、淺溝槽絕緣膜及形成在其上之絕緣膜。

在本發明中，在步驟(a)中形成一閘極絕緣膜及一矽膜。

當閘極絕緣膜應用在半導體元件時，並無特殊的材料及厚度限制，例如，可使用一單層或多層氧化矽膜、氮化矽膜等，其厚度約2至7 nm，閘極絕緣膜可由熟知的方法形成，如熱氧化法、CVD法等。

較佳地，矽膜由矽如多晶矽及非晶矽所形成，有相當多熟知的方法可用來形成矽膜，如CVD法及磊晶成長。矽膜之厚度並無特殊限制，但須考慮在離子佈植時雜質穿透至半導體基板的抑制，且可視需要通過矽膜而佈植至半導體基板，特別地，矽膜若由多晶矽或非晶矽所組成，其厚度約40至100 nm。

在閘極絕緣膜及矽膜形成之前，僅在半導體基板的pMOS

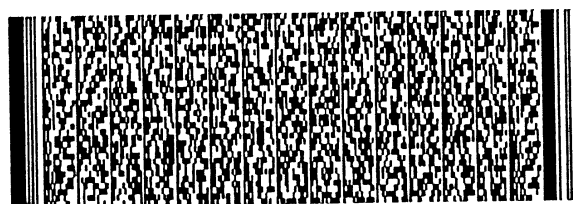
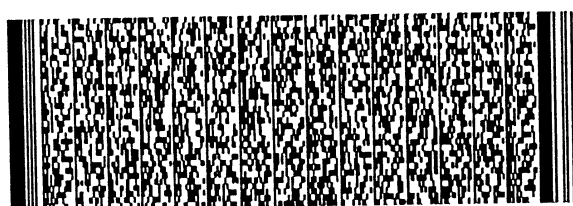


五、發明說明 (7)

區內形成一n井，n井則由至少在pMOS區域的表面形成一保護膜並透過保護膜將n型雜質(如磷、砷及銻)離子植入至半導體基板內，其保護膜的材料與厚度並無特殊限制，只要其能保護半導體基板表面以抵擋離子佈植，如由一單層或多層氧化矽膜氮化矽膜等形成的絕緣膜，厚度約5至20 nm，並可視井的深度、離子種類來適當地調整離子佈植的條件。較佳地，可在兩道或多道步驟以不同劑量或不同加速能量進行離子佈植，當使用兩道或多道離子佈植時，除了在半導體基板上形成的元件隔離區外，可在一較深區域及一較淺區域得到一植入峰。特別言之，可視情況選擇條件為劑量範圍約 1×10^{12} 至 5×10^{13} ions/cm²及加速能量約20至1000 keV。

在步驟(b)中，將n型雜質植入至半導體基板的nMOS區域中之矽膜內，離子佈植條件並無特殊限制，只要在後續步驟中以一般狀況退火時，雜質可在矽膜內均勻的擴散，而所得的矽膜可當成nMOS電晶體的閘極電極，且植入的雜質不會穿透矽膜及閘極絕緣膜。特別地，矽膜的厚度在上述提及的範圍內，離子佈植則以劑量約 1×10^{15} 至 5×10^{15} ions/cm²及加速能量約5至30 keV(磷)或約10至50 keV(砷)適當地進行之。

進行離子佈植時最好使用只在nMOS區上開口的光罩，使得只在nMOS區中的矽膜內植入n型雜質，光罩可為由微影形成的光阻光罩或由絕緣膜(如氧化矽膜、氮化矽膜等)形成所謂的硬光罩。



五、發明說明 (8)

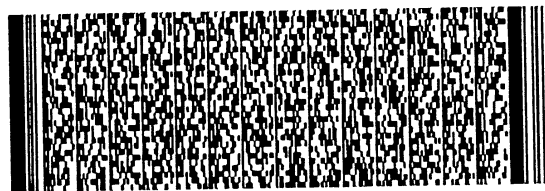
當在步驟(b)中完成如上述之利用只在nMOS區上開口之光罩植入n型雜質時，較佳地，在植入n型雜質之前或之後利用同一道光罩植入p型雜質至半導體基板以形成一p井，p型雜質可為硼、BF₂、銻等等，其中以硼為較佳。較佳地，用以上所述之條件進行兩道或多道的離子佈植以形成p井。

在形成閘極絕緣膜及矽膜之前，且尚未在半導體基板的pMOS區形成n井時，可在步驟(b)將n型雜質穿透矽膜及閘極絕緣膜植入至半導體基板內，並使用只在pMOS區上開口之光罩以在步驟(b')中形成如上述之n井；此外，p型雜質可利用只在pMOS區上開口之光罩植入至pMOS區中的矽膜內。離子佈植至半導體基板內以同時完成n井及植入至矽膜內較佳，但只能完成其中之一。除非使用不同的離子來源，離子佈植可使用如形成p井及n型雜質植入至nMOS區之矽膜的相同條件完成。

在步驟(b)及(b')中，離子佈植至矽膜中或至pMOS區中之半導體基板及至矽膜或至nMOS區中之半導體基板可以任意次序完成之，當考慮到光罩之使用時，較佳地，以此順序或相反順序連續地進行離子佈植至矽膜及pMOS區中之半導體基板。

在步驟(b)中，其中p型雜質的離子佈植並不是在pMOS電晶體中的矽膜內進行之，p型雜質可利用離子佈植導入至矽膜內以形成源極/汲極區域或稍後敘述之LDD區域。

在步驟(c)中，在矽膜上形成一導電膜，導電膜可由單



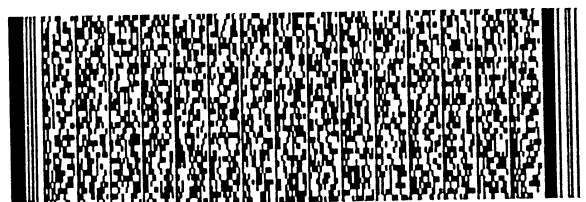
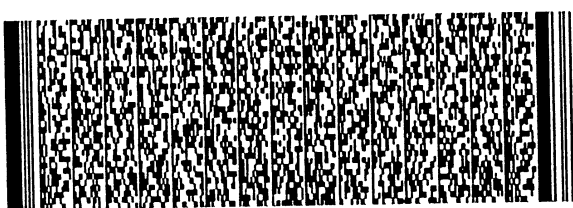
五、發明說明 (9)

層或多層組成，例如，單非晶質或多非晶質元素半導體（如矽、鍺等等）、化合物半導體（如GaAs、InP、ZnSe、CsS等等）、如金、鉑、銀、銅、鋁等之金屬、如鈦、鈮、鎢、鈷等之高熔點金屬、具有高熔點金屬之矽化物或多晶矽，如ITO、 SnO_2 、ZnO等之透明導電材料，其中以多晶矽膜、非晶矽膜、具有高熔點金屬或金屬的矽化物膜為較佳。導電膜之厚度約為50至150 nm，可由包含CVD法、蒸鍍法、電子束法及濺鍍法等來形成。

在步驟(d)及(d')中，圖案化矽膜及導電膜以形成閘極電極，圖案化由所需結構之光罩的微影及蝕刻所完成，光罩可為光阻光罩及如上述之硬光罩。

在本發明中，在步驟(a)形成矽膜之後及步驟(c)之導電膜形成之前，可形成一絕緣膜，如此絕緣膜之厚度不會影響矽膜及導電膜間之導電。絕緣膜可為單層或多層之氧化矽膜、氮化矽膜等等，其中以氧化矽膜為佳。絕緣膜之厚度並無特殊限制，只要能確保矽膜及導電膜間之導電，其厚度約2 nm或更薄。可在任何時間形成絕緣膜，例如，在形成矽膜之後，在形成p井之前，在形成視需要的n井之前或在形成導電膜之前，其可在形成矽膜之後至形成導電膜之前的期間形成。也就是說，可在任何時間以已知的方法如CVD法、熱氧化法等刻意地形成絕緣膜，或在這些步驟間自動地產生所謂的自發氧化膜。

在上述一連串的成形步驟後，在nMOS及pMOS區中覆蓋另一區且使用所得之層狀閘極電極當成光罩時，分別在nMOS



五、發明說明 (10)

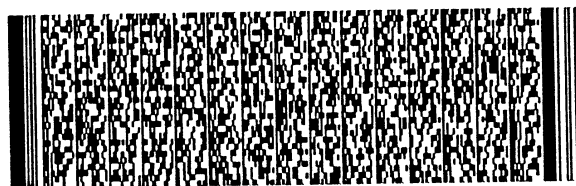
及pMOS區完成個別的離子佈植，以形成源極/汲極區，並從習知中適當的選擇離子佈植的離子源及條件。

另一選擇為，在nMOS及pMOS區中覆蓋另一區且使用所得之層狀閘極電極當光罩時，分別在nMOS及pMOS區完成個別的離子佈植以先在nMOS及pMOS區中形成LDD區，之後形成一側壁間隔物，隨後以側壁間隔物及閘極電極當成光罩進行離子佈植以形成源極/汲極區，並由已知之方法中適當的選擇形成LDD區之離子佈植條件及形成側壁間隔物之方法。

之後，任意地結合形成中間層絕緣膜、形成接觸孔、形成佈線層及清洗半導體基板表面或所得之半導體基板表面的步驟而完成本發明之半導體元件。

在本發明中，較佳地，將在(b)、(c)或(d)步驟之後或在(b')、(c)或(d')步驟之後所得之半導體基板退火，只要已完成步驟(b)或(b')的離子佈植，退火可在任何步驟之前、之間或之後的任意時間完成，較佳地，可進行兩次退火，如一次在形成源極/汲極區之離子佈植之後立刻進行、在步驟(c)形成導電膜之後立刻進行或在步驟(d)或(d')中形成閘極電極的圖案化後立刻進行；而另一次則再於形成源極/汲極區域的離子佈植之後進行。退火可依所得之半導體的尺寸而自習知中選擇適當的方法進行之，例如，可利用燈退火(lamp annealing)在約1000至1100°C進行5至20秒的退火。

以下，根據本發明之製造半導體元件的製程具體實施例



五、發明說明 (11)

將參考圖示詳述之。

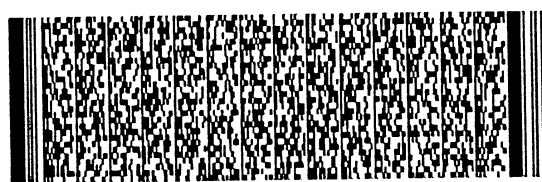
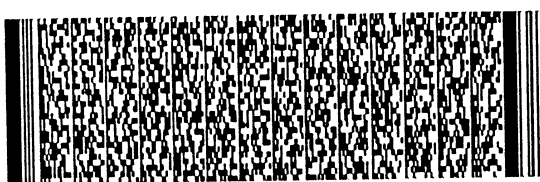
具體實施例1

如圖1(a)所示，在半導體基板10上形成由約350 nm厚的場氧化膜組成的元件隔離區11。

之後，移除在半導體基板10上產生之自發氧化膜以露出半導體基板10的表面，接著，在半導體基板上形成由約3.5 nm厚的氧化矽膜所組成的閘極絕緣膜12，在其上則形成約100 nm的多晶矽膜13，如圖1(b)所示。

如圖1(c)所示，用微影製程形成在nMOS區域上具有開口的光阻光罩14，藉由光阻光罩14，可將硼離子分別以加速能量300 keV、180 keV、95 keV及50 keV和劑量 1×10^{13} ions/cm²、 4×10^{12} ions/cm²、 2.5×10^{12} ions/cm²及 3.5×10^{12} ions/cm²穿過多晶矽膜13及閘極絕緣膜12而佈植至半導體基板10中，並形成p井15a。再利用光阻光罩14，將磷離子以加速能量10 keV及劑量 2×10^{15} ions/cm²佈植至多晶矽膜13內以形成n型多晶矽膜13a。

在移除光阻光罩14後，以上述相同方法形成一在pMOS區域上開口的光阻光罩16，如圖1(d)所示，利用光阻光罩16，將磷離子分別以加速能量700 keV、380 keV、200 keV及80 keV和劑量 1×10^{13} ions/cm²、 8×10^{12} ions/cm²、 1.5×10^{12} ions/cm²及 1.1×10^{12} ions/cm²穿過多晶矽膜13及閘極絕緣膜12而佈植至半導體基板10中，以形成n井15b。再利用光阻光罩16，將硼離子以加速能量5 keV及劑量 2×10^{15} ions/cm²佈植至多晶矽膜13內，以形成p型多晶矽



五、發明說明 (12)

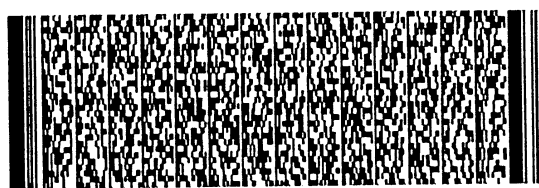
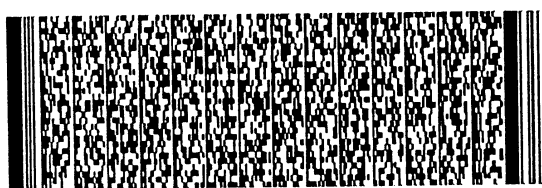
薄膜13b。

在移除光阻光罩16後，以氫氟酸清洗所得之半導體基板10以去除自發氧化膜及在n型及p型多晶矽膜13a及13b上之污染，接著，在n型及p型多晶矽膜13a及13b上形成約100 nm厚的非晶矽膜17，如圖1(e)所示，在此之後，以約1050 °C進行約10秒的燈退火以活化植入的雜質。

之後則如圖1(f)所示，n型及p型多晶矽膜13a及13b與非晶矽膜17利用微影與蝕刻圖案化成所需之結構以形成閘極電極。

隨後，分別在nMOS及pMOS區域進行離子佈植以形成LDD區域19a及19b，如圖1(g)所示，利用加速能量為15 keV、劑量為 3×10^{14} ions/cm²在nMOS區中形成LDD區19a，利用加速能量為10 keV、劑量為 1×10^{14} ions/cm²植入BF₂離子以在pMOS區中形成LDD區19b。在離子佈植的步驟中，這些導電類型的雜質亦被植入至矽膜17相對較淺的地方。接著，在所得之半導體基板10之全部表面上鍍上一層約100 nm厚的氧化矽膜，並回蝕以形成側壁間隔物18。

如圖1(h)所示，分別在nMOS及pMOS區進行離子佈植以形成源極/汲極區20a及20b，利用加速能量50 keV、劑量 2×10^{15} ions/cm²植入砷離子以在nMOS區形成源極/汲極區20a，利用加速能量30 keV、劑量 1.5×10^{15} ions/cm²植入BF₂離子以在pMOS區形成源極/汲極區20b。在離子佈植步驟中，這些導電類型的雜質被植入至矽膜17相對較深的地方。



五、發明說明 (13)

然後，以約 1010°C 進行10秒的燈退火以活化植入的雜質，經由退火，植入至n型及p型多晶矽膜13a及13b及非晶矽膜17的雜質可擴散至閘極電極內。因為雜質可利用在低溫短時間進行的退火足夠地擴散至閘極電極內，即可抑制閘極電極的耗乏作用，且因形成一淺接面，可避免硼離子的穿透。

接著，在所得之半導體基板10上形成一鈷膜並熱處理之，以在閘極電極及源極/汲極區20a及20b上形成一矽化鈷膜21，如圖1(i)所示，之後，形成一層間絕緣膜22及接觸孔，隨後，在佈線步驟中，形成接觸栓塞23及佈線層24，如此即完成一雙閘極CMOS電晶體。

具體實施例2

如圖2(a)所示，以與具體實施例1相同隻方法在半導體基板30上形成元件隔離區31。

之後，在半導體基板30整個表面上形成由氧化矽膜所組成之保護膜32以抵抗佈植，如圖2(b)所示，在所得之半導體基板30上形成一只在pMOS區上方開口之光阻光罩33，利用光阻光罩33，磷離子分別以加速能量600 keV、300 keV、150 keV與40 keV及劑量 1×10^{13} ions/cm²、 8×10^{12} ions/cm²、 1.5×10^{12} ions/cm²與 1.1×10^{13} ions/cm²植入至半導體基板30內以形成n井34b。

在移除光阻光罩33厚，移除保護膜32並露出半導體基板30表面，在其上則形成一由約3.5 nm厚的氧化矽膜所組成的閘極絕緣膜35；此外，在閘極絕緣膜上則形成一約



五、發明說明 (14)

50 nm 厚的多晶矽膜36，如圖2(c)所示。

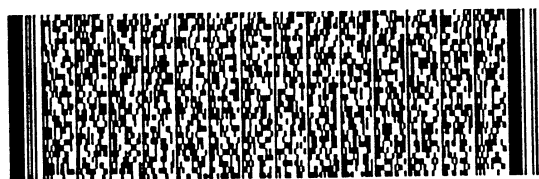
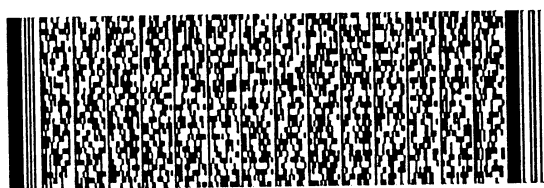
之後則如圖2(d)，以上述方法形成一只在nMOS區上方開口之光阻光罩37，利用光阻光罩37，硼離子分別以加速能量280 keV、160 keV、80 keV與35 keV及劑量 1×10^{13} ions/cm²、 4×10^{12} ions/cm²、 2.5×10^{12} ions/cm²與 3×10^{12} ions/cm²穿透多晶矽膜36與閘極絕緣膜35而植入至半導體基板30內以形成p井34a，再利用光阻光罩37，磷離子以加速能量10 keV及劑量 2×10^{15} ions/cm²植入至多晶矽膜36內以形成一n型多晶矽膜36a。

在移除光阻光罩37後，以與具體實施例1相同之方法用氫氟酸清洗所得之半導體基板30，之後，在多晶矽膜36及n型多晶矽膜36a上形成一約100 nm厚的非晶矽膜38，如圖2(e)所示。

此外，如圖2(f)所示，利用微影及蝕刻將多晶矽膜36、n型多晶矽膜36a及非晶矽膜38圖案化成所需之結構以形成閘極電極。

隨後，以與具體實施例1相同之方法分別在nMOS及pMOS區進行離子佈植以形成LDD區40a及40b，之後在閘極電極上形成側壁間隔物39。

接著，分別進一步在nMOS及pMOS區進行離子佈植以形成源極/汲極區41a及41b，如圖2(h)所示，砷離子以加速能量50 keV及劑量 3×10^{15} ions/cm²植入以在nMOS區中形成源極/汲極區41a，BF₂離子以加速能量30 keV及劑量 2×10^{15} ions/cm²植入以在pMOS區形成源極/汲極區41b。



五、發明說明 (15)

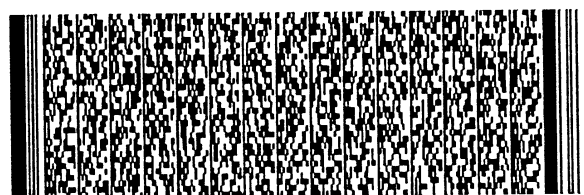
之後，以約 1020°C 進行10秒的燈退火以活化植入的雜質，退火之後的結果，植入至n型多晶矽膜36a及非晶矽膜38的雜質擴散至nMOS區的閘極電極內，可避免閘極電極的耗乏作用。此外，即使只進行低溫短時間的退火，被當成雜質而植入至pMOS區中的非晶矽膜38內之硼離子亦足夠地分佈在閘極電極內，可避免閘極電極的耗乏作用。因此，可得到一淺接面並避免硼離子的穿透。

接著，以與具體實施例1相同方法形成一矽化鈷膜42，一層間絕緣膜43、接觸孔、接觸栓塞44及一佈線層45，以完成如圖2(i)之雙閘極CMOS電晶體。

根據本發明，特別是在容易發生耗乏作用之nMOS區中的閘極電極，可在閘極電極內完全維持一足夠的雜質濃度，並有效地導入足夠量的雜質至閘極電極與閘極絕緣膜間之界面。因此，當抑制短通道效應並降低關閉電流而不需增加並延長製造步驟時，可避免在nMOS區域內的閘極電極之耗乏作用。

此外，p型雜質，特別是硼離子，可避免在pMOS電晶體內由於高擴散係數而穿透閘極絕緣膜，於是，可製造一高性能及高可靠度的縮小化之雙閘極CMOS電晶體。

也就是說，根據本發明一系列的步驟可先在閘極電極較低部分植入雜質，因此可有效地導入足夠濃度的雜質至閘極絕緣膜及閘極電極間界面附近處，以形成源極/汲極區域，而不會被離子佈植條件及閘極材料所影響，隨後並進行退火，於是，可有效地抑制閘極電極的耗乏作用。此外



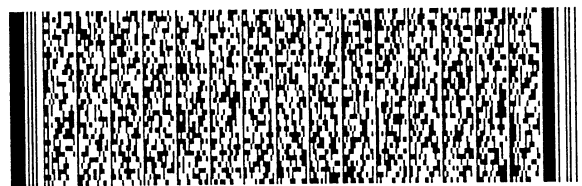
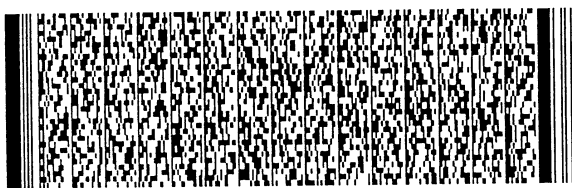
五、發明說明 (16)

，因可用一相對較短的時間之熱處理將雜質擴散至所需之處，可容易地形成一淺接面的源極/汲極區域，且可避免硼離子穿透pMOS電晶體內的閘極絕緣膜，因此，可控制電晶體的臨界值。

在步驟(b)中，在離子佈植至矽膜成長之前或之後，利用一只在nMOS區上開口之光罩在nMOS區將n型雜質植入至半導體基板，可在兩道離子佈植步驟內使用光罩而避免增加光罩道數。此外，在形成閘極絕緣膜之後進行另一離子佈植以形成一井，如此可避免在形成一井時植入的雜質有不必要的熱擴散。例如，抑制在一井與形成於半導體基板內之元件隔離區界面的雜質濃度之減少或增加可改善場性質。

此外，在步驟(b)中，以兩道或多道步驟用兩個或更多不同的加速能量及/或兩個或更多不同的劑量並利用只在pMOS區上開口之光罩將n型雜質植入至半導體基板，可輕易地形成一適當深度且具有均勻雜質濃度的井，且可容易地增加此井較深處之雜質濃度，此對避免門門線路(latch-up)時相當有益。

再更進一步討論，在步驟(b)中，在植入n型雜質至半導體基板之前或之後將p型雜質植入至半導體基板之pMOS區的矽膜中，並在植入p型雜質時也使用植入n型雜質之光罩，因此，可確保在pMOS區中整個閘極電極內及閘極電極與閘極絕緣膜間界面處有足夠的雜質濃度，於是，在沒有增加或延長特定製造步驟之下，當抑制短通道效應及降低關



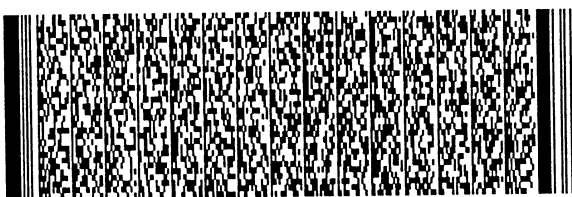
五、發明說明 (17)

閉電流時亦可避免nMOS區之閘極電極的耗乏作用。

在步驟(c)中，導電膜係由一矽化物膜或一金屬膜所組成，可容易地降低閘極電極之阻值，對下一代的技術相當有利。

此外，在步驟(a)形成矽膜之後及步驟(c)形成導電膜之前形成一絕緣膜，其具有一厚度，此絕緣膜不會妨礙矽膜及導電膜間之導電，並可抑制會不良地促進硼離子穿透閘極絕緣膜的氟之活動，且可有效地避免硼離子穿透pMOS區中之閘極絕緣膜。

當半導體基板在步驟(b)、(c)或(d)後進行退火，植入至閘極電極內的雜質可足夠地擴散以有效地避免閘極電極的耗乏作用。



圖式簡單說明

四、中文發明摘要 (發明之名稱：製造半導體元件之方法)

一種製造具有雙閘極CMOS電晶體之半導體元件的製程，其中雙閘極CMOS電晶體中之nMOS電晶體係以下列步驟形成之：(a)在一半導體基板上形成一閘極絕緣膜及一矽膜；(b)在該半導體基板的nMOS區中將n型雜質植入至該矽膜中；(c)在該矽膜上形成一導電膜；(d)將該矽膜及該導電膜圖案化成閘極。

英文發明摘要 (發明之名稱：PROCESS OF MANUFACTURING SEMICONDUCTOR DEVICE)

A process of manufacturing a semiconductor device having a dual gate CMOS transistor in which an nMOS transistor in the dual gate CMOS transistor is formed by the steps of: (a) forming a gate insulating film and a silicon film on a semiconductor substrate; (b) implanting n-type impurities into the silicon film in an nMOS region of the semiconductor substrate; (c) forming a conductive film on the silicon film; and (d) patterning the silicon film and the conductive



四、中文發明摘要 (發明之名稱：製造半導體元件之方法)

英文發明摘要 (發明之名稱：PROCESS OF MANUFACTURING SEMICONDUCTOR DEVICE)

film into a gate electrode.



六、申請專利範圍

1. 一種製造具有一雙閘極CMOS電晶體之半導體元件的製程，其中雙閘極CMOS電晶體中的nMOS電晶體係由下列步驟所形成：

(a) 在一半導體基板上形成一閘極絕緣膜及一矽膜；

(b) 將n型雜質植入至該半導體基板之nMOS區中的該矽膜；

(c) 在該矽膜上形成一導電膜；及

(d) 圖案化該矽膜及該導電膜以形成一閘極電極。

2. 如申請專利範圍第1項之製程，其中在步驟(b)利用一只在nMOS區上開口之光罩將n型雜質植入至該矽膜內，且在植入n型雜質之前或之後，可用相同之該光罩將p型雜質經由該閘極絕緣膜及該矽膜植入至該半導體基板。

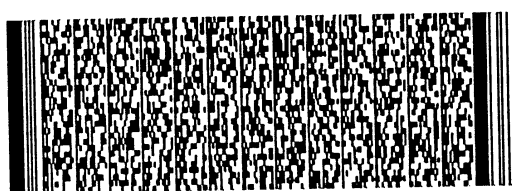
3. 如申請專利範圍第2項之製程，其中以兩個或多個加速能量及/或兩個或多個劑量進行離子佈植至該半導體基板中。

4. 如申請專利範圍第1項之製程，其中步驟(c)中之該導電膜係由一矽化物膜或一金屬膜所組成。

5. 如申請專利範圍第1項之製程，其中在步驟(a)中形成該矽膜之後及步驟(c)中形成該導電膜之前形成一具有不會阻礙在該矽膜及該導電膜間導電之厚度的絕緣膜。

6. 如申請專利範圍第1項之製程，其中所得之該半導體基板在步驟(b)、(c)或(d)後進行退火。

7. 如申請專利範圍第1項之製程，其中在步驟(d)後利用離子佈植形成源極/汲極區域。



六、申請專利範圍

8. 一種製造一具有雙閘極CMOS電晶體之半導體元件的製程，包含下列步驟：

(a) 在一半導體基板上形成一閘極絕緣膜及一矽膜；

(b') 在該半導體基板的nMOS區中將n型雜質植入至該矽膜內，且在該半導體基板的pMOS區中將p型雜質植入至該矽膜內；

(c) 在該矽膜上形成一導電膜；及

(d') 圖案化該矽膜及該導電膜以形成nMOS電晶體及pMOS電晶體之閘極電極。

9. 如申請專利範圍第8項之製程，其中在步驟(b')中利用一只在該nMOS區上開口之光罩將n型雜質植入至該矽膜中，且在n型雜質植入之前或之後，利用相同之該光罩將p型雜質經由該絕緣膜及該矽膜植入至該半導體基板中。

10. 如申請專利範圍第8項之製程，其中在步驟(b')中利用一只在該pMOS區上開口之光罩將p型雜質植入至該矽膜中，且在p型雜質植入之前或之後，利用相同之該光罩將n型雜質經由該絕緣膜及該矽膜植入至該半導體基板中。

11. 如申請專利範圍第9項或第10項之製程，其中以兩個或多個加速能量及/或兩個或多個劑量進行離子佈植至該半導體基板中。

12. 如申請專利範圍第8項之製程，其中所得之該半導體基板在步驟(b')、(c)或(d')之後進行退火。

13. 如申請專利範圍第8項之製程，其中在步驟(d')後利用離子佈植形成源極/汲極區域。



圖式

圖 1(a)

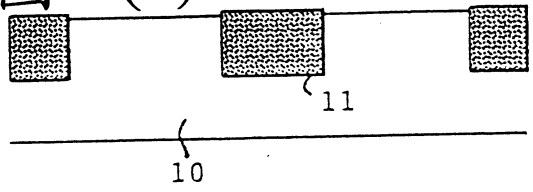


圖 1(b)

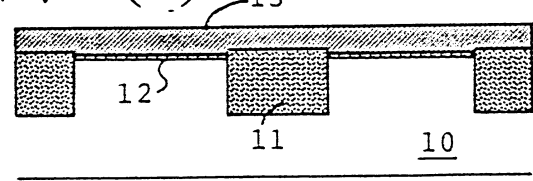


圖 1(c)

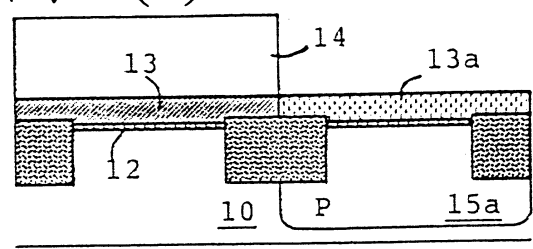


圖 1(d)

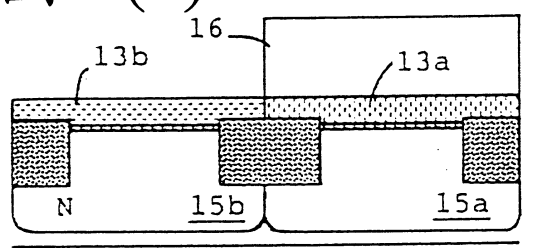


圖 1(e)

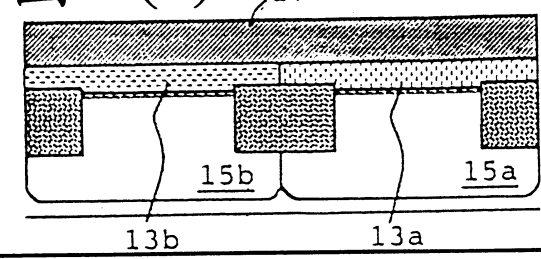


圖 1(f)

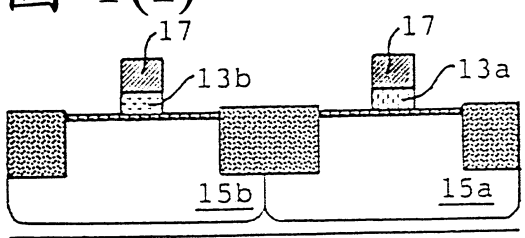


圖 1(g)

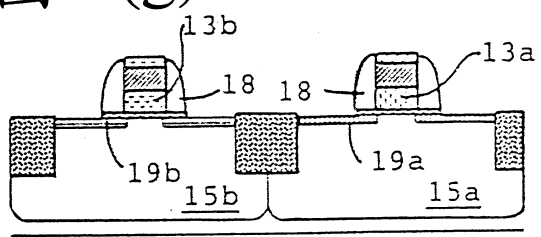


圖 1(h)

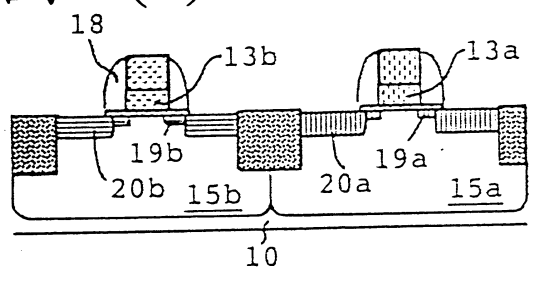
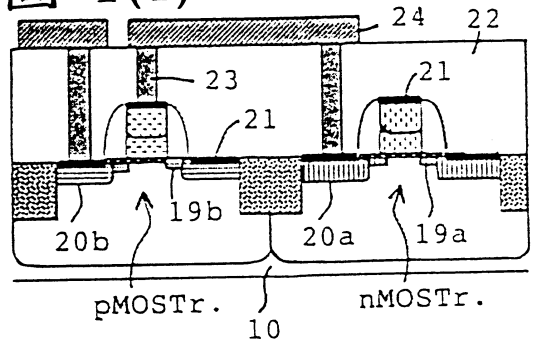


圖 1(i)



圖式

圖 2(a)

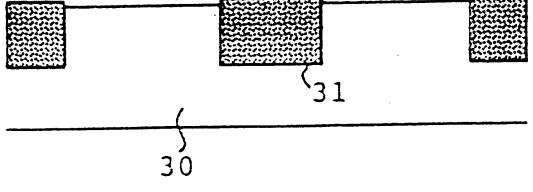


圖 2(b)

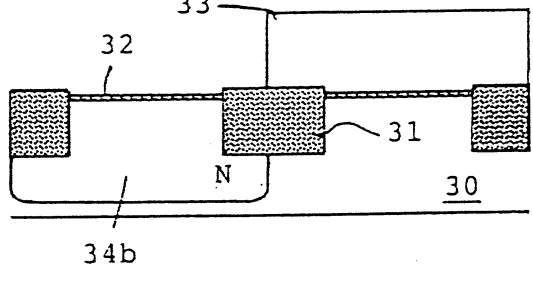


圖 2(c)

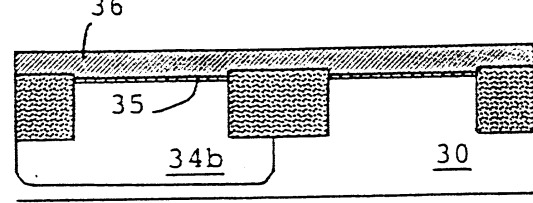


圖 2(d)

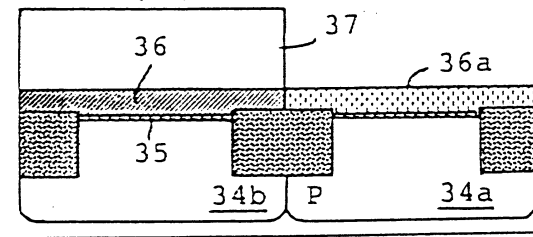


圖 2(e)

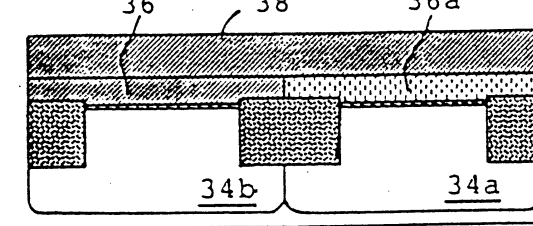


圖 2(f)

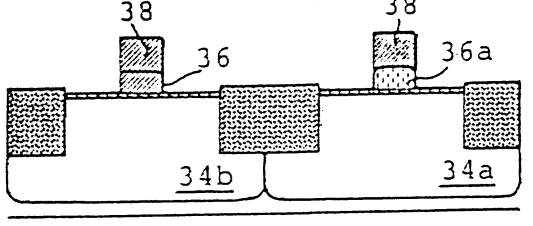


圖 2(g)

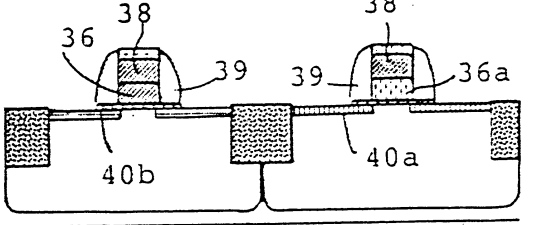


圖 2(h)

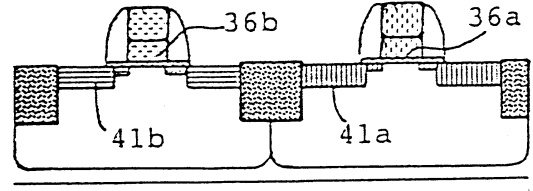
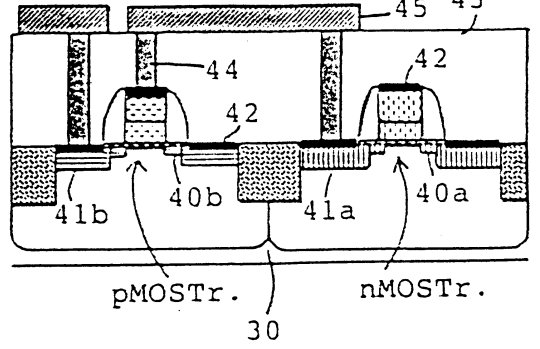


圖 2(i)



圖式

圖 3(a)
(先前技藝)

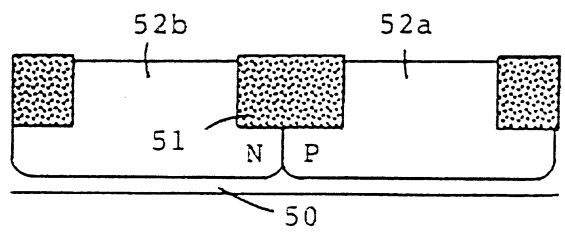


圖 3(b)
(先前技藝)

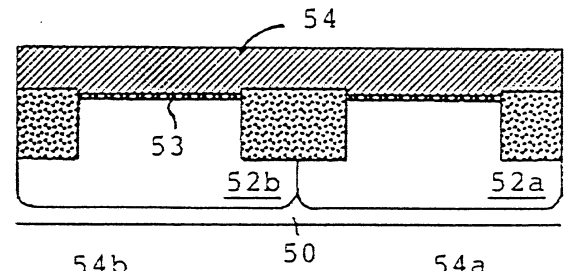


圖 3(c)
(先前技藝)

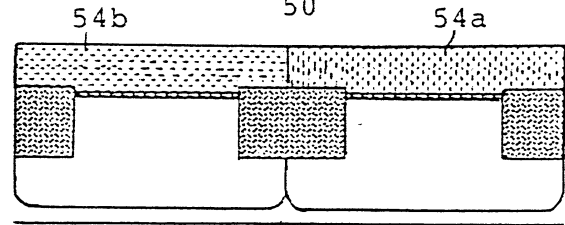


圖 3(d)
(先前技藝)

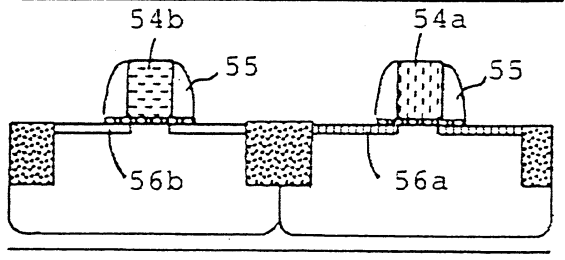


圖 3(e)
(先前技藝)

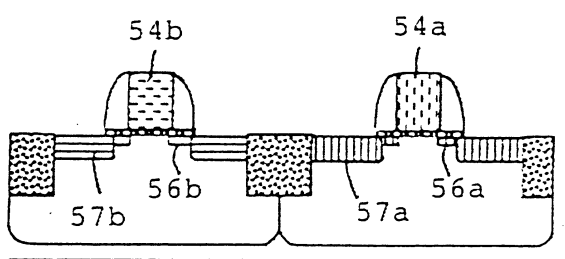


圖 3(f)
(先前技藝)

