



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 202404135 A

(43)公開日：中華民國 113 (2024) 年 01 月 16 日

(21)申請案號：112112150

(22)申請日：中華民國 112 (2023) 年 03 月 30 日

(51)Int. Cl.：

H01L41/00 (2013.01)

H01L41/35 (2013.01)

H01L21/762 (2006.01)

H03H9/02 (2006.01)

(30)優先權：2022/03/30

法國

2202897

(71)申請人：法商梭意泰科公司 (法國) SOITEC (FR)

法國

(72)發明人：泰維爾 布萊斯 TAVEL, BRICE (FR)；柏崔德 伊莎貝 BERTRAND, ISABELLE

(FR)；梵媿蘇 克莉絲朵 VEYTIZOU, CHRISTELLE (FR)

(74)代理人：陳長文；朱淑尹；李允中

申請實體審查：無 申請專利範圍項數：7 項 圖式數：2 共 15 頁

(54)名稱

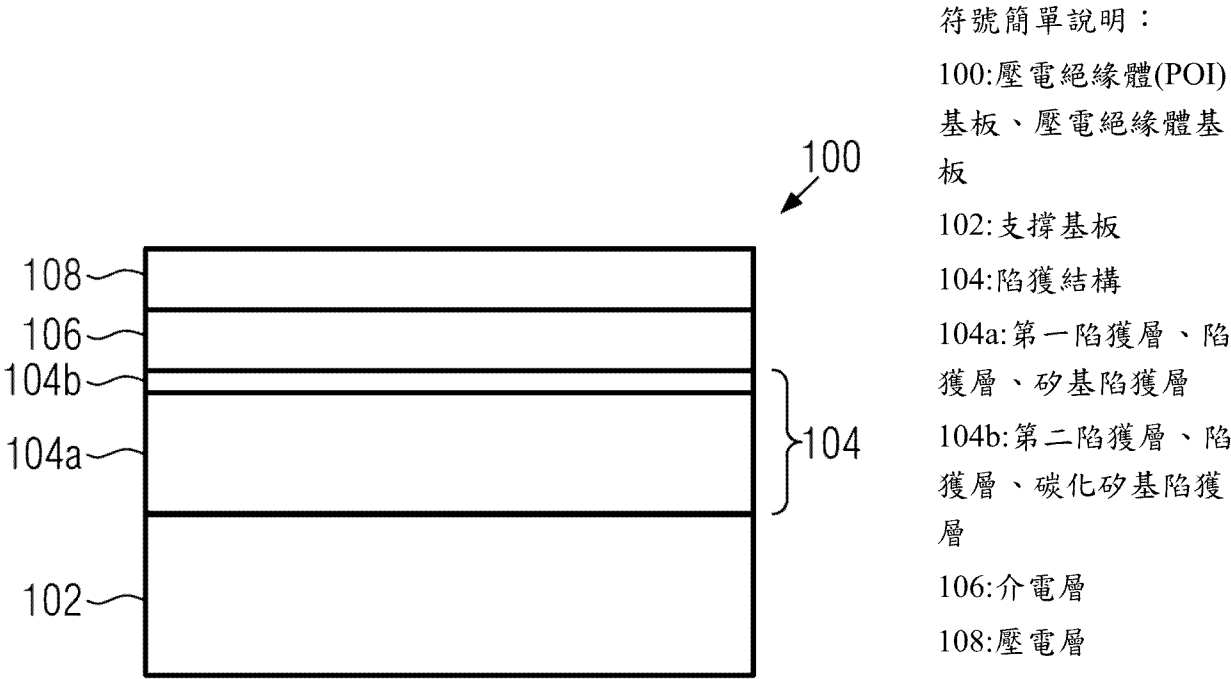
壓電絕緣體 (POI) 基板及製造壓電絕緣體基板之方法

(57)摘要

本發明係關於一種壓電絕緣體(POI)基板(100)，其包括：支撐基板(102)、特定而言矽基基板；壓電層(108)、特定而言鉭酸鋰(LTO)層或鉬酸鋰(LNO)層；介電層(106)、特定而言氧化矽層，其夾在該壓電層(108)與該支撐基板(102)之間；陷獲結構(104)，其夾在該介電層(106)與該支撐基板(102)之間。該基板(100)之特徵在於該陷獲結構(104)包含至少兩個基於不同材料之陷獲層(104a、104b)。本發明亦係關於一種用於製造壓電絕緣體(POI)基板之方法。

The invention relates to a piezoelectric-on-insulator (POI) substrate (100) comprising: a support substrate (102), in particular a silicon-based substrate, a piezoelectric layer (108), in particular a layer of lithium tantalate (LTO) or of lithium niobate (LNO), a dielectric layer (106), in particular a silicon oxide layer, sandwiched between the piezoelectric layer (108) and the support substrate (102), a trapping structure (104) sandwiched between the dielectric layer (106) and the support substrate (102). The substrate (100) is **characterized in that** the trapping structure (104) comprises at least two trapping layers (104a, 104b) based on different materials. The invention also relates to a process for the manufacture of a piezoelectric-on-insulator (POI) substrate.

指定代表圖：



【圖1】

【發明摘要】

【中文發明名稱】

壓電絕緣體(POI)基板及製造壓電絕緣體基板之方法

【英文發明名稱】

PIEZOELECTRIC-ON-INSULATOR (POI) SUBSTRATE AND
PROCESS FOR THE MANUFACTURE OF A PIEZOELECTRIC-ON-
INSULATOR (POI) SUBSTRATE

【中文】

本發明係關於一種壓電絕緣體(POI)基板(100)，其包括：支撐基板(102)、特定而言矽基基板；壓電層(108)、特定而言鉭酸鋰(LTO)層或鈮酸鋰(LNO)層；介電層(106)、特定而言氧化矽層，其夾在該壓電層(108)與該支撐基板(102)之間；陷獲結構(104)，其夾在該介電層(106)與該支撐基板(102)之間。該基板(100)之**特徵在於**該陷獲結構(104)包含至少兩個基於不同材料之陷獲層(104a、104b)。本發明亦係關於一種用於製造壓電絕緣體(POI)基板之方法。

【英文】

The invention relates to a piezoelectric-on-insulator (POI) substrate (100) comprising: a support substrate (102), in particular a silicon-based substrate, a piezoelectric layer (108), in particular a layer of lithium tantalate (LTO) or of lithium niobate (LNO), a dielectric layer (106), in particular a silicon oxide layer, sandwiched between the piezoelectric layer (108) and the support substrate (102), a trapping structure (104) sandwiched between the dielectric layer (106) and the support substrate

(102). The substrate (100) is **characterized in that** the trapping structure (104) comprises at least two trapping layers (104a, 104b) based on different materials. The invention also relates to a process for the manufacture of a piezoelectric-on-insulator (POI) substrate.

【指定代表圖】

圖1

【代表圖之符號簡單說明】

100: 壓電絕緣體(POI)基板、壓電絕緣體基板

102: 支撐基板

104: 陷獲結構

104a: 第一陷獲層、陷獲層、矽基陷獲層

104b: 第二陷獲層、陷獲層、碳化矽基陷獲層

106: 介電層

108: 壓電層

【發明說明書】

【中文發明名稱】

壓電絕緣體(POI)基板及製造壓電絕緣體基板之方法

【英文發明名稱】

PIEZOELECTRIC-ON-INSULATOR (POI) SUBSTRATE AND
PROCESS FOR THE MANUFACTURE OF A PIEZOELECTRIC-ON-
INSULATOR (POI) SUBSTRATE

【技術領域】

【0001】本發明係關於一種壓電絕緣體(POI)基板，其依次包括支撐基板、陷獲結構、介電層及壓電層，且亦係關於一種用於製造此POI基板之方法。

【先前技術】

【0002】該等基板係此項技術中已知的，例如POI基板包括單晶矽基板、由多晶矽製得之陷獲結構、氧化矽層及壓電層、特定而言鉍酸鋰(LTO)或鈮酸鋰(LNO)。陷獲結構使減少支撐基板與介電層之間之界面處與寄生傳導效應有關之損耗成為可能。此係由於在支撐基板與介電層之間插入之陷獲層用於減少此區域中電荷之壽命。

【0003】然而，觀察到，在POI基板之製造之背景下或在隨後之熱處理期間，壓電層之金屬元素(諸如，鋰)可擴散穿過介電層及陷獲結構，遠至與支撐基板之界面。此等金屬元素之累積降低陷獲結構之效能品質且因此負面地影響對寄生電流之抑制。

【0004】可增加陷獲層之厚度以增加可用陷阱之數量。然而，在此情形中，使用POI基板之裝置(例如濾波器、感測器等)中出現寄生模式。

【發明內容】

【0005】 因此，本發明之目標係增加陷阱數量，同時具有較低出現寄生效應之風險。

【0006】 本發明之目標係藉由壓電絕緣體(POI)基板達成，該壓電絕緣體基板包括：支撐基板、特定而言矽基基板；壓電層、特定而言鉮酸鋰(LTO)層或鉬酸鋰(LNO)層；介電層、特定而言氧化矽層，其夾在該壓電層與該支撐基板之間；及陷獲結構，其夾在該介電層與該支撐基板之間，其包含基於多晶或非晶或多孔矽、較佳基於多晶矽之第一陷獲層。此POI基板之特徵在於該陷獲結構包含基於不同材料之第二陷獲層。

【0007】 陷獲結構中添加包括不同材料之第二陷獲層使增加陷阱之數量成為可能，而不必使陷獲結構之總厚度增加至與在單一材料陷獲結構之情形中將需要之相同程度。

【0008】 根據一個實施例，第二陷獲層可基於碳化矽。碳化矽基第二層使有效降低寄生電流成為可能。

【0009】 根據一個實施例，碳化矽基第二陷獲層可較第一層薄。因此，較薄碳化矽層之提供使增加陷阱之數量成為可能，同時由於陷獲結構之存在而限制寄生模式之出現，尤其與具有相同陷阱數量之矽基單一材料陷獲層相比。

【0010】 根據一個實施例，碳化矽基第二陷獲層可具有小於或等於500 nm之厚度，特定而言小於或等於200 nm、更特定而言小於或等於50 nm之厚度。即使在該等小厚度下，亦可觀察到陷阱數量之充分增加。

【0011】 根據一個實施例，矽基第一陷獲層可具有小於或等於2 μm 之厚度，特定而言小於或等於1 μm 之厚度。藉由使用第二陷獲層，使得

可使第一陷獲層之厚度保持足夠低。因此，由於此層導致之寄生模式不能發展或至多其貢獻仍可忽略。

【0012】根據一個實施例，第二陷獲層可直接形成於第一陷獲層上。此使維持緊密結構成為可能。

【0013】根據一個實施例，第一陷獲層定位於支撐基板與第二陷獲層之間。此有助於形成陷獲結構，此乃因碳化矽層係在較矽層低之溫度下沈積。

【0014】本發明之目標亦係藉由用於製造壓電絕緣體(POI)基板之方法達成，該方法如上所述且包括以下階段：提供支撐基板、特定而言矽基板；提供包括壓電層之基板、特定而言包括鉭酸鋰(LTO)或鋰酸鋰(LNO)之基板；在該支撐基板上方形形成陷獲結構；在包括壓電層之該基板上及/或在該陷獲結構上方形成介電層、特定而言氧化矽層；組裝該壓電基板與該支撐基板，使得該介電層及該陷獲結構夾在該壓電層與該支撐基板之間；該方法之特徵在於形成該陷獲結構包括形成基於多晶或非晶或多孔矽、較佳基於多晶矽之第一層，及形成基於不同材料之第二陷獲層。

【0015】根據一個實施例，用於製造壓電基板之方法可額外包括以下階段：尤其在組裝階段之前在壓電層內部形成弱化區，及沿該弱化區實施斷裂以在該組裝階段之後將該壓電層之一部分與包括該壓電層之該基板之剩餘部分分離，以將該壓電層之該部分轉移至該支撐基板上。此方法使工業化製造根據本發明之POI基板成為可能。

【圖式簡單說明】

【0016】本發明及其優點隨後將借助有利的實例性實施例並特定參考以下附圖更詳細地闡釋，在附圖中，參考編號鑑別本發明之特徵。

【0017】[圖1]圖解性地表示根據本發明之第一實施例之壓電絕緣體(POI)基板。

【0018】[圖2]圖解性地表示根據本發明之第二實施例之用於製造壓電絕緣體(POI)基板之方法。

【實施方式】

【0019】所闡述實施例係簡單地可能組態且應牢記，如上所述之個別特徵在實施本發明期間可彼此獨立地提供或可完全省略。

【0020】[圖1]圖解性地表示根據本發明之第一實施例之壓電絕緣體(POI)基板100。

【0021】壓電絕緣體基板100包括支撐基板102。在此第一實施例中，支撐基板102係矽基基板、特定而言單晶矽晶圓。

【0022】陷獲結構104配置於支撐基板102上方。陷獲結構104可與支撐基板102直接接觸。陷獲結構104具有等於或小於2 μm 、較佳等於或小於1 μm 、甚至更佳等於或小於600 nm之厚度。

【0023】根據第一實施例，陷獲結構104包含兩個層：第一陷獲層104a及具有與第一陷獲層104a之材料不同材料之第二陷獲層104b。

【0024】第一陷獲層104a係基於多晶矽或基於非晶矽或基於多孔矽。第二陷獲層104b係基於碳化矽(SiC)。較佳地，其係藉由低壓化學氣相沈積(LPCVD)或電漿增強之化學氣相沈積(PECVD)或高密度電漿增強之化學氣相沈積(HDP-CVD)沈積之層。

【0025】在此實施例中，兩個陷獲層104a、104b具有不同厚度。矽基陷獲層104a較佳具有小於或等於2 μm 之厚度、特定而言小於或等於1 μm 之厚度。碳化矽基陷獲層104b較佳具有小於或等於500 nm之厚度，特

定而言小於或等於200 nm之厚度，且更特定而言小於或等於50 nm之厚度。根據本發明之一個實例，第一陷獲層104a具有500 nm之厚度且第二陷獲層104b具有50 nm之厚度。

【0026】介電層106配置於陷獲結構104上方，特定而言直接配置於該陷獲結構上。介電層106較佳係基於氧化矽之層。介電層106較佳具有介於100 nm與1 μ m之間、特定而言介於200 nm與700 nm之間的厚度。介電層106可藉由CVD沈積或任何其他適當沈積方法形成。

【0027】壓電層108配置於介電層106上方，特定而言直接配置於該介電層上。該壓電層較佳係鉍酸鋰(LTO)層或鈮酸鋰(LNO)層。壓電層108通常具有介於200 nm與1 μ m之間之厚度。

【0028】包括不同材料之兩個陷獲層104a、104b之陷獲結構104的使用使得增加陷阱數量、但不會過度增加陷獲結構104之厚度成為可能。

【0029】藉由添加不同材料之第二陷獲層104b且特定而言較薄之第二陷獲層，使得可能增加陷阱數量，同時保持足夠小厚度之陷獲結構以限制最終裝置(例如感測器、濾波器等)中寄生模式之出現。

【0030】根據替代形式，第一陷獲層104a與第二陷獲層104b之順序可顛倒。在此情形中，碳化矽基第二陷獲層位於支撐基板102與多晶矽基或非晶矽基或多孔矽基第一陷獲層104a之間。

【0031】[圖2]圖解性地表示根據本發明之第二實施例之用於製造壓電絕緣體(POI)基板之方法，以獲得如上文結合圖1所闡述之第一實施例之POI基板100。在闡述POI基板100之上下文中已參照圖1使用之參考編號再次使用，以闡述第二實施例之方法。

【0032】用於製造壓電絕緣體(POI)基板100之方法開始於階段I：

提供支撐基板102、特定而言矽基基板、尤其單晶矽晶圓。

【0033】根據本發明之此第二實施例，階段II)提供陷獲結構104在支撐基板102之自由表面120上之形成。

【0034】陷獲結構104之形成開始於藉由低壓化學氣相沈積(LPCVD)產生之第一陷獲層104a之形成。根據替代形式，階段II)之第一陷獲層104a之形成可藉由熱生長技術或藉由物理氣相沈積(PVD)實施。

【0035】在支撐基板102上形成之陷獲層104a係基於多晶矽、基於非晶矽或基於多孔矽之層。

【0036】陷獲層104a之厚度等於或小於2 μm 、特定而言等於或小於1 μm 。

【0037】隨後，在第一陷獲層104a上形成第二陷獲層104b。此第二陷獲層104b係基於碳化矽。第二陷獲層104b係以較第一陷獲層小之厚度、較佳以小於或等於500 nm之厚度、特定而言小於或等於200 nm之厚度、更特定而言小於或等於50 nm之厚度形成。

【0038】第二陷獲層104b係藉由低壓化學氣相沈積(LPCVD)或電漿增強之化學氣相沈積(PECVD)或高密度電漿增強之化學氣相沈積(HDP-CVD)形成。根據替代形式，階段II)期間第二陷獲層104b之形成可藉由熱生長技術或藉由物理氣相沈積(PVD)實施。典型地，第二陷獲層104b之形成係在較第一陷獲層104a低之溫度下實施。

【0039】在形成該第二陷獲層之前，可實施第一陷獲層104a之一或多次表面處理，例如拋光、特定而言CMP拋光，或藉由電漿或臭氧處理之表面活化。

【0040】在階段III)期間，在第二陷獲層104b之自由表面122上形成

介電層106a。介電層106a較佳係藉由化學氣相沈積(CVD)或物理氣相沈積(PVD)形成之氧化矽層。

【0041】介電層106a較佳具有等於或小於1 μm 、特定而言等於或小於700 nm之厚度。

【0042】可在沈積介電層106a之後實施熱處理以使其緻密化。

【0043】在階段IV)期間，提供包括壓電層126之基板124、特定而言包括鉮酸鋰(LTO)或鉬酸鋰(LNO)之基板124。在此實施例中，壓電層126配置於基底基板128上方。在替代中，壓電層126係體層且整體形成基板124。

【0044】在階段V)期間，在壓電層126之自由表面130上產生第二介電層106b、特定而言氧化矽層。此層係以與在階段III)期間形成之介電層106a相同之方式產生。選擇厚度使得兩個介電層106a及106b之厚度總和介於100 nm與1 μm 之間、特定而言介於200 nm與700 nm之間。

【0045】根據替代形式，在形成介電層106b之前可對包括壓電層之基板124之自由表面130實施一或多個階段之表面處理。舉例而言，可實施表面活化處理，諸如電漿處理及/或基於臭氧之處理。

【0046】在階段VI)期間，將在階段V)之後獲得之基板124與在階段III)中獲得之支撐基板102組裝以形成支撐基板：包括壓電層總成132之基板。

【0047】實施組裝以使介電層106a與106b直接接觸。較佳藉由分子附著實施該組裝。

【0048】一旦兩個基板經組裝，即實施使總成132薄化之階段VII)，以獲得具有較薄壓電層108之POI基板100，如圖1中所圖解說明。

【0049】舉例而言，該薄化階段可在組裝階段VI)之前藉由銑削或藉由在壓電層126中形成弱化區之階段實施，以便將待轉移至支撐基板102上之壓電層108定界，隨後斷裂。形成弱化區之此階段係藉由在壓電層126中植入原子或離子實體實施。原子或離子植入可以如下方式實施：弱化區位於壓電層126內部並將待自壓電層126之剩餘部分轉移之壓電層108定界。隨後，藉由在壓電層126之弱化區處供應熱及/或機械能而隨後實施使總成132斷裂之階段，以獲得壓電絕緣體(POI)基板100。

【0050】根據替代形式，支撐基板102與基板124之間之結合亦可在陷獲結構104與介電層106b之間(亦即不實施階段III))或在介電層106a與壓電層126之間實施。

【0051】在產生上文提及之層中之一或多者之前，可實施清潔、刷洗或拋光正下方表面之一或多個階段以移除顆粒及灰塵之存在。

【符號說明】

【0052】

100: 壓電絕緣體(POI)基板、壓電絕緣體基板、POI基板、基板

102: 支撐基板

104: 陷獲結構

104a: 第一陷獲層、陷獲層、矽基陷獲層

104b: 第二陷獲層、陷獲層、碳化矽基陷獲層

106: 介電層

106a: 介電層

106b: 第二介電層、介電層

108: 壓電層

- 120: 自由表面
- 122: 自由表面
- 124: 基板
- 126: 壓電層
- 128: 基底基板
- 130: 自由表面
- 132: 壓電層總成、總成

【發明申請專利範圍】

【請求項1】

一種壓電絕緣體(POI)基板，其包括：
支撐基板(102)、特定而言矽基基板，
壓電層(108)、特定而言鉮酸鋰(LTO)層或鉬酸鋰(LNO)層，
介電層(106)、特定而言氧化矽層，其夾在該壓電層(108)與該支撐基板(102)之間，
陷獲結構(104)，其夾在該介電層(106)與該支撐基板(102)之間且包括基於多晶或非晶或多孔矽、較佳基於多晶矽之第一陷獲層(104a)，且
該陷獲結構(104)包括基於碳化矽之第二陷獲層(104b)，
該壓電絕緣體(POI)基板之特徵在於
該第一陷獲層(104a)定位於該支撐基板(102)與該第二陷獲層(104b)之間。

【請求項2】

如請求項1之壓電絕緣體(POI)基板，其中該第二陷獲層(104b)較該第一陷獲層(104a)薄。

【請求項3】

如請求項1或2之壓電絕緣體(POI)基板，其中該第二陷獲層(104b)具有小於或等於500 nm之厚度、特定而言小於或等於200 nm之厚度、特定而言小於或等於50 nm之厚度。

【請求項4】

如請求項1至3中任一項之壓電絕緣體(POI)基板，其中該第一陷獲層具有小於或等於2 μm 之厚度、特定而言小於或等於1 μm 之厚度。

【請求項5】

如請求項1至4中任一項之壓電絕緣體(POI)基板，其中該第二陷獲層(104b)係直接形成於該第一陷獲層(104a)上。

【請求項6】

一種用於製造如請求項1至5中任一項之壓電絕緣體(POI)基板之方法，該方法包括以下階段：

提供支撐基板、特定而言矽基基板，

提供包括壓電層之基板、特定而言包括鉭酸鋰(LTO)或鋳酸鋰(LNO)之基板，

在該支撐基板上方形形成陷獲結構，

在該壓電基板上及/或在該陷獲結構上方形成介電層、特定而言氧化矽層，

組裝包括壓電層之該基板及該支撐基板，以使得該介電層及該陷獲結構夾於該壓電層與該支撐基板之間，

該陷獲結構之該形成包括在該支撐基板上形成基於多晶或非晶或多孔矽之第一層、較佳基於多晶矽，及隨後形成基於碳化矽之第二陷獲層。

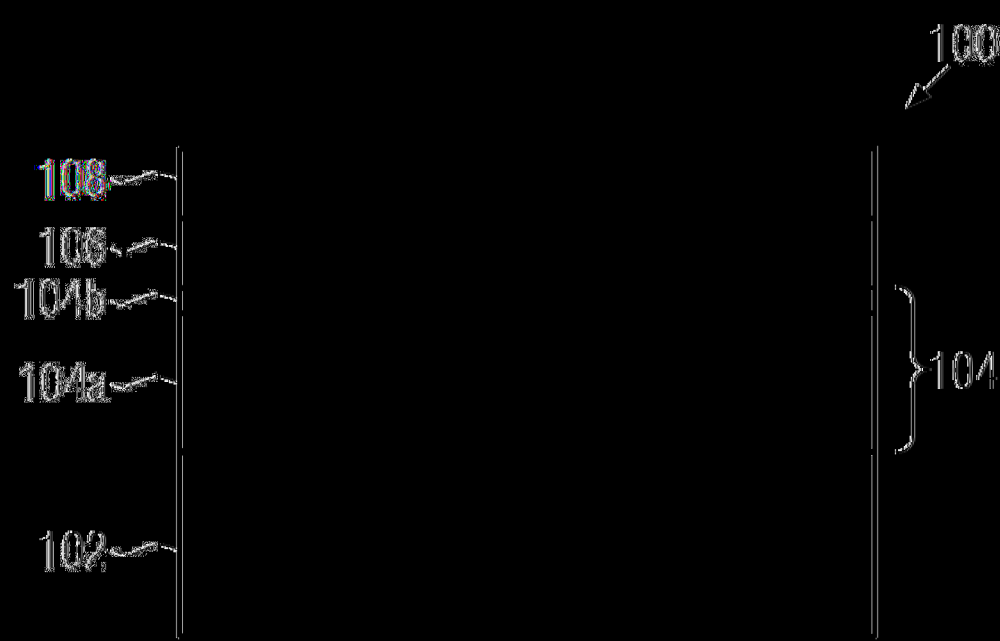
【請求項7】

如請求項6之用於製造壓電基板之方法，其此外包括以下階段：

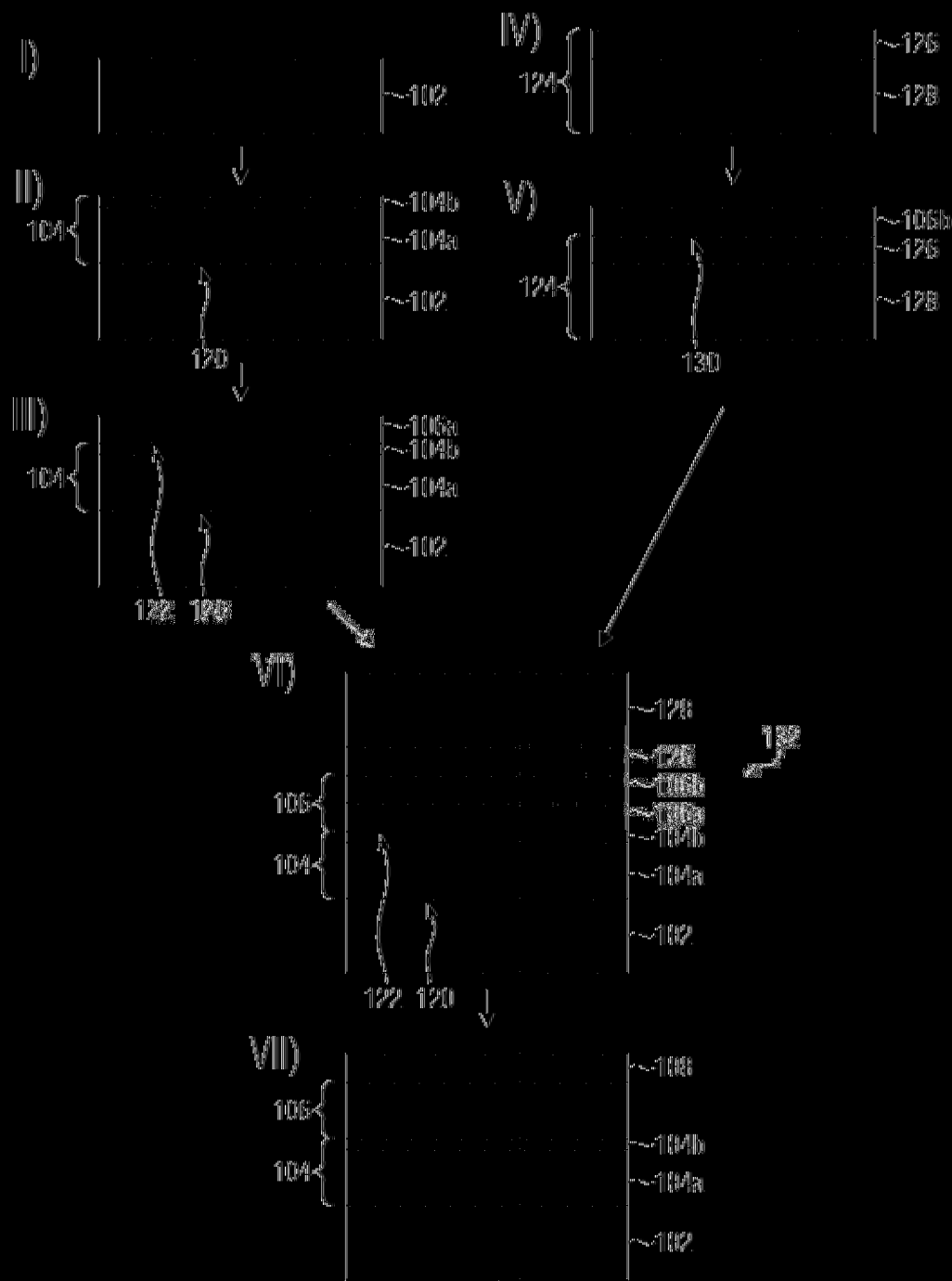
在該壓電層內部形成弱化區，及

沿該弱化區實施斷裂以在該組裝階段之後將該壓電層之一部分與包括該壓電層之該基板之剩餘部分分離，以將該壓電層之該部分轉移至該支撐基板上。

|(發明圖式)|



|(圖1)|



[(圖2)]