



(12) 发明专利

(10) 授权公告号 CN 101609813 B

(45) 授权公告日 2012. 01. 04

(21) 申请号 200910151873. 1

H01L 27/146 (2006. 01)

(22) 申请日 2007. 08. 02

(56) 对比文件

(30) 优先权数据

CN 1744323 A, 2006. 03. 08, 全文.

2006-210531 2006. 08. 02 JP

US 2005/0067640 A1, 2005. 03. 31, 说明书第
[0108]-[0172] 段、附图 4A-4L.

(62) 分案原申请数据

200710143752. 3 2007. 08. 02

审查员 徐国亮

(73) 专利权人 佳能株式会社

地址 日本东京

(72) 发明人 渡边高典 板野哲也 高桥秀和

滝本俊介 虹川浩太郎 成瀬裕章

西村茂 板桥政次

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 付建军

(51) Int. Cl.

H01L 21/822 (2006. 01)

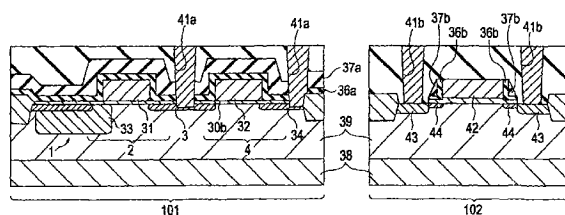
权利要求书 1 页 说明书 10 页 附图 10 页

(54) 发明名称

光电转换器件的制造方法

(57) 摘要

本发明公开光电转换器件的制造方法, 该器件包括: 光电转换区域, 具有多个光电转换元件和响应每个光电转换元件的电荷读取信号的第一 MOS 晶体管; 外围电路区域, 具有驱动第一 MOS 晶体管和 / 或放大从光电转换区域读取的信号的第二 MOS 晶体管, 光电转换区域和外围电路区域位于同一半导体衬底上。该方法包括: 形成第一和第二 MOS 晶体管的栅电极; 用栅电极作为掩模注入第一导电类型杂质离子; 形成绝缘膜以覆盖光电转换区域和外围电路区域; 在通过掩模保护光电转换区域上的绝缘膜时, 通过回蚀刻去除外围电路区域上的绝缘膜, 并形成第二 MOS 晶体管的侧面间隔件; 用光电转换区域上的绝缘膜和侧面间隔件作为掩模, 注入第一导电类型杂质离子。



1. 一种光电转换器件的制造方法,所述光电转换器件包括:

像素区域,其具有多个像素,每个像素包括光电转换元件、放大晶体管和复位晶体管;
以及

外围电路区域,其具有配置为驱动所述像素和 / 或放大从所述像素区域读取的信号的外围 MOS 晶体管,所述像素区域和所述外围电路区域位于同一半导体衬底上,

所述方法包括如下步骤:

形成所述放大晶体管、复位晶体管和外围 MOS 晶体管的栅电极;

通过使用所述栅电极作为掩模,注入第一导电类型的杂质离子;

形成绝缘膜,以便覆盖所述像素区域和所述外围电路区域;

在通过掩模来保护形成在所述像素区域的放大晶体管和复位晶体管上的所述绝缘膜的情况下,通过回蚀刻来去除形成在所述外围电路区域上的所述绝缘膜,用于形成所述外围 MOS 晶体管的侧面间隔件;以及

通过使用在所述像素区域上的所述绝缘膜和所述侧面间隔件作为掩模,注入所述第一导电类型的杂质离子,以使得所述外围 MOS 晶体管具有轻掺杂漏极 LDD 结构。

2. 如权利要求 1 所述的光电转换器件的制造方法,还包括如下步骤:

形成第二绝缘膜,以便覆盖所述像素区域和所述外围电路区域的整体;

在所述第二绝缘膜的相应于外围 MOS 晶体管的漏极区域的区域中形成接触孔;以及

以自对准的方式将所述第一导电类型的杂质离子注入到所述接触孔中。

光电转换器件的制造方法

[0001] 本申请是申请日为 2007 年 8 月 2 日、申请号为 200710143752.3、发明名称为“光电转换器件、光电转换器件制造方法、及图像拾取系统”的专利申请的分案申请。

技术领域

[0002] 本发明涉及一种光电转换器件。本发明尤其涉及一种包括 MOS 晶体管的 MOS 光电转换器件。

背景技术

[0003] 近年来,在二维图像输入设备如数字静物照相机和便携式摄像机中以及在一维图像读取器例如传真机和扫描仪中使用光电转换器件作为图像拾取器件的需求正在快速增长。

[0004] 使用电荷耦合器件 (CCD) 和 MOS 光电转换器件作为光电转换器件。

[0005] 在光电转换器件中,需要降低光电转换区域中所产生的噪声。这种噪声的一个例子是由放置在光电转换区域中的 MOS 晶体管中产生的热载流子所引起的噪声。术语“热载流子”指的是通过将由漏极区域和沟道端部构成的 p-n 结放置于通过将电压施加到 MOS 晶体管的栅极所产生的强电场中而产生的载流子。特别是在例如处理弱信号的光电转换器件的装置中,由热载流子产生的噪声会引发问题。

[0006] 作为降低噪声的方法的一个例子,日本专利公开 NO. 11-284167 (专利文献 1) 和日本专利公开 NO. 2000-012822 (专利文献 2) 都公开了一种具有轻掺杂漏极 (LDD) 结构且放置在光电转换区域中的 MOS 晶体管。这种结构降低了施加到漏极和形成于栅极之下的沟道的电场的强度,并因此可以降低热载流子的影响。

[0007] 此外,专利文献 2 公开了一种制造包括具有 LDD 结构且放置在光电转换区域内的 MOS 晶体管的结构的工艺。将参考专利文献 2 的图 2 简要描述该工艺。以下描述的光接收部分和检测部分分别用作传输晶体管的源极和漏极。

[0008] 对要形成为光接收部分中的区域进行离子注入。为了在检测部分中形成轻掺杂半导体区域,执行离子注入。形成用作用于光接收部分的防反射膜的氮化硅膜以便覆盖光接收部分、栅电极以及检测部分。在栅电极上对氮化硅膜进行构图以在栅电极的漏极侧上形成侧壁。以侧壁作为掩模形成重掺杂半导体区域,以形成光电转换器件。

[0009] 近年来,要求光电转换器件具有更高的像素密度和更多的像素,同时保持或改善光电转换特性,例如敏感性和动态范围。在防止光接收部分面积的减小的同时降低光电转换区域的驱动电压并且使除光接收部分以外的区域小型化对于制造这种光电转换器件是行之有效的。

[0010] 但是,用来响应设置在光电转换区域中的光电转换元件的信号电荷而读出信号的 MOS 晶体管的小型化会使得晶体管特性的可靠性变差。

[0011] 在上述工艺中,侧面间隔件的宽度等于外围电路区域的宽度。因此,当设计针对外围电路区域最优化的电场降低结构时,光电转换区域中的电场强度的降低可能会不够充

分。在这种情况下,热载流子会使得 MOS 晶体管的可靠性变差。因此,为了确保可靠性,MOS 晶体管需要具有更大的栅极宽度。这导致不利于小型化。

[0012] 而且,在上述工艺中,对光电转换区域中的防反射膜进行了蚀刻。蚀刻导致了对光电转换区域的损坏(主要是等离子体损坏)。这增加了流过光电二极管的暗电流。

[0013] 为了克服至少一个上述问题,本发明提供一种特性得以改善且没有增加制造步骤数目的光电转换器件。

发明内容

[0014] 考虑到上述问题,根据本发明的光电转换器件包括:光电转换区域,其具有多个光电转换元件和配置为响应每个光电转换元件的电荷而读取信号的第一 MOS 晶体管;以及外围电路区域,其具有配置为驱动所述第一 MOS 晶体管和/或放大从所述光电转换区域读取的信号的第二 MOS 晶体管,所述光电转换区域和所述外围电路区域位于同一半导体衬底上,其中所述第一 MOS 晶体管的漏极中的杂质浓度低于所述第二 MOS 晶体管的漏极中的杂质浓度。本发明还公开一种光电转换器件的制造方法,所述光电转换器件包括:光电转换区域,其具有多个光电转换元件和配置为响应每个光电转换元件的电荷而读取信号的第一 MOS 晶体管;以及外围电路区域,其具有配置为驱动所述第一 MOS 晶体管和/或放大从所述光电转换区域读取的信号的第二 MOS 晶体管,所述光电转换区域和所述外围电路区域位于同一半导体衬底上。所述方法包括如下步骤:形成所述第一 MOS 晶体管和所述第二 MOS 晶体管的栅电极;通过使用所述栅电极作为掩模,注入第一导电类型的杂质离子;形成绝缘膜,以便覆盖所述光电转换区域和所述外围电路区域;在通过掩模来保护形成在所述光电转换区域上的所述绝缘膜的情况下,通过回蚀刻来去除形成在所述外围电路区域上的所述绝缘膜,并形成所述第二 MOS 晶体管的侧面间隔件;以及通过使用在所述光电转换区域上的所述绝缘膜和所述侧面间隔件作为掩模,注入所述第一导电类型的杂质离子。

[0015] 从以下参考附图对实施例的描述中将会明了本发明更多的特征。

附图说明

[0016] 图 1 是根据本发明的光电转换器件的平面示意图。

[0017] 图 2A 和 2B 是根据本发明的 MOS 晶体管的平面图和截面图。

[0018] 图 3 是根据本发明的光电转换器件的电路图。

[0019] 图 4 是根据本发明第一实施例的光电转换器件的截面示意图。

[0020] 图 5A 到 5E 示出了根据第二实施例的制造光电转换器件的过程。

[0021] 图 6 是根据第三实施例的光电转换器件的截面示意图。

[0022] 图 7 是根据第四实施例的光电转换器件的截面示意图。

[0023] 图 8 是根据第五实施例的光电转换器件的截面示意图。

[0024] 图 9 是用于解释本发明的光电转换器件的截面示意图。

[0025] 图 10 是示出了包括光电转换器件的图像拾取系统的框图。

具体实施方式

[0026] 将要描述根据本发明的结构。在本发明中,“光电转换区域”指的是包括多个光电

转换元件和配置为响应每个光电转换元件的电荷而读取信号的 MOS 晶体管的区域。可以为每个光电转换元件形成多个 MOS 晶体管,以便放大信号。

[0027] “外围电路区域”指的是包括配置为驱动位于光电转换区域中的 MOS 晶体管的电路和配置为放大从光电转换区域提供的信号的电路的区域。

[0028] 图 1 是光电转换器件的平面布局图。附图标记 111 代表光电转换区域。当从一个光电转换元件读取的信号的最小单元被定义为像素时,放置该光电转换元件的区域也可称为“像素区域”。该像素是一个光电转换元件和一组配置为从光电转换元件读取信号然后将该信号发送到输出线的元件的最小单元。如下描述,该组元件包括传输元件例如传输 MOS 晶体管、放大元件例如放大 MOS 晶体管、以及复位元件例如复位 MOS 晶体管。相邻的光电转换元件之间可以共享这些元件。而且在这种情况下,像素被定义为一组配置为从该光电转换元件读取信号的元件的最小单元。

[0029] 信号处理电路 112 放大从光电转换区域读取的信号。可选择地,该信号处理电路 112 不限于该放大电路,也可以是通过相关双采样 (CDS) 除去像素噪声的电路。此外,该信号处理电路 112 可以是一种将从多列并行读取的信号简单转换为串行信号的电路。垂直移位寄存器 113 驱动位于光电转换区域中的 MOS 晶体管。水平移位寄存器 114 驱动信号处理电路的 MOS 晶体管。信号处理电路 112 到水平移位寄存器 114 可以包含在外围电路区域中。当在光电转换器件中执行模拟数字 (A/D) 转换时,A/D 转换器可以包含在外围电路区域中。

[0030] 为了理解本发明,以下详细描述本发明的机制。图 9 是包含光电转换区域 101 和外围电路区域 102 的光电转换器件的截面示意图。

[0031] MOS 晶体管 909 读取从光电转换元件提供的信号。MOS 晶体管 910 位于外围电路区域中。位于光电转换区域中的 MOS 晶体管 909 和位于外围电路区域中的 MOS 晶体管 910 中每一个的源极和漏极具有相同的 LDD 结构。也就是说,LDD 结构具有重掺杂半导体区域 911、位于侧面间隔件 913 下面的轻掺杂半导体区域 914、以及位于接触孔 915 下面的重掺杂半导体区域 916。

[0032] 电场缓和 (relaxation) 层中过低的杂质浓度或者 LDD 结构的电场缓和层的过大的宽度增加了晶体管的寄生电阻 (串联电阻),因此显著降低了驱动能力和静态特性。因此,在对其而言驱动能力和静态特性很重要的外围电路中,需要形成宽度相对较小的电场缓和层。

[0033] 在为小型化而需要缓和电场的光电转换区域的光电转换区域中,可以形成宽度较大的电场缓和层。但是,根据图 9 所示的结构,光电转换区域和外围电路区域中的漏极具有相同的结构。因此,要么仅仅可以满足一种特性,要么仅仅可以满足另一种特性。

[0034] 在本发明中,由于光电转换区域中的漏极的结构不同于外围电路区域中的漏极的结构,所以两种特性都可以满足。光电转换区域中的漏极的轻掺杂区域如此设置以便其面积比外围电路区域中的漏极的轻掺杂区域的面积大。

[0035] 从其中漏极与导体直接接触的区域的栅极端部延伸的部分具有缓和施加到 MOS 晶体管的电场的实际效果。因此,通过与外围电路区域相比,降低在第一区域和光电转换区域中的栅极端部之间的区域中的杂质浓度,可以获得缓和电场的显著效果。通过与位于外围电路区域内的 MOS 晶体管的漏极中的杂质浓度相比,降低位于光电转换区域中的 MOS 晶体管的漏极的杂质浓度,也可以获得相同的效果。

[0036] 特别地,位于光电转换区域中的 MOS 晶体管(第一 MOS 晶体管)的漏极具有与导体直接接触的第一区域和比第一区域更接近该 MOS 晶体管的沟道的第二区域。而且在位于外围电路区域 102 中的 MOS 晶体管(第二 MOS 晶体管)中,漏极电连接到作为导体的插柱。该漏极包括与插柱直接接触的第一区域和比第一区域更接近沟道的第二区域。第二区域包括邻近该沟道的第一子区域和位于第一区域和第一子区域之间的第二子区域。第二区域中的杂质浓度比第二子区域中的杂质浓度低。

[0037] 参考图 2A 和 2B 进行进一步描述。图 2A 示出了位于外围电路区域中的 MOS 晶体管的平面图和沿线 A-A' 截取的截面图。图 2B 示出了位于光电转换区域中的 MOS 晶体管的平面图和沿线 B-B' 截取的截面图。示出了栅电极 2001、源极 2002 以及用于与导体连接的连接区域(第一区域)2003。轻掺杂半导体区域(第一子区域)2004 邻近栅极。区域(第二子区域)2005 位于第一区域和第一子区域之间并且具有比第一子区域高的杂质浓度。轻掺杂半导体区域(第二区域)2006 位于沟道和第一区域之间并且具有低杂质浓度。第二区域中的杂质浓度比第二子区域中的杂质浓度低。

[0038] 该结构可以减少在位于光电转换区域中的 MOS 晶体管中产生的热载流子。此外,在外围电路区域中,可以在对其而言驱动能力和电路特性很重要的 MOS 晶体管中形成宽度相对较小的电场缓和层。而且,在光电转换区域中,由于没有形成侧壁的步骤,所以可以降低由于该步骤中的蚀刻而引起的噪声。

[0039] 图 3 是根据本发明的光电转换器件的像素的示例等效电路图。光电转换区域包括光电转换元件 1、传输 MOS 晶体管 2、复位 MOS 晶体管 4、以及放大 MOS 晶体管 5。通过施加到复位 MOS 晶体管的漏极的电压来选择该像素。例如,光电转换元件是通过光电转换将入射光转换为电荷的光电二极管。传输 MOS 晶体管用作将来自光电转换元件的电荷传输到放大元件的输入部分的传输元件。放大 MOS 晶体管响应在光电转换元件中产生的电荷而将电位变化传输到信号线。要改变电位的目标对象可以是在从光电转换元件传输电荷期间处于浮置状态的节点。在这种情况下,使用浮置扩散区域(FD)。浮置扩散区域被连接到放大 MOS 晶体管的栅极。放大 MOS 晶体管响应浮置扩散区域中的电位变化而将信号传输到信号线。在这种情况下,该电荷通过源极跟随器的操作而被放大,然后被传输。因此,MOS 晶体管 5 被定义为放大元件。电源 7、放大 MOS 晶体管 5、信号线、以及恒流源 6 组成了源极跟随器电路。在该例子中,根据复位 MOS 晶体管的漏极电压来执行选择操作。可选择的是,可以提供选择 MOS 晶体管以便进行选择。

[0040] 以下参考附图详细描述本发明的实施例。本发明不限于所公开的示意性实施例。在不脱离本发明范围的情况下,可以作出结合和变化。在每个实施例中,仅例示了特定的 MOS 晶体管。但是,每个实施例中的结构可以应用于位于每个区域中的所有 MOS 晶体管。第一实施例

[0041] 图 4 是根据该实施例的光电转换器件的截面示意图。在该实施例中,例示了复位 MOS 晶体管作为位于光电转换区域的 MOS 晶体管。

[0042] 图 4 示出了光电转换区域 101 和外围电路区域 102。在光电转换区域 101 中,示出了光电转换元件、传输 MOS 晶体管、以及复位 MOS 晶体管的截面结构。外围电路区域 102 中的 MOS 晶体管构成了上述任何一个电路。

[0043] 图 4 所示的光电转换区域 101 包括传输 MOS 晶体管的栅电极 31 和复位 MOS 晶体

管的栅电极 32。附图标记 33 表示第一导电型半导体区域 33, 该半导体区域构成了光电转换元件。使用与被视为信号的电荷相同的导电类型。当电荷是电子时, 半导体区域是 n 型半导体区域。浮置扩散区域 3 由第一导电型半导体区域形成。附图标记 34 表示第一导电型的半导体区域。用于复位或像素选择的参考电压被施加到半导体区域 34。半导体区域 34 用作复位 MOS 晶体管的漏极。由氧化硅膜 37a 覆盖氮化硅膜 36a。氮化硅膜 36a 和氧化硅膜 37a 的组合可以构成防反射膜, 其降低了入射光从光电转换元件表面的反射。整个区域除了光电转换区域 101 中的接触孔的底部以外都被由氮化硅膜 36a 和氧化硅膜 37a 构成的绝缘膜覆盖。接触孔 41a 被例如接触插柱的导体充填。绝缘膜不限于氮化硅膜和氧化硅膜的组合。

[0044] 传输 MOS 晶体管的源极也用作构成光电转换元件的半导体区域 33。传输 MOS 晶体管的漏极、复位 MOS 晶体管的漏极以及浮置扩散区域由公共半导体区域形成。浮置扩散区域 3 通过电极 (未示出) 连接到放大 MOS 晶体管的栅电极。半导体区域 34 通过电极连接到用于复位的参考电压线 (未示出)。

[0045] 图 4 所示的外围电路区域 102 包括 MOS 晶体管的栅电极 42 和第一导电型的重掺杂半导体区域 43, 该重掺杂半导体区域 43 用作源极或漏极。附图标记 44 表示第一导电型的轻掺杂半导体区域, 该轻掺杂半导体区域 44 构成 LDD 结构且具有比重掺杂半导体区域 43 低的杂质浓度。侧面间隔件由氮化硅膜 36b 和氧化硅膜 37b 形成。

[0046] 在光电转换区域 101 中的氮化硅膜 36a 和氧化硅膜 37a 具有与构成外围电路区域 102 中的侧面间隔件的氮化硅膜 36b 和氧化硅膜 37b 相同的结构的情况下, 可以降低制造成本。

[0047] 此外, 当通过离子注入来形成外围电路区域 102 中的重掺杂半导体区域 43 时, 可以使用光电转换区域中的氮化硅膜 36a 和氧化硅膜 37a 作为掩模。因此, 在氮化硅膜 36a 和氧化硅膜 37a 还用于形成轻掺杂半导体区域 3、34 和 44 的光掩模的情况下, 可以降低制造成本。

[0048] 在光电转换区域 101 中, 源极和漏极都由轻掺杂半导体区域构成并且每一个都具有单漏极结构。与在源极和漏极中包含重掺杂半导体区域的 LDD 结构相比, 可以有效抑制由热载流子所引起的晶体管特性的恶化。特别地, 当使 MOS 晶体管小型化时, 这种效果变得更加显著。由热载流子所引起的晶体管特性的恶化强烈地依赖于栅极长度和供电电压。较小的栅极长度和较高的供电电压导致晶体管特性显著恶化。根据本实施例的光电转换区域中的具有单漏极结构的 MOS 晶体管可以抑制该特性的恶化, 即使该 MOS 晶体管是具有小栅极长度的小型化 MOS 晶体管。

[0049] 在位于光电转换区域 101 中的 MOS 晶体管的轻掺杂半导体区域 3 和 34 中, 与接触插柱的底部接触的部分需要具有能够确保与金属引线电连接的杂质浓度。通过从接触孔的开口注入杂质离子来实现这种目标杂质浓度。

[0050] 在外围电路区域 102 中, 由于 MOS 晶体管具有重掺杂半导体区域, 并且具有每个都具有 LDD 结构的源极和漏极, 所以可以获得高驱动能力和对热载流子的阻抗。特别地, 在外围电路区域中的操作速度需要比光电转换区域中的操作速度高。因此, MOS 晶体管具有高驱动能力是重要的。因而, 正如本实施例这样, 位于光电转换区域中的 MOS 晶体管的电场缓和区的结构与外围电路区域中的不同是重要的。

[0051] 当通过各向异性干法蚀刻来打开触点时,可以使用光电转换区域 101 中的氮化硅膜 36a 作为蚀刻停止。因此,即使在由于未对准而在元件隔离区域上形成该触点时,该触点也不与该元件隔离区域或侧面上的阱 39 接触。因而,可以抑制该阱 39 与轻掺杂半导体区域 3 和 34 之间的泄漏电流,因而减小了该触点和元件隔离区域之间的距离以使该元件小型化。

[0052] 氮化硅膜 36a 和 36b 可以包含大量氢分子。在这种情况下,在形成这些膜之后,在 350℃ 或更高温度下对这些膜进行热处理以将氢扩散到半导体衬底内,从而终止了悬空键。氮化硅膜可以通过等离子体增强化学汽相沉积 (CVD) 来形成。

[0053] 在本实施例中,包含防反射膜和覆盖该防反射膜的氧化物膜的区域可以部分留在外围电路区域中。而且,形成了由防反射膜和覆盖该防反射膜的氧化物膜形成的侧面间隔件。然后,可以在光电转换的部分形成具有源极和漏极的 MOS 晶体管,源极和漏极都由重掺杂半导体区域构成且都具有 LDD 结构。第二实施例

[0054] 在本实施例中,描述用于制造光电转换器件的方法。图 5A 到 5E 示出了用于制造光电转换器件的过程。

[0055] 如图 5A 所示,在由硅等构成的半导体衬底 38 上形成第一导电型 (n 型) 的阱 (未示出) 和第二导电型 (p 型) 的阱 39。通过浅沟槽隔离 (STI)、选择性氧化等来形成元件隔离区域 41。为了方便描述,在图 5A 到 5E 中,示出光电转换区域 101 与外围电路区域 102 相邻。

[0056] 如图 5B 所示,在形成 MOS 晶体管的多晶硅栅电极 31、32 和 42 之后,通过引入 n 型杂质来形成构成光电转换元件的光电二极管的半导体区域 33。然后,通过引入 p 型杂质以该光电二极管具有埋入结构的方式来形成 p 型表面区域 35。[0065] 通过以栅电极为掩模进行离子注入来引入 n 型杂质。因此,以自对准的方式形成轻掺杂半导体区域 3、34 和 44,其部分地构成位于邻近栅电极的表面上的源极和 / 或漏极。

[0057] 在除了元件隔离区域和栅电极以外的半导体衬底表面上形成薄氧化硅膜 30b。可以通过在使用各向异性干法蚀刻来形成多晶硅栅电极的时候将栅极氧化膜留在半导体衬底表面上来形成该薄氧化硅膜 30b。可选择的是,在沉积氮化硅膜 36 之前,可以通过热氧化或沉积来形成该薄氧化硅膜 30b。如图 5C 所示,形成氮化硅膜 36,然后在其上形成氧化硅膜 37。如此形成氮化硅膜 36 和氧化硅膜 37 (绝缘膜) 以便覆盖光电转换区域 101 和外围电路区域 102,从而保护光电转换区域。

[0058] 在光电转换区域上形成抗蚀剂 50。对氮化硅膜 36 和氧化硅膜 37 进行回蚀刻 (etch back)。因而,如图 5D 所示,在外围电路区域 102 中的栅电极 42 的侧壁上形成由氮化硅膜 36b 和氧化硅膜 37b 构成的侧面间隔件。然后,通过以栅电极和侧面间隔件为掩模进行离子注入而在外围电路区域 102 中引入 n 型杂质。因而,邻近侧面间隔件形成各自构成自对准源极或漏极的重掺杂半导体区域 43。在光电转换区域 101 中,残留在整个表面上的氮化硅膜 36 和氧化硅膜 37 在离子注入期间充当掩模。在这种情况下,可以降低制造成本。因而,可以制造出如图 5D 所示的结构。

[0059] 如图 5E 所示,由硼磷硅酸盐玻璃 (BPSG) 构成且起层间绝缘膜作用的绝缘膜 40 如此形成以便覆盖整个外围电路区域。在光电转换区域中通过以氮化硅膜 36a 为蚀刻停止进行各向异性干法蚀刻来形成接触孔 41a 和 41b。这样,以接触孔的底部以自对准方式与半导

体衬底接触的方式来形成光电转换区域 101 中的接触孔。然后,用导体充填接触孔 41a 和 41b 以形成电极。于是,制造出如图 5E 所示的结构。

[0060] 在形成氧化硅膜之后的任何步骤中,可以在 350℃或更高的温度下进行热处理。

[0061] 上面已经描述了包含 n 型 MOS 晶体管的实施例。在通过 CMOS 工艺制造光电转换器件的情况下,如果导电类型变化,则可以类似地形成 p 型 MOS 晶体管。

[0062] 在本实施例中,位于光电转换区域中的 MOS 晶体管的源极和漏极都具有包含轻掺杂半导体区域的单漏极结构。位于外围电路区域中的 MOS 晶体管具有 LDD 结构。位于光电转换区域的轻掺杂半导体区域可以在形成外围电路区域中具有 LDD 结构的 MOS 晶体管的轻掺杂区域的步骤中同时形成。

[0063] 通过该工艺制造的光电转换器件可以抑制由于热载流子而导致位于光电转换区域中的 MOS 晶体管的特性变差,并且可以实现位于外围电路区域中的 MOS 晶体管的高驱动能力。

[0064] 当使用防反射膜作为蚀刻停止时,每个接触孔仅与半导体衬底的表面接触。因此,可以抑制阱与 MOS 晶体管的源极和漏极之间的泄漏电流。

[0065] 绝缘膜用作光电转换区域中的防反射膜和接触孔的蚀刻停止,并且用作外围电路区域中的 MOS 晶体管的侧壁间隔件。在这种情况下,可以降低制造成本。

[0066] 此外,当由包含大量氢分子的氮化硅膜形成绝缘膜时,可以更有效地减少在晶体管界面和光电二极管上的硅和氧化硅膜之间的界面的陷阱(trap)的数量。第三实施例

[0067] 在本实施例中,将作为位于光电转换区域中的 MOS 晶体管描述放大 MOS 晶体管的结构。这种结构可以与在第一和第二实施例每一个中所描述的复位 MOS 晶体管的结构结合。

[0068] 图 6 示出了光电转换器件的光电转换区域和外围电路区域的截面结构。与第一和第二实施例中的元件相同的元件使用相同的附图标记表示,并且不再重复冗余的描述。

[0069] 光学防反射膜 66 设置在光电转换元件上并且减少了在光电二极管表面上的界面反射。防反射膜 66 可以具有包含氮化硅层和氧化硅层的层叠结构。

[0070] 接收来自光电转换元件的电荷的浮置扩散区域 3 包括轻掺杂半导体区域 301 和用于与导体连接的重掺杂半导体区域 302。

[0071] 如本实施例所示,浮置扩散区域 3 和 MOS 晶体管 5 的源极和漏极都由第一导电型的轻掺杂半导体区域 301 和第一导电型重掺杂半导体区域 302 构成,该重掺杂半导体区域 302 与导体直接接触。

[0072] 外围电路区域中的每个侧面间隔件 68 由与防反射膜 66 相同的膜形成。第一导电型的轻掺杂半导体区域以与栅电极自对准的方式形成,并且也位于该侧面间隔件 68 之下。第一导电型重掺杂半导体区域 43 以与侧面间隔件 68 自对准的方式形成,并且因此没有在该侧面间隔件 68 或者防反射膜 66 之下形成。

[0073] 在光电转换区域中没有对防反射膜 66 进行蚀刻,因此降低了由于蚀刻的损坏而引起的噪声。而且,在形成防反射膜 66 之后,不执行暴露半导体表面的步骤,因此防止了金属元素等的污染。因此,可以降低黑暗条件下点缺陷的出现率。

[0074] 以下详细描述电场缓和层。在电场缓和层中过低的杂质浓度或 LDD 结构的电场缓和层的过大的宽度增加了晶体管的寄生电阻(串联电阻),因此显著恶化了驱动能力和静

态特性。特别是,在对其而言驱动能力和静态特性很重要的外围电路中,需要形成宽度相对较小的电场缓和层。另一方面,在为了小型化的目的而需要缓和电场的光电转换区域中,可以形成宽度较大的电场缓和层。从栅极端部延伸到相应的一个第一导电型的重掺杂半导体区域的部分对 MOS 晶体管中的电场缓和层有很大贡献。因此,位于光电转换区域中的 MOS 晶体管的杂质浓度可以低于位于外围电路区域中的 MOS 晶体管的杂质浓度,并且可以具有宽度较大的较低杂质浓度区域。

[0075] 在形成接触孔之后,可以以自对准方式通过经对应的接触孔进行离子注入而形成每个与导体直接接触的第一导电型的重掺杂半导体区域 302。这允许设计小晶体管,并且实现令人满意的欧姆接触。除了上述效果以外,本实施例所示的结构具有减少像素缺陷和降低由流过浮置扩散区域 3 的泄漏电流引起的随机噪声的效果。

[0076] 如图 6 所示,浮置扩散区域 3 由轻掺杂电场缓和区域(第一导电型的轻掺杂半导体区域 301)形成,并因此具有在栅极端部以外的区域缓和电场的显著效果。也就是说,浮置扩散区域 3 可以缓和施加到与第二导电型的半导体区域 104 的结和与位于分离部分之下的沟道停止区域的结的电场,因此降低了流过浮置扩散区域 3 的泄漏电流和读出期间的随机噪声。导致流过浮置扩散区域 3 的大泄漏电流突然出现的像素的出现与施加到浮置扩散区域 3 的电场相关。因此,根据本实施例也可以减少点缺陷。

[0077] 在本实施例中,已经描述了位于外围电路区域中的 MOS 晶体管,其导电类型与位于光电转换区域中的 MOS 晶体管的导电类型相同。可选择的是,在外围电路区域可以使用 CMOS 晶体管。而且,导电类型与位于光电转换区域中的 MOS 晶体管的导电类型相反的 MOS 晶体管可以具有相同的结构。

[0078] 根据本实施例的结构对容易产生热载流子的 n 型 MOS 晶体管具有深远的影响。当 n 型 MOS 晶体管位于光电转换区域中时,并且当位于光电转换区域中的 n 型 MOS 晶体管和位于外围电路区域中的 n 型 MOS 晶体管都具有根据本实施例的结构时,可以获得特别显著的效果。

[0079] 另一方面,当 p 型 MOS 晶体管位于光电转换区域时,从这种微小像素的可加工性角度来看,根据本实施例的结构是有效的。在本实施例中,使用防反射膜 66。在具有根据本实施例的结构的传感器中,以及在使用不具有防反射特性的单氧化物膜代替防反射膜的情况下,可以施加本实施例的效果,例如电场缓和以及点缺陷的减少。第四实施例

[0080] 图 7 示出了根据本实施例的光电转换器件的截面结构。与第一至第三实施例中的元件相同的元件使用相同的附图标记表示,并且不再重复冗余的描述。

[0081] 在本实施例中,尽管在光电转换区域中对防反射膜进行了蚀刻,但是第一导电型的重掺杂半导体区域 43 没有位于光电转换区域中。以用抗蚀剂覆盖光电转换区域的方式形成用于形成第一导电型的重掺杂半导体区域 43 的掩模图案。掩模图案的使用产生图 7 所示的结构。

[0082] 在本实施例中,可以设计具有低杂质浓度或较大宽度的轻掺杂电场缓和层(第一导电型的轻掺杂半导体区域 301),因而改善了缓和电场的效果。这可以抑制热载流子的产生,因此提高了可靠性和耐受电压。在外围电路区域中,可以形成宽度相对较小的电场缓和层。第五实施例

[0083] 在本实施例中,将要描述与导体直接接触的漏极区域。通常,与 MOS 晶体管的源极

和漏极电连接的导体例如接触插柱需要具有低的电阻和欧姆特性。在对由于金属污染而引起的点缺陷敏感的光电转换器件中,在一些情况下,有意不采用形成硅化物或自对准硅化物(自对准多晶硅化物)的工艺。因此,用于形成漏极与导体之间的欧姆接触的方法对于光电转换器件特别重要。

[0084] 在位于光电转换区域中的 MOS 晶体管的漏极具有上述实施例中所述的电场缓和结构的情况下,需要用于形成低电阻欧姆接触的方法。以下将要描述提供低电阻欧姆接触的结构和方法。

[0085] 图 8 示出了根据本实施例的光电转换器件的截面图。与第一至第四实施例中的元件相同的元件使用相同的附图标记表示,并且不再重复冗余的描述。附图标记 101 表示其中位于光电转换区域中的 MOS 晶体管(n 型)连接到导体的部分。附图标记 104 表示其中位于外围电路区域中的 n 型 MOS 晶体管的源极或漏极连接到导体的部分。附图标记 105 表示其中位于外围电路区域中的 p 型 MOS 晶体管的源极或漏极连接到导体的部分。

[0086] 正如部分 101 中所示,浮置扩散区域 3 包括与导体直接接触的 n 型重掺杂半导体区域 45。而且在部分 104 中,源极或漏极包括 n 型重掺杂半导体区域 45。在部分 105 中,源极或漏极包括 p 型重掺杂半导体区域 46。通过应用根据本实施例的结构,所有接触插柱具有低电阻和令人满意的欧姆接触性。

[0087] 以下将描述用于制造根据本实施例的光电转换器件的方法。

[0088] 通过与第二实施例中直到形成图 5D 所示的结构相同的过程来形成该光电转换器件。在大约 $1E17/cm^3$ 到 $5E18/cm^3$ 的范围内设定轻掺杂半导体区域中的杂质浓度 d1。然后,通过各向异性干法蚀刻来形成与连接到导体的源极或漏极相对应的每个接触孔。接下来,使用光掩模将 n 型杂质例如 PH_3 引入到与位于光电转换区域中的浮置扩散区域 3 连通的接触孔的底部和与位于外围电路区域 104 中的半导体区域 43 连通的孔的底部。为了获得光电转换区域中的半导体区域 3 的低电阻欧姆接触,可以以使得在与导体直接接触的区域中的杂质浓度 d2 处于 $5E18/cm^3$ 到 $5E19/cm^3$ 的范围内的方式来设定剂量。考虑到成本降低,可以在没有光掩模的情况下将 n 型杂质引入到整个表面。

[0089] 然后,使用光掩模将 p 型杂质如 B 引入到与外围电路区域 105 中的 p 型重掺杂半导体区域连通的接触孔的底部,从而形成重掺杂半导体区域。可选择的是,可以通过用上述 n 型杂质进行离子注入形成 p 型半导体区域。在这种情况下,用于注入 p 型杂质离子的条件需要以所得半导体区域覆盖位于外围电路区域 104 中的整个 n 型重掺杂半导体区域 45 的方式来设定。例如,也可以以使得在与导体直接接触的区域中的杂质浓度 d3 处于 $5E18/cm^3$ 到 $5E19/cm^3$ 的范围内的方式来设定剂量。

[0090] 根据本实施例的过程可以应用于第一到第四实施例。此外,该过程也可以应用于位于光电转换区域中的各 MOS 晶体管。图像拾取系统

[0091] 图 10 示出了当本发明的光电转换器件应用于摄像机时的方框示意图。快门 1001 位于成像透镜 1002 之前并且控制曝光。光圈 1003 根据需要控制光量,然后将光聚焦到光电转换器件 1004 上。由信号处理电路 1005 处理从光电转换器件 1004 提供的信号。A/D 转换器 1006 将所得模拟信号转换为数字信号。由信号处理器 1007 对输出的数字信号进行算术处理。处理过的数字信号存储在存储器 1010 中或者通过外部接口 1013 被传送到外部设备。由定时发生器控制光电转换器件 1004、图像信号处理电路 1005、A/D 转换器 1006 以及

信号处理器 1007。整个系统由全局控制和算术单元 1009 控制。为了将图像记录到记录介质 1012 上,通过由全局控制和算术单元 1009 控制的记录介质控制接口 1011 记录输出的数字信号。

[0092] 尽管已经参考示意性实施例描述了本发明,但是可以理解,本发明不限于所公开的示意性实施例。所附权利要求的范围应被赋予最宽的解释,以包含所有修改、等同结构和功能。

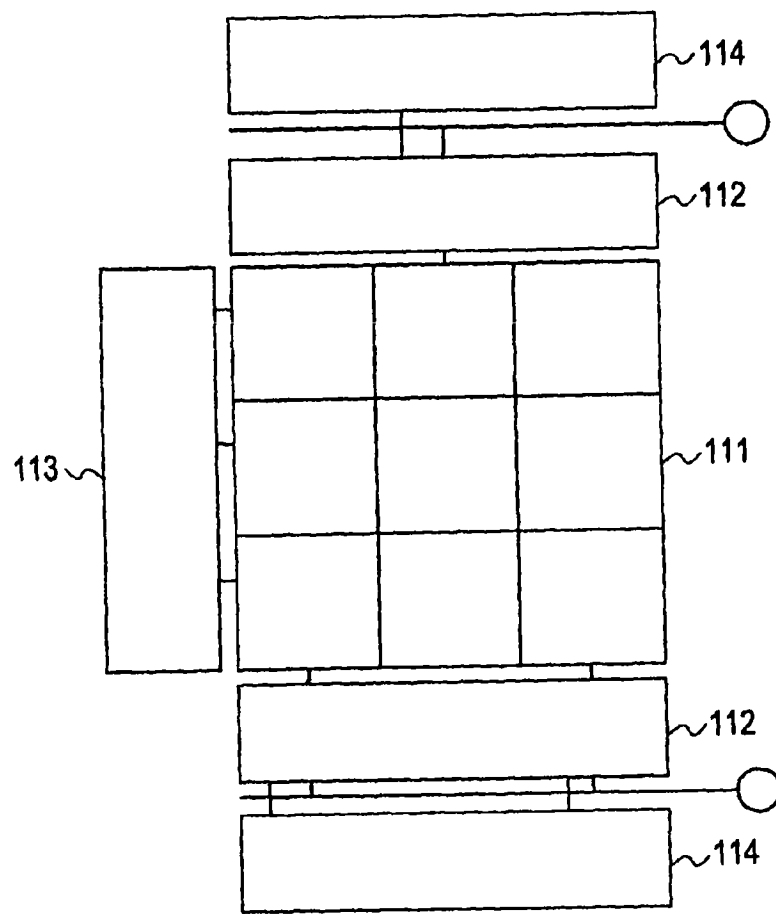


图 1

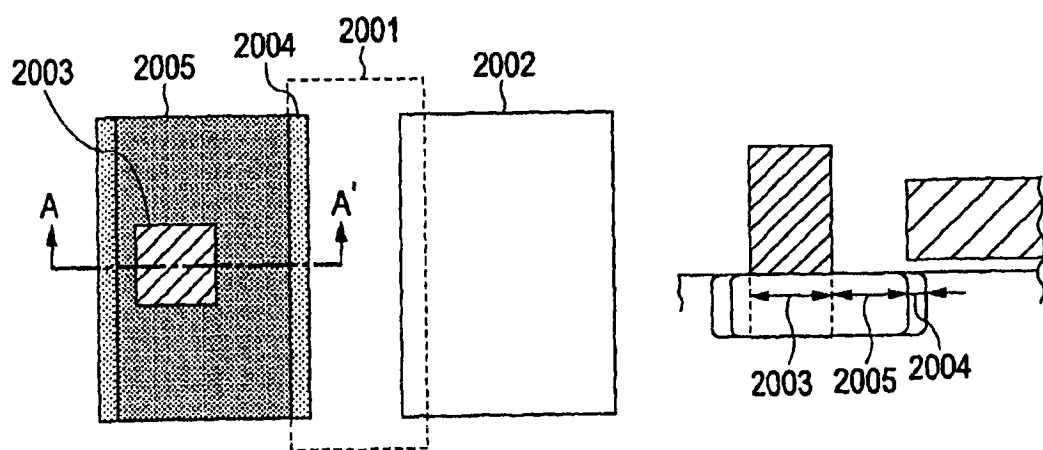


图 2A

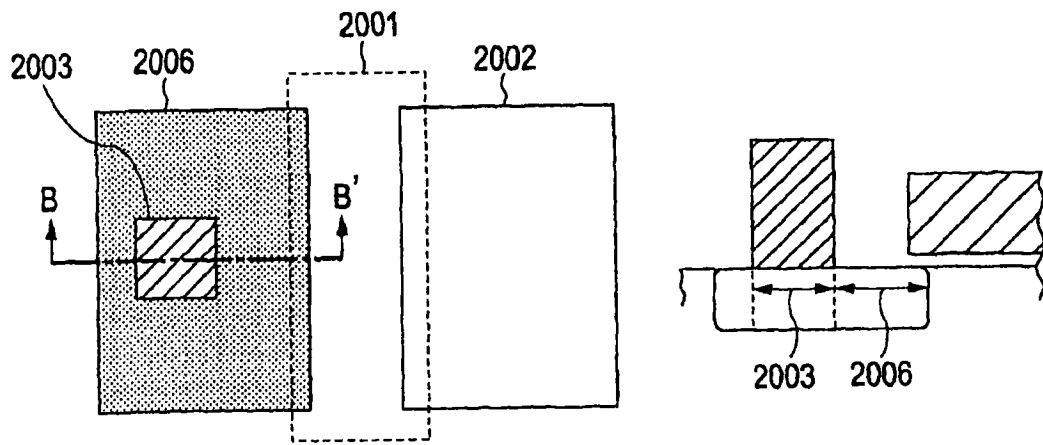


图 2B

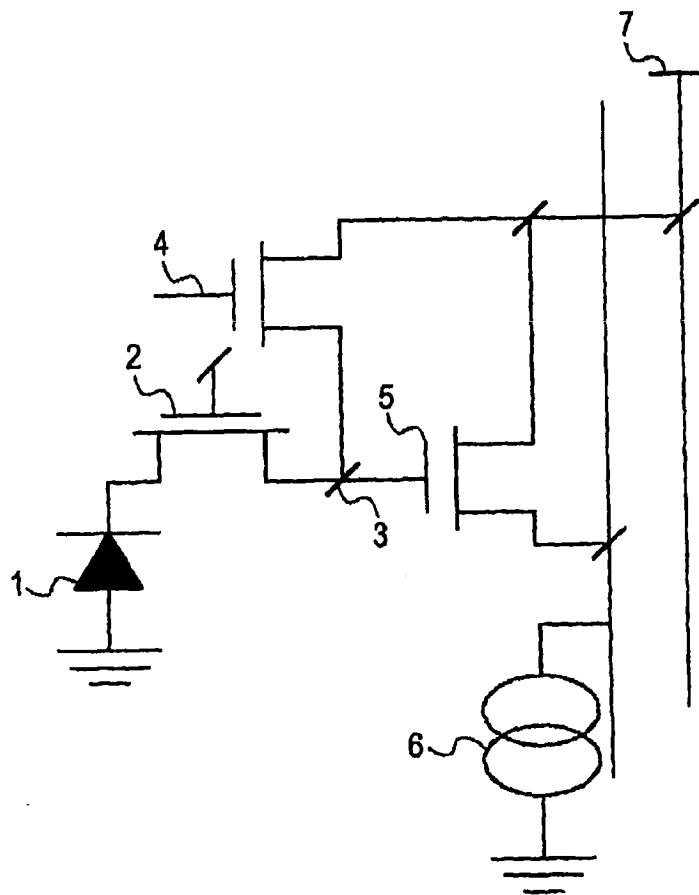


图 3

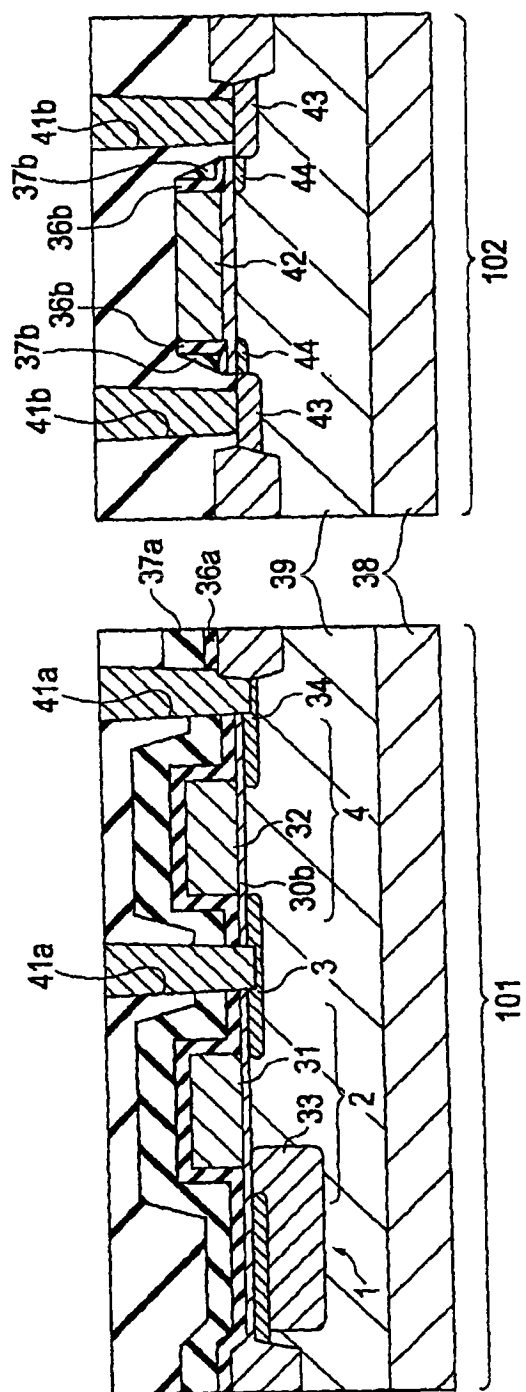


图 4

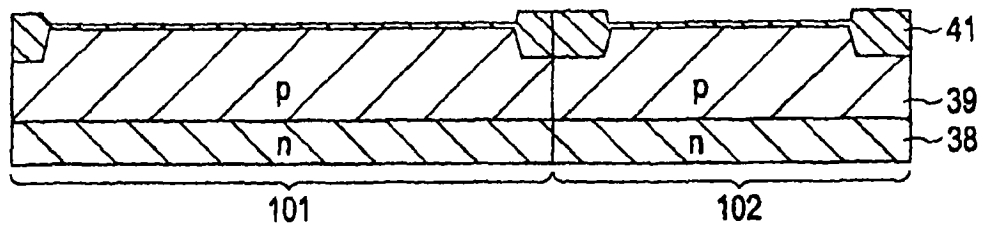


图 5A

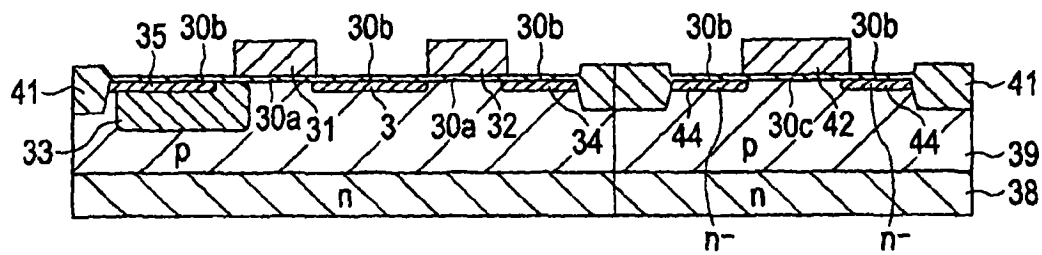


图 5B

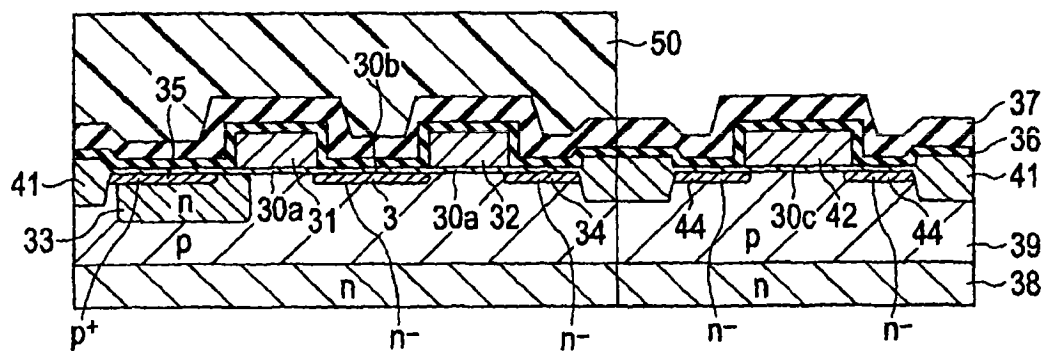


图 5C

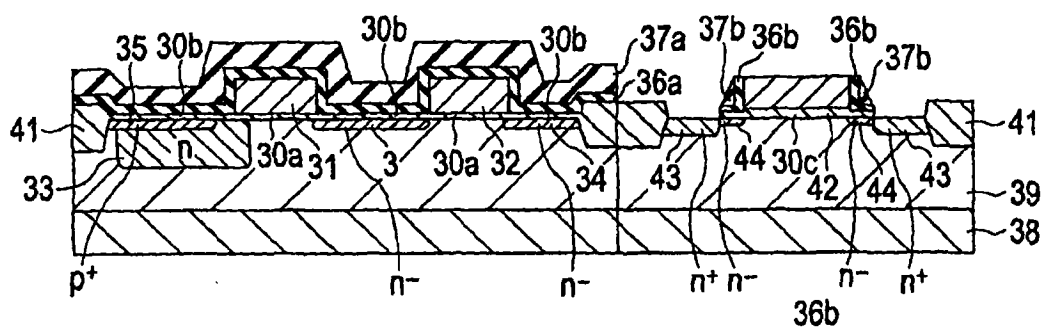


图 5D

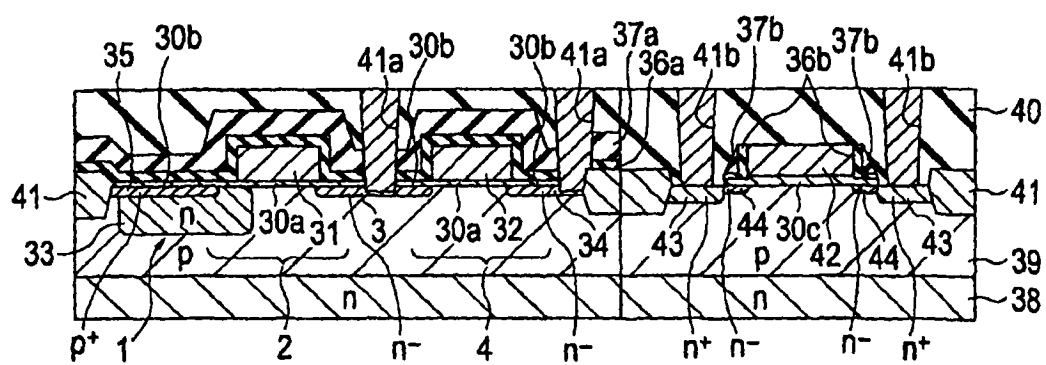


图 5E

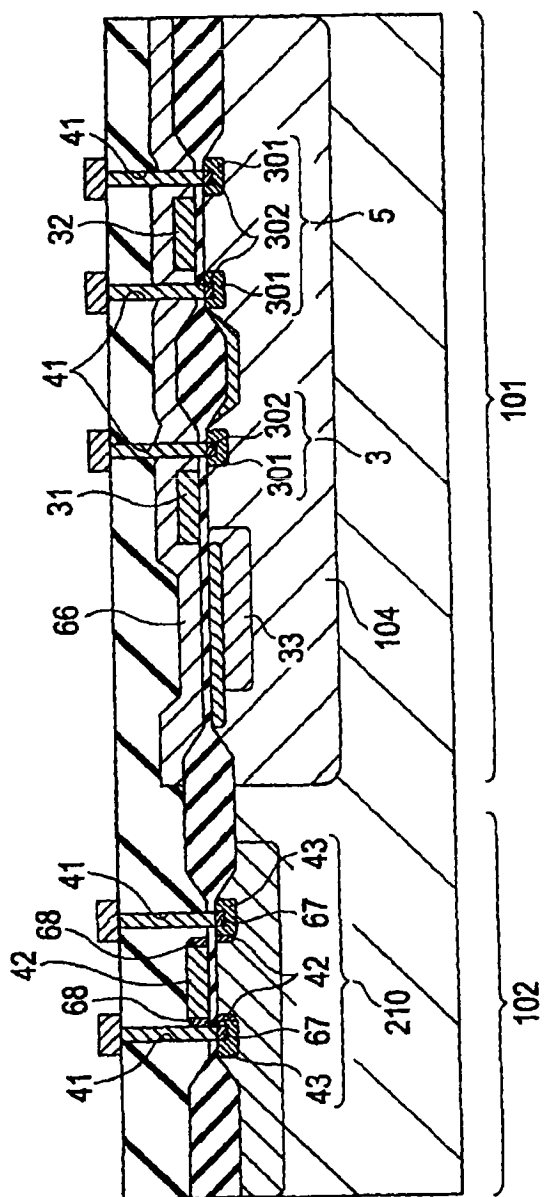


图 6

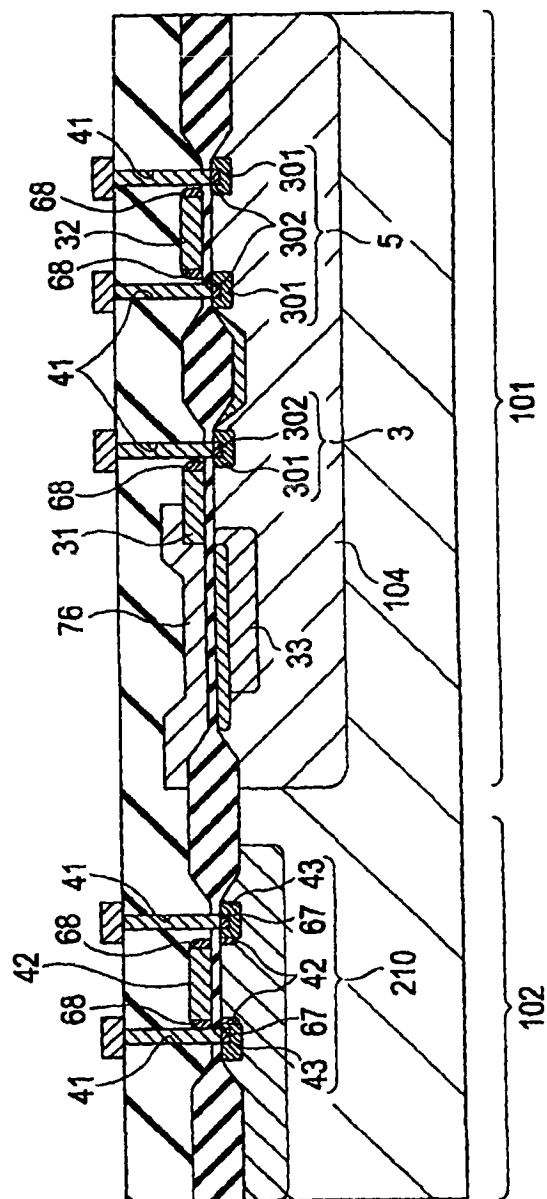


图 7

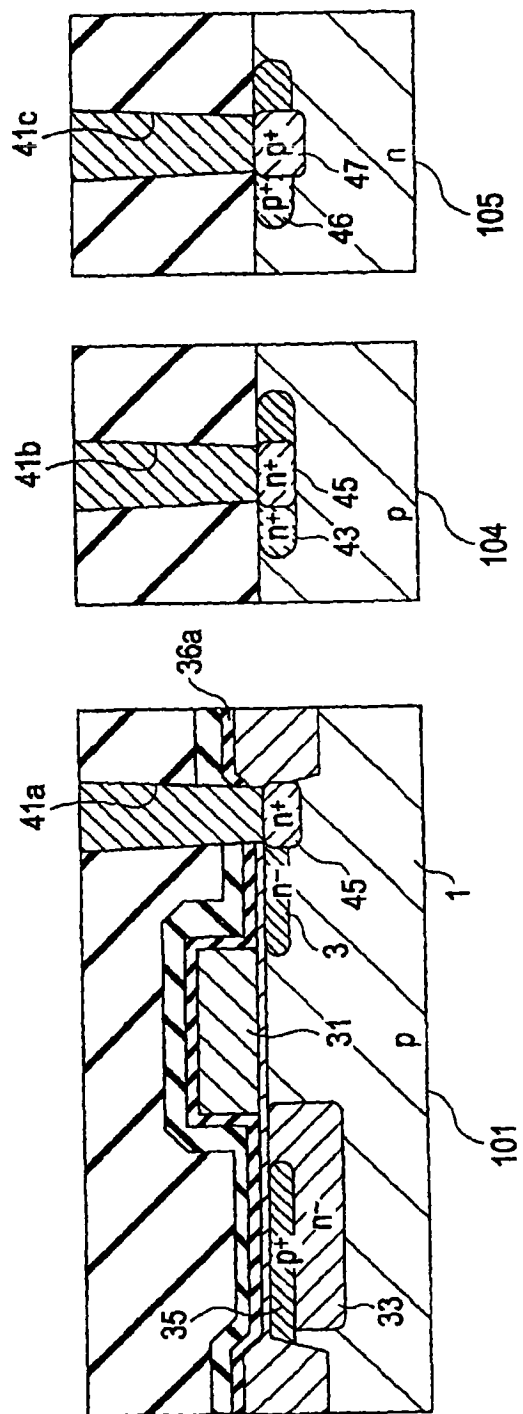


图 8

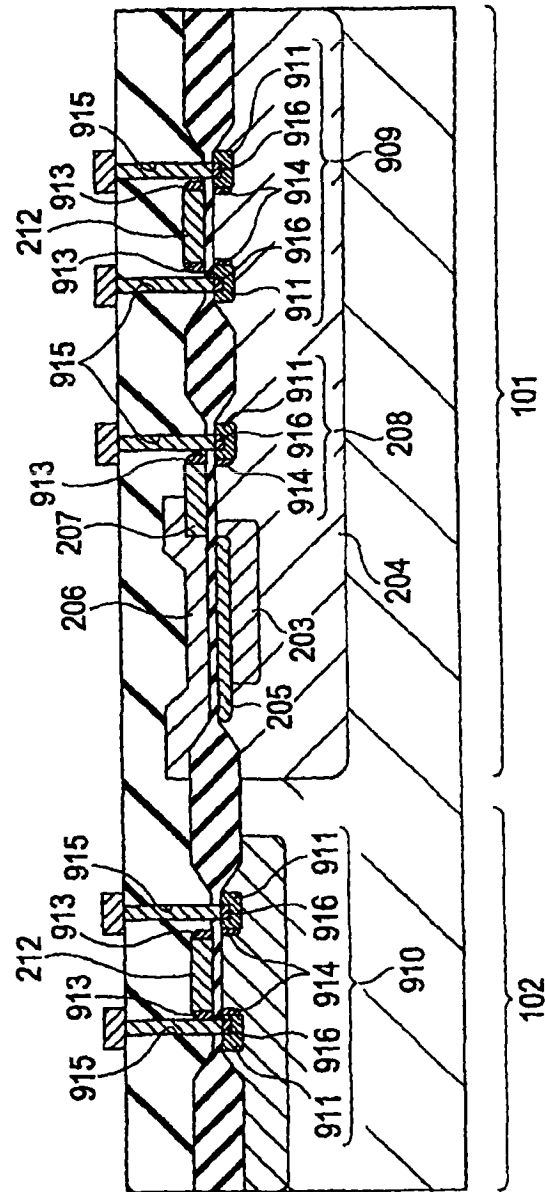


图 9

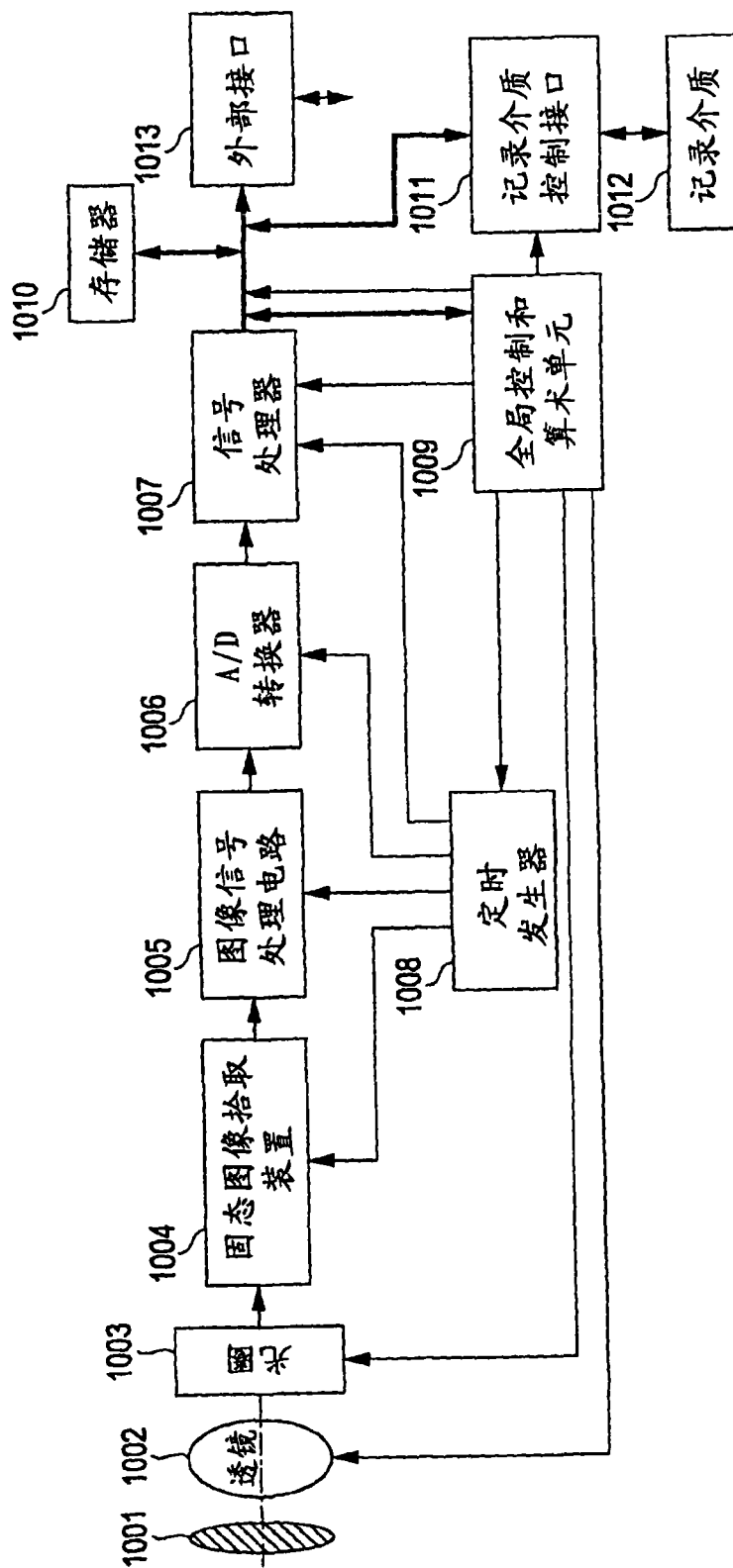


图 10