

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-168719

(P2012-168719A)

(43) 公開日 平成24年9月6日(2012.9.6)

(51) Int.Cl.	F I	テーマコード (参考)
G06F 13/16 (2006.01)	G06F 13/16 510C	5B018
G06F 12/16 (2006.01)	G06F 12/16 320F	5B060
G06F 12/00 (2006.01)	G06F 12/00 550E	
	G06F 12/00 597U	
	G06F 12/00 560B	

審査請求 未請求 請求項の数 5 O L (全 15 頁)

(21) 出願番号 特願2011-29024 (P2011-29024)
 (22) 出願日 平成23年2月14日 (2011.2.14)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100149803
 弁理士 藤原 康高
 (72) 発明者 太田 均
 神奈川県横浜市栄区笠間2-5-1 STE
 ビル内 東芝メモリシステムズ株式会社内
 Fターム(参考) 5B018 GA02 HA14 NA06 QA14
 5B060 MB01

(54) 【発明の名称】 メモリシステム

(57) 【要約】

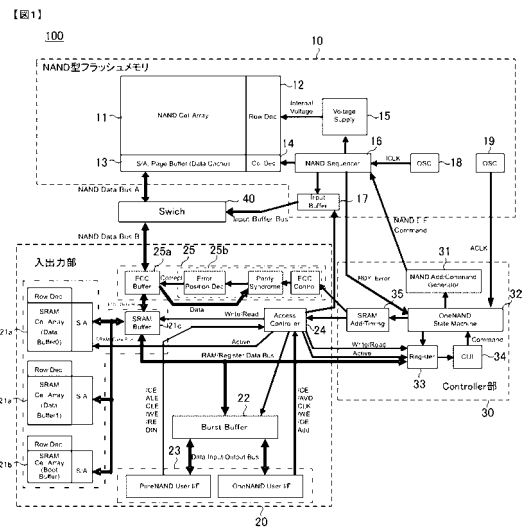
【課題】

実施形態は、消費電流を低減可能なメモリシステムを提供する。

【解決手段】

本実施形態のメモリシステムは、前記NAND型フラッシュメモリと前記入出力部との間、および前記NAND型フラッシュメモリと前記入出力バッファ部との間に設けられた複数のデータバスと、入力される選択信号に基づいて、所望の前記データバスを選択するスイッチと、前記NAND型フラッシュメモリ、前記入出力部、及び前記スイッチを制御して、少なくとも前記入出力バッファ部から前記NAND型フラッシュメモリにデータを書き込むとき、選択された前記データバスを介して、前記NAND型フラッシュメモリと前記入出力バッファ部との間を接続し、残りのデータバスを介して、前記NAND型フラッシュメモリと前記入出力バッファ部との間を接続しない前記選択信号を前記スイッチに出力する制御部とを含む。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

NAND型フラッシュメモリと、
前記NAND型フラッシュメモリに入力されるデータ、または前記NAND型フラッシュメモリから出力されるデータについてECC処理を行うECC部を有し、前記NAND型フラッシュメモリと外部との間のデータの入出力を司る入出力部と、
前記入出力部から出力されるデータ、または前記入出力部に入力されるデータを保持する入出力バッファ部と、
前記NAND型フラッシュメモリと前記入出力部との間、および前記NAND型フラッシュメモリと前記入出力バッファ部との間に設けられた複数のデータバスと、
入力される選択信号に基づいて、所望の前記データバスを選択するスイッチと、
前記NAND型フラッシュメモリ、前記入出力部、及び前記スイッチを制御して、
前記入出力バッファ部から前記NAND型フラッシュメモリにデータを書き込むとき、または前記NAND型フラッシュメモリから前記入出力バッファ部にデータを読み出すとき、
選択された前記データバスを介して、前記NAND型フラッシュメモリと前記入出力バッファ部との間を接続し、残りのデータバスを介して、前記NAND型フラッシュメモリと前記入出力バッファ部との間を接続しない前記選択信号を前記スイッチに出力する制御部と
を具備することを特徴とするメモリシステム。

10

【請求項 2】

前記スイッチは、前記NAND型フラッシュメモリと前記ECC部と間に接続されるとともに、前記NAND型フラッシュメモリと前記入出力バッファ部との間に接続されることを特徴とする請求項1記載のメモリシステム。

20

【請求項 3】

前記NAND型フラッシュメモリは、メモリセルアレイをさらに含み、
前記スイッチは、前記メモリセルアレイのカラムごとに対応するバッファ回路群を有し、
前記カラムごとに対応するバッファ回路群に、選択信号を入力することを特徴とする請求項1又は請求項2記載のメモリシステム。

【請求項 4】

前記カラムごとに対応するバッファ回路群は、選択信号が入力される第1クロックインバータを有するバッファ回路を含むことを特徴とする請求項3記載のメモリシステム。

30

【請求項 5】

前記カラムごとに対応するバッファ回路群は、
前記第1クロックインバータと接続された第1インバータと、
第1入力端に前記第1インバータの出力端が接続され、第2入力端にプログラム信号が入力される第1NANDゲートと、
第1入力端に前記第1インバータの出力端が接続され、第2入力端にリード信号が入力される第1NORゲートと、
ゲートに前記第1NANDゲートの出力端が接続され、電源経路の一端が電源に接続される第1Pチャンネル型MOSトランジスタと、
ゲートに前記NORゲートの出力端が接続され、電源経路の一端が接地されて、電源経路の他端が前記Pチャンネル型MOSトランジスタの電源経路の他端に接続されるNチャンネル型MOSトランジスタと
をさらに備えることを特徴とする請求項4記載のメモリシステム。

40

【発明の詳細な説明】**【技術分野】****【0001】**

本発明の実施形態は、メモリシステムに関し、例えば、NAND型フラッシュメモリを備えた半導体装置に関する。

【背景技術】

50

【 0 0 0 2 】

複数種類のメモリを1チップに集積した半導体記憶装置として、例えばNAND型フラッシュメモリ（記憶部）と、SRAM（Static Random Access Memory）とを1チップで集積された半導体記憶装置がある。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 3 】

【 特許文献 1 】 特開 2 0 0 3 - 0 6 7 2 6 0 号 公 報

【 発明の概要 】

【 発明が解決しようとする課題 】

10

【 0 0 0 4 】

実施形態は、消費電流を低減可能なメモリシステムを提供する。

【 課題を解決するための手段 】

【 0 0 0 5 】

本実施形態のメモリシステムによれば、NAND型フラッシュメモリと、前記NAND型フラッシュメモリに入力されるデータ、または前記NAND型フラッシュメモリから出力されるデータについてECC処理を行うECC部を有し、前記NAND型フラッシュメモリと外部との間のデータの入出力を司る入出力部と、前記入出力部から出力されるデータ、または前記入出力部に入力されるデータを保持する入出力バッファ部と、前記NAND型フラッシュメモリと前記入出力部との間、および前記NAND型フラッシュメモリと前記入出力バッファ部との間に設けられた複数のデータバスと、入力される選択信号に基づいて、所望の前記データバスを選択するスイッチと、前記NAND型フラッシュメモリ、前記入出力部、及び前記スイッチを制御して、前記入出力バッファ部から前記NAND型フラッシュメモリにデータを書き込むとき、または前記NAND型フラッシュメモリから前記入出力バッファ部にデータを読み出すとき、選択された前記データバスを介して、前記NAND型フラッシュメモリと前記入出力バッファ部との間を接続し、残りのデータバスを介して、前記NAND型フラッシュメモリと前記入出力バッファ部との間を接続しない前記選択信号を前記スイッチに出力する制御部とを具備することを特徴とする。

20

【 図面の簡単な説明 】

【 0 0 0 6 】

30

【 図 1 】 第 1 実施形態のメモリシステムを示すブロック図。

【 図 2 】 第 1 実施形態のメモリセルアレイを示す回路図。

【 図 3 】 第 1 実施形態のスイッチを示すブロック図。

【 図 4 】 第 1 実施形態のバッファ回路 B F A 0 - 1 を示す回路図。

【 図 5 】 第 1 実施形態のバッファ回路 A に入力する信号を生成する回路を示す回路図。

【 図 6 】 第 1 実施形態のバッファ回路 B を示す回路図。

【 発明を実施するための形態 】

【 0 0 0 7 】

（ 第 1 の実施形態 ）

次に、第1の実施形態について図面を参照しながら説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。また、図面の寸法比率は、図示の比率に限定されるものではない。

40

【 0 0 0 8 】

【 メモリシステムの構成 】

第1の実施形態に係るメモリシステムについて、図1のブロック図を用いて説明する。

【 0 0 0 9 】

図1に示すように、メモリシステム100は、NAND型フラッシュメモリ10、入出力部20、制御部30を備える。例えば、メモリシステム100では、NAND型フラッシュメモリ10、入出力部20、及び制御部30は、同一の半導体基板上に形成され、1つのチップに集積される。

50

【 0 0 1 0 】

< N A N D 型フラッシュメモリ >

まず、N A N D 型フラッシュメモリ 1 0 について、図 1 及び図 2 の回路図を用いて説明する。

【 0 0 1 1 】

N A N D 型フラッシュメモリ 1 0 は、メモリシステム 1 0 0 の主記憶部として機能する。図 1 に示すように、N A N D 型フラッシュメモリ 1 0 は、メモリセルアレイ 1 1、ロウデコーダ 1 2、センスアンプ及びページバッファ 1 3、カラムデコーダ 1 4、電圧発生回路 1 5、シーケンサ 1 6、入力バッファ回路 1 7、及びオシレータ 1 8、1 9 を備えている。

10

【 0 0 1 2 】

< < メモリセルアレイ > >

図 2 に示すように、メモリセルアレイ 1 1 は、複数の不揮発性のメモリセル M T を含んだブロック B L K 0 乃至 B L K s を備える (s は自然数)。ブロック B L K 0 乃至 B L K s の各々は、複数の N A N D スtring N S を備える。この N A N D スtring N S は、複数の不揮発性のメモリセル M T 0 ~ M T n (n は自然数) と、選択トランジスタ S T 1、S T 2 を含む。図 2 に示すように、(n + 1) 個のメモリセルは、選択トランジスタ S T 1、S T 2 間に、その電流経路が直列接続されるようにして配置される。直列接続されたメモリセル M T の一端側 (メモリセル M T n) のドレイン領域は選択トランジスタ S T 1 のソース領域に接続され、他端側 (メモリセル M T 0) のソース領域は選択トランジスタ S T 2 のドレイン領域に接続されている。またメモリセル M T は、隣接するもの同士でソース、ドレインを共有している。

20

【 0 0 1 3 】

メモリセル M T は、2 値以上のデータを保持可能とする。このメモリセル M T の構造は、例えば、p 型半導体基板上にゲート絶縁膜を介在して形成された浮遊ゲート (電荷導電層) と、浮遊ゲート上にゲート間絶縁膜を介在して形成された制御ゲートとを含んだ構造である。なお、メモリセル M T の構造は、半導体基板上にゲート絶縁膜を介在して形成された電荷蓄積層 (例えば絶縁膜) と、電荷蓄積層上に形成された絶縁膜 (電荷蓄積層より誘電率の高い絶縁膜) と、この絶縁膜上に形成された制御ゲートとを有する M O N O S 構造あってもよい。

30

【 0 0 1 4 】

メモリセル M T の制御ゲートはワード線 W L に電氣的に接続され、ドレインはビット線 B L に電氣的に接続され、ソースはソース線に電氣的に接続されている。

【 0 0 1 5 】

同一行にあるメモリセル M T の制御ゲートはワード線 W L 0 ~ W L n のいずれかに共通接続され、同一行にあるメモリセル M T の選択トランジスタ S T 1、S T 2 のゲート電極は、それぞれセレクトゲート線 S G D、S G S に共通接続されている。すなわち、セレクトゲート線 S G S、S G D は、複数のワード線 W L 0 ~ W L n を挟むように、ワード線 W L 0 とワード線 W L n の両端に隣接して、それぞれ平行に配置されている。

40

【 0 0 1 6 】

また、メモリセルアレイ 1 1 において同一列にある選択トランジスタ S T 1 のドレインは、いずれかのビット線 B L 0 ~ B L j (j は自然数) に共通接続される。選択トランジスタ S T 2 のソースはソース線 S L に共通接続される。

【 0 0 1 7 】

また、同一のワード線 W L に接続された複数のメモリセル M T には一括してデータが書き込まれ、または読み出され、この単位をページと呼ぶ。更に、複数のメモリセル M T はブロック B L K 単位で一括してデータが消去される。

【 0 0 1 8 】

また、メモリセルアレイ 1 1 は、通常データが保存される第 1 領域と、第 1 領域のサブ領域として用いられデータが保存される第 2 領域を含む。第 2 領域には、例えばエラー

50

を訂正するパリティを保存する。

【 0 0 1 9 】

<< センスアンプ及びページバッファ >>

図 1 に戻って説明を続ける。センスアンプ及びページバッファ 1 3 は、ページサイズのデータを保持可能なバッファメモリであり、NAND型フラッシュメモリ 1 0 における 1 次データキャッシュ及び 2 次データキャッシュとしてそれぞれ機能する。

【 0 0 2 0 】

センスアンプは、データの読み出し時には、メモリセルアレイ 1 1 から読み出されたデータをセンス・増幅して一時的に保持し、ページバッファに転送する。また書き込み時には、ページバッファから転送されたデータをビット線 B L に転送して、データのプログラムを実行する。

10

【 0 0 2 1 】

ページバッファは、NANDデータバスを介して入出力部 2 0 に接続される。そしてデータの読み出し時には、センスアンプから転送されたデータを入出力部 2 0 へ出力する。また書き込み時には、入出力部 2 0 から入力されたデータを一時的に保持し、これをセンスアンプに転送する。

【 0 0 2 2 】

センスアンプ及びページバッファ 1 3 は、例えばビット線 B L 毎に設けられたラッチ回路を備え、これにより 1 ページ分のデータを保持出来る。従って、一部の領域がメインデータ保持用として使用され、残りがパリティ等の ECC データ保持用として使用される。なお、例えばラッチ回路は 1 ページ分だけあれば良い。

20

【 0 0 2 3 】

<< ロウデコーダ及びカラムデコーダ >>

ロウデコーダ 1 2 は、メモリセルアレイ 1 1 におけるいずれかのページ（すなわちワード線 W L ）を選択する。カラムデコーダ 1 4 は、メモリセルアレイ 1 1 におけるいずれかのカラム（すなわちビット線 B L ）を選択する。

【 0 0 2 4 】

<< 電圧発生回路 >>

電圧発生回路 1 5 は、外部から与えられる電圧を昇圧または降圧することにより、データのプログラム、読み出し、及び消去に必要な電圧を発生する。そして発生した電圧を、例えばロウデコーダ 1 2 に供給する。電圧発生回路 1 5 で発生された電圧が、ワード線 W L に印加される。

30

【 0 0 2 5 】

<< シーケンサ >>

シーケンサ 1 6 は、NAND型フラッシュメモリ 1 0 全体の動作を司る。すなわち、制御部 3 0 から命令（NAND I/F Command）を受けると、これに应答して、データのプログラム、読み出し、及び消去を実行するためのシーケンスを実行する。そして、このシーケンスに従って、電圧発生回路 1 5、センスアンプ及びページバッファ 1 3 等の動作を制御する。

【 0 0 2 6 】

40

<< 入出力バッファ回路 >>

入出力バッファ回路 1 7 は、後述するアクセスコントローラ 2 4 を介して外部から入力されたデータ、または NAND型フラッシュメモリ 1 0 から読み出されたデータを一時的に保持するバッファとしての機能を有する。

【 0 0 2 7 】

<< オシレータ >>

オシレータ 1 8 は内部クロック I C L K を生成する。すなわち、クロック生成器として機能する。そしてオシレータ 1 8 は、生成した内部クロック I C L K をシーケンサ 1 6 に供給する。シーケンサ 1 6 は、この内部クロック I C L K に同期して動作する。

【 0 0 2 8 】

50

オシレータ 19 は内部クロック ACLK を生成する。すなわち、クロック生成器として機能する。そしてオシレータ 19 は、生成した内部クロック ACLK を、制御部 30 や入出力部 20 へ供給する。内部クロック ACLK は、制御部 30 や入出力部 40 の動作の基準となるクロックである。

【0029】

< 入出力部 >

次に、入出力部 20 について、図 1 を用いて説明する。入出力部 20 は、バッファ部 21、バーストバッファ (burst buffer) 22、ユーザインターフェース 23、アクセスコントローラ 24、及び ECC 部 25 を備えている。

【0030】

なお、本実施形態に係るメモリシステム 100 では、NAND 型フラッシュメモリ 10 が主記憶部として機能し、NAND 型フラッシュメモリ 10 に対するデータの入出力を、入出力部 20 が司る。従って、NAND 型フラッシュメモリ 10 からデータを外部に読み出す場合、まず NAND 型フラッシュメモリ 10 のメモリセルアレイ 11 から読み出されたデータが、ページバッファに格納される。その後、ユーザの要求に応じて、ページバッファ内のデータがユーザインターフェース 23 を介して外部に出力される。他方、データを NAND 型フラッシュメモリ 10 に記憶させる際には、まず外部から与えられたデータが、ユーザインターフェース 23 を介してページバッファに格納される。その後、ページバッファ内のデータがメモリセルアレイ 11 に書き込まれる。

【0031】

以下では、データがメモリセルアレイ 11 からページバッファに読み出されるまでの動作を、データの“ロード (load)”と呼ぶ。また、ページバッファ内のデータが、ユーザインターフェース 23 に転送されるまでの動作を、データの“リード (read)”と呼ぶ。

【0032】

更に、NAND 型フラッシュメモリ 10 に記憶させるべきデータが、ユーザインターフェース 23 からページバッファに転送されるまでの動作を、データの“ライト (write)”と呼ぶ。また、ページバッファ内のデータがメモリセルアレイ 11 に書き込まれるまでの動作を、データの“プログラム (program)”と呼ぶ。

【0033】

入出力部 20 の説明に戻る。

<< バッファ部 >>

バッファ部 21 は、NAND 型フラッシュメモリ 10 における 1 次データキャッシュとしての機能を担う。バッファ部 21 は、複数のデータバッファ 21 a (例えば、2 K バイト) と、ブートバッファ 21 b (例えば、1 K バイト) と、SRAM バッファ 21 c を有する。バッファ部 21 は、ECC データバス及び RAM レジスタデータバスと接続される。そしてデータライト時には、バーストバッファ 22 から転送されるデータを一時的に保持する。そして、NAND データバスを介して、データをページバッファに書き込む。また、データリード時には、NAND データバス 6 を介して、ページバッファからデータを読み出し、これをバーストバッファ 22 に転送する。

【0034】

図 1 に示すように、複数のデータバッファ 21 a 及びブートバッファ 21 b は、それぞれ、メモリセルアレイ、センスアンプ、及びロウデコーダを備える。

【0035】

複数のデータバッファ 21 a のメモリセルアレイは、データ保持可能な複数の SRAM セルを備える。SRAM セルはそれぞれ、ワード線及びビット線に接続される。このデータバッファ 21 a のメモリセルアレイも、メモリセルアレイ 11 と同様に、メインデータを保持する領域と、パリティ等を保持する領域とを備えている。このデータバッファ 21 a のセンスアンプは、SRAM セルからビット線に読み出したデータをセンス・増幅する。またこのデータバッファ 21 a のセンスアンプは、SRAM バッファ 21 c 内のデータを SRAM セルに書き込む際の負荷としても機能する。このデータバッファ 21 a のロウ

10

20

30

40

50

デコーダは、このデータバッファ 2 1 a のメモリセルアレイにおけるワード線を選択する。

【 0 0 3 6 】

ブートバッファ 2 1 b は、例えばメモリシステム 1 0 0 を起動するためのブートコード (boot code) を一時的に保持する。

【 0 0 3 7 】

S R A M バッファ 2 1 c は、データバッファ 2 1 a またはブートバッファ 2 1 b にデータを書き込む、または読み出す際に、一時的にデータを保持する。

【 0 0 3 8 】

<< バーストバッファ >>

バーストバッファ 2 2 は、R A M レジスタデータバスにより、バッファ部 2 1 及び制御部 3 0 とデータ転送可能である。そして、ホスト機器からユーザインターフェース 2 3 を介して与えられるデータ、またはバッファ部 2 1 から与えられるデータを、一時的に保持する。

【 0 0 3 9 】

<< ユーザインターフェース >>

次に、ユーザインターフェース 2 3 について説明する。ユーザインターフェース 2 3 は、メモリシステム 1 0 0 外部のホスト機器 (ユーザ) と接続可能とされ、ホスト機器との間でデータ、制御信号、及びアドレス A d d 等、種々の信号の入出力を司る。制御信号の一例は、メモリシステム 1 0 0 全体をイネーブルにするチップイネーブル信号 / C E、アドレスをラッチさせるためのアドレスバリッド信号 / A V D、バーストリード (burst read) 用のクロック C L K、書き込み動作をイネーブルにするライトイネーブル信号 / W E、データの外部への出力をイネーブルにするアウトプットイネーブル信号 / O E、などである。

【 0 0 4 0 】

ユーザインターフェース 2 3 は、データ入出力バスによりバーストバッファ 2 2 と接続されている。データ入出力バスは、例えば 2 バイトである。そしてユーザインターフェース 2 3 は、ホスト機器からのデータのリード要求、ロード要求、及びプログラム要求等に係る制御信号をアクセスコントローラ 2 4 に転送する。そしてデータリード時には、バーストバッファ 2 2 内のデータをホスト機器へ出力する。またデータライト時には、ホスト機器から与えられるデータをバーストバッファ 2 2 へ転送する。

【 0 0 4 1 】

<< アクセスコントローラ >>

次に、アクセスコントローラ 2 4 について説明する。アクセスコントローラ 2 4 は、ユーザインターフェース 2 3 から制御信号及びアドレスを受け取る。そして、ホスト機器の要求を満たす動作を実行するよう、バッファ部 2 1、バーストバッファ 2 2、及び制御部 3 0、スイッチ (後述) 4 0 などを制御する。

【 0 0 4 2 】

例えば、ホスト機器の要求に応じてアクセスコントローラ 2 4 は、制御部 3 0 における後述するレジスタ 3 3 をアクティブ状態として、レジスタにコマンド (Write/Read) をセットする。また、アクセスコントローラ 2 4 は、バッファ部 2 1 をキャッシュとして用いる場合には、バッファ部 2 1 に対して、ページバッファまたはバーストバッファ 2 2 からデータを読み出すよう命令する。バッファ部 2 1 をキャッシュとして用いない場合には、ユーザインターフェース 2 3 内の P u r e N A N D U S E R I / F からデータを例えばアクセスコントローラ 2 4 内の R A M などに読み出して、このデータを入力バッファ回路 1 7 に対して出力するよう命令する。

【 0 0 4 3 】

< E C C 部 >

次に E C C 部 2 5 について、図 1 を用いて説明する。

【 0 0 4 4 】

10

20

30

40

50

ECC部25は、NAND型フラッシュメモリ10に対する入出力データについてのエラー検出及びエラー訂正、並びにパリティの生成（以下、これらをまとめてECC処理と呼ぶことがある）を実行する。ECC部25は、ECCバッファ25a、ECCエンジン25bを備える。このECCエンジン25bは、デコーダ（図1のError Position Dec）と、パリティシンドロームと、ECC制御部とを有する。

【0045】

ECCバッファ25aは、ECCデータバスに接続される。そして、NANDデータバスを介して、NAND型フラッシュメモリ10のページバッファと接続される。そして、ページバッファからNANDデータバスを介してデータを読み出し、これをECCエンジン25bに転送する。またECCバッファ25aは、ECCエンジン25b内のデコーダによってエラー訂正されたデータ、及びパリティシンドロームで発生されたパリティを一時的に保持し、NANDデータバスを介して、これをページバッファに書き込む。ECCバッファ25aのサイズは、例えばECCデータバスのバス幅と同じサイズであり、例えば4バイトである。しかし、ECCデータバスのバス幅より大きくても良い。

10

【0046】

パリティシンドロームは、データのロード時には、ECCバッファ25aから転送されたデータを用いてECC処理を行い、このデータにおけるエラーの有無を判断する。またデータのプログラム時には、ECCバッファ25aから転送されたデータに基づいて、パリティを生成する。

【0047】

デコーダは、データのロード時には、パリティシンドロームにおいてエラーがあると判断された場合、その位置を特定すると共に、対応するデータをページバッファからECCバッファ25aに読み出し、データを訂正する。またデータのプログラム時には、パリティシンドロームで生成されたパリティをECCバッファ25aに保持させ、これをページバッファに転送させる。また、ECC制御部は、パリティシンドロームを制御する。

20

【0048】

<制御部>

次に、引き続き図1を参照しつつ、制御部30について説明する。制御部30は、NAND型フラッシュメモリ10及び入出力部20の動作を制御する。すなわち、メモリシステム100全体としての動作を統括する機能を有する。

30

【0049】

図示するように制御部30は、NANDアドレス/コマンド発生回路31、ステートマシン（state machine）32、レジスタ33、コマンドユーザインターフェース（command user interface）34、及びSRAMアドレス/タイミング発生回路35を備えている。

【0050】

<<NANDアドレス/コマンド発生回路>>

NANDアドレス/コマンド発生回路31は、ステートマシン32の制御に基づいてNAND型フラッシュメモリ10の動作を制御する。より具体的には、アドレスや、NANDインターフェースにサポートされたコマンド（Program/Load）等を生成し、NAND型フラッシュメモリ10へ出力する。

40

【0051】

<<ステートマシン>>

ステートマシン32は、コマンドユーザインターフェース34から与えられる内部コマンド信号に基づいて、メモリシステム100内部におけるシーケンス動作を制御する。ステートマシン32がサポートするファンクションは、ロード、プログラム、及び消去等、多数あり、これらのファンクションを実行するよう、NAND型フラッシュメモリ10及び入出力部20の動作を制御する。ステートマシン32は、オシレータ19の生成する内部クロックCLKに同期しつつ、これらの制御を行う。またステートマシン32は、NANDシーケンサ16から与えられるレディ信号及びエラー信号により、NAND型フラ

50

ッシュメモリ 10 の動作状態を把握出来る。

【 0 0 5 2 】

<<レジスタ>>

レジスタ 33 は、ファンクションの動作状態を設定するためのレジスタである。すなわちレジスタ 33 は、アクセスコントローラ 24 から与えられるコマンドに応じて、ファンクションの動作状態を設定する。より具体的には、レジスタ 33 には、例えばデータロード時にはロードコマンドが設定され、データプログラム時にはプログラムコマンドが設定される。

【 0 0 5 3 】

<<コマンドユーザインターフェース>>

コマンドユーザインターフェース 34 は、所定のコマンドがレジスタ 33 に設定されることで、メモリシステム 100 に対してファンクション実行コマンドが与えられたことを認識する。そして、内部コマンド信号 (Command) を発行し、ステートマシン 32 に出力する。

【 0 0 5 4 】

<<SRAMアドレス/タイミング発生回路>>

SRAMアドレス/タイミング発生回路 35 は、ステートマシン 32 の制御に基づいて入出力部 20 の動作を制御する。より具体的には、入出力部 20 において必要なアドレスやコマンドを発行して、アクセスコントローラ 24 及びパリティシンドロームに出力する。

【 0 0 5 5 】

<スイッチ>

次に、スイッチ 40 について、図 1、図 3 のブロック図を用いて説明する。

【 0 0 5 6 】

図 1 に示すように、スイッチ 40 は、NAND型フラッシュメモリ 10 のセンスアンプ及びページバッファ 13 と、入出力部 20 の ECC 部 25 または入出力バッファ回路 17 との間に設けられており、スイッチ 40 は、NAND型フラッシュメモリ 10 のシーケンサ 16 で制御される。

【 0 0 5 7 】

具体的な構成について、図 3 を用いて説明する。なお、図 3 に示すラッチ回路群 A0 ~ A1、B0 ~ B3、D0 ~ D7 は、説明の便宜上、図 1 では省略した。

【 0 0 5 8 】

スイッチ 40 は、複数のバッファ回路群 BFA (BFA0 ~ BFA7) と、複数のラッチ回路群 C0 ~ C7 と、複数のバッファ回路群 BFB (BFB0 ~ BFB7) とを有する。

【 0 0 5 9 】

ここで、複数のバッファ回路群 BFA のうち例えば BFA0 は、8 個のバッファ回路を含む構成となっているが、図面の関係上、8 個のバッファ回路を 1 個のボックスで示した。ラッチ回路群 C、バッファ回路群 BFB についても、バッファ回路群 BFA と同様に、8 個のラッチ回路、8 個のバッファ回路を有する。

【 0 0 6 0 】

すなわち、スイッチ 40 は、例えばそれぞれ 8 個のバッファ回路を含むバッファ回路群 BFA を 8 個と、8 個のラッチ回路を含むラッチ回路群 C を 8 個と、8 個のバッファ回路を含むバッファ回路群 BFB を 8 個とを有する。ここで、列方向に対応するバッファ回路群 BFA のバッファ回路、ラッチ回路 C、バッファ回路群 BFB のバッファ回路が 1 本データバス (図 2 では、便宜上、バッファ回路群 BFA、ラッチ回路群 C、バッファ回路群 BFB を 1 本のデータバスで示しているが、前述したとおり、図 3 のバッファ回路群 BFA は 8 個のバッファ回路をあり、8 本のデータバスが存在する。図 3 で示した 1 本のデータバスは、8 本のデータバスをまとめて表示したものである。) で接続される。

【 0 0 6 1 】

10

20

30

40

50

以下、例として、列方向に対応するバッファ回路群 B F A 0 のうち 1 のバッファ回路 (B F A 0 - 1)、ラッチ回路群 C 0 のうち 1 のラッチ回路 (C 0 - 1)、バッファ回路群 B F B F B 0 のうち 1 のバッファ回路 (B F B 0 - 1) を用いて説明する。

【 0 0 6 2 】

図 4 に示すように、バッファ回路 B F A 0 - 1 は、ラッチ回路群 A 0 に接続される第 1 クロックインバータ 6 0 と、ラッチ回路群 B 0 に接続される第 2 クロックインバータ 6 1 と、第 1 インバータ 6 2 と、第 1 N A N D ゲート 6 3 と、第 2 N A N D ゲート 6 4 と、第 1 N O R ゲート 6 5 と、P チャネル型 M O S トランジスタ P 1 と、N チャネル型 M O S トランジスタ N 1 とを有する。

【 0 0 6 3 】

図 4 に示すように、第 1 及び第 2 クロックインバータ 6 0 , 6 1 の出力端は、共通に接続されて、第 1 インバータ 6 2 の入力端に接続される。第 1 インバータ 6 2 の出力端は、第 1 N A N D ゲート 6 3 の第 1 入力端と接続される。第 1 N A N D ゲート 6 3 の第 2 入力端には、P R O G R A M 信号が供給される。この P R O G R A M 信号は、ライト時に H レベルとなるパルス信号である。

【 0 0 6 4 】

第 1 N A N D ゲート 6 3 の出力端は、第 1 及び第 2 クロックインバータ 6 0 , 6 1 の出力端と共通に接続されて、第 1 インバータ 6 2 の入力端に接続される。

【 0 0 6 5 】

第 1 インバータ 6 2 の出力端は、第 2 N A N D ゲート 6 4 及び第 1 N O R ゲート 6 5 それぞれの入力端と接続される。第 2 N A N D ゲート 6 4 の他の入力端には、P R O G R A M 信号が供給され、第 1 N O R ゲート 6 5 の他の入力端には、R E A D 信号が供給される。この R E A D 信号は、リード時 H レベルとなるパルス信号であり、P R O G R A M 信号の反転信号である。

【 0 0 6 6 】

第 2 N A N D ゲート 6 4 の出力端には、P チャネル型 M O S トランジスタ P 1 (以下、トランジスタ P 1 ともいう) のゲートが接続される。トランジスタ P 1 の電源経路の一端は、電源 V D D に接続されており、他端は N チャネル型 M O S トランジスタの一端に接続される。

【 0 0 6 7 】

第 1 N O R ゲート 6 5 の出力端には、N チャネル型 M O S トランジスタ N 1 (以下、トランジスタ N 1 ともいう) のゲートが接続される。トランジスタ N 1 の他端は、接地 V s s されている。トランジスタ P 1 の他端とトランジスタ N 1 の一端との共通接続点は、ラッチ回路 C 0 - 1 に接続される。

【 0 0 6 8 】

第 1 及び第 2 クロックインバータ 6 0 , 6 1 には、C S L E N N _ P U R E 信号と、/ C S L E N N _ P U R E 信号 (C S L E N N _ P U R E 信号の反転信号) が入力される。制御された C S L E N N _ P U R E 信号らの信号がバッファ回路群 B F A に入力されることで、ラッチ回路群 A とラッチ回路群 C を接続したり、ラッチ回路群 A とラッチ回路群 C の接続を切断したりする機能を有する。

【 0 0 6 9 】

C S L E N N _ P U R E 信号らの信号の生成回路について、図 5 を用いて説明する。

【 0 0 7 0 】

図 5 (a) に示すように、ライト時に、バッファ部 2 1 をキャッシュとして用いない場合には、P U R E 信号が H レベルとなり、第 2 インバータ 7 0 は、L レベルの O N E 信号を出力する。ライト時に、バッファ部 2 1 をキャッシュとして用いる場合には、P U R E 信号が L レベルとなり、第 2 インバータ 7 0 は、H レベルの O N E 信号を出力する。

【 0 0 7 1 】

図 5 (b) に示すように、生成回路は、第 3 N A N D ゲート 7 1、第 3 N A N D ゲート 7 1 の出力端と接続された第 3 インバータ 7 2、第 4 N A N D ゲート 7 3、第 4 N A N D

10

20

30

40

50

ゲート73の出力端と接続された第4インバータ74を有する。

【0072】

第3NANDゲート71には、第2インバータ70に入力されるPURE信号とCSLENN信号が入力されて、第3インバータ72からCSLENN__PURE信号が出力される。第4NANDゲート73には、第2インバータ70から出力されるONE信号とCSLENN信号が入力されて、第4インバータ74からCSLENN__ONE信号が出力される。ここで、CSLENN信号は、ステートマシン32を用いて例えば複数のバッファ回路群BFAのうち所望のバッファ回路群BFAを選択するための機能を有し、選択されたバッファ回路群BFAには、CSLENN信号としてHレベルと入力し、非選択されたバッファ回路群BFAには、CSLENN信号としてLレベルと入力する。

10

【0073】

次に、バッファ回路BFB0-1について、図6を用いて説明する。図6に示すように、バッファ回路BFB0-1は、ラッチ回路C0に接続される第1クロックドインバータ80と、第5インバータ81と、第4NANDゲート82と、第5NANDゲート83と、第2NORゲート84と、Pチャンネル型MOSトランジスタP2と、Nチャンネル型MOSトランジスタN2とを有する。詳細は、バッファ回路BFA0-1と同様であるため、省略する。

【0074】

[スイッチの動作方法]

次に、本実施形態のスイッチ40の動作方法について、図4を用いて説明する。図4におけるバッファ回路BFA0-1が選択されている場合には、第3クロックドインバータ80に第1クロックドインバータ60と同一の信号が入力されるため、バッファ回路BFB0-1も選択される。したがって、本明細書では、(1)ライト時に、バッファ部21をキャッシュとして用いない場合で、図4に示すバッファ回路BFA0-1が選択されているときのスイッチ40の動作方法と、(2)ライト時に、バッファ部21をキャッシュとして用いる場合で、図4に示すバッファ回路BFA0-1が選択されているときのスイッチ40の動作方法と、(3)ライト時に、図4に示すバッファ回路BFA0-1が選択されていないときのスイッチ40の動作方法、の3種類の動作方法を説明する。なお、ライト時に、バッファ部21をキャッシュとして用いる場合には、全てのバッファ回路群BFA、及びBFBは選択される。

20

30

【0075】

<(1)の動作方法>

ライト時に、バッファ部21をキャッシュとして用いない場合で、図4に示すバッファ回路BFA0-1が選択されているとき、PROGRAM信号がHレベル、PURE信号がHレベル、ONE信号がLレベル、CSLENN信号がHレベルである。このため、第1クロックドインバータ60はオン状態となり、ラッチ回路A0のデータが転送される。例えばラッチ回路A0のデータがHレベルのときには、第1クロックドインバータ60からLレベルが出力される。一方で、第2クロックドインバータ61はオフ状態となる。

【0076】

PROGRAM信号がHレベルであるため、第1インバータ62の出力がHレベルとなる。したがって、第2NANDゲート64の出力がLレベルとなり、トランジスタP1がオン状態となる。第1NORゲートの出力がLレベルとなり、トランジスタN1がオフ状態となる。トランジスタP1とトランジスタN1の共通接続点が、電源VDDによりチャージされ、Hレベルの信号がラッチ回路C0-1に出力される。

40

【0077】

同様に、バッファ回路BFB0-1も導通するため、ラッチ回路C0-1のデータがラッチ回路D0-1に転送される。

【0078】

<(2)の動作方法>

ライト時に、バッファ部21をキャッシュとして用いる場合で、図4に示すバッファ回

50

路 B F A 0 - 1 が選択されているとき、P R O G R A M 信号が H レベル、P U R E 信号が L レベル、O N E 信号が H レベル、C S L E N N 信号が H レベルである。このため、第 1 クロックインバータ 6 0 はオフ状態となり、第 2 クロックインバータ 6 1 はオン状態となる。ラッチ回路 B 0 のデータが転送される。例えばラッチ回路 B 0 のデータが H レベルのときには、第 2 クロックインバータ 6 1 から L レベルが出力される。

【 0 0 7 9 】

P R O G R A M 信号が H レベルであるため、第 1 インバータ 6 2 の出力が H レベルとなる。したがって、第 2 N A N D ゲートの出力が L レベルとなり、トランジスタ P 1 がオン状態となる。第 1 N O R ゲートの出力が L レベルとなり、トランジスタ N 1 がオフ状態となる。トランジスタ P 1 とトランジスタ N 1 の共通接続点が、電源 V D D によりチャージされ、H レベルの信号がラッチ回路 C 0 - 1 に出力される。

10

【 0 0 8 0 】

同様に、バッファ回路 B F B 0 - 1 も導通するため、ラッチ回路 C 0 - 1 のデータがラッチ回路 D 0 - 1 に転送される。

【 0 0 8 1 】

< (3) の動作方法 >

ライト時に、図 4 に示すバッファ回路 B F A 0 - 1 が選択されていないとき、P R O G R A M 信号が H レベル、C S L E N N 信号が L レベルである。この場合、図 5 (b) の生成回路に示すように、第 3 N A N D ゲート 7 1 及び第 4 N A N D ゲート 7 3 の出力がいずれも H レベルとなる。したがって、C S L E N N _ P U R E 信号及び C S L E N N _ O N E 信号いずれも L レベルとなり、第 1 及び第 2 クロックインバータ 6 0 、 6 1 のいずれもオフ状態となる。その結果、ラッチ回路 A 0 、ラッチ回路 B 0 のいずれのデータも転送されない。

20

【 0 0 8 2 】

[本実施形態の効果]

以上より、本実施形態は、消費電流を低減可能なメモリシステムを提供できる。

【 0 0 8 3 】

本実施形態のメモリシステムでは、制御された C S L E N N _ P U R E 信号らの信号がバッファ回路群 B F A に入力されることで、選択されたラッチ回路群 A とラッチ回路群 C を接続し、非選択のラッチ回路群 A とラッチ回路群 C の接続を切断できる。

30

【 0 0 8 4 】

本実施形態のスイッチ 4 0 から第 1 及び第 2 クロックインバータ 6 0 , 6 1 、第 1 インバータ 6 2 、第 1 N A N D ゲート 6 3 を設けずに、C S L E N N 0 ~ 7 が入力しない比較例 1 と比べた場合、本実施形態は、消費電流を低減可能なメモリシステムを提供できる。

【 0 0 8 5 】

以下、具体的に効果を説明する。

【 0 0 8 6 】

本実施形態では、図 3 に示すように、入出力バッファ回路 1 7 は、2 個のラッチ回路 A 0 , A 1 と接続される。ラッチ回路 A 0 は、複数のバッファ回路群 B F A のうち、バッファ回路群 B F A 0 ~ B F A 3 に共通に接続されている。ラッチ回路 A 1 は、複数のバッファ回路群 B F A のうち、バッファ回路群 B F A 4 ~ B F A 7 に共通に接続されている。

40

【 0 0 8 7 】

したがって、バッファ回路群 B F A 0 ~ B F A 3 には、共通のデータが転送される。バッファ回路群 B F A 4 ~ B F A 7 も同様である。

【 0 0 8 8 】

比較例 1 の場合には、ページバッファ 1 3 で、例えば 1 6 ビットごとにメモリセルに書き込む場合には、ページバッファ内の (0) ~ (3) のうちから 1 を選択し、(4) ~ (7) のうち 1 を選択する必要があり、入力バッファ回路 1 7 からデータを転送する際に、全てのバッファ回路群 B F A 、全てのラッチ回路群 C 、全てのバッファ回路群 B F B 、全

50

てのラッチ回路群 D を動作状態にしなければならず、消費電流がかかる。

【 0 0 8 9 】

しかし、本実施形態のメモリシステムでは、例えば 16 ビットごとにメモリセルに書き込む場合、予め選択されるカラムに対応したページバッファ 13 (例えば (0) と (4))、バッファ回路群 B F A 0 , B F A 4、ラッチ回路群 C 0 , C 4、バッファ回路群 B F B 0 , B F B 4 を動作状態にし、残りの非選択のカラムに対応したページバッファ 13 ((1) ~ (3)、(5) ~ (7))などを動作状態にせずに、オフ状態とできる。その結果、本実施形態のメモリシステムは、比較例 1 と比べて、消費電流を低減できる。

【 0 0 9 0 】

また、本実施形態のメモリシステムでは、複数のバッファ回路群 B F A が、入出力バッファ回路 17 に対応したバッファ回路群として設けられるだけでなく、E C C 部 25 に対応したバッファ回路群としても設けられている。

10

【 0 0 9 1 】

したがって、入力バッファ回路 17 に対応したバッファ回路群と、E C C 部 25 に対応したバッファ回路群とを別々に設ける比較例 2 と比較して、本実施形態のメモリシステムは、回路面積を縮小できる。また、本実施形態のメモリシステムは、比較例 2 を改良して 2 個の別々のバッファ回路群に対して制御された C S L E N N 信号を入力する場合と比較しても、消費電流の低減ができる。データバスを短くすることで、データバスの容量の低減ができ、その結果、データのやりとりを高速化できる。

【 0 0 9 2 】

20

なお、本願発明は上記実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。更に、上記実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出されうる。例えば、実施形態に示される全構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題が解決でき、発明の効果の欄で述べられている効果が得られる場合には、この構成要件が削除された構成が発明として抽出されうる。

【 符号の説明 】

【 0 0 9 3 】

- 1 0 ... N A N D 型フラッシュメモリ
- 1 1 ... メモリセルアレイ
- 1 2 ... ロウデコーダ
- 1 3 ... センスアンプ、ページバッファ
- 1 4 ... カラムデコーダ
- 1 5 ... 電圧発生回路
- 1 6 ... シーケンサ
- 1 7 ... 入力バッファ回路
- 1 8 1 9 ... オシレータ
- 2 0 ... 入出力部
- 2 1 ... バッファ部
- 2 2 ... バーストバッファ
- 2 3 ... ユーザインターフェース
- 2 4 ... アクセスコントローラ
- 2 5 ... E C C 部
- 3 0 ... 制御部
- 3 1 ... アドレス / コマンド発生回路
- 3 2 ... ステートマシン
- 3 3 ... レジスタ
- 3 4 ... C U I
- 3 5 ... アドレス / タイミング発生回路

30

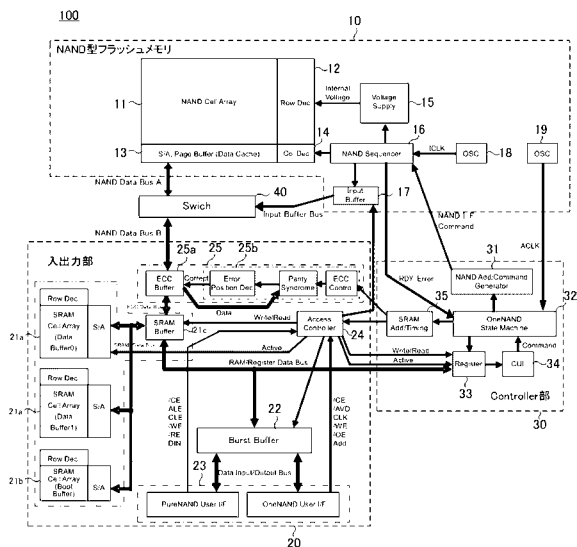
40

50

100 ... メモリシステム

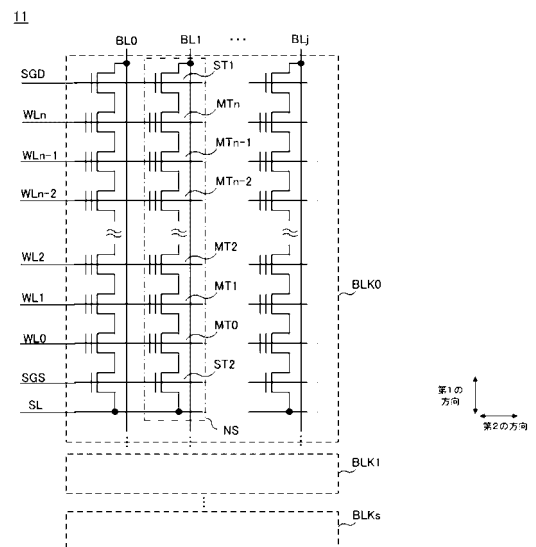
【図1】

【図1】



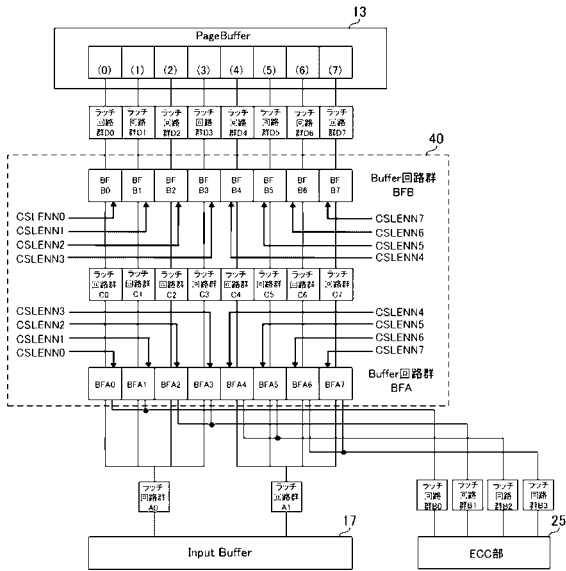
【図2】

【図2】



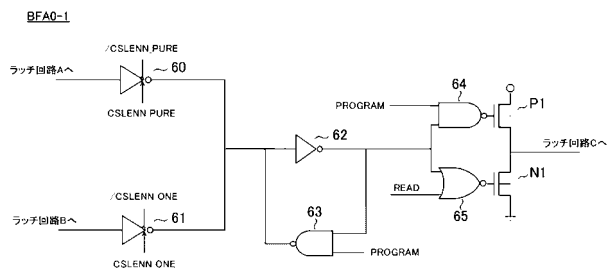
【 図 3 】

【 図3】



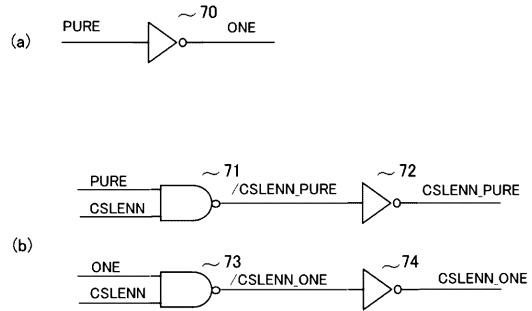
【 図 4 】

【 図4】



【 図 5 】

【 図5】



【 図 6 】

【 図6】

