(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2024년04월17일
(11) 등록번호 10-2658784
(24) 등록일자 2024년04월15일

(51) 국제특허분류(Int. Cl.)
H01L 21/02 (2006.01) *H01L 21/28* (2006.01)
H01L 21/324 (2017.01)
(52) CPC특허분류
H01L 21/02263 (2013.01)
H01L 21/02329 (2013.01)
(21) 출원번호 10-2018-7008630
(22) 출원일자(국제) 2016년08월29일
심사청구일자 2021년07월21일
(85) 번역문제출일자 2018년03월27일
(65) 공개번호 10-2018-0058725
(43) 공개일자 2018년06월01일
(86) 국제출원번호 PCT/JP2016/003915
(87) 국제공개번호 WO 2017/056389
국제공개일자 2017년04월06일
(30) 우선권주장
JP-P-2015-194840 2015년09월30일 일본(JP)
(56) 선행기술조사문헌
JP2014072430 A*
JP2014236050 A*
KR100613814 B1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
산켄덴키 가부시키가이샤
일본국 사이타마켄 니이자시 기타노 3쵸메 6반 3고
신에쯔 한도타이 가부시키가이샤
일본 도쿄토 치요다쿠 오테마치 2쵸메 2-1
(72) 발명자
시까우찌, 히로시
일본 3528666 사이따마껭 니이자시 기따노3-6-3 산켄 덴키 가부시키가이샤 내
사또, 겐
일본 3528666 사이따마껭 니이자시 기따노3-6-3 산켄 덴키 가부시키가이샤 내
(뒷면에 계속)
(74) 대리인
장수길, 박봉훈

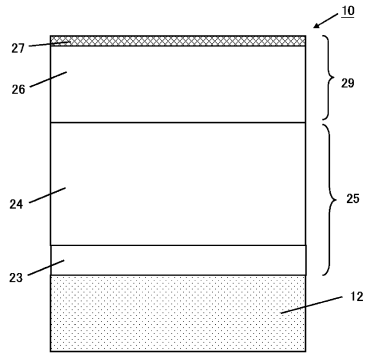
전체 청구항 수 : 총 13 항 심사관 : 오창석

(54) 발명의 명칭 **반도체 기체, 반도체 장치, 반도체 기체의 제조 방법, 및, 반도체 장치의 제조 방법**

(57) 요 약

본 발명은 기판과, 질화물 반도체를 포함하며, 상기 기판 위에 형성되는 버퍼층과, 질화물 반도체를 포함하며, 상기 버퍼층 위에 형성되는 채널층을 구비하고, 상기 버퍼층은, 상기 기판측에 형성되며, 붕소 농도가 억셉터 원소 농도보다도 높은 제1 영역과, 상기 제1 영역 위에 형성되며, 상기 제1 영역보다 붕소 농도가 낮고, 상기 제1 영역보다 억셉터 원소 농도가 높은 제2 영역을 포함하는 것을 특징으로 하는 반도체 기체이다. 이에 의해, 높은 세로 방향 내압을 유지하면서, 높은 피트 억제 효과를 얻을 수 있는 반도체 기체가 제공된다.

대 표 도 - 도1



(52) CPC특허분류
H01L 21/0254 (2013.01)
H01L 21/28 (2019.08)
H01L 21/324 (2013.01)
H01L 2924/10323 (2013.01)
(72) 발명자
시노미야, 마사루
일본 3790196 군마껭 안나까시 이소베 2쪼메 13-1 신에쯔 한도따이 씨오. 엘티디. 이소베 알앤디 센터 내
즈찌야, 게이따로
일본 3790196 군마껭 안나까시 이소베 2쪼메 13-1 신에쯔 한도따이 씨오. 엘티디. 이소베 알앤디 센터 내
하기모또, 가즈노리
일본 3790196 군마껭 안나까시 이소베 2쪼메 13-1 신에쯔 한도따이 씨오. 엘티디. 이소베 알앤디 센터 내

명 세 서

청구범위

청구항 1

기판과,

질화물 반도체를 포함하며, 상기 기판 위에 형성되는 버퍼층과,

질화물 반도체를 포함하며, 상기 버퍼층 위에 형성되는 채널층

을 구비하고,

상기 버퍼층은,

상기 기판측에 형성되며, 붕소 농도가 억셉터 원소 농도보다도 높은 제1 영역과,

상기 제1 영역 위에 형성되며, 상기 제1 영역보다 붕소 농도가 낮고, 상기 제1 영역보다 억셉터 원소 농도가 높은 제2 영역

을 포함하며,

상기 버퍼층이, 붕소 농도가 상기 기판측으로부터 상기 채널층측을 향하여 감소하는 감소 영역을 포함하고,

상기 버퍼층이, 상기 감소 영역의 붕소 농도 감소 개시 위치보다도 상기 채널층측에, 억셉터 원소가 상기 기판측으로부터 상기 채널층측을 향하여 증가하는 증가 영역을 포함하며,

상기 감소 영역은, 상기 증가 영역과 일부 중첩되어 있고,

상기 제1 영역의 붕소 농도가 $1\times10^{17}cm^{-3}$~$1\times10^{21}cm^{-3}$이고, 상기 제1 영역의 억셉터 원소 농도가 $1\times10^{15}cm^{-3}$~$5\times10^{17}cm^{-3}$이며, 상기 제2 영역의 붕소 농도가 $1\times10^{13}cm^{-3}$~$1\times10^{15}cm^{-3}$이고, 상기 제2 영역의 억셉터 원소 농도가 $5\times10^{17}cm^{-3}$~$1\times10^{20}cm^{-3}$이고,

상기 억셉터 원소 농도의 프로파일에 있어서, 상기 버퍼층에 있어서의 상기 증가 영역의 상기 억셉터 원소 농도의 기울기는, 상기 증가 영역보다도 상방의 상기 억셉터 원소 농도를 낮게 하기 위한 감소 영역의 기울기보다도 큰 것을 특징으로 하는 반도체 기체.

청구항 2

삭제

청구항 3

제1항에 있어서,

상기 버퍼층이 상기 기판측에 AlN을 포함하는 초기층을 포함하고,

상기 초기층은 억셉터 원소를 포함하지 않는 것을 특징으로 하는 반도체 기체.

청구항 4

삭제

청구항 5

제1항에 있어서,

상기 버퍼층이 상기 기판측에 AlN을 포함하는 초기층을 포함하고,

상기 초기층의 억셉터 원소 농도는, 상기 초기층의 붕소 농도보다도 낮은 것을 특징으로 하는 반도체 기체.

청구항 6

삭제

청구항 7

제1항, 제3항 및 제5항 중 어느 한 항에 있어서,

상기 억셉터 원소가, 전이 금속, 탄소, 마그네슘 중 어느 것인 것을 특징으로 하는 반도체 기체.

청구항 8

제1항, 제3항 및 제5항 중 어느 한 항에 기재된 반도체 기체와,

상기 채널층 위에 형성된 전극

을 구비하는 것을 특징으로 하는 반도체 장치.

청구항 9

제7항에 기재된 반도체 기체와,

상기 채널층 위에 형성된 전극

을 구비하는 것을 특징으로 하는 반도체 장치.

청구항 10

기판 위에 질화물 반도체를 포함하는 버퍼층을 형성하는 공정과, 상기 버퍼층 위에 질화물 반도체를 포함하는 채널층을 형성하는 공정을 갖는 반도체 기체의 제조 방법으로서,

상기 버퍼층은, 상기 기판측에 AlN을 포함하는 초기층을 포함하고,

상기 버퍼층을 형성하는 공정은, 상기 버퍼층의 붕소 농도가 상기 기판측으로부터 상기 채널층측을 향하여 서서히 감소하도록, 상기 버퍼층에 붕소를 도입하는 단계를 포함하고,

상기 버퍼층을 형성하는 공정에 있어서, 상기 초기층이 형성된 후에 억셉터 원소의 도핑을 개시하여,

상기 기판측에 형성되며, 붕소 농도가 억셉터 원소 농도보다도 높은 제1 영역과,

상기 제1 영역 위에 형성되며, 상기 제1 영역보다 붕소 농도가 낮고, 상기 제1 영역보다 억셉터 원소 농도가 높은 제2 영역과,

붕소 농도가 상기 기판측으로부터 상기 채널층측을 향하여 감소하는 감소 영역과,

상기 감소 영역의 붕소 농도 감소 개시 위치보다도 상기 채널층측에, 억셉터 원소가 상기 기판측으로부터 상기 채널층측을 향하여 증가하는 증가 영역을 포함하고,

상기 감소 영역이, 상기 증가 영역과 일부 중첩되고,

상기 제1 영역의 붕소 농도가 $1\times10^{17}cm^{-3}$~$1\times10^{21}cm^{-3}$이고, 상기 제1 영역의 억셉터 원소 농도가 $1\times10^{15}cm^{-3}$~$5\times10^{17}cm^{-3}$이며, 상기 제2 영역의 붕소 농도가 $1\times10^{13}cm^{-3}$~$1\times10^{15}cm^{-3}$이고, 상기 제2 영역의 억셉터 원소 농도가 $5\times10^{17}cm^{-3}$~$1\times10^{20}cm^{-3}$인 상기 버퍼층을 형성하고,

상기 억셉터 원소 농도의 프로파일에 있어서, 상기 버퍼층에 있어서의 상기 증가 영역의 상기 억셉터 원소 농도의 기울기를, 상기 증가 영역보다도 상방의 상기 억셉터 원소 농도를 낮게 하기 위한 감소 영역의 기울기보다도 크게 하는 것을 특징으로 하는 반도체 기체의 제조 방법.

청구항 11

제10항에 있어서,

상기 기판으로서, 붕소가 도프된 기판을 사용하고,

상기 버퍼층에 붕소를 도입하는 단계는, 열 확산에 의해 붕소가 도프된 상기 기판으로부터 상기 버퍼층에 붕소를 확산시키는 단계를 포함하는 것을 특징으로 하는 반도체 기체의 제조 방법.

청구항 12

제10항에 있어서,

상기 버퍼층에 붕소를 도입하는 단계는, 상기 버퍼층을 기상 성장에 의해 형성할 때에, 붕소 함유의 도펀트 가스를 도입함으로써 기상으로부터 붕소를 도핑하는 단계를 포함하는 것을 특징으로 하는 반도체 기체의 제조 방법.

청구항 13

제11항에 있어서,

상기 버퍼층에 붕소를 도입하는 단계는, 상기 버퍼층을 기상 성장에 의해 형성할 때에, 붕소 함유의 도펀트 가스를 도입함으로써 기상으로부터 붕소를 도핑하는 단계를 포함하는 것을 특징으로 하는 반도체 기체의 제조 방법.

청구항 14

제10항 내지 제13항 중 어느 한 항에 있어서,

상기 억셉터 원소로서, 전이 금속, 탄소, 마그네슘 중 어느 것을 사용하는 것을 특징으로 하는 반도체 기체의 제조 방법.

청구항 15

제10항 내지 제13항 중 어느 한 항에 기재된 반도체 기체의 제조 방법에 의해 제조된 반도체 기체를 준비하는 공정과,

상기 채널층 위에 전극을 형성하는 공정

을 갖는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 16

제14항에 기재된 반도체 기체의 제조 방법에 의해 제조된 반도체 기체를 준비하는 공정과,

상기 채널층 위에 전극을 형성하는 공정

을 갖는 것을 특징으로 하는 반도체 장치의 제조 방법.

발명의 설명

기 술 분 야

[0001] 본 발명은 반도체 기체, 반도체 장치, 반도체 기체의 제조 방법, 및, 반도체 장치의 제조 방법에 관한 것이다.

배 경 기 술

[0002] 질화물 반도체층은 염가의 실리콘 기판 위나 사파이어 기판 위에 형성되는 것이 일반적이다. 그러나, 이들 기판의 격자 상수와 질화물 반도체층의 격자 상수는 크게 상이하고, 또한, 열팽창 계수도 상이하다. 이 때문에, 기판 위에 에피택셜 성장에 의해 형성된 질화물 반도체층에, 큰 왜곡 에너지가 발생한다. 그 결과, 질화물 반도체층에 크랙의 발생이나 결정 품질의 저하가 발생하기 쉽다.

[0003] 상기 문제를 해결하기 위해, 기판과 질화물 반도체를 포함하는 기능층 사이에 조성이 상이한 질화물 반도체층을 적층한 버퍼층을 배치하는 것이 종래 행해지고 있었다.

[0004] 또한, 질화물 반도체층의 특성을 개선하기 위해, 버퍼층에 대하여 다양한 제안이 이루어져 있다. 예를 들어, 특허문헌 1에는, 피트 밀도(즉, 결함 밀도)를 저감시키기 위해, 버퍼층에 붕소를 함유시키는 것이 개시되어 있다.

[0005] 한편, 버퍼층에 철을 도프함으로써, 세로 방향 내압을 향상시키는 것이 알려져 있다. 예를 들어, 특허문헌 2에 개시되어 있는 반도체 기체에서는, 철을 도프함으로써 버퍼층의 세로 방향 내압을 높이고 있다.

선행기술문헌

특허문헌

[0006] (특허문헌 0001) 일본 특허 공개 제2014-236050호 공보

(특허문헌 0002) 일본 특허 공개 제2010-123725호 공보

발명의 내용

해결하려는 과제

[0007] 그러나, 발명자들은, 상기 종래 기술에는 이하의 문제점이 있는 것을 발견하였다.

[0008] 즉, 피트 밀도를 저감시키기 위해, 버퍼층에 붕소를 함유시킨 경우라도, 디바이스의 세로 방향 내압을 향상시키기 위해 버퍼층에 전이 금속 등의 억셉터 원소를 도핑하면, 붕소에 의한 피트 억제 효과가 저하되어 버려, 디바이스의 특성 열화를 발생시켜 버린다.

[0009] 본 발명은 상기 문제점을 감안하여 이루어진 것이며, 높은 세로 방향 내압을 유지하면서, 높은 피트 억제 효과를 얻을 수 있는 반도체 기체 및 이것을 사용한 반도체 장치를 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0010] 상기 목적을 달성하기 위해, 본 발명은 기판과, 질화물 반도체를 포함하며, 상기 기판 위에 형성되는 버퍼층과, 질화물 반도체를 포함하며, 상기 버퍼층 위에 형성되는 채널층을 구비하고, 상기 버퍼층은, 상기 기판측에 형성되며, 붕소 농도가 억셉터 원소 농도보다도 높은 제1 영역과, 상기 제1 영역 위에 형성되며, 상기 제1 영역보다 붕소 농도가 낮고, 상기 제1 영역보다 억셉터 원소 농도가 높은 제2 영역을 포함하는 것을 특징으로 하는 반도체 기체를 제공한다.

[0011] 이와 같이, 버퍼층이, 기판측에 형성되며 붕소 농도가 억셉터 원소 농도보다도 높은 제1 영역을 갖고, 제1 영역 위에 형성되며 제1 영역보다 붕소 농도가 낮고 제1 영역보다 억셉터 원소 농도가 높은 제2 영역을 가짐으로써, 높은 피트 억제 효과를 얻으면서, 높은 세로 방향 내압을 유지할 수 있다.

[0012] 이때, 상기 버퍼층이, 붕소 농도가 상기 기판측으로부터 상기 채널층측을 향하여 감소하는 감소 영역을 포함하고, 상기 버퍼층이, 상기 감소 영역의 붕소 농도 감소 개시 위치보다도 상기 채널층측에, 억셉터 원소가 상기 기판측으로부터 상기 채널층측을 향하여 증가하는 증가 영역을 포함하는 것이 바람직하다.

[0013] 이와 같은 구성으로 함으로써, 보다 효과적으로 높은 피트 억제 효과를 얻을 수 있다.

[0014] 이때, 상기 버퍼층이 상기 기판측에 AlN을 포함하는 초기층을 포함하고, 상기 초기층은 억셉터 원소를 포함하지 않도록 할 수 있다.

[0015] 버퍼층 내에 이와 같은 초기층을 형성함으로써, 보다 효과적으로 높은 피트 억제 효과를 얻을 수 있음과 함께, 버퍼층 중의 원소와 기판이 반응하는 것을 방지할 수 있다.

[0016] 이때, 상기 버퍼층이 상기 기판측에 AlN을 포함하는 초기층을 포함하고, 상기 초기층의 억셉터 원소 농도는, 상기 초기층의 붕소 농도보다도 낮게 할 수 있다.

[0017] 버퍼층 내에 이와 같은 초기층을 형성함으로써, 높은 피트 억제 효과를 얻을 수 있음과 함께, 버퍼층 중의 원소와 기판이 반응하는 것을 방지할 수 있다.

[0018] 이때, 상기 억셉터 원소가, 전이 금속, 탄소, 마그네슘 중 어느 것인 것이 바람직하다.

[0019] 버퍼층에 도입하는 억셉터 원소로서, 이와 같은 원소를 적합하게 사용할 수 있다.

[0020] 또한, 본 발명은, 상기의 반도체 기체와, 상기 채널층 위에 형성된 전극을 구비하는 것을 특징으로 하는 반도체

장치를 제공한다.

[0021] 이와 같은 반도체 장치이면, 높은 세로 방향 내압을 유지하면서, 높은 피트 억제 효과를 얻을 수 있는 반도체 장치로 할 수 있다.

[0022] 또한, 본 발명은, 기판 위에 질화물 반도체를 포함하는 버퍼층을 형성하는 공정과, 상기 버퍼층 위에 질화물 반도체를 포함하는 채널층을 형성하는 공정을 갖는 반도체 기체의 제조 방법으로서, 상기 버퍼층은, 상기 기판측에 AlN을 포함하는 초기층을 포함하고, 상기 버퍼층을 형성하는 공정은, 상기 버퍼층의 붕소 농도가 상기 기판측으로부터 상기 채널층측을 향하여 서서히 감소하도록, 상기 버퍼층에 붕소를 도입하는 단계를 포함하고, 상기 버퍼층을 형성하는 공정에 있어서, 상기 초기층이 형성된 후에 억셉터 원소의 도핑을 개시하는 것을 특징으로 하는 반도체 기체의 제조 방법을 제공한다.

[0023] 이와 같이, 버퍼층을 형성하는 공정에 있어서 초기층이 형성된 후에 억셉터 원소의 도핑을 개시함으로써, 높은 세로 방향 내압을 유지하면서, 높은 피트 억제 효과를 얻을 수 있다.

[0024] 여기서, 상기 기판으로서, 붕소가 도프된 기판을 사용하고, 상기 버퍼층에 붕소를 도입하는 단계는, 열 확산에 의해 붕소가 도프된 상기 기판으로부터 상기 버퍼층에 붕소를 확산시키는 단계를 포함할 수 있다.

[0025] 이와 같이, 열 확산에 의해 붕소가 도프된 기판으로부터 버퍼층에 붕소를 확산시켜 버퍼층에 붕소를 도입함으로써, 보다 효율적으로 버퍼층의 붕소 농도를, 기판측으로부터 채널층측을 향하여 서서히 감소시킬 수 있다.

[0026] 또한, 상기 버퍼층에 붕소를 도입하는 단계는, 상기 버퍼층을 기상 성장에 의해 형성할 때에, 붕소 함유의 도펀트 가스를 도입함으로써 기상으로부터 붕소를 도핑하는 단계를 포함할 수 있다.

[0027] 이와 같이, 기상 성장 중에 붕소 함유의 도펀트 가스를 도입함으로써 기상으로부터 붕소를 도핑하여 버퍼층에 붕소를 도입함으로써, 피트 억제 효과를 얻는 데 충분한 붕소를 버퍼층에 함유시킬 수 있다.

[0028] 이때, 상기 억셉터 원소로서, 전이 금속, 탄소, 마그네슘 중 어느 것을 사용하는 것이 바람직하다.

[0029] 버퍼층에 도입하는 억셉터 원소로서, 이와 같은 원소를 적합하게 사용할 수 있다.

[0030] 또한, 본 발명은, 상기의 반도체 기체의 제조 방법에 의해 제조된 반도체 기체를 준비하는 공정과, 상기 채널층 위에 전극을 형성하는 공정을 갖는 것을 특징으로 하는 반도체 장치의 제조 방법을 제공한다.

[0031] 이와 같은 반도체 장치의 제조 방법이면, 높은 세로 방향 내압을 유지하면서, 높은 피트 억제 효과를 얻을 수 있는 반도체 장치를 제조할 수 있다.

발명의 효과

[0032] 이상과 같이, 본 발명의 반도체 기체이면, 높은 세로 방향 내압을 유지하면서, 높은 피트 억제 효과를 얻을 수 있는 반도체 기체로 할 수 있다. 또한, 본 발명의 반도체 장치이면, 높은 세로 방향 내압을 유지하면서, 피트의 발생이 억제된 반도체 장치로 할 수 있다. 또한, 본 발명의 반도체 기체의 제조 방법이면, 높은 세로 방향 내압을 유지하면서, 높은 피트 억제 효과를 얻을 수 있는 반도체 기체를 제조할 수 있다. 또한, 본 발명의 반도체 장치의 제조 방법이면, 높은 세로 방향 내압을 유지하면서, 피트의 발생이 억제된 반도체 장치를 제조할 수 있다.

도면의 간단한 설명

[0033] 도 1은 반도체 기체의 실시 양태의 개략 단면도이다.

도 2는 반도체 기체의 실시 형태의 일례를 도시하는 개략 단면도이다.

도 3은 반도체 장치의 실시 형태의 일례를 도시하는 개략 단면도이다.

도 4는 반도체 기체의 제조 방법의 실시 형태의 일례를 도시하는 공정 단면도이다.

도 5는 반도체 장치의 제조 방법의 실시 형태의 일례를 도시하는 공정 단면도이다.

도 6은 실시예 1~3, 비교예 1~3에 있어서의 반도체 기체의 불순물 프로파일을 도시하는 도면이다.

도 7은 실시예 1, 비교예 1~3의 반도체 기체의 현미경 암시야 화상 해석에 의한 피트 밀도 평가 결과를 도시하는 도면이다.

도 8은 실시예 1, 비교예 2~3의 반도체 장치의 디바이스 내압(세로 방향 내압) 측정 결과를 도시하는 도면이다.

도 9는 디바이스 내압(세로 방향 내압)의 측정 방법을 도시하는 도면이다.

도 10은 실시예 1의 반도체 기체의 붕소 농도 프로파일을 도시하는 도면이다.

도 11은 버퍼층의 적층체 중의 AlN층과 GaN층에서 철 농도를 변화시킨 경우의 반도체 기체의 불순물 프로파일을 도시하는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0034] 전술한 바와 같이, 피트 밀도를 저감시키기 위해, 버퍼층에 붕소 도프를 행할 필요가 있지만, 버퍼층에 붕소 도프를 행한 경우라도, 디바이스의 세로 방향 내압을 향상시키기 위해 버퍼층에 전이 금속 등의 억셉터 원소를 도핑하면, 붕소에 의한 피트 억제 효과가 저하되어 버려, 디바이스의 특성 열화를 발생시켜 버린다는 문제점이 있었다.

[0035] 따라서, 본 발명자들은, 높은 세로 방향 내압을 유지하면서, 높은 피트 억제 효과를 얻을 수 있는 반도체 기체에 대하여 예의 검토를 거듭하였다.

[0036] 그 결과, 버퍼층 중에, 기판측에 형성되며 붕소 농도가 억셉터 원소 농도보다도 높은 제1 영역과, 제1 영역 위에 형성되며 제1 영역보다 붕소 농도가 낮고 상기 제1 영역보다 억셉터 원소 농도가 높은 제2 영역을 형성함으로써, 제1 영역에 의해 높은 피트 억제 효과를 얻을 수 있음과 함께, 제2 영역에 의해 높은 세로 방향 내압을 유지할 수 있는 것을 발견하고, 본 발명을 이루기에 이르렀다.

[0037] 이하, 본 발명에 대하여, 실시 양태의 일례로서, 도면을 참조하면서 상세하게 설명하지만, 본 발명은 이것에 한정되는 것은 아니다.

[0038] 먼저, 도 1, 도 2를 참조하면서, 본 실시 양태의 반도체 기체에 대하여 설명한다.

[0039] 본 실시 양태의 반도체 기체(10)의 개략 단면도인 도 1에 도시한 바와 같이, 반도체 기체(10)는 기판(12)과, 기판(12) 위에 형성되며 질화물 반도체를 포함하는 버퍼층(25)과, 버퍼층(25) 위에 형성되며 질화물 반도체를 포함하는 채널층(26)을 구비하고 있다. 기판(12)은, 예를 들어 실리콘 기판 또는 SiC 기판 등의 실리콘계 기판으로 할 수 있고, 채널층(26)은, 예를 들어 GaN층으로 할 수 있다.

[0040] 버퍼층(25)은 기판(12) 위에 형성되며 붕소 농도가 억셉터 원소 농도보다 높은 제1 영역(23)과, 기판(12)과 반대측의 제1 영역(23) 위에 형성되며 제1 영역(23)보다 붕소 농도가 낮고 제1 영역(23)보다 억셉터 원소 농도가 높은 제2 영역(24)을 포함하고 있다. 여기서, 제1 영역(23) 내의 붕소 농도는 1×10^{17}~1×10^{21}atoms/㎤인 것이 바람직하고, 제1 영역(23) 내의 억셉터 원소 농도는 1×10^{15}~5×10^{17}atoms/㎤인 것이 바람직하다. 또한, 제2 영역(24) 내의 붕소 농도는 1×10^{13}~1×10^{15}atoms/㎤인 것이 바람직하고, 제2 영역(24) 내의 억셉터 농도는 5×10^{17}~1×10^{20}atoms/㎤인 것이 바람직하다.

[0041] 또한, 반도체 기체(10)는 채널층(26) 위에 배리어층(27)을 더 포함할 수 있고, 채널층(26)과 배리어층(27)으로, 동작층(29)을 형성할 수 있다. 이 배리어층(27)은, 예를 들어 AlGaN층으로 할 수 있다.

[0042] 버퍼층(25)이, 기판(12)측에 형성되며 붕소 농도가 억셉터 원소 농도보다도 높은 제1 영역(23)을 가짐으로써, 높은 피트 억제 효과가 얻어져, 제1 영역(23) 상의 질화물 반도체층의 피트를 양호하게 억제할 수 있다. 또한, 제1 영역(23) 위에 형성되며, 제1 영역(23)보다 붕소 농도를 낮게 하고, 제1 영역(23)보다 억셉터 원소 농도를 높게 한 제2 영역(24)을 버퍼층(25)이 가짐으로써, 높은 세로 방향 내압을 유지할 수 있다.

[0043] 반도체 기체(10)에 있어서, 버퍼층(25)의 붕소 농도가 기판(12)측으로부터 채널층(26)측을 향하여 감소하는 감소 영역을 포함하고, 버퍼층(25)이 감소 영역의 붕소 농도 감소 개시 위치보다도 채널층(26)측에 억셉터 원소가 기판(12)측으로부터 채널층(26)측을 향하여 증가하는 증가 영역을 포함하는 것이 바람직하다. 이와 같은 구성으로 함으로써, 버퍼층(25)의 기판(12)측의 억셉터 원소 농도를 보다 확실하게 낮게 할 수 있으므로, 감소 영역 및 그 위의 질화물 반도체층에 대하여 보다 효과적으로 높은 피트 억제 효과를 얻을 수 있다. 여기서, 버퍼층에 있어서의 증가 영역의 억셉터 원소 농도의 증가 비율은, 증가 영역보다도 상방의 채널층 상부에서 억셉터 원소 농도를 낮게 하기 위한 감소 영역의 감소 비율보다도 큰(즉, 기울기가 급한) 것이 바람직하다.

[0044] 또한, 버퍼층(25)은 본 발명의 반도체 기체의 실시 형태의 일례를 도시하는 개략 단면도인 도 2에 도시한 바와 같이, 기판(12)측에 형성되며 AlN을 포함하는 초기층(13)과, 초기층(13) 위에 형성된 적층체(14)를 포함하는 구성으로 할 수 있다. 적층체(14)는 질화물 반도체를 포함하는 제1 층(15)과, 제1 층(15)과 조성이 상이한 제2 층(16)이 반복하여 적층된 적층체로 할 수 있다. 제1 층(15)은, 예를 들어 AlyGa1-yN을 포함하고, 제2 층(16)은, 예를 들어 AlxGa1-xN(0≤x≤y≤1)을 포함한다.

[0045] 구체적으로는, 제1 층(15)은 AlN층으로 할 수 있고, 제2 층(16)은 GaN층으로 할 수 있다.

[0046] 도 2의 반도체 기체(10')에 있어서, 초기층(13)은 억셉터 원소를 포함하지 않도록 할 수 있다. 버퍼층(25) 내에 이와 같은 초기층을 형성함으로써, 초기층 위의 질화물 반도체층에 대하여 보다 효과적으로 높은 피트 억제 효과를 얻을 수 있음과 함께, 버퍼층(25) 중의 원소와 기판(12)이 반응하는 것을 방지할 수 있다.

[0047] 도 2의 반도체 기체(10')에 있어서, 초기층(13)의 억셉터 원소 농도를, 초기층(13)의 붕소 농도보다도 낮게 할 수도 있다. 버퍼층(25) 내에 이와 같은 초기층을 형성함으로써, 높은 피트 억제 효과를 얻을 수 있음과 함께, 버퍼층(25) 중의 원소와 기판(12)이 반응하는 것을 방지할 수 있다.

[0048] 버퍼층(25)에 도입하는 억셉터 원소가, 전이 금속, 탄소, 마그네슘 중 어느 것인 것이 바람직하다. 억셉터 원소로서, 이와 같은 원소를 적합하게 사용할 수 있지만, 특히 철을 사용하는 것이 바람직하다.

[0049] 다음에, 도 3을 참조하면서, 본 발명의 실시 형태의 반도체 장치의 일례에 대하여 설명한다.

[0050] 도 3은 본 발명의 반도체 장치의 실시 형태의 일례를 도시하는 개략 단면도이다.

[0051] 도 3에 도시한 반도체 장치(11)는, 도 1의 반도체 기체(10)의 채널층(26) 위에, 예를 들어 배리어층(27)을 개재하여 전극(예를 들어, 제1 전극(30), 제2 전극(31), 제어 전극(32))이 형성된 것이다. 또한, 채널층의 상부는 캐리어를 트랩시키는 준위가 형성되면 불순물 산란에 의한 이동도의 저하나 전류 붕괴 현상이 발생하는 요인으로 되기 때문에, 채널층(26)의 상부의 억셉터 원소 농도를 버퍼층(25)의 채널층(26)측 농도보다 낮게 하는 것이 바람직하다.

[0052] 반도체 장치(11)에 있어서, 예를 들어 제1 전극(30), 제2 전극(31)은 제1 전극(30)으로부터 채널층(26) 내에 형성된 2차원 전자 가스(28)를 통해, 제2 전극(31)에 전류가 흐르도록 배치할 수 있다.

[0053] 제1 전극(30)과 제2 전극(31) 사이에 흐르는 전류는, 제어 전극(32)에 인가되는 전위에 의해 컨트롤할 수 있다.

[0054] 이와 같은 반도체 장치이면, 높은 세로 방향 내압을 유지하면서, 피트의 발생이 억제된 고품질의 반도체 장치로 할 수 있다.

[0055] 다음에, 도 4를 참조하면서, 본 발명의 실시 형태의 반도체 기체의 일례의 제조 방법에 대하여 설명한다.

[0056] 먼저, 기판(12)을 준비한다(도 4의 (a) 참조). 기판(12)은, 예를 들어 실리콘 기판, 또는 SiC 기판으로 할 수 있다.

[0057] 다음에 기판(12) 위에 버퍼층(25)의 기판(12)측에 형성되는 AlN을 포함하는 초기층(13)을 형성한다(도 4의 (b) 참조). 구체적으로는, 예를 들어 MOVPE(유기 금속 기상 성장)법에 의해, 초기층(13)을 예를 들어 800℃~1200℃의 온도에서 10~300㎚ 성장시킬 수 있다.

[0058] 다음에, 초기층(13) 위에, 버퍼층(25)의 채널층(26)측에 형성되는 질화물 반도체를 포함하는 적층체(14)를 형성한다(도 4의 (c) 참조). 구체적으로는, 예를 들어 MOVPE법에 의해, AlN을 포함하는 제1 층(15)(도 2 참조)과, GaN을 포함하는 제2 층(16)(도 2 참조)을 예를 들어, 800℃~1200℃의 온도에서 교대로 성장시킬 수 있다. 제1 층(15)의 막 두께는 예를 들어 3~30㎚이고, 제2 층(16)의 막 두께는 예를 들어 2~7㎚이다.

[0059] 반도체 기체의 제조 방법에 있어서는, 버퍼층(25)을 형성하는 공정은, 버퍼층(25)의 붕소 농도가 기판(12)측으로부터 채널층(26)측을 향하여 서서히 감소하도록, 버퍼층에 붕소를 도입하는 단계를 포함하고 있다.

[0060] 버퍼층(25)에 붕소를 도입하는 단계는, 예를 들어 기판(12)으로서 붕소가 1×10^{18}atoms/㎤~1×10^{21}atoms/㎤, 바람직하게는 5×10^{18}atoms/㎤~5×10^{19}atoms/㎤의 농도로 도프된 기판을 사용하고, 열 확산에 의해 붕소가 도프된 기판(12)으로부터 버퍼층(25)에 붕소를 확산시키는 단계로 할 수 있다.

[0061] 이와 같이, 열 확산에 의해 붕소가 도프된 기판으로부터 버퍼층(25)에 붕소를 확산시켜, 버퍼층(25)에 붕소를 도입함으로써, 보다 효율적으로 버퍼층(25)의 붕소 농도를, 기판(12)측으로부터 채널층(26)측을 향하여 서서히

감소시킬 수 있다.

[0062] 또한, 버퍼층(25)에 붕소를 도입하는 단계는, 버퍼층(25)을 기상 성장에 의해 형성할 때에, 붕소 함유의 도펀트 가스를 도입함으로써 기상으로부터 붕소를 도핑하는 단계로 할 수도 있다.

[0063] 이와 같이, 기상 성장 중에 붕소 함유의 도펀트 가스를 도입함으로써 기상으로부터 붕소를 도핑하여, 버퍼층(25)에 붕소를 도입함으로써, 피트 억제 효과가 얻어지는 데 충분한 붕소를 버퍼층(25)에 함유시킬 수 있다.

[0064] 반도체 기체의 제조 방법에 있어서는, 버퍼층(25)을 형성하는 공정에 있어서, 초기층(13)이 형성된 후에 억셉터 원소의 최댓값이 5×10^{17}~5×10^{20}atoms/㎤로 되도록 억셉터 원소의 도핑을 개시한다. 구체적으로는, 적층체(14)의 MOCVD법에 의한 형성을 개시할 때에, Cp_2Fe(비스시클로펜타디에닐철) 등의 억셉터 원소의 도핑 가스의 첨가를 개시할 수 있다.

[0065] 이와 같이, 버퍼층(25)을 형성하는 공정에 있어서 초기층이 형성된 후에 억셉터 원소의 도핑을 개시함으로써, 높은 세로 방향 내압을 유지하면서, 높은 피트 억제 효과를 얻을 수 있다.

[0066] 다음에, 버퍼층(25) 위에 질화물 반도체를 포함하는 채널층(26)을 형성한다(도 4의 (d) 참조). 구체적으로는, 버퍼층(25) 위에 MOVPE법에 의해, GaN을 포함하는 채널층(26)을, 예를 들어 800℃~1200℃의 온도에서 500~4000㎚ 형성할 수 있다.

[0067] 또한, 채널층(26) 위에 질화물 반도체를 포함하는 배리어층(27)을 형성할 수 있다(도 4의 (e) 참조). 구체적으로는, 채널층(26) 위에 MOVPE법에 의해, AlGaN을 포함하는 배리어층(27)을, 예를 들어 800℃~1200℃의 온도에서 10~50㎚ 형성할 수 있다. 여기서, 채널층(26)과 배리어층(27)은 동작층(29)을 형성할 수 있다.

[0068] 버퍼층(25)에 도입하는 억셉터 원소로서, 전이 금속, 탄소, 마그네슘 중 어느 것을 사용하는 것이 바람직하다. 억셉터 원소로서, 이와 같은 원소를 적합하게 사용할 수 있고, 특히 철이 바람직하다.

[0069] 이상과 같이 하여, 반도체 기체(10)를 제조할 수 있다. 상기에서 설명한 반도체 기체의 제조 방법이면, 높은 세로 방향 내압을 유지하면서, 확실하게 높은 피트 억제 효과를 얻을 수 있는 반도체 기체를 제조할 수 있다.

[0070] 다음에, 도 5를 참조하면서, 반도체 장치의 제조 방법에 대하여 설명한다.

[0071] 먼저, 상기에서 도 4를 참조하면서 설명한 제조 방법을 사용하여 제조한 반도체 기체(10)를 준비한다(도 5의 (a)를 참조).

[0072] 다음에, 채널층(26) 위에 배리어층(27)을 개재하여 전극(예를 들어, 제1 전극(30), 제2 전극(31), 제어 전극(32))을 형성한다(도 5의 (b) 참조). 여기서, 제1 전극(30) 및 제2 전극(31)은 예를 들어, Ti/Al의 적층막으로 형성할 수 있고, 제어 전극(32)은 예를 들어, SiO, SiN 등의 금속 산화물이나 금속 질화물을 포함하는 하층막과, Ni, Au, Mo, Pt 등의 금속을 포함하는 상층막의 적층막으로 형성할 수 있다.

[0073] 이상과 같이 하여, 반도체 장치(11)를 제조할 수 있다. 전술한 반도체 장치의 제조 방법이면, 높은 세로 방향 내압을 유지하면서, 피트의 발생이 억제된 고품질의 반도체 장치를 제조할 수 있다.

[0074] **실시예**

[0075] 이하, 실시예 및 비교예를 나타내어 본 발명을 보다 구체적으로 설명하지만, 본 발명은 이들에 한정되는 것은 아니다.

[0076] (실시예 1)

[0077] 도 6의 (b)에 도시한 철 농도 프로파일 및 붕소 농도 프로파일을 갖는 버퍼층을 구비한 도 1에 도시한 바와 같은 반도체 기체(10)를 제작하였다. 즉, 실리콘을 포함하는 기판(12) 위에 AlN을 포함하는 초기층과, GaN층과 AlN층이 교대로 적층된 적층체를 포함하는 버퍼층을 구비하는 실시예 1의 버퍼층에 있어서는, 기판(12) 위에, 붕소 농도가 기판(12)측으로부터 채널층(26)측을 향하여 3×10^{19}atoms/㎤로부터 서서히 감소하는 감소 영역과, 감소 영역 위에 형성된 철 농도가 기판(12)측으로부터 채널층(26)측을 향하여 5×10^{19}atoms/㎤로 증가하는 증가 영역이 있고, 붕소 농도가 충분히 감소한 후에 철 농도가 5×10^{19}atoms/㎤로 단숨에 증가하고 있다. 여기서, 버퍼층에 있어서의 증가 영역의 억셉터 원소 농도의 증가 비율은, 증가 영역보다도 상방의 채널층 상부에서 낮게 하기 위한 억셉터 원소 농도의 감소 영역의 감소 비율보다도 크다(즉, 기울기가 급하다).

[0078] 제작한 반도체 기체(10)에 대하여, 현미경 암시야 화상 해석에 의해 광 점밀도 평가(즉, 피트 밀도 평가)를 행하였다. 평가 결과를 도 7의 (d)에 도시한다.

[0079] 또한, 제작한 반도체 기체(10)에 대하여, 기판 에지로부터의 크랙의 길이를 확인하였다. 확인된 크랙 길이를 표 1에 나타낸다.

[0080] 제작한 반도체 기체(10)의 채널층(26) 위에 배리어층(27)을 개재하여 전극을 형성하여, 도 3에 도시한 바와 같은 반도체 장치(11)를 제작하였다.

[0081] 제작한 반도체 장치(11)에 대하여, 도 9에 도시한 바와 같은 측정 방법을 사용하여, 반도체 장치(11)가 오프일 때의 디바이스 내압(세로 방향 내압)을 측정하였다. 측정 결과를 도 8의 (a)에 도시한다.

[0082] (실시예 2)

[0083] 도 6의 (c)에 도시한 철 농도 프로파일 및 붕소 농도 프로파일을 갖는 버퍼층을 구비한 도 1에 도시한 바와 같은 반도체 기체(10)를 제작하였다. 즉, 실리콘을 포함하는 기판(12) 위에 AlN을 포함하는 초기층과, GaN층과 AlN층이 교대로 적층된 적층체를 포함하는 버퍼층을 구비하는 실시예 2의 버퍼층에 있어서는, 기판(12) 위에, 붕소 농도가 기판(12)측으로부터 채널층(26)측을 향하여 3×10^{19}atoms/㎤로부터 서서히 감소하는 감소 영역과, 붕소 농도 감소 개시 위치보다 채널층(26)측에 형성된 철 농도가 기판(12)측으로부터 채널층(26)측을 향하여 5×10^{19}atoms/㎤로 증가하는 증가 영역이 있고, 붕소 농도 감소 영역은, 철 농도 증가 영역과 일부 겹쳐 있고, 붕소 농도가 감소함과 함께, 철 농도가 서서히 증가하고 있다. 여기서, 버퍼층에 있어서의 증가 영역의 억셉터 원소 농도의 증가 비율은, 증가 영역보다도 상방의 채널층 상부에서 억셉터 원소 농도를 낮게 하기 위한 감소 영역의 감소 비율보다도 크다(즉, 기울기가 급하다).

[0084] 제작한 반도체 기체(10)에 대하여, 실시예 1과 마찬가지로 하여, 광 점밀도 평가(즉, 피트 밀도 평가)를 행하였다. 평가 결과는 실시예 1과 거의 마찬가지의 결과로 되었다.

[0085] 또한, 제작한 반도체 기체(10)에 대하여, 기판 에지로부터의 크랙의 길이를 확인하였다. 확인된 크랙 길이를 표 1에 나타낸다.

[0086] 제작한 반도체 기체(10)의 채널층(26) 위에 배리어층(27)을 개재하여 전극을 형성하여, 도 3에 도시한 바와 같은 반도체 장치(11)를 제작하였다.

[0087] 제작한 반도체 장치(11)에 대하여, 실시예 1과 마찬가지로 하여, 디바이스 내압(세로 방향 내압)을 측정하면, 버퍼층에 있어서의 철 원자의 총수가 실시예 1보다 많으므로, 측정 결과는 실시예 1보다도 양호한 결과로 되었다.

[0088] (실시예 3)

[0089] 도 6의 (f)에 도시한 철 농도 프로파일 및 붕소 농도 프로파일을 갖는 버퍼층을 구비한 도 1에 도시한 바와 같은 반도체 기체(10)를 제작하였다. 즉, 실리콘을 포함하는 기판(12) 위에 AlN을 포함하는 초기층과, GaN층과 AlN층이 교대로 적층된 적층체를 포함하는 버퍼층을 구비하는 실시예 3의 버퍼층에 있어서는, 기판(12) 위에 붕소 농도가 기판(12)측으로부터 채널층(26)측을 향하여 3×10^{19}atoms/㎤로부터 서서히 감소하는 감소 영역과, 붕소 농도 감소 개시 위치보다 채널층(26)측에 형성된 철 농도가 기판(12)측으로부터 채널층(26)측을 향하여 5×10^{19}atoms/㎤로 증가하는 증가 영역이 있고, 붕소 농도 감소 영역은, 철 농도 증가 영역과는 겹쳐 있지 않다(즉, 붕소 농도가 감소한 후에, 철 농도가 증가하고 있다). 여기서, 버퍼층에 있어서의 증가 영역의 억셉터 원소 농도의 증가 비율은, 증가 영역보다도 상방의 채널층 상부에서 억셉터 원소 농도를 낮게 하기 위한 감소 영역의 감소 비율보다도 크다(즉, 기울기가 급하다).

[0090] 제작한 반도체 기체(10)에 대하여, 실시예 1과 마찬가지로 하여, 광 점밀도 평가(즉, 피트 밀도 평가)를 행하였다. 평가 결과는 실시예 1보다 양호한 결과로 되었다.

[0091] 또한, 제작한 반도체 기체(10)에 대하여, 기판 에지로부터의 크랙의 길이를 확인하였다. 확인된 크랙 길이를 표 1에 나타낸다.

[0092] 제작한 반도체 기체(10)의 채널층(26) 위에 배리어층(27)을 개재하여 전극을 형성하여, 도 3에 도시한 바와 같은 반도체 장치(11)를 제작하였다.

[0093] 제작한 반도체 장치(11)에 대하여, 실시예 1과 마찬가지로 하여, 디바이스 내압(세로 방향 내압)을 측정하면, 버퍼층에 있어서의 철 원자의 총수가 실시예 1보다 적으므로, 측정 결과는 실시예 1보다도 약간 떨어진 결과로 되었다.

[0094] (비교예 1)

[0095] 도 6의 (e)에 도시한 철 농도 프로파일 및 붕소 농도 프로파일을 갖는 버퍼층을 구비한 반도체 기체를 제작하였다. 즉, 비교예 1의 버퍼층에 있어서는, 철 도프 및 붕소 도프를 행하지 않았다.

[0096] 제작한 반도체 기체에 대하여, 실시예 1과 마찬가지로 하여, 광 점밀도 평가(즉, 피트 밀도 평가)를 행하였다. 평가 결과를 도 7의 (a)에 도시한다.

[0097] 또한, 제작한 반도체 기체에 대하여, 기판 에지로부터의 크랙의 길이를 확인하였다. 확인된 크랙 길이를 표 1에 나타낸다.

[0098] 또한, 비교예 1의 반도체 기체에 대해서는, 매우 많은 피트가 발생하였기 때문에, 반도체 장치의 제작 및 디바이스 내압(세로 방향 내압)의 측정은 행할 수 없었다.

[0099] (비교예 2)

[0100] 도 6의 (d)에 도시한 철 농도 프로파일 및 붕소 농도 프로파일을 갖는 버퍼층을 구비한 반도체 기체를 제작하였다. 즉, 비교예 2의 버퍼층에 있어서는, 실시예 1과 마찬가지로 붕소 도프를 행하였지만, 철 도프는 행하지 않았다.

[0101] 제작한 반도체 기체에 대하여, 실시예 1과 마찬가지로 하여, 광 점밀도 평가(즉, 피트 밀도 평가)를 행하였다. 평가 결과를 도 7의 (b)에 도시한다.

[0102] 또한, 제작한 반도체 기체에 대하여, 기판 에지로부터의 크랙의 길이를 확인하였다. 확인된 크랙 길이를 표 1에 나타낸다.

[0103] 제작한 반도체 기체의 채널층 위에 배리어층을 개재하여 전극을 형성하여, 반도체 장치를 제작하였다.

[0104] 제작한 반도체 장치에 대하여, 실시예 1과 마찬가지로 하여, 디바이스 내압(세로 방향 내압)을 측정하였다. 측정 결과를 도 8의 (b)에 도시한다.

[0105] (비교예 3)

[0106] 도 6의 (a)에 도시한 철 농도 프로파일 및 붕소 농도 프로파일을 갖는 버퍼층을 구비한 반도체 기체를 제작하였다. 즉, 비교예 3의 버퍼층에 있어서는, 실시예 1과 마찬가지로 붕소 도프를 행하였지만, 철 도프는 버퍼층 전체에 대하여 행하였다(즉, 버퍼층의 초기층으로부터 행하였다).

[0107] 제작한 반도체 기체에 대하여, 실시예 1과 마찬가지로 하여, 광 점밀도 평가(즉, 피트 밀도 평가)를 행하였다. 평가 결과를 도 7의 (c)에 도시한다.

[0108] 또한, 제작한 반도체 기체에 대하여, 기판 에지로부터의 크랙의 길이를 확인하였다. 확인된 크랙 길이를 표 1에 나타낸다.

[0109] 제작한 반도체 기체의 채널층 위에 배리어층을 개재하여 전극을 형성하여, 반도체 장치를 제작하였다.

[0110] 제작한 반도체 장치의 피트가 관찰되지 않는 영역에 있어서, 실시예 1과 마찬가지로 하여, 디바이스 내압(세로 방향 내압)을 측정하였다. 측정 결과를 도 8의 (c)에 도시한다.

표 1

	기판 에지로부터의 크랙 길이
실시예1	9～10mm
실시예2	9～10mm
실시예3	9～10mm
비교예1	9～10mm
비교예2	9～10mm
비교예3	11～13mm

[0111]

[0112] 도 7로부터 알 수 있는 바와 같이, 비교예 3과 같이 버퍼층의 초기층으로부터 철 도프를 행하면 붕소 도프에 의한 피트 억제 효과가 저하된다(즉, 피트 밀도의 관점에서, 효과가 소실된다). 이것은, 피트 억제 효과가 있는 사이트에 붕소가 아니라 철이 들어가는 영향으로 추측된다. 또한, 적층체로부터 철 도프를 행한 실시예 1에서는, 철 도프의 영향은 없고, 철 도프를 행하지 않은 비교예 2와 동등한 피트 억제 효과가 얻어졌다. 또한, 버퍼층의 기판측에 있어서 붕소 농도가 감소함과 함께, 철 농도가 증가하고 있는 실시예 2에 있어서도, 실시예 1과 동등한 피트 억제 효과가 얻어졌다. 또한, 버퍼층의 기판측에 있어서 붕소 농도가 감소한 후에, 철 농도가 증가하고 있는 실시예 3에 있어서는, 실시예 1보다 양호한 피트 억제 효과가 얻어졌다.

[0113] 또한, 표 1로부터 알 수 있는 바와 같이, AlN 초기층으로부터 철 도프를 행하는(즉, 버퍼층의 전체층에서 철 도프를 행하는) 비교예 3에서는 크랙이 보다 길게 신장하는 한편, 붕소가 도프된 AlN 초기층에서는 철 도프를 행하지 않고, 붕소 농도가 감소한 적층체로부터 철 도프를 행한 실시예 1에서는, 철 도프를 행하지 않은 비교예 2와 동등한 크랙 길이로 되었다. 이것은, 붕소 도프되어 있는 층에 철 도프하지 않은 것에 의한 효과로 생각된다. 또한, 버퍼층의 기판측에 있어서 붕소 농도가 감소함과 함께, 철 농도가 증가하고 있는 실시예 2에 있어서도, 실시예 1과 동등한 크랙 길이로 되었다. 또한, 버퍼층의 기판측에 있어서 붕소 농도가 감소한 후에, 철 농도가 증가하고 있는 실시예 3에 있어서도, 실시예 1과 동등한 크랙 길이로 되었다.

[0114] 또한, 도 8로부터 알 수 있는 바와 같이, 철 도프를 행하지 않은 비교예 2에 대하여, 버퍼층의 초기층으로부터 철 도프를 행하는 비교예 3에서는, 철 도프함으로써 세로 방향의 내압이 향상되어 있다. 그러나, 비교예 3에서는 상술한 바와 같이 피트 억제 효과는 저하되어 있다(도 7의 (c) 참조). 또한, 적층체로부터 철 도프를 행한 실시예 1도 비교예 2에 대해 철 도프의 효과(즉, 세로 방향 내압의 향상)가 얻어지고 있다. 실시예 1에 있어서, 비교예 3과 동등한 세로 방향 내압이 얻어진 것은, 버퍼층의 적층체에 있어서 붕소가 도프되어 있는 층(즉, 철이 도프되어 있지 않은 층)이, 도 10에 도시한 바와 같이 200㎚ 정도로 얇기 때문이다. 또한, 버퍼층의 기판측에 있어서 붕소 농도가 감소함과 함께, 철 농도가 증가하고 있는 실시예 2에 있어서도, 실시예 1보다도 양호한 세로 방향 내압이 얻어졌다. 또한, 버퍼층의 기판측에 있어서 붕소 농도가 감소한 후에, 철 농도가 증가하고 있는 실시예 3에 있어서는, 실시예 1보다 약간 떨어지지만 비교예 2보다 양호한 세로 방향 내압이 얻어졌다.

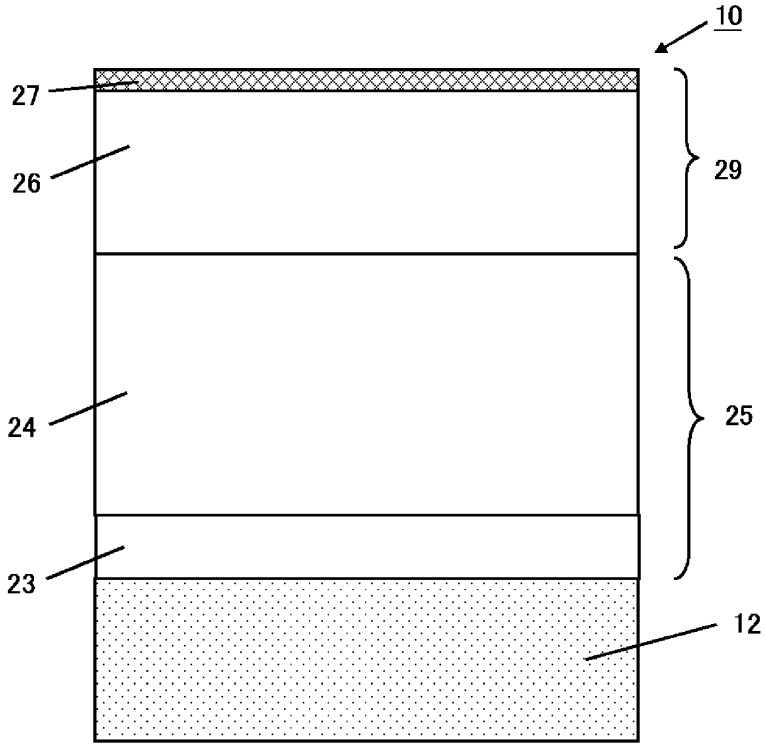
[0115] 또한, 본 발명은 상기 실시 형태에 한정되는 것은 아니다. 상기 실시 형태는 예시이며, 본 발명의 특허 청구범위에 기재된 기술적 사상과 실질적으로 동일한 구성을 갖고, 마찬가지의 작용 효과를 발휘하는 것은 어떠한 것이어도 본 발명의 기술적 범위에 포함된다.

[0116] 예를 들어, 도 2의 반도체 기체(10')에 있어서, 적층체(14)의 제1 층(15)(예를 들어, AlN층)만 억셉터 원소를 포함하고, 제2 층(16)(예를 들어, GaN층)에 억셉터 원소를 포함하지 않거나, 또는 적게 하도록 해도 된다. 이 경우, 실시예 1에 있어서의 불순물 프로파일은, 도 11의 (a)에 도시한 바와 같이, 적층체의 AlN층의 개소에서 철 농도가 증가하고, 적층체의 GaN층의 개소에서 철 농도가 감소하는 것으로 된다. 또한, 실시예 2에 있어서의 불순물 프로파일은, 도 11의 (b)에 도시한 바와 같이, 초기층 및 적층체의 AlN층의 개소에서 철 농도가 증가하고, 적층체의 GaN층의 개소에서 철 농도가 감소하는 것으로 된다. 상기와 같은 경우에 있어서도, 마찬가지의 효과가 얻어진다.

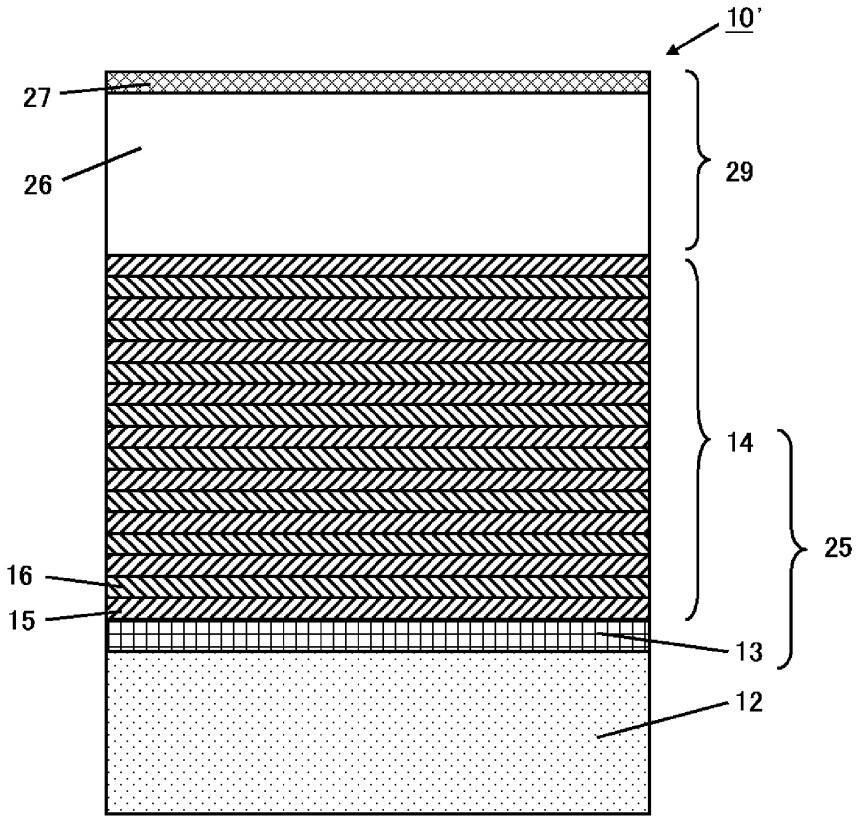
[0117] 또한, 「위」라는 표현은, 사이에 상이한 층이 있는 경우도 포함되는 것으로 한다.

도면

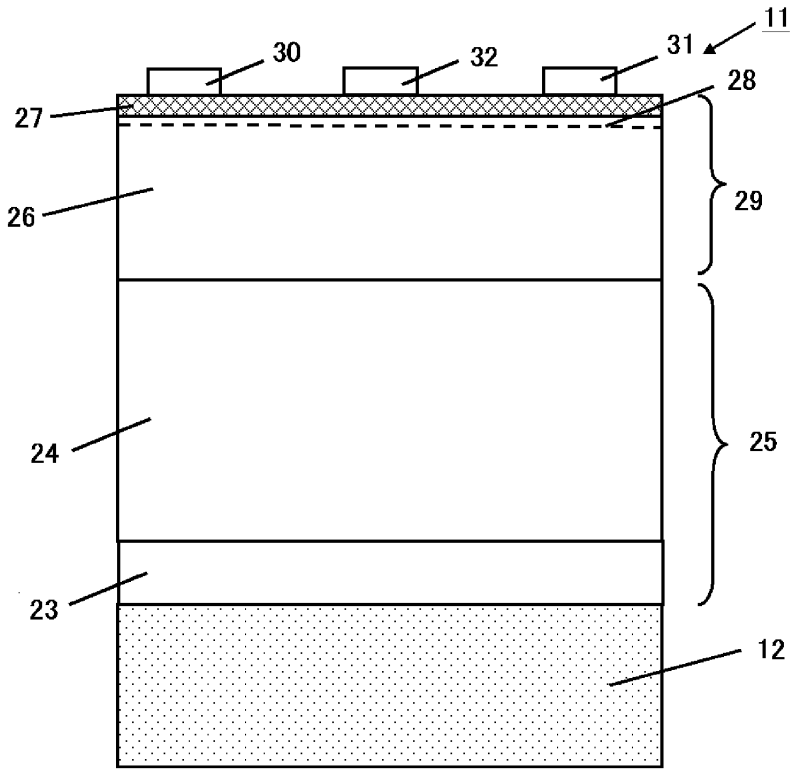
도면1



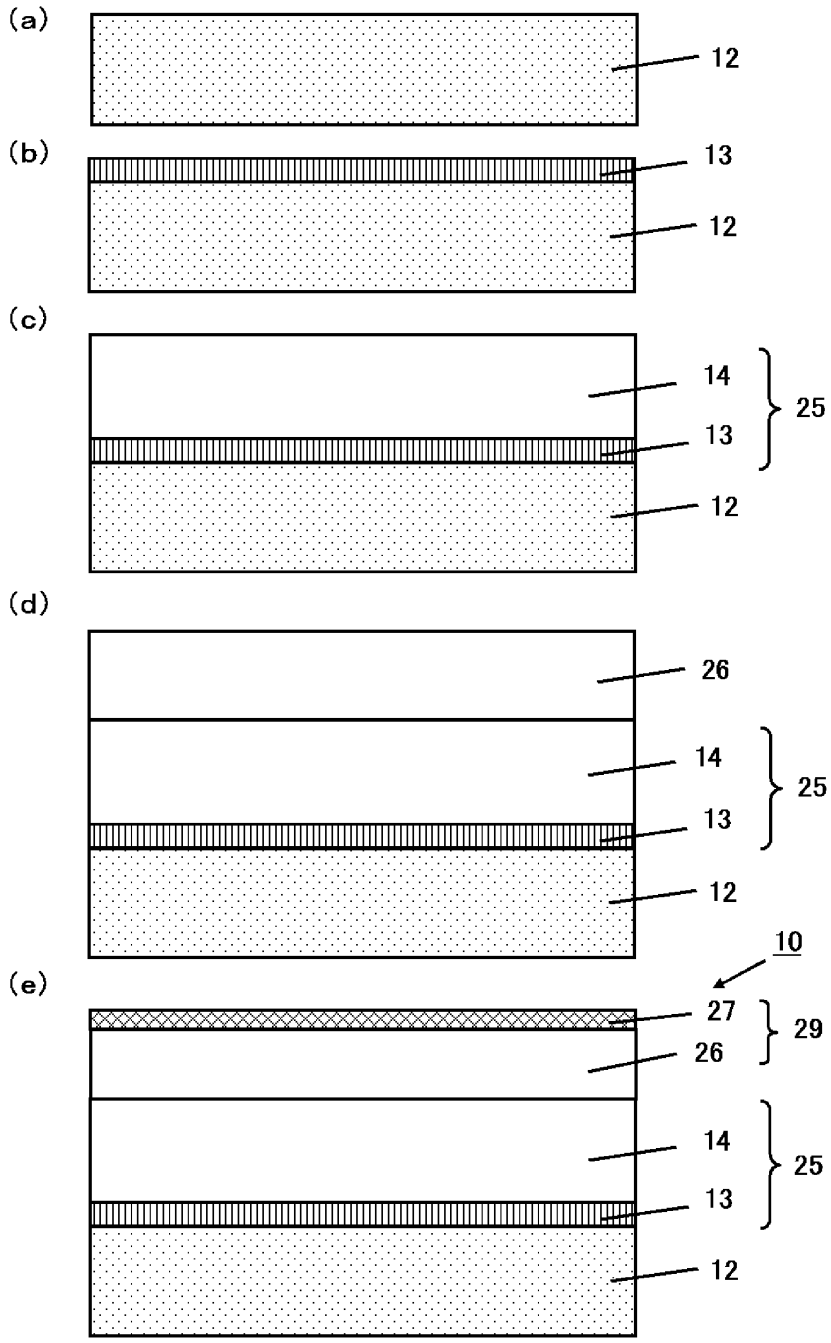
도면2



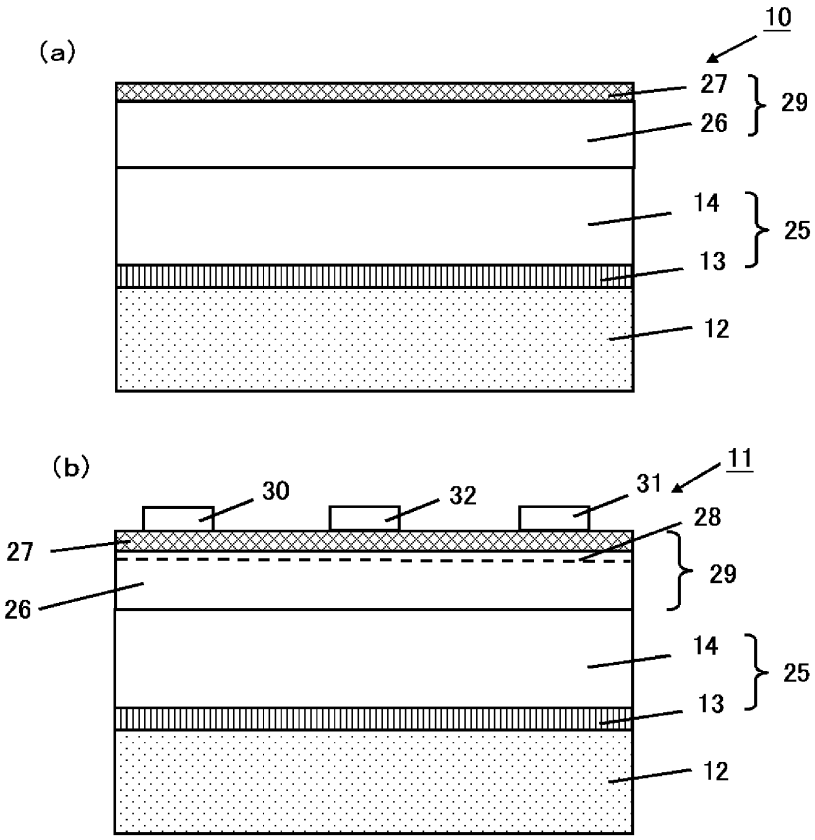
도면3



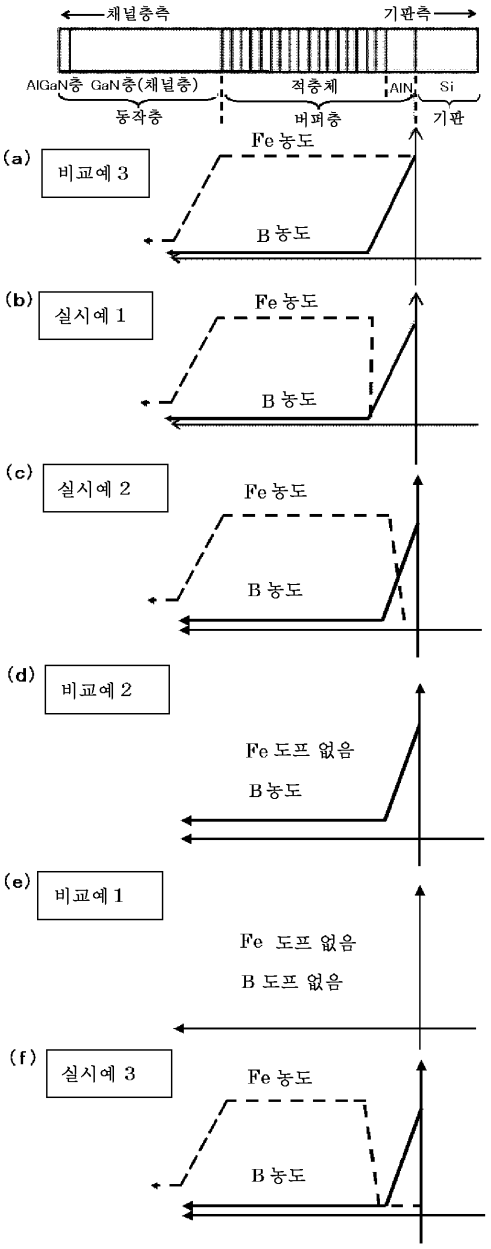
도면4



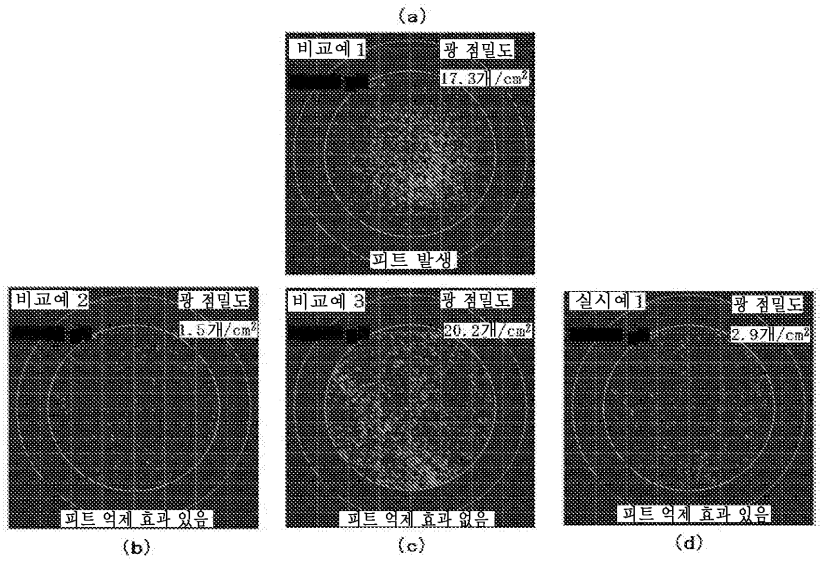
도면5



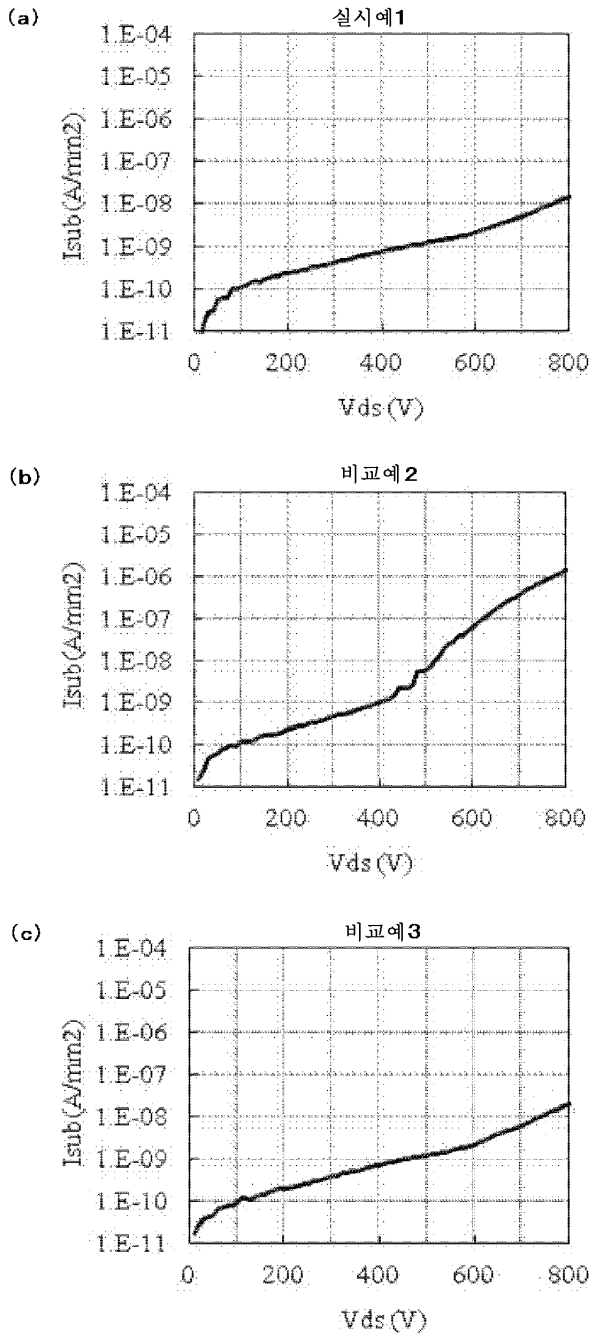
도면6


채널층측
기판측
AlGaN층 GaN층(채널층)
적층체
AlN
Si
동작층
버퍼층
기판
(a)
비교예 3
Fe 농도
B 농도
(b)
실시예 1
Fe 농도
B 농도
(c)
실시예 2
Fe 농도
B 농도
(d)
비교예 2
Fe 도프 없음
B 농도
(e)
비교예 1
Fe 도프 없음
B 도프 없음
(f)
실시예 3
Fe 농도
B 농도

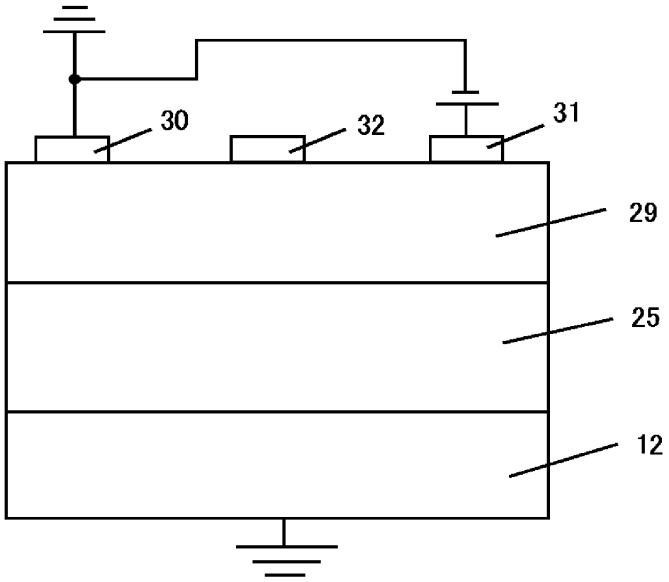
도면7


(a)
비교예 1
광 점밀도
17.37개/cm²
피트 발생
비교예 2
광 점밀도
1.5개/cm²
피트 억제 효과 있음
(b)
비교예 3
광 점밀도
20.2개/cm²
피트 억제 효과 없음
(c)
실시예 1
광 점밀도
2.9개/cm²
피트 억제 효과 있음
(d)

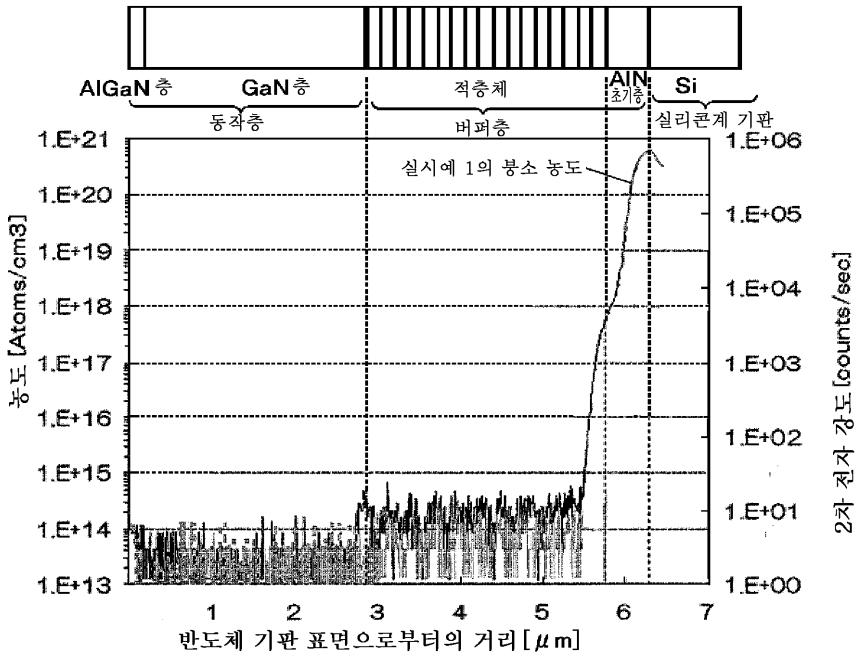
도면8


(a)
실시예1
1.E-04
1.E-05
1.E-06
1.E-07
1.E-08
1.E-09
1.E-10
1.E-11
Isub(A/mm2)
0
200
400
600
800
Vds(V)
(b)
비교예2
1.E-04
1.E-05
1.E-06
1.E-07
1.E-08
1.E-09
1.E-10
1.E-11
Isub(A/mm2)
0
200
400
600
800
Vds(V)
(c)
비교예3
1.E-04
1.E-05
1.E-06
1.E-07
1.E-08
1.E-09
1.E-10
1.E-11
Isub(A/mm2)
0
200
400
600
800
Vds(V)

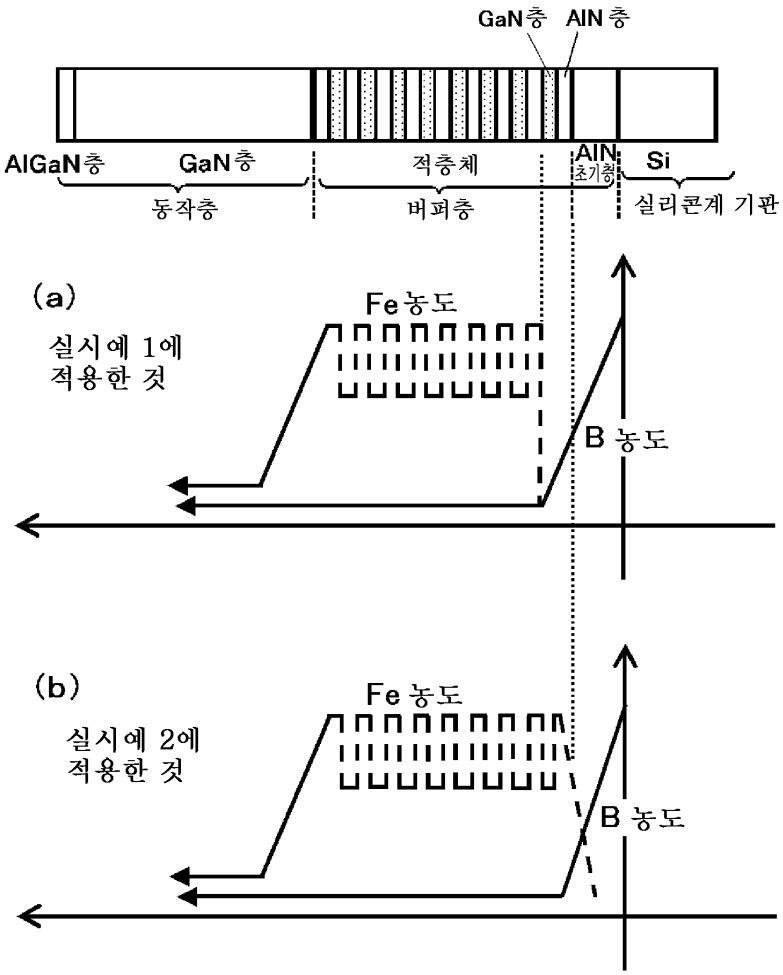
도면9


30
32
31
29
25
12

도면10


AlGaN층
GaN층
적층체
AlN
초기층
Si
동작층
버퍼층
실리콘계 기판
실시예 1의 붕소 농도
농도 [Atoms/cm3]
1.E+21
1.E+20
1.E+19
1.E+18
1.E+17
1.E+16
1.E+15
1.E+14
1.E+13
1.E+06
1.E+05
1.E+04
1.E+03
1.E+02
1.E+01
1.E+00
2차 전자 강도 [counts/sec]
1
2
3
4
5
6
7
반도체 기판 표면으로부터의 거리 [μm]

도면11


GaN층
AlN층
AlGaN층
GaN층
적층체
AlN
초기층
Si
동작층
버퍼층
실리콘계 기판
(a)
실시예 1에
적용한 것
Fe농도
B 농도
(b)
실시예 2에
적용한 것
Fe 농도
B 농도