

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-119649

(P2012-119649A)

(43) 公開日 平成24年6月21日(2012.6.21)

(51) Int.Cl.

H01L 21/60 (2006.01)
H01L 21/3205 (2006.01)
H01L 21/768 (2006.01)
H01L 23/522 (2006.01)

F 1

H01L 21/60
H01L 21/88
H01L 21/92

311Q
T
602D

テーマコード(参考)

5FO33
5FO44

審査請求 未請求 請求項の数 25 O L 外国語出願 (全 45 頁)

(21) 出願番号 特願2011-10289 (P2011-10289)
 (22) 出願日 平成23年1月20日 (2011.1.20)
 (31) 優先権主張番号 12/960,178
 (32) 優先日 平成22年12月3日 (2010.12.3)
 (33) 優先権主張国 米国(US)

(71) 出願人 507316815
 スタッツ チップパック リミテッド
 シンガポール国 569059 シンガポ
 ル, テックポイント 17/20-ナ
 ンバー05, アンモキオストリー
 ト 65 10
 (74) 代理人 100078282
 弁理士 山本 秀策
 (74) 代理人 100062409
 弁理士 安村 高明
 (74) 代理人 100113413
 弁理士 森下 夏樹

最終頁に続く

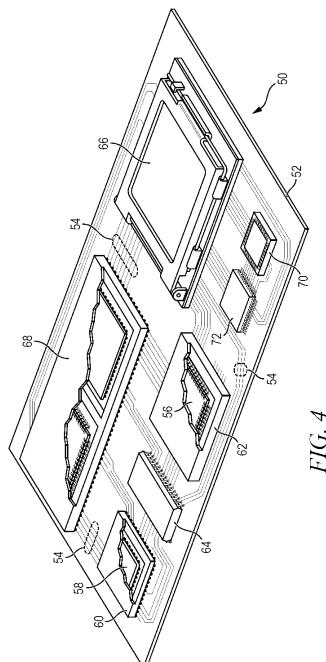
(54) 【発明の名称】バンプオンリード相互接続を形成する半導体素子および方法

(57) 【要約】

【課題】半導体素子を作製する方法を提供する。

【解決手段】半導体ダイの表面上に形成された複数の複合バンプを有する、半導体ダイを提供するステップであって、前記複合バンプは、可融性部分および非可融性部分を有する、ステップと、基板を提供するステップと、エスケープルーティング密度を増加させるための平面図から、伝導性トレースと平行な縁を有する相互接続部位を伴って前記基板上に複数の伝導性トレースを形成するステップであって、前記複合バンプは、前記相互接続部位よりも幅広い、ステップと、前記可融性部分が前記相互接続部位の頂面および側面を覆うように、前記複合バンプの前記可融性部分を前記相互接続部位に接着するステップと、前記半導体ダイと基板との間で前記複合バンプの周囲に封入材を堆積させるステップとを含む、半導体素子を作製する方法。

【選択図】図4



【特許請求の範囲】**【請求項 1】**

半導体ダイの表面上に形成された複数の複合バンプを有する、半導体ダイを提供するステップであって、前記複合バンプは、可融性部分および非可融性部分を有する、ステップと、

基板を提供するステップと、

エスケープルーティング密度を増加させるための平面図から、伝導性トレースと平行な縁を有する相互接続部位を伴って前記基板上に複数の伝導性トレースを形成するステップであって、前記複合バンプは、前記相互接続部位よりも幅広い、ステップと、

前記可融性部分が前記相互接続部位の頂面および側面を覆うように、前記複合バンプの前記可融性部分を前記相互接続部位に接着するステップと、

前記半導体ダイと基板との間で前記複合バンプの周囲に封入材を堆積させるステップとを含む、半導体素子を作製する方法。

【請求項 2】

前記複合バンプの前記非可融性部分は、金、銅、ニッケル、鉛はんだ、または鉛スズ合金を含む、請求項 1 に記載の方法。

【請求項 3】

前記複合バンプの前記可融性部分は、スズ、無鉛合金、スズ銀合金、スズ・銀・銅合金、スズ・銀・インジウム合金、共晶はんだ、または銀、銅、あるいは鉛を伴う他のスズ合金を含む、請求項 1 に記載の方法。

【請求項 4】

前記相互接続部位は、前記伝導性トレースの幅より 1.2 倍小さい幅を有する、請求項 1 に記載の方法。

【請求項 5】

前記相互接続部位から離れた前記基板の領域上にマスキング層を形成するステップをさらに含む、請求項 1 に記載の方法。

【請求項 6】

前記複合バンプは、先細である、請求項 1 に記載の方法。

【請求項 7】

半導体ダイを提供するステップと、

基板を提供するステップと、

エスケープルーティング密度を増加させるための平面図から、伝導性トレースと平行な縁を有する相互接続部位を伴って前記基板上に複数の伝導性トレースを形成するステップと、

前記基板上で前記半導体ダイと前記相互接続部位との間に複数の相互接続構造を形成するステップと、

前記相互接続構造が前記相互接続部位の頂面および側面を覆うように、前記半導体ダイと基板との間に相互接続構造を形成するステップと、

前記相互接続構造が前記相互接続部位の頂面および側面を覆うように、前記相互接続構造を前記相互接続部位に接着するステップと、

前記半導体ダイと基板との間に封入材を堆積させるステップと

を含む、半導体素子を作製する方法。

【請求項 8】

前記相互接続部位は、前記伝導性トレースの幅より 1.2 倍小さい幅を有する、請求項 7 に記載の方法。

【請求項 9】

前記相互接続構造は、可融性部分と、非可融性部分とを含む、請求項 7 に記載の方法。

【請求項 10】

前記相互接続構造の前記非可融性部分は、金、銅、ニッケル、鉛はんだ、または鉛スズ合金を含む、請求項 8 に記載の方法。

10

20

30

40

50

【請求項 1 1】

前記相互接続構造の前記可融性部分は、スズ、無鉛合金、スズ銀合金、スズ・銀・銅合金、スズ・銀・インジウム合金、共晶はんだ、または銀、銅、あるいは鉛を伴う他のスズ合金を含む、請求項 7 に記載の方法。

【請求項 1 2】

前記相互接続構造は、伝導柱と、前記伝導柱上に形成されるバンプとを含む、請求項 7 に記載の方法。

【請求項 1 3】

前記相互接続構造は、バンプを含む、請求項 7 に記載の方法。

【請求項 1 4】

半導体ダイを提供するステップと、
基板を提供するステップと、
エスキープルーティング密度を増加させるための平面図から、伝導性トレースと平行な縁を有する相互接続部位を伴って前記基板上に複数の伝導性トレースを形成するステップと、
前記基板上で前記半導体ダイと前記相互接続部位との間に複数の相互接続構造を形成するステップと、

前記相互接続構造が前記相互接続部位の頂面および側面を覆うように、前記相互接続構造を前記相互接続部位に接着するステップと
を含む、半導体素子を作製する方法。

【請求項 1 5】

前記相互接続部位は、前記伝導性トレースの幅より 1.2 倍小さい幅を有する、請求項 1 4 に記載の方法。

【請求項 1 6】

前記半導体ダイと基板との間に封入材を堆積させるステップをさらに含む、請求項 1 4 に記載の方法。

【請求項 1 7】

前記相互接続構造は、可融性部分と、非可融性部分とを含む、請求項 1 4 に記載の方法。
。

【請求項 1 8】

前記相互接続構造の前記非可融性部分は、金、銅、ニッケル、鉛はんだ、または鉛スズ合金を含む、請求項 1 7 に記載の方法。

【請求項 1 9】

前記相互接続構造の前記可融性部分は、スズ、無鉛合金、スズ銀合金、スズ・銀・銅合金、スズ・銀・インジウム合金、共晶はんだ、または銀、銅、あるいは鉛を伴う他のスズ合金を含む、請求項 1 7 に記載の方法。

【請求項 2 0】

前記相互接続構造は、伝導柱と、前記伝導柱上に形成されるバンプとを含む、請求項 1 4 に記載の方法。

【請求項 2 1】

半導体ダイと、
基板と、
エスキープルーティング密度を増加させるための平面図から、伝導性トレースと平行な縁を有する相互接続部位を伴って前記基板上に形成される、複数の伝導性トレースと、
前記基板上で前記半導体ダイと相互接続部位との間に形成される、複数の相互接続構造であって、前記相互接続部位に接着される、相互接続構造と、

前記半導体ダイと基板との間に堆積させられる、封入材と

を備える、半導体素子。

【請求項 2 2】

前記相互接続構造の前記非可融性部分は、金、銅、ニッケル、鉛はんだ、または鉛スズ

10

20

30

40

50

合金を含む、請求項 2 1 に記載の半導体素子。

【請求項 2 3】

前記相互接続構造の前記可融性部分は、スズ、無鉛合金、スズ銀合金、スズ・銀・銅合金、スズ・銀・インジウム合金、共晶はんだ、または銀、銅、あるいは鉛を伴う他のスズ合金を含む、請求項 2 1 に記載の半導体素子。

【請求項 2 4】

前記相互接続部位は、前記伝導性トレースの幅より 1 . 2 倍小さい幅を有する、請求項 2 1 に記載の半導体素子。

【請求項 2 5】

前記相互接続構造は、伝導柱と、前記伝導柱上に形成されるバンプとを含む、請求項 2 1 に記載の半導体素子。 10

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本願は、2009年5月26日に出願された米国出願第12/472,236号の一部継続出願であり、35 U.S.C. § 120 に従って、上記出願に対する優先権を主張する。

【0 0 0 2】

本発明は、一般に、半導体素子に関し、より具体的には、半導体素子、およびバンプオブリード相互接続を形成する方法に関する。 20

【背景技術】

【0 0 0 3】

半導体素子は、現代の電子製品でよく見られる。半導体素子は、電気構成要素の数および密度が異なる。離散半導体素子は、概して、1種類の電気構成要素、例えば、発光ダイオード(LED)、小信号トランジスタ、抵抗器、コンデンサ、インダクタ、およびパワー金属酸化膜半導体電界効果トランジスタ(MOSFET)を含有する。集積半導体素子は、典型的に、数百から数百万個の電気構成要素を含有する。集積半導体素子の例は、マイクロコントローラ、マイクロプロセッサ、電荷結合素子(CCD)、太陽電池、およびデジタルマイクロミラー素子(DMD)を含む。

【0 0 0 4】

半導体素子は、現代の電子製品でよく見られる。半導体素子は、電気構成要素の数および密度が異なる。離散半導体素子は、概して、1種類の電気構成要素、例えば、発光ダイオード(LED)、小信号トランジスタ、抵抗器、コンデンサ、インダクタ、およびパワー金属酸化膜半導体電界効果トランジスタ(MOSFET)を含有する。集積半導体素子は、典型的に、数百から数百万個の電気構成要素を含有する。集積半導体素子の例は、マイクロコントローラ、マイクロプロセッサ、電荷結合素子(CCD)、太陽電池、およびデジタルマイクロミラー素子(DMD)を含む。 30

【0 0 0 5】

半導体素子は、信号処理、高速計算、電磁信号の伝送および受信、電子デバイスの制御、電気への日光の転換、およびテレビディスプレイ用の視覚投影の作成等の、広範囲の機能を果たす。半導体素子は、娯楽、通信、電力変換、ネットワーク、コンピュータ、および消費者製品の分野で見られる。半導体素子はまた、軍事用途、航空、自動車、工業用コントローラ、および事務機器でも見られる。 40

【0 0 0 6】

半導体素子は、半導体材料の電気特性を利用する。半導体材料の原子構造は、電界または基本電流の印加によって、またはドーピングの工程を通して、その電気伝導性が操作されることを可能にする。ドーピングは、半導体材料に不純物を導入して、半導体素子の伝導性を操作および制御する。

【0 0 0 7】

半導体素子は、能動および受動的電気構造を含有する。バイポーラおよび電界効果トラ

10

20

30

40

50

ンジスタを含む、能動的構造は、電流の流れを制御する。ドーピングおよび電界または基本電流の印加のレベルを変化させることによって、トランジスタは、電流の流れを推進または制限する。抵抗器、コンデンサ、およびインダクタを含む、受動的構造は、種々の電気的機能を果たすために必要な電圧と電流との間の関係を生じる。受動および能動的構造は、半導体素子が高速計算および他の有用な機能を果たすことを可能にする回路を形成するように、電気的に接続される。

【0008】

半導体素子は概して、2つの複雑な製造工程、すなわち、それぞれ何百ものステップを潜在的に伴う、フロントエンド製造およびバックエンド製造を使用して製造される。フロントエンド製造は、半導体ウエハの表面上の複数のダイの形成を伴う。各ダイは、典型的には同一であり、能動および受動的構成要素を電気的に接続することによって形成される回路を含有する。バックエンド製造は、完成したウエハから個別ダイを単一化することと、構造的支持および環境的隔離を提供するようにダイをパッケージ化することとを伴う。

10

【0009】

半導体製造の1つの目標は、より小型の半導体素子を生産することである。より小型の素子は、典型的には、より少ない電力を消費し、より高い性能を有し、より効率的に生産することができる。加えて、より小型の半導体素子は、より小型の最終製品に望ましい、より小さい設置面積を有する。小さいダイサイズは、より小型で高密度の能動および受動的構成要素を伴うダイをもたらす、フロントエンド工程の改良によって達成することができる。バックエンド工程は、電気的相互接続およびパッケージ化材料の改良によって、より小さい設置面積を伴う半導体素子パッケージをもたらしてもよい。

20

【0010】

従来のフリップチップ型パッケージでは、半導体ダイは、基板に対面するダイの能動側を伴うパッケージ基板に載置される。従来、基板の中の回路とのダイの中の回路の相互接続は、ダイ上の相互接続パッドのアレイに取り付けられ、しばしば基板上のキャプチャパッドと呼ばれる、相互接続パッドの対応する相補的アレイに接着される、バンプによって行われる。

20

【0011】

集積回路上の電子特徴の面密度が極めて増加しており、回路特徴のより大きい密度を有する半導体ダイもまた、パッケージ基板との相互接続のための部位のより大きい密度を有してもよい。

30

【0012】

パッケージは、パッケージと基礎回路との間の第2レベル相互接続によって、プリント回路板またはマザーボード等の基礎回路に接続される。第2レベル相互接続は、フリップチップ相互接続よりも大きいピッチを有し、そのため、基板上のルーティングは、従来、扇形に広がる。有意な技術的進歩が、細い線および空間の構築を可能にしてきた。隣接するパッドの間の間隔は、アレイの中のより内側のキャプチャパッドから脱出することができるトレースの数を限定する。パッケージのダイおよび外部ピンの下のキャプチャパッド間の扇形に広がったルーティングは、従来、パッケージ基板内の複数の金属層上に形成される。複雑な相互接続アレイについては、パッケージ上でダイパッドと第2レベル相互接続との間のルーティングを達成するために、複数の層を有する基板を必要とすることができる。

40

【0013】

多層基板は高価であり、従来のフリップチップ構築物では、基板のみが、典型的には、パッケージ費用の半分以上を形状する。多層基板の高い費用は、主流製品におけるフリップチップ技術の拡散を制限する要因となっている。ルーティングが短距離の遮蔽されていない配線と、信号伝送経路中の配線層間のビアとを含むため、エスケープルーティングパターンは、典型的には、付加的な電気的寄生を導入する。電気的寄生は、パッケージ性能を有意に制限し得る。

【0014】

50

フリップチップ相互接続は、対応するキャプチャパッドの噛合面上に、バンプ、例えば、はんだバンプを接合する、溶融工程を使用することによって行うことができ、バンポンキャプチャパッド（B O C）相互接続と呼ばれる。2つの特徴がB O C設計において明白であり、第1に、比較的大型のキャプチャパッドが、ダイ上のバンプと噛合するために必要とされ、第2に、絶縁材料、典型的には、はんだマスクが、相互接続工程中にはんだの流れを閉じ込めるために必要とされる。はんだマスク開口部は、キャプチャパッドにおける溶解はんだの輪郭を画定し、すなわち、はんだマスクが画定され、またははんだ輪郭は、マスク開口部によって画定されなくてもよく、すなわち、非はんだマスクが画定される。後者の場合、はんだマスク開口部は、キャプチャパッドよりも有意に大きい。はんだマスク開口部を画定するための技法には、はんだマスク画定バンプ構成に対する幅広い公差範囲があるため、マスク開口部がパッドの噛合面上に位置することを確実にするように、キャプチャパッドは、大型でなければならず、典型的には、マスク開口部の設計サイズよりも大幅に大きくなければならない。非はんだマスク画定バンプ構成については、はんだマスク開口部は、キャプチャパッドよりも大きくなければならない。キャプチャパッドの幅または直径は、トレース幅より2倍から4倍広くなり得る。キャプチャパッドのより大きい幅は、最上基板層上のルーティング空間の大幅な損失をもたらす。具体的には、エスケープルーティングピッチは、基板技術が提供できる最も細いトレースピッチよりもはるかに大きい。しばしば、ダイの設置面積の下で、問題のパッドから出て来る短いスタブおよびビアを用いて、有意数のパッドが下部基板層上で送られなければならない。

10

20

30

40

50

【0015】

従来のはんだマスク画定B O C相互接続の典型的な実施例では、キャプチャパッドは、約 $140\mu m$ の直径を有し、はんだマスク開口部は、約 $90\mu m$ の直径を有し、ルーティングトレースは、幅約 $25\sim30\mu m$ である。ダイパッドへのバンプの取付のための噛合面の直径、つまり、バンプとダイパッドとの間の界面の場所は、約 $90\mu m$ の直径を有するものとして、はんだマスク開口部によって画定される。

【0016】

従来のB O C相互接続層が、フリップチップパッケージの部分10および20として、図1および2に示されている。図1の部分断面図は、図2の線1-1'に沿って、パッケージ基板表面と平行な平面で得られている。図2の部分断面図は、図2の線2-2'に沿って、パッケージ基板表面と垂直な面で得られている。ある特徴は、透明であるかのように示されているが、図1の特徴の多くは、重複特徴によって部分的に隠されている。

【0017】

図1および2では、パッケージ基板のダイ取付面は、基板12上の誘電層上に形成される金属または層を含む。金属層は、トレースまたはリード13およびキャプチャパッド14を形成するようにパターン化される。絶縁層またははんだマスク16は、基板12のダイ取付面を覆う。はんだマスク16は通常、キャプチャパッド14の噛合面を露出したままにするようにフォトレジストによってパターン化される、感光性材料である。半導体ダイ18の能動側のパッドに取り付けられた相互接続バンプ15は、ダイ上の回路と基板上のリードとの間に適切な電気的相互接続を形成するように、基板12上の対応するキャプチャパッド14の噛合面に接合される。リフローされたはんだが電気接続を確立するように冷却された後、相互接続を機械的に安定させ、ダイと基板との間の特徴を保護するよう、アンダーフィル材料17が、半導体ダイ18と基板12との間の空間に導入される。

【0018】

図1は、破線11によって示されるダイの縁の位置を横断し、ダイ設置面積から離れて、それぞれのキャプチャパッド14から送られた基板12の上部金属層の中の信号エスケープトレース13を示す。信号トレース13は、約 $112\text{マイクロメートル}(\mu m)$ のエスケープピッチ P_E を有することができる。 $30\mu m / 30\mu m$ 設計規則が、図1に示されるような構造のトレース13に典型的である。トレース13は、名目上は幅 $30\mu m$ であり、 $30\mu m$ ほども密接して離間させることができる。キャプチャパッド14は、典型的には、トレース幅よりも3倍大きく、キャプチャパッドは、名目上は $90\mu m$ の幅また

は直径を有する。はんだマスクの開口部は、パッドよりも大きく、 $135\mu\text{m}$ の公称幅または直径を有する。

【0019】

図1および2は、非はんだマスク画定はんだ輪郭を示す。ダイ上のバンプの可融性材料が融解するにつれて、溶解はんだは、リードおよびキャプチャパッドの金属を湿润させる傾向があり、はんだは、覆い隠されていない隣接金属表面上で流出する傾向がある。はんだは、隣接リード13に沿って流れる傾向があり、ここで、はんだの流れは、図1の位置19におけるはんだマスクによって制限される。パッドにおける非はんだマスク画定はんだ輪郭が図2で明白であり、図中、バンプ15の部分29は、キャプチャパッド14の側面上、かつ基板12の誘電層の表面へと下方に流れたものとして示されている。非はんだマスク画定輪郭は、表面を覆い、かつキャプチャパッドの側面を覆う下方へのはんだの流れを制限せず、かなり過剰なはんだがパッドにない限り、基板の誘電体表面が、典型的には溶解はんだによって可湿性ではないという事実によって、はんだの流れが制限される。図1に示された配設におけるキャプチャパッドの密度の下限は、いくつかある要因の中で特に、信頼性のある狭いマスク構造を作製するマスク形成技術の能力、および隣接するマスク開口部の間にマスク構造を提供する必要性によって決定される。エスケープ密度の下限は、加えて、いくつかある要因の中で特に、より周辺に位置するキャプチャパッドの間に送られる、より中心に位置するキャプチャパッドからのエスケープ線の必要性によって決定される。

【0020】

図3は、図2と同様の断面図で、はんだマスク画定はんだ輪郭を示す。半導体ダイ38は、基板32の誘電層のダイ取付側で金属層をパターン化することによってトレースまたはリード33とともに形成された、キャプチャパッド34の噛合面上にバンプ35によって付加されて示されている。リフローされたはんだが電気接続を確立するように冷却された後、相互接続を機械的に安定させ、ダイと基板との間の特徴を保護するように、アンダーフィル材料37が、ダイ38と基板32との間の空間に導入される。ここでは、キャプチャパッド34は、図1および2の実施例よりも幅広く、はんだマスク開口部は、キャプチャパッドよりも小さいため、はんだマスク材料は、位置39で示されるようなキャプチャパッドの側面および噛合面の一部、ならびにリード33を覆う。バンプ35が、それぞれのキャプチャパッド34の噛合面と接触させられ、次いで、融解させられると、はんだ輪郭の形状がキャプチャパッド34上のマスク開口部の形状および寸法によって画定されるように、はんだマスク材料36は、溶解はんだの流れを制限する。

【発明の概要】

【課題を解決するための手段】

【0021】

電気的機能性または製造信頼性に影響を及ぼすことなく、トレースルーティング密度を増加させるように、基板上の相互接続部位を最小限化する必要性が存在する。したがって、一実施形態では、本発明は、半導体ダイの表面上に形成された複数の複合バンプを有する、半導体ダイを提供するステップと、基板を提供するステップと、エスケープルーティング密度を増加させるための平面図から、伝導性トレースと平行な縁を有する相互接続部位を伴って基板上に複数の伝導性トレースを形成するステップとを含む、半導体素子を作製する方法。複合バンプは、可融性部分および非可融性部分を有する。複合バンプは、相互接続部位よりも幅広い。方法はさらに、可融性部分が相互接続部位の頂面および側面を覆うように、複合バンプの可融性部分を相互接続部位に接着するステップと、半導体ダイと基板との間で複合バンプの周囲に封入材を堆積させるステップとを含む。

【0022】

別の実施形態では、本発明は、半導体ダイを提供するステップと、基板を提供するステップと、エスケープルーティング密度を増加させるための平面図から、伝導性トレースと平行な縁を有する相互接続部位を伴って基板上に複数の伝導性トレースを形成するステップと、基板上で半導体ダイと相互接続部位との間に複数の相互接続構造を形成するステッ

10

20

30

40

50

プと、相互接続構造が相互接続部位の頂面および側面を覆うように、相互接続構を相互接続部位に接着するステップと、半導体ダイと基板との間に封入材を堆積させるステップとを含む、半導体素子を作製する方法。

【0023】

別の実施形態では、本発明は、半導体ダイを提供するステップと、基板を提供するステップと、エスケープルーティング密度を増加させるための平面図から、伝導性トレースと平行な縁を有する相互接続部位を伴って基板上に複数の伝導性トレースを形成するステップと、基板上で半導体ダイと相互接続部位との間に複数の相互接続構造を形成するステップと、相互接続構造が相互接続部位の頂面および側面を覆うように、相互接続構を相互接続部位に接着するステップとを含む、半導体素子を作製する方法。

10

【0024】

別の実施形態では、本発明は、半導体ダイを備える半導体素子である。複数の伝導性トレースが、エスケープルーティング密度を増加させるための平面図から、伝導性トレースと平行な縁を有する相互接続部位を伴って基板上に形成される。

複数の相互接続構造が、基板上で半導体ダイと相互接続部位との間に形成される。相互接続構造は、相互接続部位に接着される。封入材が、半導体ダイと基板との間に堆積させられる。

【0025】

例えば、本発明は以下の項目を提供する。

(項目1)

半導体ダイの表面上に形成された複数の複合バンプを有する、半導体ダイを提供するステップであって、上記複合バンプは、可融性部分および非可融性部分を有する、ステップと、

20

基板を提供するステップと、

エスケープルーティング密度を増加させるための平面図から、伝導性トレースと平行な縁を有する相互接続部位を伴って上記基板上に複数の伝導性トレースを形成するステップであって、上記複合バンプは、上記相互接続部位よりも幅広い、ステップと、

上記可融性部分が上記相互接続部位の頂面および側面を覆うように、上記複合バンプの上記可融性部分を上記相互接続部位に接着するステップと、

(項目2)

上記複合バンプの上記非可融性部分は、金、銅、ニッケル、鉛はんだ、または鉛スズ合金を含む、上記項目のいずれかに記載の方法。

(項目3)

上記複合バンプの上記可融性部分は、スズ、無鉛合金、スズ銀合金、スズ・銀・銅合金、スズ・銀・インジウム合金、共晶はんだ、または銀、銅、あるいは鉛を伴う他のスズ合金を含む、上記項目のいずれかに記載の方法。

(項目4)

上記相互接続部位は、上記伝導性トレースの幅より1.2倍小さい幅を有する、上記項目のいずれかに記載の方法。

30

(項目5)

上記相互接続部位から離れた上記基板の領域上にマスキング層を形成するステップをさらに含む、上記項目のいずれかに記載の方法。

(項目6)

上記複合バンプは、先細である、上記項目のいずれかに記載の方法。

(項目7)

半導体ダイを提供するステップと、

基板を提供するステップと、

エスケープルーティング密度を増加させるための平面図から、伝導性トレースと平行な

40

50

縁を有する相互接続部位を伴って上記基板上に複数の伝導性トレースを形成するステップと、

上記基板上で上記半導体ダイと上記相互接続部位との間に複数の相互接続構造を形成するステップと、

上記相互接続構造が上記相互接続部位の頂面および側面を覆うように、上記半導体ダイと基板との間に相互接続構造を形成するステップと、

上記相互接続構造が上記相互接続部位の頂面および側面を覆うように、上記相互接続構造を上記相互接続部位に接着するステップと、

上記半導体ダイと基板との間に封入材を堆積させるステップと
を含む、半導体素子を作製する方法。

10

(項目 8)

上記相互接続部位は、上記伝導性トレースの幅より 1.2 倍小さい幅を有する、上記項目のいずれかに記載の方法。

(項目 9)

上記相互接続構造は、可融性部分と、非可融性部分とを含む、上記項目のいずれかに記載の方法。

(項目 10)

上記相互接続構造の上記非可融性部分は、金、銅、ニッケル、鉛はんだ、または鉛スズ合金を含む、上記項目のいずれかに記載の方法。

(項目 11)

上記相互接続構造の上記可融性部分は、スズ、無鉛合金、スズ銀合金、スズ・銀・銅合金、スズ・銀・インジウム合金、共晶はんだ、または銀、銅、あるいは鉛を伴う他のスズ合金を含む、上記項目のいずれかに記載の方法。

20

(項目 12)

上記相互接続構造は、伝導柱と、上記伝導柱上に形成されるバンプとを含む、上記項目のいずれかに記載の方法。

(項目 13)

上記相互接続構造は、バンプを含む、上記項目のいずれかに記載の方法。

(項目 14)

半導体ダイを提供するステップと、

30

基板を提供するステップと、

エスケープルーティング密度を増加させるための平面図から、伝導性トレースと平行な縁を有する相互接続部位を伴って上記基板上に複数の伝導性トレースを形成するステップと、

上記基板上で上記半導体ダイと上記相互接続部位との間に複数の相互接続構造を形成するステップと、

上記相互接続構造が上記相互接続部位の頂面および側面を覆うように、上記相互接続構造を上記相互接続部位に接着するステップと

を含む、半導体素子を作製する方法。

(項目 15)

上記相互接続部位は、上記伝導性トレースの幅より 1.2 倍小さい幅を有する、上記項目のいずれかに記載の方法。

(項目 16)

上記半導体ダイと基板との間に封入材を堆積させるステップをさらに含む、上記項目のいずれかに記載の方法。

(項目 17)

上記相互接続構造は、可融性部分と、非可融性部分とを含む、上記項目のいずれかに記載の方法。

(項目 18)

上記相互接続構造の上記非可融性部分は、金、銅、ニッケル、鉛はんだ、または鉛スズ

40

50

合金を含む、上記項目のいずれかに記載の方法。

(項目19)

上記相互接続構造の上記可融性部分は、スズ、無鉛合金、スズ銀合金、スズ・銀・銅合金、スズ・銀・インジウム合金、共晶はんだ、または銀、銅、あるいは鉛を伴う他のスズ合金を含む、上記項目のいずれかに記載の方法。

(項目20)

上記相互接続構造は、伝導柱と、上記伝導柱上に形成されるバンプとを含む、上記項目のいずれかに記載の方法。

(項目21)

半導体ダイと、

基板と、

エスケープルーティング密度を増加させるための平面図から、伝導性トレースと平行な縁を有する相互接続部位を伴って上記基板上に形成される、複数の伝導性トレースと、

上記基板上で上記半導体ダイと相互接続部位との間に形成される、複数の相互接続構造であって、上記相互接続部位に接着される、相互接続構造と、

上記半導体ダイと基板との間に堆積させられる、封入材と

を備える、半導体素子。

(項目22)

上記相互接続構造の上記非可融性部分は、金、銅、ニッケル、鉛はんだ、または鉛スズ合金を含む、上記項目のいずれかに記載の半導体素子。

20

(項目23)

上記相互接続構造の上記可融性部分は、スズ、無鉛合金、スズ銀合金、スズ・銀・銅合金、スズ・銀・インジウム合金、共晶はんだ、または銀、銅、あるいは鉛を伴う他のスズ合金を含む、上記項目のいずれかに記載の半導体素子。

(項目24)

上記相互接続部位は、上記伝導性トレースの幅より1.2倍小さい幅を有する、上記項目のいずれかに記載の半導体素子。

(項目25)

上記相互接続構造は、伝導柱と、上記伝導柱上に形成されるバンプとを含む、上記項目のいずれかに記載の半導体素子。

30

【0026】

(摘要)

半導体素子は、半導体ダイの表面上に形成された複数の複合バンプを伴う半導体ダイを有する。複合バンプは、伝導柱および伝導柱上に形成されるバンプ等の、可融性部分および非可融性部分を有することができる。複合バンプはまた、先細にすることもできる。伝導性トレースは、エスケープルーティング密度を増加させるための平面図から、伝導性トレースと平行な縁を有する相互接続部位を伴って基板上に形成される。相互接続部位は、伝導性トレースの幅より1.2倍小さい幅を有することができる。複合バンプは、相互接続部位よりも幅広い。複合バンプの可融性部分は、可融性部分が相互接続部位の頂面および側面を覆うように、相互接続部位に接着される。封入材が、半導体ダイと基板との間で複合バンプの周囲に堆積させられる。

40

【図面の簡単な説明】

【0027】

【図1】図1は、パッケージ基板表面の平面と平行な従来のバンプオンキャップチャパッドフリップチップ相互接続を図示する。

【図2】図2は、パッケージ基板表面の平面と垂直な従来のバンプオンキャップチャパッドフリップチップ相互接続を図示する。

【図3】図3は、パッケージ基板表面の平面と垂直な従来のバンプオンキャップチャパッドフリップチップ相互接続の一部分を図示する。

【図4】図4は、その表面に載置された異なる種類のパッケージを伴うPCBを図示する

50

。

【図 5 a】図 5 a - 5 c は、P C B に載置された代表的な半導体パッケージのさらなる詳細を図示する。

【図 5 b】図 5 a - 5 c は、P C B に載置された代表的な半導体パッケージのさらなる詳細を図示する。

【図 5 c】図 5 a - 5 c は、P C B に載置された代表的な半導体パッケージのさらなる詳細を図示する。

【図 6】図 6 は、パッケージ基板表面の平面と平行な B O L フリップチップ相互接続を図示する。

【図 7】図 7 は、パッケージ基板表面の平面と垂直な図 6 の B O L フリップチップ相互接続を図示する。 10

【図 8】図 8 は、パッケージ基板表面の平面と平行な第 2 の B O L フリップチップ相互接続を図示する。

【図 9】図 9 は、パッケージ基板表面の平面と垂直な図 8 の B O L フリップチップ相互接続を図示する。

【図 10】図 10 は、パッケージ基板表面の平面と平行な第 3 の B O L フリップチップ相互接続を図示する。

【図 11】図 11 は、パッケージ基板表面の平面と平行な第 4 の B O L フリップチップ相互接続を図示する。 20

【図 12 a】図 12 a - 12 c は、B O L フリップチップ相互接続を作製するための工程を図示する。

【図 12 b】図 12 a - 12 c は、B O L フリップチップ相互接続を作製するための工程を図示する。

【図 12 c】図 12 a - 12 c は、B O L フリップチップ相互接続を作製するための工程を図示する。

【図 13 a】図 13 a - 13 d は、B O L フリップチップ相互接続を作製するための工程のさらなる詳細を図示する。

【図 13 b】図 13 a - 13 d は、B O L フリップチップ相互接続を作製するための工程のさらなる詳細を図示する。

【図 13 c】図 13 a - 13 d は、B O L フリップチップ相互接続を作製するための工程のさらなる詳細を図示する。 30

【図 13 d】図 13 a - 13 d は、B O L フリップチップ相互接続を作製するための工程のさらなる詳細を図示する。

【図 14】図 14 は、B O L フリップチップ相互接続を作製するための工程の力または温度スケジュールを図示する。

【図 15】図 15 は、複合バンプを有する B O L フリップチップ相互接続を図示する。

【図 16 a】図 16 a - 16 h は、基板上の伝導性トレースに接着するための、半導体ダイ上に形成された種々の相互接続構造を図示する。

【図 16 b】図 16 a - 16 h は、基板上の伝導性トレースに接着するための、半導体ダイ上に形成された種々の相互接続構造を図示する。

【図 16 c】図 16 a - 16 h は、基板上の伝導性トレースに接着するための、半導体ダイ上に形成された種々の相互接続構造を図示する。

【図 16 d】図 16 a - 16 h は、基板上の伝導性トレースに接着するための、半導体ダイ上に形成された種々の相互接続構造を図示する。

【図 16 e】図 16 a - 16 h は、基板上の伝導性トレースに接着するための、半導体ダイ上に形成された種々の相互接続構造を図示する。

【図 16 f】図 16 a - 16 h は、基板上の伝導性トレースに接着するための、半導体ダイ上に形成された種々の相互接続構造を図示する。

【図 16 g】図 16 a - 16 h は、基板上の伝導性トレースに接着するための、半導体ダイ上に形成された種々の相互接続構造を図示する。 40

10

20

30

40

50

【図16h】図16a - 16hは、基板上の伝導性トレースに接着するための、半導体ダイ上に形成された種々の相互接続構造を図示する。

【図17a】図17a - 17gは、伝導性トレースに接着された半導体ダイおよび相互接続構造を図示する。

【図17b】図17a - 17gは、伝導性トレースに接着された半導体ダイおよび相互接続構造を図示する。

【図17c】図17a - 17gは、伝導性トレースに接着された半導体ダイおよび相互接続構造を図示する。

【図17d】図17a - 17gは、伝導性トレースに接着された半導体ダイおよび相互接続構造を図示する。

【図17e】図17a - 17gは、伝導性トレースに接着された半導体ダイおよび相互接続構造を図示する。

【図17f】図17a - 17gは、伝導性トレースに接着された半導体ダイおよび相互接続構造を図示する。

【図17g】図17a - 17gは、伝導性トレースに接着された半導体ダイおよび相互接続構造を図示する。

【図18a】図18a - 18dは、伝導性トレースに接着された楔形の相互接続構造を伴う半導体ダイを図示する。

【図18b】図18a - 18dは、伝導性トレースに接着された楔形の相互接続構造を伴う半導体ダイを図示する。

【図18c】図18a - 18dは、伝導性トレースに接着された楔形の相互接続構造を伴う半導体ダイを図示する。

【図18d】図18a - 18dは、伝導性トレースに接着された楔形の相互接続構造を伴う半導体ダイを図示する。

【図19a】図19a - 19dは、伝導性トレースに接着された半導体ダイおよび相互接続構造の別の実施形態を図示する。

【図19b】図19a - 19dは、伝導性トレースに接着された半導体ダイおよび相互接続構造の別の実施形態を図示する。

【図19c】図19a - 19dは、伝導性トレースに接着された半導体ダイおよび相互接続構造の別の実施形態を図示する。

【図19d】図19a - 19dは、伝導性トレースに接着された半導体ダイおよび相互接続構造の別の実施形態を図示する。

【図20a】図20a - 20cは、伝導性トレースに接着された階段状バンプおよびスタッズバンプ相互接続構造を図示する。

【図20b】図20a - 20cは、伝導性トレースに接着された階段状バンプおよびスタッズバンプ相互接続構造を図示する。

【図20c】図20a - 20cは、伝導性トレースに接着された階段状バンプおよびスタッズバンプ相互接続構造を図示する。

【図21a】図21a - 21bは、伝導性ピアを伴う伝導性トレースを図示する。

【図21b】図21a - 21bは、伝導性ピアを伴う伝導性トレースを図示する。

【図22a】図22a - 22cは、半導体ダイと基板との間の鋳型アンダーフィルを図示する。

【図22b】図22a - 22cは、半導体ダイと基板との間の鋳型アンダーフィルを図示する。

【図22c】図22a - 22cは、半導体ダイと基板との間の鋳型アンダーフィルを図示する。

【図23】図23は、半導体ダイと基板との間の別の鋳型アンダーフィルを図示する。

【図24】図24は、鋳型アンダーフィルの後の半導体ダイおよび基板を図示する。

【図25a】図25a - 25gは、開放はんだ位置合わせを伴う伝導性トレースの種々の配設を図示する。

10

20

30

40

50

【図25b】図25a - 25gは、開放はんだ位置合わせを伴う伝導性トレースの種々の配設を図示する。

【図25c】図25a - 25gは、開放はんだ位置合わせを伴う伝導性トレースの種々の配設を図示する。

【図25d】図25a - 25gは、開放はんだ位置合わせを伴う伝導性トレースの種々の配設を図示する。

【図25e】図25a - 25gは、開放はんだ位置合わせを伴う伝導性トレースの種々の配設を図示する。

【図25f】図25a - 25gは、開放はんだ位置合わせを伴う伝導性トレースの種々の配設を図示する。

【図25g】図25a - 25gは、開放はんだ位置合わせを伴う伝導性トレースの種々の配設を図示する。

【図26a】図26a - 26bは、伝導性トレース間にパッチを伴う開放はんだ位置合わせを図示する。

【図26b】図26a - 26bは、伝導性トレース間にパッチを伴う開放はんだ位置合わせを図示する。

【図27】図27は、鋳型アンダーフィル中に封入材を拘束するマスキング層ダムを伴うPOPを図示する。

【発明を実施するための形態】

【0028】

類似数字が同一または同様の要素を表す図を参照して、以下の説明における1つ以上の実施形態で、本発明を説明する。本発明の目的を達成するための最良の様態に関して本発明を説明するが、以下の開示および図面によって支持されるような添付の請求項およびそれらの同等物によって定義されるような、本発明の精神および範囲内に含まれてもよい、代替案、修正、および同等物を網羅するよう意図されていることが、当業者によって理解されるであろう。

【0029】

半導体素子は、概して、フロントエンド製造およびバックエンド製造といった、2つの複雑な製造工程を使用して製造される。フロントエンド製造は、半導体ウエハの表面上の複数のダイの形成を伴う。ウエハ上の各ダイは、機能的電気回路を形成するように電気的に接続される、能動および受動的電気構成要素を含有する。トランジスタおよびダイオード等の能動的電気構成要素は、電流の流れを制御する能力を有する。コンデンサ、インダクタ、抵抗器、および変圧器等の受動的電気構成要素は、電気的回路機能を果たすために必要な電圧と電流との間の関係を生じる。

【0030】

受動的および能動的構成要素は、ドーピング、堆積、フォトリソグラフィ、エッチング、および平坦化を含む、一連の工程ステップによって、半導体ウエハの表面上に形成される。ドーピングは、イオン注入または熱拡散等の技法によって、半導体材料に不純物を導入する。ドーピング工程は、能動素子の半導体材料の電気伝導性を修正し、半導体材料を絶縁材や導体に転換し、または、電界または基本電流に応じて、半導体材料の伝導性を動的に変化させる。トランジスタは、電界または基本電流の印加時に、トランジスタが電流の流れを推進または制限することを可能にするように、必要に応じて配設された様々な種類および程度のドーピングの領域を含有する。

【0031】

能動的および受動的構成要素は、異なる電気特性を伴う材料の層によって形成される。層は、堆積させられている材料の種類によって部分的に決定される、種々の堆積技法によって形成することができる。例えば、薄膜堆積は、化学蒸着(CVD)、物理蒸着(PVD)、電解めっき、および無電解めっき工程を伴うことができる。各層は、概して、能動的構成要素、受動的構成要素、または構成要素間の電気接続の複数部分を形成するようにパターン化される。

10

20

30

40

50

【0032】

層は、パターン化される層上に、感光性材料、例えば、フォトレジストの堆積を伴う、フォトリソグラフィを使用してパターン化することができる。パターンは、光を使用して、フォトマスクからフォトレジストに転写することができる。光を受けるフォトレジストパターンの部分は、溶剤を使用して除去され、パターン化される下位層の複数部分を露出する。フォトレジストの残りの部分が除去され、パターン化した層を残す。代替として、いくつかの種類の材料は、無電解または電解めっき等の技法を使用して、以前の堆積／エッチング工程によって形成された領域または空隙の中に、材料を直接堆積させることによってパターン化される。

【0033】

10

既存のパターン上に材料の薄膜を堆積させることにより、下層パターンを誇張し、不均一な平面を作成することができる。より小型で密集した能動および受動的構成要素を生産するために、均一な平面が必要とされる。ウエハの表面から材料を除去し、均一な平面を生産するために、平坦化を使用することができる。平坦化は、研磨パッドでウエハの表面を研磨することを伴う。研削材および腐食性化学物質が、研磨中にウエハの表面に加えられる。研削材の機械的作用および化学物質の腐食作用の組み合わせは、不規則なトポグラフィを除去し、均一な平面をもたらす。

【0034】

20

バックエンド製造は、完成したウエハを個別ダイに切断または単一化し、次いで、構造的支持および環境的隔離のためにダイをパッケージ化することを指す。ダイを単一化するために、ウエハは、鋸通路またはスクリップと呼ばれるウエハの非機能的領域に沿って、分割され、破断される。ウエハは、レーザ切断ツールまたは鋸刃を使用して単一化される。単一化の後に、個別ダイは、他のシステム構成要素との相互接続のために、ピンまたは接触パッドを含むパッケージ基板に載置される。次いで、半導体ダイ上に形成される接触パッドは、パッケージ内の接触パッドに接続される。電気的接続は、はんだバンプ、スタッドバンプ、伝導性ペースト、またはワイヤボンドで行うことができる。封入材または他の成形材料が、物理的支持および電気的隔離を提供するようにパッケージ上に堆積せられる。次いで、完成したパッケージが電気システムに挿入され、半導体素子の機能性が他のシステム構成要素に利用可能となる。

【0035】

30

図4は、その表面上に載置された複数の半導体パッケージを伴うチップキャリア基板またはプリント回路板（P C B）52を有する電子デバイス50を図示する。電子デバイス50は、用途に応じて、1種類の半導体パッケージまたは複数の種類の半導体パッケージを有することができる。例証の目的で、異なる種類の半導体パッケージが図3に示されている。

【0036】

40

電子デバイス50は、1つ以上の電気的機能を果たすために半導体パッケージを使用する、独立型システムとなり得る。代替として、電子デバイス50は、より大型のシステムの従属構成要素となり得る。例えば、電子デバイス50は、携帯電話、携帯情報端末（P D A）、デジタルビデオカメラ（D V C）、または他の電子通信デバイスの一部となり得る。代替として、電子デバイス50は、グラフィックカード、ネットワークインターフェースカード、またはコンピュータに挿入することができる他の信号処理カードとなり得る。半導体パッケージは、マイクロプロセッサ、メモリ、特定用途向け集積回路（A S I C）、論理回路、アナログ回路、R F回路、個別素子、または他の半導体ダイあるいは電気構成要素を含むことができる。小型化および減量は、これらの製品が市場によって受け入れられるために不可欠である。半導体素子間の距離は、より高い密度を達成するように減少しなければならない。

【0037】

50

図4では、P C B 52は、P C B上に載置された半導体パッケージの構造的支持および電気的相互接続のための一般的基板を提供する。伝導性信号トレース54は、蒸発、電解

めっき、無電解めっき、スクリーン印刷、または他の好適な金属堆積工程を使用して、P C B 5 2 の表面上または層内に形成される。信号トレース 5 4 は、半導体パッケージ、載置された構成要素、および他の外部システム構成要素のそれぞれの間の電気通信を提供する。トレース 5 4 はまた、半導体パッケージのそれぞれへの電力および接地接続も提供する。

【 0 0 3 8 】

いくつかの実施形態では、半導体素子は、2つのパッケージ化レベルを有する。第1レベルのパッケージ化は、半導体ダイを中間キャリアに機械的かつ電気的に取り付けるための技法である。第2レベルのパッケージ化は、中間キャリアをP C B に機械的かつ電気的に取り付けることを伴う。他の実施形態では、半導体素子は、ダイがP C B に機械的かつ電気的に直接載置される、第1レベルのパッケージ化のみを有してもよい。

10

【 0 0 3 9 】

例証の目的で、ワイヤボンドパッケージ 5 6 およびフリップチップ 5 8 を含む、数種類の第1レベルのパッケージ化が、P C B 5 2 上に示されている。加えて、ポールグリッドアレイ (B G A) 6 0 、バンプチップキャリア (B C C) 6 2 、デュアルインラインパッケージ (D I P) 6 4 、ランドグリッドアレイ (L G A) 6 6 、マルチチップモジュール (M C M) 6 8 、クワッドフラットノンリードパッケージ (Q F N) 7 0 、およびクアワッドフラットパッケージ 7 2 を含む、数種類の第2レベルのパッケージ化が、P C B 5 2 上に載置されて示されている。システム要件に応じて、第1および第2レベルのパッケージ化様式の任意の組み合わせ、ならびに他の電子構成要素を伴って構成される、半導体パッケージの任意の組み合わせを、P C B 5 2 に接続することができる。いくつかの実施形態では、電子デバイス 5 0 が、単一の取り付けられた半導体パッケージを含む一方で、他の実施形態は、複数の相互接続されたパッケージを要求する。単一の基板上で1つ以上の半導体パッケージを組み合わせることによって、製造業者は、事前に作製された構成要素を電子デバイスおよびシステムに組み込むことができる。半導体パッケージが洗練された機能性を含むため、より安価の構成要素および合理化された製造工程を使用して、電子デバイスを製造することができる。結果として生じるデバイスは、故障する可能性が低く、製造することがあまり高価ではなく、消費者にとってより低い費用をもたらす。

20

【 0 0 4 0 】

図 5 a - 5 c は、例示的な半導体パッケージを示す。図 5 a は、P C B 5 2 上に載置されたD I P 6 4 のさらなる詳細を図示する。半導体ダイ 7 4 は、ダイ内に形成され、ダイの電気的設計に従って電気的に相互接続される、能動素子、受動素子、伝導層、および誘電層として実装される、アナログまたはデジタル回路を含有する能動領域を含む。例えば、回路は、1つ以上のトランジスタ、ダイオード、インダクタ、コンデンサ、抵抗器、および半導体ダイ 7 4 の能動領域内に形成される他の回路要素を含むことができる。接触パッド 7 6 は、アルミニウム (A l) 、銅 (C u) 、スズ (S n) 、ニッケル (N i) 、金 (A u) 、または銀 (A g) 等の伝導性材料の1つ以上の層であり、半導体ダイ 7 4 内に形成される回路要素に電気的に接続される。D I P 6 4 の組立中に、半導体ダイ 7 4 は、金・シリコン共晶層、または熱エポキシあるいはエポキシ樹脂等の接着材料を使用して、中間キャリア 7 8 に載置される。パッケージ本体は、ポリマーまたはセラミック等の絶縁性パッケージ化材料を含む。導体リード 8 0 およびボンドワイヤ 8 2 は、半導体ダイ 7 4 とP C B 5 2 との間の電気的相互接続を提供する。封入材 8 4 は、湿気および粒子がパッケージに進入し、ダイ 7 4 またはボンドワイヤ 8 2 を汚染することを防止することによって、環境保護のためにパッケージ上に堆積させられる。

30

【 0 0 4 1 】

図 5 b は、P C B 5 2 上に載置されたB C C 6 2 のさらなる詳細を図示する。半導体ダイ 8 8 は、アンダーフィルまたはエポキシ樹脂接着材料 9 2 を使用して、キャリア 9 0 上に載置される。ボンドワイヤ 9 4 は、接触パッド 9 6 および 9 8 の間の第1レベルのパッケージ化相互接続を提供する。成形化合物または封入材 1 0 0 は、デバイスに対する物理的支持および電気的隔離を提供するように、半導体ダイ 8 8 およびボンドワイヤ 9 4 上に

40

50

堆積させられる。接触パッド 102 は、酸化を防止するように、電解めっきまたは無電解めっき等の好適な金属堆積工程を使用して、PCB52 の表面上に形成される。接触パッド 102 は、PCB52 の中の 1 つ以上の伝導性信号トレース 54 に電気的に接続される。バンプ 104 は、BCC62 の接触パッド 98 と PCB52 の接触パッド 102 との間に形成される。

【0042】

図 5c では、半導体ダイ 58 は、フリップチップ様式の第 1 レベルのパッケージ化で、表を下にして中間キャリア 106 に載置される。半導体ダイ 58 の能動領域 108 は、ダイの電気的設計に従って形成される、能動素子、受動素子、伝導層、および誘電層として実装される、アナログまたはデジタル回路を含有する。例えば、回路は、1 つ以上のトランジスタ、ダイオード、インダクタ、コンデンサ、抵抗器、および能動領域 108 内の他の回路要素を含むことができる。半導体ダイ 58 は、バンプ 110 を通してキャリア 106 に電気的かつ機械的に接続される。

10

【0043】

BGA60 は、バンプ 112 を使用して、BGA 様式の第 2 レベルのパッケージ化で PCB52 に電気的かつ機械的に接続される。半導体ダイ 58 は、バンプ 110、信号線 114、およびバンプ 112 を通して、PCB52 の中の伝導性信号トレース 54 に電気的に接続される。成形化合物または封入材 116 は、デバイスに対する物理的支持および電気的隔離を提供するように、半導体ダイ 58 およびキャリア 106 上に堆積させられる。フリップチップ半導体素子は、信号伝搬距離を縮小し、静電容量を低下させ、全体的な回路性能を向上させるために、半導体ダイ 58 上の能動素子から PCB52 上の伝導トラックまでの短い電気伝導経路を提供する。別の実施形態では、半導体ダイ 58 は、中間キャリア 106 を伴わずにフリップチップ様式の第 1 レベルのパッケージ化を使用して、PCB52 に機械的かつ電気的に直接接続することができる。

20

【0044】

フリップチップ型半導体ダイでは、従来のキャプチャパッド上よりもむしろ、狭い相互接続パッド上に直接、相互接続バンプを接続することによって、相互接続が達成される。狭いパッドの幅は、狭いパッド上に接続される相互接続バンプの基礎直径に従って選択される。具体的には、狭いパッドの幅は、相互接続バンプの基礎直径よりも小さく、すなわち、約 20% から約 80% の範囲である。本フリップチップ相互接続は、基板上のトレースのより効率的なルーティングを提供する。信号ルーティングは、基板の中の層の数を低減するように、完全に基板の単一の金属層の中で形成することができる。単一層の中で信号トレースを形成することにより、基板が満たさなければならないビア、線、および空間の設計規則のうちのいくつかの緩和を可能にする。基板の単純化は、フリップチップパッケージの全体的費用を多いに削減する。バンプオンナローパッド (BONP) 構造もまた、基板設計からビアおよびスタブ等の特徴を排除するのに役立ち、信号伝送のためのマイクロストリップ制御インピーダンス電気環境を可能にし、それにより、性能を向上させる。

30

【0045】

フリップチップ相互接続は、ダイ上の相互接続パッドに取り付けられ、基板上の対応する狭い相互接続パッド上に噛合されたバンプを有する。フリップチップパッケージは、能動表面中の相互接続パッドに取り付けられたバンプを有するダイと、バンプが狭いパッド上に噛合される、ダイ取付面中に狭い相互接続パッドを有する基板とを含む。BONP 相互接続は、工程の中の再溶融段階中に溶解はんだを閉じ込め、より狭い相互接続幾何学形状を可能にするはんだマスクの必要性を回避するように、はんだマスクを使用せずに形成される。

40

【0046】

図 6 および 7 は、図 4 および 5a - 5c に関して、それぞれ、図 6 および 7 の線 7 - 7' および 6 - 6' に沿った、基板表面と平行な平面で得られた概略部分断面図で、バンプオンリード (BOL) フリップチップ相互接続をそれぞれ示す。ある特徴は、透明である

50

かのように示されている。相互接続は、基板上のそれぞれの狭いリードまたはトレース上にバンプを直接疊合することによって達成され、BOL相互接続と呼ばれる。はんだマスク材料は、典型的には、そのような細い幾何学形状で分解することができず、いずれのはんだマスクも使用されない。その代わり、溶解はんだの流れを閉じ込める機能は、組立工程中にはなんだマスクを伴わずに達成される。図7は、図6の線7-7'に沿ってパッケージ基板表面の平面と垂直な平面で得られた、図6のようなパッケージの部分断面図を示す。図8は、図9の線8-8'に沿ってパッケージ基板表面の平面と垂直な平面で得られた、図9のようなパッケージの部分断面図を示す。図9は、図8の線9-9'に沿ってパッケージ基板表面の平面と垂直な平面で得られた、図8のようなパッケージの部分断面図を示す。

10

【0047】

BOL基板のエスケープルーティングパターンが、図6および8に示されている。図6では、エスケープルーティングパターンは、その上で相互接続ボール用のダイ取付パッドがダイ周囲付近の列で形成される、半導体ダイ120に対して配設される。バンプ125は、破線121によって示されるダイ設置面積の縁付近の列で、エスケープトレース123上の対応する相互接続部位上に疊合される。図8では、エスケープルーティングは、その上でダイ取付パッドがダイ周囲付近の平行列のアレイで形成される、半導体ダイに対して配設される。バンプ135は、破線131によって示されるダイ設置面積の縁付近の相補的アレイで、エスケープトレース133上の対応する相互接続部位上に疊合される。

【0048】

図6および8が図示されるように、BOL相互接続を使用して達成可能であるルーティング密度は、基板技術によって提供される最も細いトレースピッチに相当することができる。一実施形態では、トレース上の相互接続部位の幅は、トレースの幅より1.2倍小さい。ルーティング密度は、図1-3で説明されるように、従来のBOC配設で達成されるよりも有意に高い。従来のキャップチャパッドは、典型的には、トレースまたはリード幅の2倍から4倍幅広い。

20

【0049】

バンピングおよび接着ピッチが非常に細くなければならないため、BOL配設は、組立工程にとって難題をもたらす。図8の周辺アレイ版のBOLでは、バンプは、エリアアレイ上に配設され、より大型のバンピングおよび接着ピッチ用のより大型の空間を提供し、組立工程にとっての技術的難題を軽減する。アレイの実施形態でさえも、基板上のルーティングトレースは、周辺列配設と同じ有効ピッチである。アレイ配設は、細いエスケープルーティングピッチの利点を犠牲にすることなく、細いピッチバンピングおよび接着の負担を軽減する。

30

【0050】

図6および7は、基板誘電層122のダイ取付面上で金属層をパターン化することによって形成される、トレースまたはリード123を示す。半導体ダイ128の電気的相互接続は、リード123上にダイ上のバンプ125を直接接合することによって行われる。同様に、図8および9は、基板誘電層132のダイ取付面上で金属層をパターン化することによって形成される、トレースまたはリード133を示す。信号エスケープトレースは、破線131によって示されるダイの縁の位置を横断し、ダイ設置面積から離れて送られる。半導体ダイ138の電気的相互接続は、リード133上にダイ上のバンプ135を直接接合することによって行われる。信号エスケープトレース136は、ダイ設置面積の内部に向かった列で、相互接続部位からダイの縁の位置を横断して送られ、相互接続部位のより周辺の列上のバンプ135の間を通る。

40

【0051】

図6、7、8、および9のBOL相互接続構造は、はんだマスクを必要とせず、いくつかの方法のうちのいずれかによって生産することができる。無はんだマスク実装では、相互接続バンプは、ダイの能動側の相互接続パッド上に付加される。基板の上部ダイ取付面は、特定のダイ上のバンプの配設とともに相互接続のために適宜に応じてトレースを提供

50

するようにパターン化された、上部金属層を有する。いずれのキャップチャパッドも必要とされないため、パターン化したトレースまたはリードは、ダイ上のバンプの配設を補完するパターンに対応する部位を通って辿る必要しかない。一実施形態では、相互接続工程の溶融相中にはんだの流れを閉じ込めるために、封入樹脂接着剤が採用される。

【0052】

図10および11は、基板表面と平行な平面で得られた概略断面図で、BOLフリップチップ相互接続の一部分の2つの実施例を示す。ある特徴は、透明であるかのように示されている。この場合、約 $80\text{ }\mu\text{m}$ から $90\text{ }\mu\text{m}$ の範囲の公称マスク開口部直径を有することができる、はんだマスク144が提供される。はんだマスク材料は、そのようなピッチで分解することができ、特に、基板は、 $90\text{ }\mu\text{m}$ の開口部を有し、かつプラスまたはマイナス $25\text{ }\mu\text{m}$ の整合公差を有するはんだマスクで、比較的安価に作製することができる。いくつかの実施形態では、4金属層積層等の積層基板が使用される。トレースは、約 $90\text{ }\mu\text{m}$ のピッチとなり得て、相互接続部位は、 $170\text{ }\mu\text{m}$ のエリアアレイの中にあり得て、破線140によって示されるダイ接地面積の縁を横断する、約 $90\text{ }\mu\text{m}$ の有効エスケープピッチを提供する。10

【0053】

図10では、電気的相互接続は、基板143のダイ取付面上の誘電層上にパターン化された狭いリードまたはトレース142上の相互接続部位141上に、バンプを直接噛合することによって達成される。一実施形態では、相互接続部位141の幅は、トレース142の幅より1.2倍小さい。パッドがなく、はんだマスク144は、マスク開口部145の境界内でバンプ材料の流れを制限する働きをし、バンプ材料が可湿リード142に沿って相互接続部位141から離れて流れることを防止する。加えて、はんだマスクは、リード間に溶解バンプ材料の流れを閉じ込める。20

【0054】

図11では、狭いリードまたはトレース146は、基板147のダイ取付面上の誘電層上でパターン化される。一実施形態では、相互接続のための可融性媒体を提供するように、はんだペーストがリード146の相互接続部位148上に堆積させられる。はんだマスク150の開口部149は、ペーストを画定する働きをする。ペーストは、必要であれば、バンプに接触する均一な表面を提供するように、分注され、リフローされ、鋳造される。はんだペーストは、図10を参照して上記で説明されるように、基板を使用した組立中に適用することができる。代替として、基板には、組立の前に好適にパターン化されるペーストを提供することができる。無電解めっきおよび電気めっき技法を含む、相互接続部位にはんだを選択的に塗布する他のアプローチを、リード上はんだの実施形態で採用することができる。リード上はんだ構成は、相互接続のための追加はんだ量を提供し、したがって、より高い製品収量を提供することができ、また、より高いダイスタンダオフを提供することもできる。30

【0055】

したがって、いくつかの実施形態では、有機基板上でのセラミック基板との相互接続のために使用される、鉛の含有量が高いはんだ等の、リード上はんだ構成が、高溶融温度バンプを有するダイの相互接続のために採用される。はんだペーストは、低い溶融温度を有するように選択することができるので、リフロー中に有機基板が損傷されない。そのような実施形態で相互接続を形成するために、高溶融相互接続バンプがリード上はんだ部位と接触させられ、再溶融がリード上のはんだをバンプに融合する。リード上はんだ工程とともに、非折り畳み式バンプが使用される場合、少量のはんだしか各相互接続に存在せず、非折り畳み式バンプがアセンブリの折り畳みを防止するという事実によって、はんだの変位または流れが制限されるため、事前塗布された接着剤は必要とされない。他の実施形態では、リード上はんだ構成は、共晶はんだバンプを有するダイの相互接続のために採用される。40

【0056】

BOL相互接続を行うための一実施形態が、図12a-12cで図式的に示されている

10

20

30

40

50

。図12aでは、基板151は、ダイ取付面152上に誘電層および金属層を有する。金属層は、回路、特に、ダイ取付面上に相互接続のための部位を有するトレースまたはリード153を提供するようにパターン化される。基板151は、支持材に対面するダイ取付面152の反対側に基板表面155を伴って、キャリアまたはステージ154上で支持される。多量の封入樹脂156が基板151のダイ取付面152上に分注され、リード153上の相互接続部位を覆う。半導体ダイ157は、能動側159のダイパッドに取り付けられたバンプ158を有する。バンプ158は、リード153の噛合面に接触する可融性材料を含む。チャック161を含むピックアンドプレースツール160は、ダイの背面162とのチャックの接触によって、半導体ダイ157を持ち上げる。ピックアンドプレースツール160を使用して、半導体ダイ157は、基板151のダイ取付面に向かったダイの能動側を伴って、基板152に対面して位置付けられる。バンプ158が基板上のトレースまたはリード153上の対応する相互接続部位に接触するよう、半導体ダイ157および基板151は、整合され、矢印Mによって示されるように相互に向かって移動させられる。図12bに示されるように、リード153上の相互接続部位における噛合面163上にバンプ158を押し付けるように、力Fが印加される。力は、リード153上の相互接続部位においてバンプ158と噛合面163との間から接着剤156を変位させるのに十分でなければならない。バンプ158は、バンプの接触面上および/またはリードの噛合面上の酸化膜を破る、力によって変形させることができる。バンプ158の変形は、バンプの可融性材料を、リード153の最上部上に、かつ縁を覆って、押し付けせる。接着剤156は、選択された温度まで加熱することによって部分的に硬化される。この段階で、接着剤156は、部分的に硬化される必要しかなく、つまり、接着剤と伝導性トレース153との間の界面に沿った溶解はんだの流れを後に妨げるのに十分な程度まで硬化される。バンプ158の可融性材料は、融解させられ、次いで、再凝固させられ、バンプとリード153との間に冶金相互接続を形成する。接着剤156は、図12cに示されるように、ダイ台を完成させ、噛合面163における電気的相互接続を確保するよう硬化される。したがって、図8と同様の構成で、バンプ158とリード153上の対応する相互接続部位との間に電気的相互接続が形成される。他のリード164は、他の断面図で可視的となる、他の位置で相互接続される。接着剤156の硬化は、はんだを融解させる前、またはそれと同時に、またはその後に完了することができる。典型的には、接着剤156は、熱硬化性接着剤であり、工程中の任意の段階における硬化の程度は、温度を調節することによって制御される。構成要素は、ピックアンドプレースツール上のチャックの温度を上昇させることによって、または基板支持材の温度を上昇させることによって、加熱し、硬化することができる。

【0057】

工程が、図13a - 13dでさらに詳細に示されている。図13aでは、基板170は、伝導性トレース172を伴うダイ取付面を有し、トレース上の相互接続部位は、接着剤174で覆われる。半導体ダイ176は、ダイの能動側が基板170のダイ取付側に対面するよう、基板170に関して位置付けられ、ダイ上のバンプ178がトレース172上の対応する噛合面と整合されるように、矢印Aによって整合される。半導体ダイ176および基板170は、バンプがトレース上のそれぞれの噛合面に接触するように、相互に向かって移動させられる。図13bでは、バンプ178およびトレース172を相互に向かって動かすように力が印加され、接着剤174を変位し、噛合面180上に、かつトレースの縁を覆って、バンプを変形させる。トレース172上のバンプ178の変形は、バンプの接触面およびトレースの噛合面上の酸化膜を破り、良好な電気的接続を確立する。トレース172の縁を覆うバンプ178の変形は、良好な一時的機械接続を確立するのに役立つ。トレース182の相互接続部位は、図13bの平面の外にある。図13cの接着剤174を部分的に硬化せしように、熱が印加される。図13dに示されるように、バンプの可融性材料を融解させ、接着剤174の硬化を完成せしるのに十分にバンプ178の温度を上昇せしるよう付加的な熱が印加される。したがって、バンプ178の冶金相互接続が、リード172上の相互接続部位における噛合面180上で形成される。硬化

10

20

30

40

50

した接着剤は、ダイ台を安定させる。

【0058】

代替実施形態では、基板よりもむしろ、ダイ表面に、またはダイ表面上のバンプに、接着剤を再塗布することができる。接着剤は、貯留部に溜めることができる。多量の接着剤がバンプ上で担持されるように、ダイの能動側をプールに浸し、除去することができる。ピックアンドプレースツールを使用して、基板のダイ取付面に向かったダイの能動側を伴って、支持された基盤に対面してダイが位置付けられる。ダイおよび基板は、バンプが基板上の対応するトレースまたはリードに接触するように、整合させられ、相互に向かって移動させられる。そのような方法は、参照することにより本明細書に組み込まれる、米国特許第6,780,682号で説明されている。押し進め、硬化させ、融解させる工程は、上記で説明されるように実行される。

【0059】

工程の力または温度スケジュールが、図14で図式的に示されている。工程は、力または温度、あるいは両方を使用することができる。時間は、水平軸上で左から右に流れる。力プロファイル184は、太い実線として示され、温度プロファイル186は、点線として示されている。温度プロファイルは、80～90の範囲の温度から始まる。力プロファイルは、本質的にゼロの力から始まる。初期時間 t_i から始まり、力は、部分188の間に F_i から変位/変形力 F_d まで急速に増加させられ、部分190の間のある時間にわたって、その力で保持される。力 F_d は、バンプとリードの噛合面との間から離れて接着剤を変位させるのに十分である。力 F_d は、噛合面上にバンプの可融性部分を変形させ、酸化膜を破り、良好な金属間接続を形成するのに十分である。いくつかの実施形態では、バンプは、リードの縁上を流れて、クリープ変形と呼ばれる、バンプおよび狭いパッドの機械的相互係止を確立する。必要とされる力の総量は、バンプ材料および寸法、ならびにバンプの数に依存する。

【0060】

温度もまた、部分192の間に初期温度 T_i からゲル温度 T_g まで急速に上昇させられる。ゲル温度 T_g は、接着剤をゲルまで部分的に硬化させるのに十分な温度である。温度傾斜は、 F_d に到達した瞬間の後、かつ T_g に到達する前に、短い遅延時間 t_{delay} があるように設定され、上昇した力が接着剤を変位させ、接着剤の部分的硬化が始まる前にバンプを変形させることを可能にするのに十分長い。アセンブリは、接着剤の部分的硬化を達成するのに十分な時間 t_{gel_1} にわたって、変位/変形圧力 F_d で、かつゲル温度 T_g で、部分190および194の間に保持される。接着剤は、十分に堅くなるべきであるため、後に、はんだ再溶融相中に良好なバンプ外形を維持することができ、つまり、バンプの溶解可融性材料の望ましくない変位、またはリードに沿った溶解可融性材料の流動を防止するよう十分堅い。

【0061】

いったん接着剤が十分な程度まで部分的に硬化すると、部分195の間に、十室的にゼロの力、または構成要素の重量のみまで、圧力を急速に下降させることができる。次いで、温度は、部分196の間に、バンプの可融性部分を再溶融させるのに十分な温度 T_m まで急速にさらに上昇させられ、アセンブリは、部分198の間に、トレース上にはんだ再溶融を完全に形成するのに十分な、好ましくは、必ずしも完全ではないが実質的に接着剤を硬化させるのに十分な時間 $t_{melt/cure}$ にわたって、再溶融温度 T_m で保持される。温度は、部分200の間に、初期温度 T_i まで、最終的には周囲温度まで下降せられる。図14で概説された工程は、5～10秒の期間にわたって、その経過を辿る。

【0062】

図14の接着剤は、無流動アンダーフィル材料となり得る。フリップチップ相互接続に対するいくつかのアプローチでは、冶金相互接続が最初に形成され、次いで、ダイと基板との間の空間に、アンダーフィル材料が流入させられる。無流動アンダーフィル材料は、半導体ダイおよび基板が接合される前に塗布され、無流動アンダーフィル材料は、リード上へのバンプの接近によって、かつダイおよび基板の対向表面によって変位される。無流

動アンダーフィル材料用の接着剤は、高速ゲル化接着剤、つまり、約1～2秒の期間中にゲル温度で十分にゲル化する材料である。無流動アンダーフィル接着剤用の材料は、非伝導性ペーストを含む。

【0063】

複合バンプ等の代替バンプ構造を、BOL相互接続で採用することができる。複合バンプは、リフロー条件下で折り畳み式である1つと、リフロー条件下で実質的に非折り畳み式である1つとを含む、異なるバンプ材料でできている2つの部分を有する。非折り畳み式部分は、ダイ上の相互接続部位に取り付けられる。非折り畳み式部分に対する典型的な材料は、高い鉛の含有量を有する、種々のはんだを含む。折り畳み式部分は、非折り畳み式部分に接合され、リードと接続を行うのは折り畳み式部分である。複合バンプの折り畳み式部分に対する典型的な材料は、共晶はんだを含む。

10

【0064】

図15は、複合バンプを採用するBOL相互接続を示す。半導体ダイ202は、非折り畳み式部分206および折り畳み式部分208を含む、複合バンプ204を伴うダイの能動側に、ダイパッドを有する。折り畳み式部分208は、共晶はんだまたは比較的低温溶融のはんだとなり得る。折り畳み式部分208は、リード210の噛合面に接触し、リード上のバンプの可融性部分の変形が所望される場合には、バンプの折り畳み式部分は、採用される力の条件下で変形可能である。非折り畳み式部分206は、半導体ダイ202が処理中に基板212に対する圧力下で動かされると変形せず、工程のリフロー相中に融解しない。非折り畳み式部分206は、半導体ダイ202の能動表面と基板212のダイ取付面との間にスタンドオフ距離を提供するように、寸法決定することができる。

20

【0065】

図6、7、8、および9に示されるようなバンプは、必ずしも完全折り畳み式バンプである必要はない。これらの図に示された構造は、代替として、複合バンプを使用して、または上記で説明されるようなリード上はんだ方法を使用して、作製されてもよい。

【0066】

図16-21は、図6-15で説明されるようなBOL相互接続構造とともに使用することができる、種々の相互接続構造を伴う他の実施形態を説明する。図16aは、構造的支持のために、シリコン、ゲルマニウム、ガリウムヒ素、リン化インジウム、または炭化ケイ素等のベース基板材料222を伴う半導体ウエハ220を示す。複数の半導体ダイまたは構成要素224は、上記で説明されるような鋸通路226によって分離されるウエハ220上に形成される。

30

【0067】

図16bは、半導体ウエハ220の一部分の断面図を示す。各半導体ダイ224は、ダイ内に形成され、ダイの電気的設計および機能に従って電気的に相互接続される、能動素子、受動素子、伝導層、および誘電層として実装される、アナログまたはデジタル回路を含有する、裏面228および能動表面230を含む。例えば、回路は、デジタル信号プロセッサ(DSP)、ASIC、メモリ、または他の信号処理回路等のアナログ回路またはデジタル回路を実装するように、1つ以上のトランジスタ、ダイオード、および能動表面230内に形成される他の回路要素を含んでもよい。半導体ダイ224はまた、RF信号処理のために、インダクタ、コンデンサ、および抵抗器等の集積受動素子(IPD)を含有してもよい。一実施形態では、半導体ダイ224は、フリップチップ型半導体ダイである。

40

【0068】

導電性層232は、PVD、CVD、電解めっき、無電解めっき工程、または他の好適な金属堆積工程を使用して、能動表面230上に形成される。伝導層232は、Al、Cu、Sn、Ni、Au、Ag、または他の好適な導電性材料の1つ以上の層となり得る。伝導性層232は、能動表面230上の回路に電気的に接続される接触パッドまたはバンプパッドとして動作する。

【0069】

50

図 16 c は、接触パッド 232 上に形成される相互接続構造を伴う半導体ウエハ 220 の一部分を示す。導電性バンプ材料 234 は、蒸発、電解めっき、無電解めっき、ボールドロップ、またはスクリーン印刷工程を使用して、接触パッド 232 上に堆積させられる。バンプ材料 234 は、随意的な流束溶液とともに、Au、Sn、Ni、Ag、Pb、Bi、Cu、はんだ、およびそれらの組み合わせとなり得る。例えば、バンプ材料 234 は、共晶 Sn / Pb、鉛の含有量が高いはんだ、または無鉛はんだとなり得る。バンプ材料 234 は、略柔軟であり、約 200 グラムの垂直荷重と同等の力の下で、約 25 マイクロメートル (μm) より大きい塑性変形を受ける。バンプ材料 234 は、好適な取付または接着工程を使用して、接触パッド 232 に接着される。例えば、バンプ材料 234 を接触パッド 232 に圧縮接着することができる。バンプ材料 234 はまた、図 16 d に示されるように、球状ボールまたはバンプ 236 を形成するように、その融点を上回って材料を加熱することによって、リフローすることもできる。いくつかの用途では、バンプ 236 は、接触パッド 232 への電気的接続を向上させるように、2 回リフローされる。バンプ 236 は、接触パッド 232 上に形成することができる 1 種類の相互接続構造を表す。相互接続構造はまた、スタッドバンプ、マイクロバンプ、または他の電気的相互接続も使用することができる。

10

【0070】

図 16 e は、非可融性または非折り畳み式部分 240 と、可融性または折り畳み式部分 242 とを含む、複合バンプ 238 として接触パッド 232 上に形成される相互接続構造の別の実施形態を示す。可融性性または折り畳み式および非可融性性または非折り畳み式の属性は、リフロー条件に関しバンプ 238 に対して定義される。非可融性部分 240 は、Au、Cu、Ni、鉛の含有量が高いはんだ、または鉛スズ合金となり得る。可融性部分 242 は、Sn、無鉛合金、Sn - Ag 合金、Sn - Ag - Cu 合金、Sn - Ag - インジウム (In) 合金、共晶はんだ、Ag、Cu、または Pb を伴うスズ合金、または比較的低温溶融のはんだとなり得る。一実施形態では、100 μm の接触パッド 232 の幅または直径を考慮すると、非可融性部分 240 は、高さが約 45 μm であり、可融性部分 242 は、高さが約 35 μm である。

20

【0071】

図 16 f は、伝導柱 246 上のバンプ 244 として接触パッド 232 上に形成される相互接続構造の別の実施形態を示す。バンプ 244 は、可融性性または折り畳み式であり、伝導柱 246 は、非可融性性または非折り畳み式である。可融性性または折り畳み式および非可融性性または非折り畳み式の属性は、リフロー条件に関して定義される。バンプ 244 は、Sn、無鉛合金、Sn - Ag 合金、Sn - Ag - Cu 合金、Sn - Ag - In 合金、共晶はんだ、Ag、Cu、または Pb を伴うスズ合金、または比較的低温溶融のはんだとなり得る。伝導柱 246 は、Au、Cu、Ni、鉛の含有量が高いはんだ、または鉛スズ合金となり得る。一実施形態では、伝導柱 246 は、Cu 柱であり、バンプ 244 は、はんだキャップである。100 μm の接触パッド 232 の幅または直径を考慮すると、伝導柱 246 は、高さが約 45 μm であり、バンプ 244 は、高さが約 35 μm である。

30

【0072】

図 16 g は、凹凸 250 を伴うバンプ材料 248 として接触パッド 232 上に形成される相互接続構造の別の実施形態を示す。バンプ材料 248 は、バンプ材料 234 と同様に、破断に対する低い降伏強度および高い伸長を伴って、リフロー条件下で軟質および変形可能である。凹凸 250 は、めっき表面仕上げで形成され、例証の目的で、図中では誇張されて示されている。凹凸 250 の規模は、概して、約 1 ~ 25 μm である。凹凸はまた、バンプ 236、複合バンプ 238、およびバンプ 244 上に形成することもできる。

40

【0073】

図 16 h では、半導体ウエハ 220 は、鋸刃またはレーザ切断ツール 252 を使用して、鋸通路 226 を通して個別半導体ダイ 224 に单一化される。

【0074】

図 17 a は、伝導性トレース 256 を伴う基板または PCB 254 を示す。基板 254

50

は、片面FR5積層または2面BT樹脂積層となり得る。半導体ダイ224は、バンプ材料234が伝導性トレース256上の相互接続部位と整合されるように位置付けられる(図25a-35g参照)。代替として、バンプ材料234は、基板254上に形成される伝導性パッドまたは他の相互接続部位と整合させることができる。バンプ材料234は、伝導性トレース256よりも幅広い。一実施形態では、バンプ材料234は、100μm未満の幅を有し、伝導性トレースまたはパッド256は、150μmのバンプピッチに対して35μmの幅を有する。伝導性トレース256は、ルーティング密度を増加させるための、図6-15で説明されるようなエスケープトレースおよび相互接続部位と同様である。

【0075】

10

圧力または力Fは、伝導性トレース256上にバンプ材料234を押し付けるように、半導体ダイ224の裏面228に印加される。力Fは、高温で印加することができる。バンプ材料234の柔軟性により、バンプ材料は、伝導性トレース256の頂面および側面の周囲で変形または押し出し、BOLと呼ばれる。具体的には、圧力の印加は、約200グラムの垂直荷重と同等の力Fの下で、約25μmより大きい塑性変形をバンプ材料234に受けさせ、図17bに示されるように、伝導性トレースの頂面および側面を覆わせる。バンプ材料234はまた、バンプ材料を伝導性トレースと物理的接触させ、次いで、リフロー温度下でバンプ材料をリフローすることによって、伝導性トレース256に冶金接続することもできる。

【0076】

20

伝導性トレース256をバンプ材料234よりも狭くすることによって、ルーティング密度および入出力計数を増加させるように伝導性トレースピッチを低減することができる。より狭い伝導性トレース256は、伝導性トレースの周囲のバンプ材料234を変形するために必要な力Fを低減する。例えば、必要な力Fは、バンプ材料よりも幅広い伝導性トレースまたはパッドに対してバンプ材料を変形させるために必要な力の30~50%であってもよい。より低い圧縮力Fは、細かいピッチ相互接続および小型ダイが、特定公差で共平面性を維持し、均一なz方向変形および高信頼性の相互接続結合を達成するため有用である。加えて、伝導性トレース256の周囲のバンプ材料234を変形させることにより、バンプをトレースに機械的に係止し、リフロー中のダイの移行またはダイの浮動を防止する。

【0077】

30

図17cは、半導体ダイ224の接触パッド232上に形成されるバンプ236を示す。半導体ダイ224は、バンプ236が伝導性トレース256上の相互接続部位と整合されるように位置付けられる。代替として、バンプ236は、基板254上に形成される伝導性パッドまたは他の相互接続部位と整合させることができる。バンプ236は、伝導性トレース256よりも幅広い。伝導性トレース256は、ルーティング密度を増加させるための、図6-15で説明されるようなエスケープトレースおよび相互接続部位と同様である。

【0078】

40

圧力または力Fは、伝導性トレース256上にバンプ236を押し付けるように、半導体ダイ224の裏面228に印加される。力Fは、高温で印加することができる。バンプ236の柔軟性により、バンプは、伝導性トレース256の頂面および側面の周囲で変形または押し出す。具体的には、圧力の印加は、バンプ材料236に塑性変形を受けさせ、伝導性トレース256の頂面および側面を覆わせる。バンプ236はまた、リフロー温度下でバンプを伝導性トレースと物理的接触させることによって、伝導性トレース256に冶金接続することもできる。

【0079】

50

伝導性トレース256をバンプ236よりも狭くすることによって、ルーティング密度および入出力計数を増加させるように伝導性トレースピッチを低減することができる。より狭い伝導性トレース256は、伝導性トレースの周囲のバンプ236を変形させるため

に必要な力 F を低減する。例えば、必要な力 F は、バンプよりも幅広い伝導性トレースまたはパッドに対してバンプを変形させるために必要な力の 30 ~ 50 % であってもよい。より低い圧縮力 F は、細かいピッチ相互接続および小型ダイが、特定公差内で共平面性を維持し、均一な z 方向変形および高信頼性の相互接続結合を達成するために有用である。加えて、伝導性トレース 256 の周囲のバンプ 236 を変形させることにより、バンプをトレースに機械的に係止し、リフロー中のダイの移行またはダイの浮動を防止する。

【0080】

図 17d は、半導体ダイ 224 の接触パッド 232 上に形成される複合バンプ 238 を示す。半導体ダイ 224 は、複合バンプ 238 が伝導性トレース 256 上の相互接続部位と整合されるように位置付けられる。代替として、複合バンプ 238 は、基板 254 上に形成される伝導性パッドまたは他の相互接続部位と整合させることができる。複合バンプ 238 は、伝導性トレース 256 よりも幅広い。伝導性トレース 256 は、ルーティング密度を増加させるための、図 6-15 で説明されるようなエスケープトレースおよび相互接続部位と同様である。

10

【0081】

圧力または力 F は、伝導性トレース 256 上に可融性部分 242 を押し付けるように、半導体ダイ 224 の裏面 328 に印加される。力 F は、高温で印加することができる。可融性部分 242 の柔軟性により、可融性部分は、伝導性トレース 256 の頂面および側面の周囲で変形または押出する。具体的には、圧力の印加は、可融性部分 242 に塑性変形を受けさせ、伝導性トレース 256 の頂面および側面を覆わせる。複合バンプ 238 はまた、リフロー温度下で可融性部分 242 を伝導性トレースと物理的接触させることによって、伝導性トレース 256 に冶金接続することもできる。非可融性部分 240 は、圧力または温度の印加中に融解または変形せず、半導体ダイ 224 と基板 254 との間の垂直スタンドオフとして、その高さおよび形状を保持する。半導体ダイ 224 と基板 254 との間の付加的な変位は、噛合面間のさらに優れた共平面性公差を提供する。

20

【0082】

リフロー工程中に、半導体ダイ 224 上の多数（例えば、数千）の複合バンプ 238 は、基板 254 の伝導性トレース 256 上の相互接続部位に取り付けられる。バンプ 238 のうちのいくつかは、特に、ダイ 224 が歪曲された場合に、伝導性トレース 256 に適正に接続できない場合がある。複合バンプ 238 は伝導性トレース 256 よりも幅広いことを思い出されたい。適正な力が印加されると、可融性部分 242 は、伝導性トレース 256 の頂面および側面の周囲で変形または押し出し、複合バンプ 238 を伝導性トレースに係止する。機械的相互係止は、伝導性トレース 256 よりも軟質かつ柔軟であり、したがって、より大きい接触面積に対して伝導性トレースの頂面上および側面の周囲で変形する、可融性部分 242 の性質によって形成される。複合バンプ 238 と伝導性トレース 256 との間の機械的相互係止は、リフロー中にバンプを伝導性トレースに担持し、すなわち、バンプおよび伝導性トレースは、接触を失わない。したがって、伝導性トレース 256 に噛合する複合バンプ 238 は、バンプ相互接続の不具合を低減する。

30

【0083】

図 17e は、半導体ダイ 224 の接触パッド 232 上に形成される伝導性柱 246 およびバンプ 244 を示す。半導体ダイ 224 は、バンプ 244 が伝導性トレース 256 上の相互接続部位と整合されるように位置付けられる。代替として、バンプ 244 は、基板 254 上に形成される伝導性パッドまたは他の相互接続部位と整合させることができる。バンプ 244 は、伝導性トレース 256 よりも幅広い。伝導性トレース 256 は、ルーティング密度を増加させるための、図 6-15 で説明されるようなエスケープトレースおよび相互接続部位と同様である。

40

【0084】

圧力または力 F は、伝導性トレース 256 上にバンプ 244 を押し付けるように、半導体ダイ 224 の裏面 228 に印加される。力 F は、高温で印加することができる。バンプ 244 の柔軟性により、バンプは、伝導性トレース 256 の頂面および側面の周囲で変形

50

または押出する。具体的には、圧力の印加は、バンプ 244 に塑性変形を受けさせ、伝導性トレース 256 の頂面および側面を覆わせる。伝導性柱 246 およびバンプ 244 はまた、リフロー温度下でバンプを伝導性トレースと物理的接触させることによって、伝導性トレース 256 に冶金接続することもできる。伝導柱 246 は、圧力または温度の印加中に融解または変形せず、半導体ダイ 224 と基板 254との間の垂直スタンダードとして、その高さおよび形状を保持する。半導体ダイ 224 と基板 254 との間の付加的な変位は、噛合面間のさらに優れた共平面性公差を提供する。より幅広いバンプ 244 およびより狭い伝導性トレース 256 は、同様の低い必要圧縮力および機械的係止特徴、ならびにバンプ材料 234 およびバンプ 236 について上記で説明される利点を有する。

【0085】

図 17f は、半導体ダイ 224 の接触パッド 232 上に形成される凹凸 250 を伴うバンプ材料 248 を示す。半導体ダイ 224 は、バンプ材料 248 が伝導性トレース 256 上の相互接続部位と整合されるように位置付けられる。代替として、バンプ材料 248 は、基板 254 上に形成される伝導性パッドまたは他の相互接続部位と整合させることができる。バンプ材料 248 は、伝導性トレース 256 よりも幅広い。圧力または力 F は、伝導性トレース 256 上にバンプ材料 248 を押し付けるように、半導体ダイ 224 の裏面 228 に印加される。力 F は、高温で印加することができる。バンプ材料 248 の柔軟性により、バンプは、伝導性トレース 256 の頂面および側面の周囲で変形または押出する。具体的には、圧力の印加は、バンプ材料 248 に塑性変形を受けさせ、伝導性トレース 256 の頂面および側面を覆わせる。加えて、凹凸 250 は、伝導性トレース 256 に冶金接続される。凹凸 250 は、約 1 ~ 25 μm にサイズ決定される。

10

【0086】

図 17g は、角度付きまたは傾斜側面を有する、台形伝導性レース 260 を伴う基板または PCB 258 を示す。バンプ材料 261 は、半導体ダイ 224 の接触パッド 232 上に形成される。半導体ダイ 224 は、バンプ材料 261 が伝導性トレース 260 上の相互接続部位と整合されるように位置付けられる。代替として、バンプ材料 261 は、基板 258 上に形成される伝導性パッドまたは他の相互接続部位と整合させることができる。バンプ材料 261 は、伝導性トレース 260 よりも幅広い。伝導性トレース 260 は、ルーティング密度を増加させるための、図 6-15 で説明されるようなエスケープトレースおよび相互接続部位と同様である。

20

【0087】

圧力または力 F は、伝導性トレース 260 上にバンプ材料 261 を押し付けるように、半導体ダイ 224 の裏面 228 に印加される。力 F は、高温で印加することができる。バンプ材料 261 の柔軟性により、バンプ材料は、伝導性トレース 260 の頂面および側面の周囲で変形または押出する。具体的には、圧力の印加は、バンプ材料 261 に塑性変形を受けさせ、伝導性トレース 260 の頂面および角度付き側面を覆わせる。バンプ材料 261 はまた、バンプ材料を伝導性トレースと物理的接触させ、次いで、リフロー温度下でバンプ材料をリフローすることによって、伝導性トレース 260 に冶金接続することもできる。

30

【0088】

図 18a - 18d は、半導体ダイ 224、および非可融性または非折り畳み式部分 264 と、可融性または折り畳み式部分 266 とを有する、細長い複合バンプ 262 の BOL 実施形態を示す。非可融性部分 264 は、Au、Cu、Ni、鉛の含有量が高いはんだ、または鉛スズ合金となり得る。可融性部分 266 は、Sn、無鉛合金、Sn-Ag 合金、Sn-Ag-Cu 合金、Sn-Ag-In 合金、共晶はんだ、Ag、Cu、または Pb を伴うスズ合金、または比較的低温溶融のはんだとなり得る。非可融性部分 264 は、可融性部分 266 よりも大きい複合バンプ 262 の一部を構成する。非可融性部分 264 は、半導体ダイ 224 の接触パッド 232 に固定される。

40

【0089】

半導体ダイ 224 は、図 18a に示されるように、複合バンプ 262 が基板 270 上に

50

形成された伝導性トレース 268 上の相互接続部位と整合されるように位置付けられる。複合バンプ 262 は、伝導性トレース 268 に沿って先細であり、すなわち、複合バンプは、伝導性トレース 268 の長さに沿って長く、伝導性トレースを横断して狭い、楔形を有する。複合バンプ 262 の先細側面は、伝導性トレース 268 の長さに沿って生じる。図 18 a の図は、伝導性トレース 268 と同一線上にある、短いほうの側面または狭小先細を示す。図 18 a に垂直である、図 18 b の図は、楔形の複合バンプ 262 の長いほうの側面を示す。複合バンプ 262 の短いほうの側面は、伝導性トレース 268 よりも幅広い。可融性部分 266 は、図 18 c および 18 d に示されるように、圧力および / または熱によるリフローの印加時に、伝導性トレース 268 の周囲で折り重なる。非可融性部分 264 は、リフロー中に融解または変形せず、その形態および形状を保持する。非可融性部分 264 は、半導体ダイ 224 と基板 270 との間にスタンドオフを提供するように寸法決定することができる。Cu OSP 等の仕上げを基板 270 に塗布することができる。伝導性トレース 268 は、ルーティング密度を増加させるための、図 6-15 で説明されるようなエスケープトレースおよび相互接続部位と同様である。

10

【0090】

リフロー工程中に、半導体ダイ 224 上の多数（例えば、数千）の複合バンプ 262 は、基板 270 の伝導性トレース 268 上の相互接続部位に取り付けられる。バンプ 262 のうちのいくつかは、特に、半導体ダイ 224 が歪曲された場合に、伝導性トレース 268 に適正に接続できない場合がある。複合バンプ 262 は伝導性トレース 268 よりも幅広いことを思い出されたい。適正な力が印加されると、可融性部分 266 は、伝導性トレース 268 の頂面および側面の周囲で変形または押し出し、複合バンプ 262 を伝導性トレースに係止する。機械的相互係止は、伝導性トレース 268 よりも軟質かつ柔軟であり、したがって、より大きい接触面積に対して伝導性トレースの頂面および側面の周囲で変形する、可融性部分 266 の性質によって形成される。複合バンプ 262 の楔形は、図 18 a および 18 c の短いほうの側面に沿ったピッチを犠牲にすることなく、バンプと伝導性トレースとの間、例えば、図 18 b および 18 d の長いほうの側面に沿った、接触面積を増加させる。複合バンプ 262 と伝導性トレース 268 との間の機械的相互係止は、リフロー中にバンプを伝導性トレースに担持し、すなわち、バンプおよび伝導性トレースは、接触を失わない。したがって、伝導性トレース 268 に噛合する複合バンプ 262 は、バンプ相互接続の不具合を低減する。

20

【0091】

図 19 a - 19 d は、図 16 c と同様である、接触パッド 232 上に形成されたバンプ材料 274 を伴う半導体ダイ 224 の BOL 実施形態を示す。図 19 a では、バンプ材料 274 は、略柔軟であり、約 200 グラムの垂直荷重と同等の力の下で、約 25 μm より大きい塑性変形を受ける。バンプ材料 274 は、基板 278 上の伝導性トレース 276 よりも幅広い。複数の凹凸 280 は、約 1 ~ 25 μm の高さで伝導性トレース 276 上に形成される。

30

【0092】

半導体ダイ 224 は、バンプ材料 274 が伝導性トレース 276 上の相互接続部位と整合されるように位置付けられる。代替として、バンプ材料 274 は、基板 278 上に形成される伝導性パッドまたは他の相互接続部位と整合させることができる。圧力または力 F は、図 19 b に示されるように、伝導性トレース 276 および凹凸 280 上にバンプ材料 274 を押し付けるように、半導体ダイ 224 の裏面 228 に印加される。力 F は、高温で印加することができる。バンプ材料 274 の柔軟性により、バンプ材料は、伝導性トレース 276 および凹凸 280 の頂面および側面の周囲で変形または押出する。具体的には、圧力の印加は、バンプ材料 274 に塑性変形を受けさせ、伝導性トレース 276 および凹凸 280 の頂面および側面を覆わせる。バンプ材料 274 の塑性流動は、バンプ材料と、伝導性トレース 276 および凹凸 280 の頂面および側面との間に、巨視的な機械的相互係止点を作成する。バンプ材料 274 の塑性流動は、伝導性トレース 276 および凹凸 280 の頂面および側面の周囲で生じるが、電気的短絡および他の欠陥を引き起こし得る

40

50

ので、過剰に基板 278 上に延在しない。バンプ材料と、伝導性トレース 276 および凹凸 280 の頂面および側面との間の機械的相互係止は、接着力を有意に増加させることなく、それぞれの表面間により大きい接触面積を伴って頑丈な接続を提供する。バンプ材料と、伝導性トレース 276 および凹凸 280 の頂面および側面との間の機械的相互係止はまた、カプセル化等の後続の製造工程中に横方向のダイの移行を低減する。

【0093】

図 19c は、伝導性トレース 276 より狭いバンプ材料 274 を伴う別の BOL 実施形態を示す。圧力または力 F は、伝導性トレース 276 および凹凸 280 上にバンプ材料 274 を押し付けるように、半導体ダイ 224 の裏面 228 に印加される。力 F は、高温で印加することができる。バンプ材料 274 の柔軟性により、バンプ材料は、伝導性トレース 276 および凹凸 280 の頂面上で変形または押出する。具体的には、圧力の印加は、バンプ材料 274 に塑性変形を受けさせ、伝導性トレース 276 および凹凸 280 の頂面を覆わせる。バンプ材料 274 の塑性流動は、バンプ材料と、伝導性トレース 276 および凹凸 280 の頂面との間に、巨視的な機械的相互係止点を作成する。バンプ材料と、伝導性トレース 276 および凹凸 280 の頂面との間の機械的相互係止は、接着力を有意に増加させることなく、それぞれの表面間により大きい接触面積を伴って頑丈な接続を提供する。バンプ材料と、伝導性トレース 276 および凹凸 280 の頂面との間の機械的相互係止はまた、カプセル化等の後続の製造工程中に横方向のダイの移行を低減する。

【0094】

図 19d は、伝導性トレース 276 の縁上に形成されたバンプ材料 274 を伴う別の BOL 実施形態を示し、すなわち、バンプ材料の一部は伝導性トレース上にあり、バンプ材料の一部は伝導性トレース上にない。圧力または力 F は、伝導性トレース 276 および凹凸 280 上にバンプ材料 274 を押し付けるように、半導体ダイ 224 の裏面 228 に印加される。力 F は、高温で印加することができる。バンプ材料 274 の柔軟性により、バンプ材料は、伝導性トレース 276 および凹凸 280 の頂面および側面上で変形または押出する。具体的には、圧力の印加は、バンプ材料 274 に塑性変形を受けさせ、伝導性トレース 276 および凹凸 280 の頂面および側面を覆わせる。バンプ材料 274 の塑性流動は、バンプ材料と、伝導性トレース 276 および凹凸 280 の頂面および側面との間に、巨視的な機械的相互係止を作成する。バンプ材料と、伝導性トレース 276 および凹凸 280 の頂面および側面との間の機械的相互係止は、接着力を有意に増加させることなく、それぞれの表面間により大きい接触面積を伴って頑丈な接続を提供する。バンプ材料と、伝導性トレース 276 および凹凸 280 の頂面および側面との間の機械的相互係止はまた、カプセル化等の後続の製造工程中に横方向のダイの移行を低減する。

【0095】

図 20a - 20c は、図 16c と同様である、接触パッド 232 上に形成されたバンプ材料 284 を伴う半導体ダイ 224 の BOL 実施形態を示す。先端 286 は、図 20a に示されるように、バンプ材料 284 の本体よりも狭い先端 286 を伴う階段状バンプとして、バンプ材料 284 の本体から延在する。半導体ダイ 224 は、バンプ材料 284 が基板 290 上の伝導性トレース 288 上の相互接続部位と整合されるように位置付けられる。より具体的には、先端 286 は、伝導性トレース 288 上の相互接続部位上で中心に置かれる。代替として、バンプ材料 284 および先端 286 は、基板 290 上に形成される伝導性パッドまたは他の相互接続部位と整合させることができる。バンプ材料 284 は、基板 290 上の伝導性トレース 288 よりも幅広い。

【0096】

伝導性トレース 288 は、略柔軟であり、約 200 グラムの垂直荷重と同等の力の下で、約 25 μm より大きい塑性変形を受ける。圧力または力 F は、伝導性トレース 288 上に先端 284 を押し付けるように、半導体ダイ 224 の裏面 228 に印加される。力 F は、高温で印加することができる。伝導性トレース 288 の柔軟性により、伝導性トレースは、図 20b に示されるように、先端 286 の周囲で変形する。具体的には、圧力の印加は、伝導性トレース 288 に塑性変形を受けさせ、先端 286 の頂面および側面を覆わせ

10

20

30

40

50

る。

【0097】

図20cは、接触パッド232上に形成された丸いバンプ材料294を伴う別のBOL実施形態を示す。先端296は、バンプ材料294の本体から延在して、バンプ材料294の本体よりも狭い先端を伴うスタッドバンプを形成する。半導体ダイ224は、バンプ材料294が基板300上の伝導性トレース298上の相互接続部位と整合されるように位置付けられる。より具体的には、先端296は、伝導性トレース298上の相互接続部位上で中心に置かれる。代替として、バンプ材料294および先端296は、基板300上に形成される伝導性パッドまたは他の相互接続部位と整合させることができる。バンプ材料294は、基板300上の伝導性トレース298よりも幅広い。

10

【0098】

伝導性トレース298は、略柔軟であり、約200グラムの垂直荷重と同等の力の下で、約25μmより大きい塑性変形を受ける。圧力または力Fは、伝導性トレース298上に先端296を押し付けるように、半導体ダイ224の裏面228に印加される。力Fは、高温で印加することができる。伝導性トレース298の柔軟性により、伝導性トレースは、先端296の周囲で変形する。具体的には、圧力の印加は、伝導性トレース298に塑性変形を受けさせ、先端296の頂面および側面を覆わせる。

【0099】

図17a-17g、18a-18d、および19a-19dで説明される伝導性トレースもまた、図20a-20cで説明されるような柔軟材料となり得る。

20

【0100】

図21a-21bは、図16cと同様である、接触パッド232上に形成されたバンプ材料304を伴う半導体ダイ224のBOL実施形態を示す。バンプ材料304は、略柔軟であり、約200グラムの垂直荷重と同等の力の下で、約25μmより大きい塑性変形を受ける。バンプ材料304は、基板308上の伝導性トレース306よりも幅広い。伝導性ビア310は、図21aに示されるように、開口部312および伝導性側壁314を伴って伝導性トレース306を通して形成される。伝導性トレース306は、ルーティング密度を増加させるための、図6-15で説明されるようなエスケープトレースおよび相互接続部位と同様である。

30

【0101】

半導体ダイ224は、バンプ材料304が伝導性トレース306上の相互接続部位と整合されるように位置付けられる（図25-25g参照）。代替として、バンプ材料304は、基板308上に形成される伝導性パッドまたは他の相互接続部位と整合させることができる。圧力または力Fは、バンプ材料304を伝導性トレース306上に押し付け、伝導性ビア310の開口部312の中へ押し込むように、半導体ダイ224の裏面228に印加される。力Fは、高温で印加することができる。バンプ材料304の柔軟性により、バンプ材料は、図21bに示されるように、伝導性トレース306の頂面および側面の周囲で、かつ伝導性ビア310の開口部312の中へ変形または押出する。具体的には、圧力の印加は、バンプ材料304に塑性変形を受けさせ、伝導性トレース306の頂面および側面を覆わせ、かつ伝導性ビア310の開口部312の中へ覆わせる。したがって、バンプ材料304は、基板308を通したz方向の垂直相互接続のために、伝導性トレース306および伝導性側壁314に電気的に接続される。バンプ材料304の塑性流動は、バンプ材料と、伝導性トレース306の頂面および側面ならびに伝導性ビア310の開口部312との間に、巨視的な機械的相互係止を作成する。バンプ材料と、伝導性トレース306の頂面および側面ならびに伝導性ビア310の開口部312との間の機械的相互係止は、接着力を有意に増加させることなく、それぞれの表面間により大きい接触面積を伴って頑丈な接続を提供する。バンプ材料と、伝導性トレース306の頂面および側面ならびに伝導性ビア310の開口部312との間の機械的相互係止はまた、カプセル化等の後続の製造工程中に横方向のダイの移行を低減する。伝導性ビア310がバンプ材料304を伴う相互接続部位内に作成されるため、総基板相互接続面積は低減される。

40

50

【0102】

図17a - 17g、18a - 18d、19a - 19d、20a - 20c、および21a - 21bのBOL実施形態では、伝導性トレースを相互接続構造よりも狭くすることによって、ルーティング密度および入出力計数を増加させるように伝導性トレースピッチを低減することができる。より狭い伝導性トレースは、伝導性トレースの周囲の相互接続構造を変形するために必要な力Fを低減する。例えば、必要な力Fは、バンプよりも幅広い伝導性トレースまたはパッドに対してバンプを変形させるために必要な力の30~50%であってもよい。より低い圧縮力Fは、細かいピッチ相互接続および小型ダイが、特定公差内で共平面性を維持し、均一なz方向変形および高信頼性の相互接続結合を達成するために有用である。加えて、伝導性トレースの周囲の相互接続構造を変形させることにより、バンプをトレースに機械的に係止し、リフロー中のダイの移行またはダイの浮動を防止する。

10

【0103】

図22a - 22cは、半導体ダイと基板との間のバンプの周囲に封入材を堆積させる鋳型アンダーフィル(MUF)工程を示す。図22aは、図17bからのバンプ材料234を使用して基板254に載置され、チエイス鋳型320の上部鋳型支持材316と下部鋳型支持材318との間に配置される半導体ダイ224を示す。図17a - 17g、18a - 18d、19a - 19d、20 - 20c、および21a - 21bからの他の半導体ダイおよび基板の組み合わせは、チエイス鋳型320の上部鋳型支持材316と下部鋳型支持材318との間に配置することができる。上部鋳型支持材316は、圧縮性解放膜322を含む。

20

【0104】

図22bでは、上部鋳型支持材316および下部鋳型支持材318は、基板上および半導体ダイと基板との間に開放空間を伴って、半導体ダイ224および基板254を取り囲むように接合される。圧縮性解放膜322は、半導体ダイ224の裏面228および側面に一致して、これらの表面上での封入材の形成を阻止する。液体状態の封入材324が、ノズル326を伴うチエイス鋳型320の片側の中に注入される一方で、随意的な真空補助328は、反対側から圧力を引き込み、基板254上の開放空間、および半導体ダイ224と基板254との間の開放空間を封入材で均一に充填する。封入材324は、充填材を伴うエポキシ樹脂、充填材を伴うエポキシアクリレート、または適正な充填材を伴うポリマー等の、ポリマー複合材料となり得る。封入材324は、非伝導性であり、外部要素および汚染物質から半導体素子を環境的に保護する。圧縮性材料322は、封入材324が裏面228上、および半導体ダイ224の側面の周囲で流れることを防止する。封入材324は硬化される。半導体ダイ224の裏面228および側面は、封入材324から露出されたままである。

30

【0105】

図22cは、MUFおよび鋳型オーバーフィル(MOF)の実施形態を示し、すなわち、圧縮性材料322を伴わない。半導体ダイ224および基板254は、チエイス鋳型320の上部鋳型支持材316と下部鋳型支持材318との間に配置される。上部鋳型支持材316および下部鋳型支持材318は、基板上、半導体ダイの周囲、および半導体ダイと基板との間に開放空間を伴って、半導体ダイ224および基板254を取り囲むように接合される。液体状態の封入材324が、ノズル326を伴うチエイス鋳型320の片側の中に注入される一方で、随意的な真空補助328は、反対側から圧力を引き込み、半導体ダイ224の周囲および基板254上の開放空間、および半導体ダイ224と基板254との間の開放空間を封入材で均一に充填する。封入材324は硬化される。

40

【0106】

図23は、半導体ダイ224の周囲、および半導体ダイ224と基板254との間の隙の中に、封入材を堆積させる別の実施形態を示す。半導体ダイ224および基板254は、ダム330によって取り囲まれる。封入材332は、基板254上の開放空間、および半導体ダイ224と基板254との間の開放空間を充填するように、液体状態でノズル

50

334からダム330の中へ分注される。ノズル334から分注される封入材332の量は、半導体ダイ224の裏面228または側面を覆うことなく、ダム330を充填するよう制御される。封入材332は硬化される。

【0107】

図24は、図22a、22c、および23からのMUF工程後の半導体ダイ224および基板254を示す。封入材324は、基板254上で、および半導体ダイ224と基板254との間のバンプ材料234の周囲で均一に分布する。

【0108】

図25a - 25gは、基板またはPCB340上の種々の伝導性トレースレイアウトの上面図を示す。図25aでは、伝導性トレース342は、基板340上に形成された集積バンプパッドまたは相互接続部位344を伴う直線導体である。基板バンプパッド344の側面は、伝導性トレース342と同一線上にあり得る。従来技術では、はんだ位置合わせ開口部(SRO)は、典型的には、リフロー中にバンプ材料を含有するように相互接続部位上に形成される。SROは、相互接続ピッチを増加させ、入出力計数を低減する。対照的に、マスキング層346を基板340の一部分上に作成することができるが、マスキング層は、伝導性トレース342の基板バンプパッド344の周囲には形成されない。つまり、バンプ材料と噛合するように設計されている伝導性トレース342の部分には、リフロー中にバンプを含有するために使用されるマスキング層346のSROが欠けている。

10

【0109】

半導体ダイ224は、基板340上に配置され、バンプ材料は、基板バンプパッド344と整合させられる。バンプ材料は、バンプ材料をバンプパッドと物理的接触させ、次いで、リフロー温度下でバンプ材料をリフローすることによって、基板バンプパッド344に電気的かつ冶金的に接続される。

20

【0110】

別の実施形態では、導電性バンプ材料は、蒸発、電解めっき、無電解めっき、ボールドロップ、またはスクリーン印刷工程を使用して、基板バンプパッド344上に堆積せられる。バンプ材料は、随意的な流束溶液とともに、Al、Sn、Ni、Au、Ag、Pb、Bi、Cu、はんだ、およびそれらの組み合わせとなり得る。例えば、バンプ材料は、共晶Sn/Pb、鉛の含有量が高いはんだ、または無鉛はんだとなり得る。バンプ材料は、好適な取付または接着工程を使用して、基板バンプパッド344に接着される。一実施形態では、バンプ材料は、図25bに示されるように、バンプまたは相互接続348を形成するように、その融点を上回って材料を加熱することによって、リフローされる。いくつかの用途では、バンプ348は、基板バンプパッド344への電気接觸を向上させるように、2回リフローされる。より狭い基板バンプパッド344の周囲のバンプ材料は、リフロー中にダイの配置を維持する。

30

【0111】

高ルーティング密度用途では、伝導性トレース342のエスケープピッチを最小限化することが望ましい。伝導性トレース342間のエスケープピッチは、リフロー格納の目的でマスキング層を排除することによって、すなわち、マスキング層を伴わないバンプ材料をリフローすることによって低減することができる。ダイバンプパッド232または基板バンプパッド344の周囲にSROが形成されないため、伝導性トレース342を、より細かいピッチで形成することができ、すなわち、伝導性トレース342を、ともに密接して、または近くの構造に密接して配置することができる。基板バンプパッド344の周囲にSROがないと、伝導性トレース342の間のピッチは、 $P = D + PLT + W / 2$ として求められ、式中、Dはバンプ348の基礎直径であり、PLTはダイ配置公差であり、Wは伝導性トレース342の幅である。一実施形態では、100μmのバンプ基礎直径、10μmのPLT、および30μmのトレース線幅を考慮すると、伝導性トレース342の最小エスケープピッチは、125μmである。マスクがないバンプ形成は、従来技術で見出されるような、隣接する開口部間のマスキング材料の間膜間隔、はんだマスク位置合

40

50

わせ公差（SRT）、および最小溶解性SROに対処する必要性を排除する。

【0112】

バンプ材料が、ダイバンプパッド232を基板バンプパッド344に冶金術的かつ電気的に接続するように、マスキング層を伴わずにリフローされると、湿潤および表面張力が、バンプ材料に自己閉じ込めを維持させ、ダイバンプパッド232および基板バンプパッド344と、実質的にバンプパッドの設置面積内にある伝導性トレース342に直接隣接する基板340の部分との間の空間内で保持させる。

【0113】

所望の自己閉じ込め特性を達成するために、伝導性トレース342の周辺領域よりも可湿性であるバンプ材料によって領域を選択的に接触させるように、ダイバンプパッド232または基板バンプパッド344上に配置する前に、バンプ材料を流束溶液に浸漬することができる。溶解バンプ材料は、流束溶液の可湿特性により、実質的にバンプパッドによって画定される領域内に閉じ込められたままである。バンプ材料は、可湿性の低い領域へと流出しない。バンプ材料が領域の可湿性を低くすることを目的としない領域上で、薄い酸化層または他の絶縁層を形成することができる。したがって、ダイバンプパッド232または基板バンプパッド344の周囲ではマスキング層340が必要とされない。

10

【0114】

図25cは、基板350上に形成される集積長方形バンプパッドまたは相互接続部位354を伴う直線導体として、並列伝導性トレース352の別の実施形態を示す。この場合、基板バンプパッド354は、伝導性トレース352よりも幅広いが、噛合バンプの幅より小さい。基板バンプパッド354の側面は、伝導性トレース352と平行となり得る。マスキング層356は、基板350の一部分上に形成することができる。しかしながら、マスキング層は、伝導性トレース352の基板バンプパッド354の周囲には形成されない。つまり、バンプ材料と噛合するように設計されている伝導性トレース352の部分には、リフロー中にバンプを含有するために使用されるマスキング層356のSROが欠けている。

20

【0115】

図25dは、最大相互接続密度および容量のために、基板366上に形成されたオフセット集積バンプパッドまたは相互接続部位364を伴う複数列のアレイに配設された、伝導性トレース360および362の別の実施形態を示す。代替伝導性トレース360および362は、バンプパッド364へのルーティングのための肘部を含む。各基板バンプパッド364の側面は、伝導性トレース360および362と同一線上にある。マスキング層368は、基板366の一部分上に形成することができるが、マスキング層468は、伝導性トレース360および362の基板バンプパッド364の周囲には形成されない。つまり、バンプ材料と噛合するように設計されている伝導性トレース360および362の部分には、リフロー中にバンプを含有するために使用されるマスキング層368のSROが欠けている。

30

【0116】

図25eは、最大相互接続密度および容量のために、基板376上に形成されたオフセット集積バンプパッドまたは相互接続部位374を伴う複数列のアレイに配設された、伝導性トレース370および372の別の実施形態を示す。代替伝導性トレース370および372は、バンプパッド374へのルーティングのための肘部を含む。この場合、基板バンプパッド374は、伝導性トレース370および372よりも幅広いが、噛合相互接続バンプ材料の幅より小さい。マスキング層378は、基板376の一部分上に形成することができるが、マスキング層378は、伝導性トレース370および372の基板バンプパッド374の周囲には形成されない。つまり、バンプ材料と噛合するように設計されている伝導性トレース370および372の部分には、リフロー中にバンプを含有するために使用されるマスキング層378のSROが欠けている。

40

【0117】

図25fは、最大相互接続密度および容量のために、基板386上に形成されたオフセ

50

ット集積バンプパッドまたは相互接続部位 384 を伴う複数列のアレイに配設された、伝導性トレース 380 および 382 の別の実施形態を示す。代替伝導性トレース 380 および 382 は、バンプパッド 384 へのルーティングのための肘部を含む。この場合、基板バンプパッド 384 は、伝導性トレース 380 および 382 よりも幅広いが、噛合相互接続バンプ材料の幅より小さい。マスキング層 388 は、基板 386 の一部分上に形成することができるが、マスキング層 388 は、伝導性トレース 380 および 382 の基板バンプパッド 384 の周囲には形成されない。つまり、バンプ材料と噛合するように設計されている伝導性トレース 380 および 382 の部分には、リフロー中にバンプを含有するために使用されるマスキング層 388 の SRO が欠けている。

【0118】

相互接続工程の一実施例として、半導体ダイ 224 は、基板 366 上に配置され、バンプ材料 234 は、図 25d からの基板バンプパッド 364 と整合させられる。バンプ材料 234 は、図 17a - 17g、18a - 18d、19a - 19d、20a - 20c、および 21a - 21b について説明されるように、バンプ材料を押し付けることによって、または、バンプ材料をバンプパッドと物理的接触させ、次いで、リフロー温度下でバンプ材料をリフローすることによって、基板バンプパッド 364 に電気的かつ冶金的に接続される。

【0119】

別の実施形態では、導電性バンプ材料は、蒸発、電解めっき、無電解めっき、ボルドロップ、またはスクリーン印刷工程を使用して、基板バンプパッド 364 上に堆積させられる。バンプ材料は、随意的な流束溶液とともに、Al、Sn、Ni、Au、Ag、Pb、Bi、Cu、はんだ、およびそれらの組み合わせとなり得る。例えば、バンプ材料は、共晶 Sn / Pb、鉛の含有量が高いはんだ、または無鉛はんだとなり得る。バンプ材料は、好適な取付または接着工程を使用して、基板バンプパッド 364 に接着される。一実施形態では、バンプ材料は、図 25g に示されるように、バンプまたは相互接続 390 を形成するように、その融点を上回って材料を加熱することによって、リフローされる。いくつかの用途では、バンプ 390 は、基板バンプパッド 364 への電気接触を向上させるように、2 回リフローされる。より狭い基板バンプパッド 364 の周囲のバンプ材料は、リフロー中にダイの配置を維持する。バンプ材料 234 またはバンプ 390 はまた、図 25a - 25g の基板バンプパッド構成上に形成することもできる。

【0120】

高ルーティング密度用途では、伝導性トレース 360 および 362 または図 25a - 25g の他の伝導性トレース構成のエスケープピッチを最小限化することが望ましい。伝導性トレース 360 および 362 の間のエスケープピッチは、リフロー格納の目的でマスキング層を排除することによって、すなわち、マスキング層を伴わないバンプ材料をリフローすることによって低減することができる。ダイバンプパッド 232 または基板バンプパッド 364 の周囲に SRO が形成されないため、伝導性トレース 360 および 362 を、より細かいピッチで形成することができ、すなわち、伝導性トレース 360 および 362 を、ともに密接して、または近くの構造に密接して配置することができる。基板バンプパッド 364 の周囲に SRO がないと、伝導性トレース 360 および 362 の間のピッチは、 $P = D / 2 + PLT + W / 2$ として求められ、式中、D はバンプ 390 の基礎直径であり、PLT はダイ配置公差であり、W は伝導性トレース 360 および 362 の幅である。一実施形態では、 $100 \mu m$ のバンプ基礎直径、 $10 \mu m$ の PLT、および $30 \mu m$ のトレース線幅を考慮すると、伝導性トレース 360 および 362 の最小エスケープピッチは、 $125 \mu m$ である。マスクがないバンプ形成は、従来技術で見出されるような、隣接する開口部間のマスキング材料の間膜間隔、SRT、および最小溶解性 SRO に対処する必要性を排除する。

【0121】

バンプ材料が、ダイバンプパッド 232 を基板バンプパッド 364 に冶金的かつ電気に接続するように、マスキング層を伴わずにリフローされると、湿潤および表面張力が

10

20

30

40

50

、バンプ材料に自己閉じ込めを維持させ、ダイバンプパッド 232 および基板バンプパッド 364 と、実質的にバンプパッドの設置面積内にある伝導性トレース 360 および 362 に直接隣接する基板 366 の部分との間の空間内で保持させる。

【0122】

所望の自己閉じ込め特性を達成するために、伝導性トレース 360 および 362 の周辺領域よりも可湿性であるバンプ材料によって領域を選択的に接触させるように、ダイバンプパッド 232 または基板バンプパッド 364 上に配置する前に、バンプ材料を流束溶液に浸漬することができる。溶解バンプ材料は、流束溶液の可湿特性により、実質的にバンプパッドによって画定される領域内に閉じ込められたままである。バンプ材料は、可湿性の低い領域へと流出しない。バンプ材料が領域の可湿性を低くすることを目的としない領域上で、薄い酸化層または他の絶縁層を形成することができる。したがって、ダイバンプパッド 232 または基板バンプパッド 364 の周囲ではマスキング層 368 が必要とされない。

10

【0123】

図 26a では、マスキング層 392 は、伝導性トレース 394 および 396 の一部分上に堆積させられる。しかしながら、マスキング層 392 は、集積バンプパッド 398 上には形成されない。その結果として、基板 400 上の各バンプパッド 398 には SR0 がない。非可湿性マスキングパッチ 402 は、集積バンプパッド 398 のアレイ内に介在して、すなわち、隣接するバンプパッドの間で、基板 400 上に形成される。マスキングパッチ 402 はまた、ダイバンプパッド 398 のアレイ内に介在して、半導体ダイ 224 上に形成することもできる。より一般的に、マスキングパッチは、可湿性の低い領域への流出を防止する任意の配設で、集積バンプパッドにごく接近して形成される。

20

【0124】

半導体ダイ 224 は、基板 400 上に配置され、バンプ材料は、基板バンプパッド 398 と整合させられる。バンプ材料は、図 17a - 17g、18a - 18d、19a - 19d、20a - 20c、および 21a - 21b について説明されるように、バンプ材料を押し付けることによって、または、バンプ材料をバンプパッドと物理的接触させ、次いで、リフロー温度下でバンプ材料をリフローすることによって、基板バンプパッド 398 に電気的かつ冶金的に接続される。

30

【0125】

別の実施形態では、導電性バンプ材料は、蒸発、電解めっき、無電解めっき、ポールドロップ、またはスクリーン印刷工程を使用して、集積バンプパッド 398 上に堆積させられる。バンプ材料は、随意的な流束溶液とともに、Al、Sn、Ni、Au、Ag、Pb、Bi、Cu、はんだ、およびそれらの組み合わせとなり得る。例えば、バンプ材料は、共晶 Sn / Pb、鉛の含有量が高いはんだ、または無鉛はんだとなり得る。バンプ材料は、好適な取付または接着工程を使用して、集積バンプパッド 398 に接着される。一実施形態では、バンプ材料は、図 26b に示されるように、球状ボールまたはバンプ 404 を形成するように、その融点を上回って材料を加熱することによって、リフローされる。いくつかの用途では、バンプ 404 は、集積バンプパッド 398 への電気接触を向上させるように、2 回リフローされる。バンプはまた、集積バンプパッド 398 に圧縮接着することもできる。バンプ 404 は、集積バンプパッド 398 上に形成することができる、1 種類の相互接続構造を表す。相互接続構造は、スタッドバンプ、マイクロバンプ、または他の電気的相互接続を使用することができる。

40

【0126】

高ルーティング密度用途では、エスケープピッチを最小限化することが望ましい。伝導性トレース 394 および 396 の間のピッチを低減するために、バンプ材料は、集積バンプパッド 398 の周囲にマスキング層を伴わずにリフローされる。伝導性トレース 394 および 396 の間のエスケープピッチは、リフロー格納の目的でマスキング層を排除することによって、すなわち、マスキング層を伴わないバンプ材料をリフローすることによって低減することができる。スキング層 392 は、集積バンプパッド 398 から離れて、伝

50

導性トレース 394 および 396 ならびに基板 400 の一部分上に形成することができるが、マスキング層 392 は、集積バンプパッド 398 の周囲には形成されない。つまり、バンプ材料と噛合するように設計されている伝導性トレース 394 および 396 の部分には、リフロー中にバンプを含有するために使用されるマスキング層 392 の SRO が欠けている。

【0127】

加えて、マスキングパッチ 402 が、集積バンプパッド 398 のアレイ内に介在して基板 400 上に形成される。マスキングパッチ 402 は、非可湿性材料である。

マスキングパッチ 402 は、マスキング層 392 と同じ材料であり、同じ処理ステップ中に塗布することができるか、または異なる処理ステップ中に異なる材料となり得る。マスキングパッチ 402 は、集積バンプパッド 398 のアレイ内のトレースまたはパッドの部分の選択的酸化、めっき、または他の処理によって形成することができる。マスキングパッチ 402 は、集積バンプパッド 398 にバンプ材料流動を閉じ込め、隣接構造への伝導性バンプ材料の浸出を防止する。

10

【0128】

バンプ材料が、集積バンプパッド 398 のアレイ内に介在して配置されたマスキングパッチ 402とともにリフローされると、湿潤および表面張力が、ダイバンプパッド 232 および集積バンプパッド 398 と、実質的に集積バンプパッド 398 の設置面積内にある伝導性トレース 394 および 396 に直接隣接する基板 400 の部分との間の空間内で、バンプ材料を閉じ込めさせ、保持させる。

20

【0129】

所望の自己閉じ込め特性を達成するために、伝導性トレース 394 および 396 の周辺領域よりも可湿性であるバンプ材料によって領域を選択的に接触させるように、ダイバンプパッド 232 または集積バンプパッド 398 上に配置する前に、バンプ材料を流束溶液に浸漬することができる。溶解バンプ材料は、流束溶液の可湿特性により、実質的にバンプパッドによって画定される領域内に閉じ込められたままである。バンプ材料は、可湿性の低い領域へと流出しない。バンプ材料が領域の可湿性を低くすることを目的としない領域上で、薄い酸化層または他の絶縁層を形成することができる。したがって、ダイバンプパッド 232 または集積バンプパッド 398 の周囲ではマスキング層 392 が必要とされない。

30

【0130】

ダイバンプパッド 232 または集積バンプパッド 398 の周囲に SRO が形成されないため、伝導性トレース 394 および 396 を、より細かいピッチで形成することができ、すなわち、接触し、電気的短絡を形成することなく、伝導性トレースを隣接構造に密接して配置することができる。同じはんだ位置合わせ設計規則を仮定すると、伝導性トレース 394 および 396 の間のピッチは、 $P = (1.1D + W) / 2$ として求められ、式中、D はバンプ 404 の基礎直径であり、W は伝導性トレース 394 および 396 の幅である。一実施形態では、100 μm のバンプ基礎直径、および 20 μm のトレース線幅を考慮すると、伝導性トレース 394 および 396 の最小エスケープピッチは、65 μm である。バンプ形成は、従来技術で見出されるような、隣接する開口部間のマスキング材料の間膜間隔、および最小溶解性 SRO に対処する必要性を排除する。

40

【0131】

図 27 は、ダイ取付接着剤 410 を使用して半導体ダイ 408 上に積み重ねられた、半導体ダイ 406 を伴うパッケージオンパッケージ (POP) 405 を示す。半導体ダイ 406 および 408 はそれぞれ、ダイ内に形成され、ダイの電気的設計および機能に従って電気的に相互接続される、能動素子、受動素子、伝導層、および誘電層として実装される、アナログまたはデジタル回路を含有する、能動表面を有する。例えば、回路は、DSP、ASIC、メモリ、または他の信号処理回路等のアナログ回路またはデジタル回路を実装するように、1つ以上のトランジスタ、ダイオード、および能動表面内に形成される他の回路要素を含んでもよい。半導体ダイ 406 および 408 はまた、RF 信号処理のため

50

に、インダクタ、コンデンサ、および抵抗器等のIPDを含有してもよい。

【0132】

半導体ダイ406は、図17a-17g、18a-18d、19a-19d、20a-20c、および21a-21bからの実施形態のうちのいずれかを使用して、接触パッド418上に形成されたバンプ材料416を使用して基板414上に形成された伝導性トレース412に載置される。伝導性トレース412は、ルーティング密度を増加させるための、図6-15で説明されるようなエスケープトレースおよび相互接続部位と同様である。半導体ダイ408は、ボンドワイヤ422を使用して、基板414上に形成された接触パッド420に電気的に接続される。ボンドワイヤ422の反対の端は、半導体ダイ406上の接触パッド424に接着される。

10

【0133】

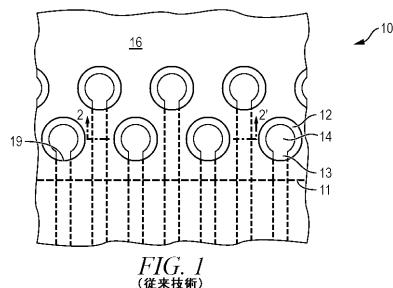
マスキング層426は、基板414上に形成され、半導体ダイ406の設置面積を越えて開放される。マスキング層426が、リフロー中にバンプ材料416を伝導性トレース412に閉じ込めない一方で、開放マスクは、MUF中に封入材428が接触パッド420またはボンドワイヤ422に移動することを防止するようにダムとして動作することができる。封入材428は、図22a-22cと同様に、半導体ダイ408と基板414との間に配置される。マスキング層426は、欠陥を引き起こし得るので、MUF封入材428が接触パッド420およびボンドワイヤ422に到達することを阻止する。マスキング層426は、封入材428が接触パッド420上に漏出する危険性を伴わずに、より大型の半導体ダイが所与の基板上に配置されることを可能にする。

20

【0134】

本発明の1つ以上の実施形態を詳細に例証してきたが、当業者であれば、以下の請求項で規定されるような本発明の範囲から逸脱することなく、これらの実施形態の修正および適合が行われてもよいことを認識するであろう。

【図1】



【図3】

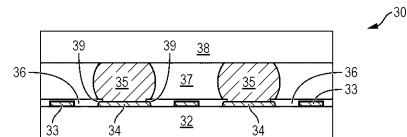


FIG. 3
(従来技術)

【図2】

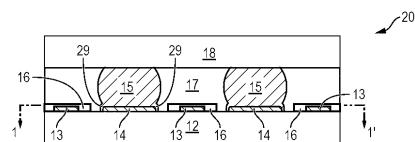


FIG. 2
(従来技術)

【図4】

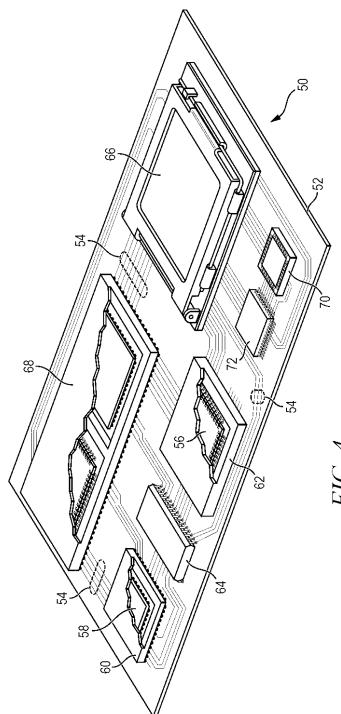


FIG. 4

【図5 a】

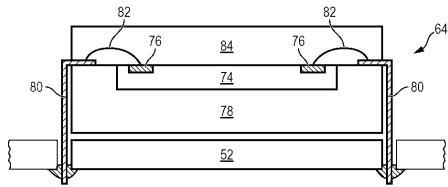


FIG. 5a

【図5 b】

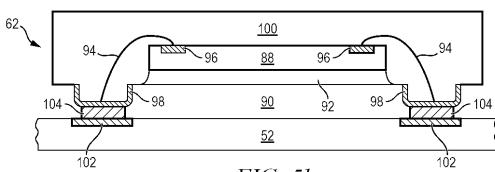


FIG. 5b

【図5 c】

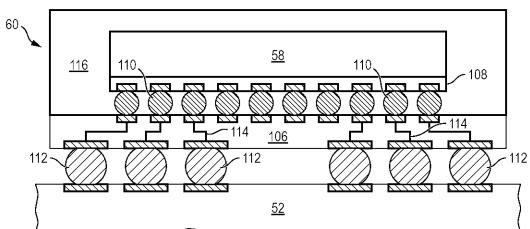


FIG. 5c

【図6】

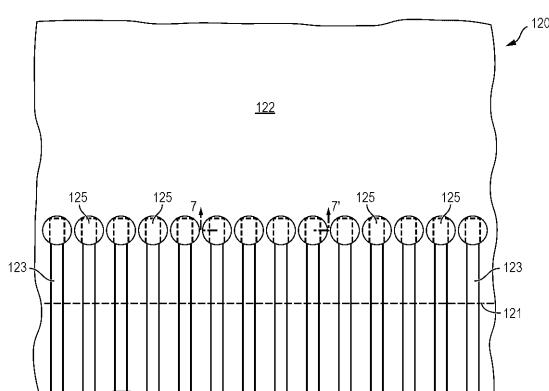


FIG. 6

【図8】

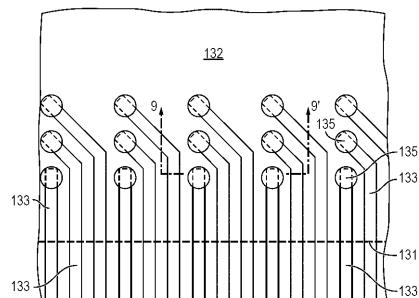


FIG. 8

【図7】

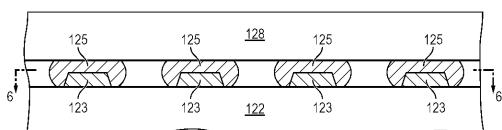


FIG. 7

【図9】

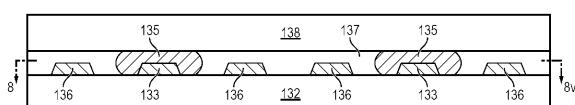


FIG. 9

【図 1 0】

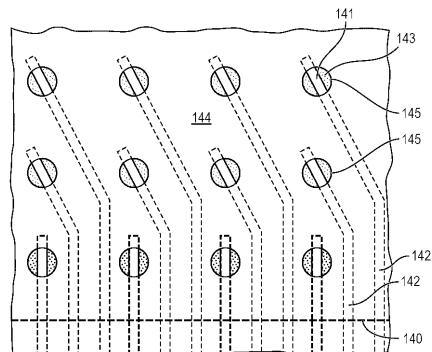


FIG. 10

【図 1 2 a】

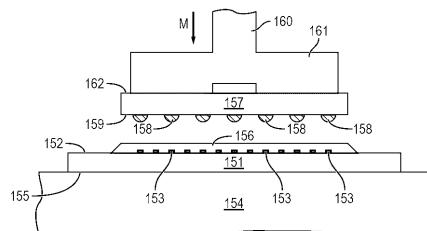


FIG. 12a

【図 1 2 b】

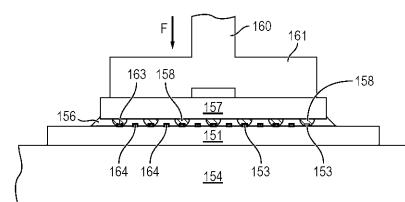


FIG. 12b

【図 1 2 c】

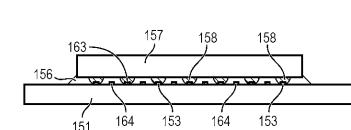


FIG. 12c

【図 1 1】

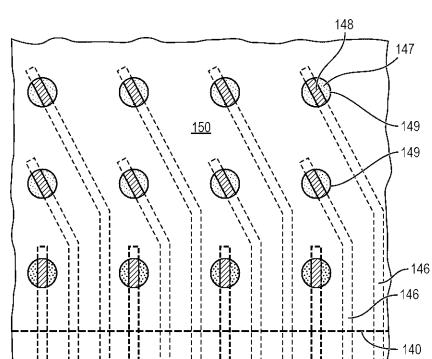


FIG. 11

【図 1 3 a】

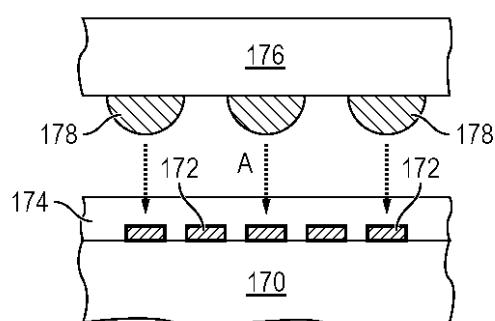


FIG. 13a

【図 1 3 c】

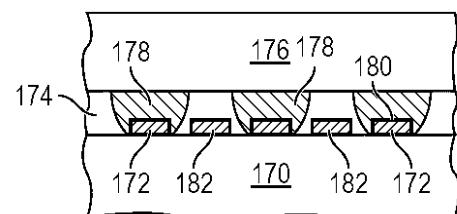


FIG. 13c

【図 1 3 b】

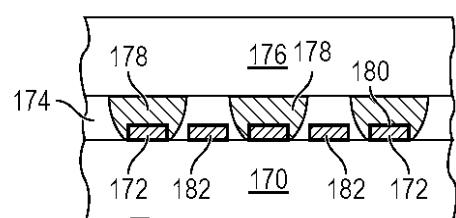


FIG. 13b

【図 1 3 d】

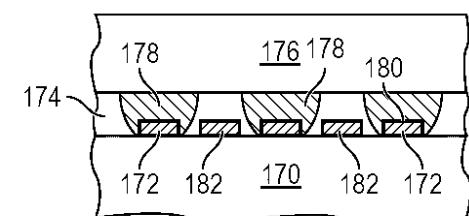
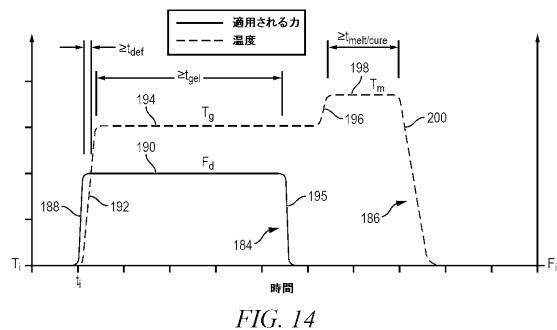


FIG. 13d

【図 1 4】



【図 1 5】

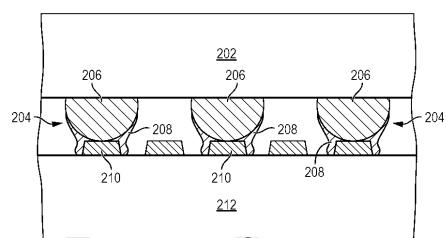


FIG. 15

【図 1 6 a】

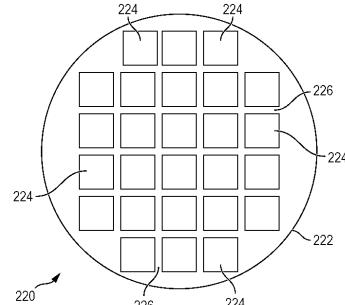


FIG. 16a

【図 1 6 b】

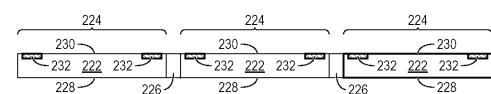


FIG. 16b

【図 1 6 c】

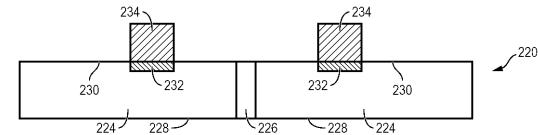


FIG. 16c

【図 1 6 d】

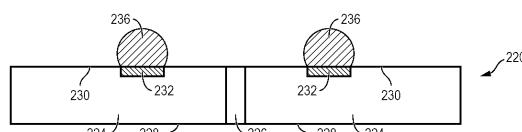


FIG. 16d

【図 1 6 e】

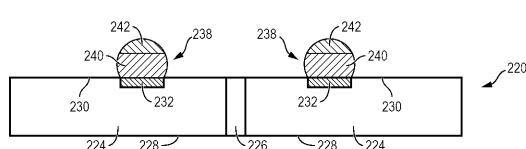


FIG. 16e

【図 1 6 g】

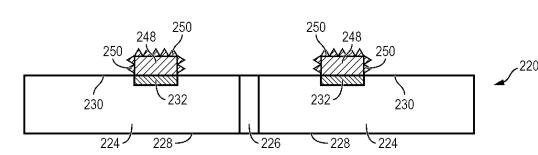


FIG. 16g

【図 1 6 h】

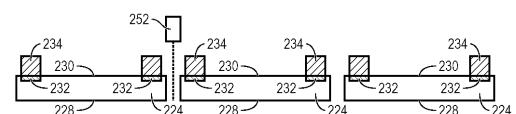


FIG. 16h

【図 1 6 f】

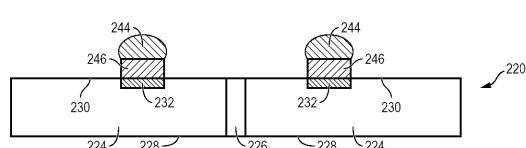


FIG. 16f

【図 1 7 a】

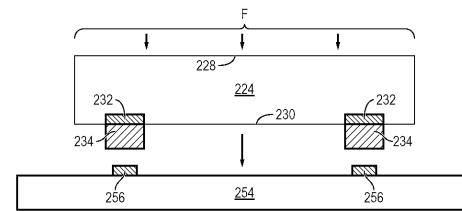


FIG. 17a

【図 17 b】

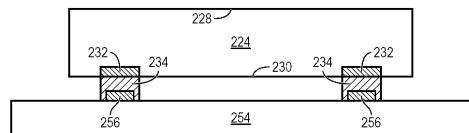


FIG. 17b

【図 17 c】

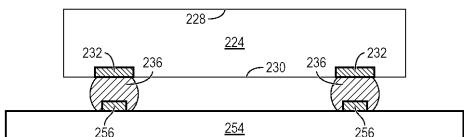


FIG. 17c

【図 17 d】

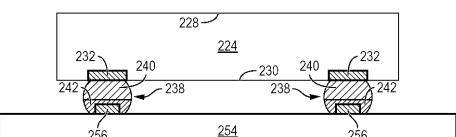


FIG. 17d

【図 17 e】

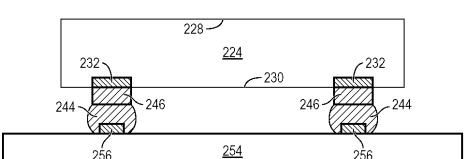


FIG. 17e

【図 17 f】

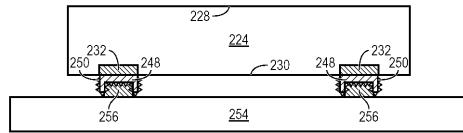


FIG. 17f

【図 17 g】

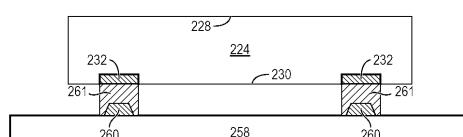


FIG. 17g

【図 18 a】

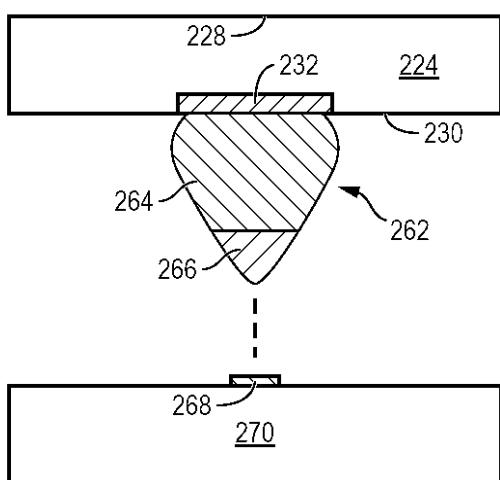


FIG. 18a

【図 18 b】

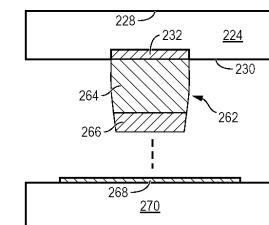


FIG. 18b

【図 18 c】

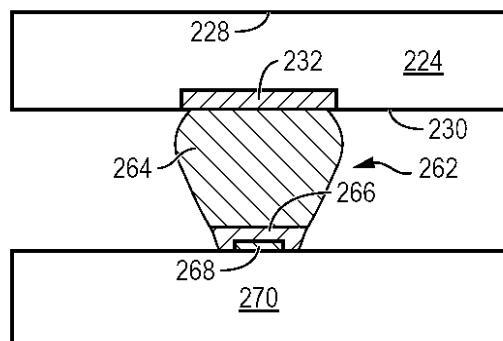


FIG. 18c

【図 18d】

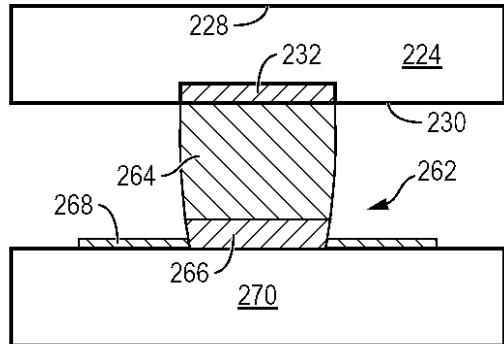


FIG. 18d

【図 19b】

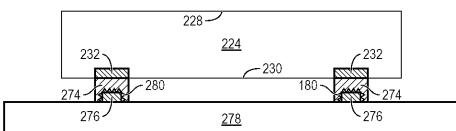


FIG. 19b

【図 19c】

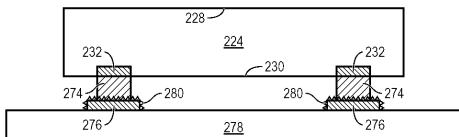


FIG. 19c

【図 19d】

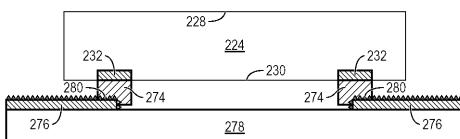


FIG. 19d

【図 19a】

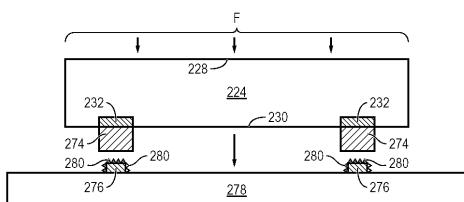


FIG. 19a

【図 20a】

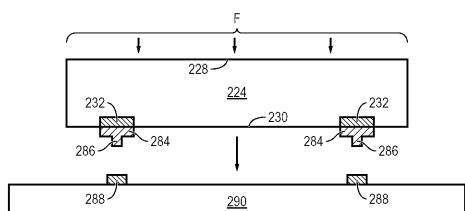


FIG. 20a

【図 20b】

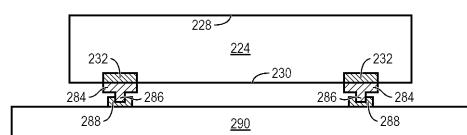


FIG. 20b

【図 20c】

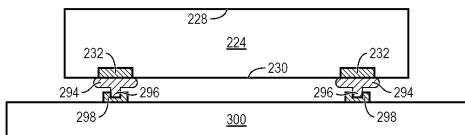


FIG. 20c

【図 21a】

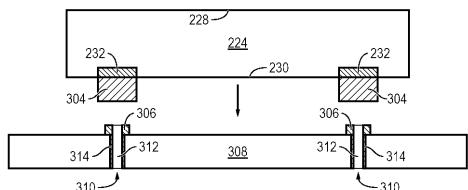


FIG. 21a

【図 21b】

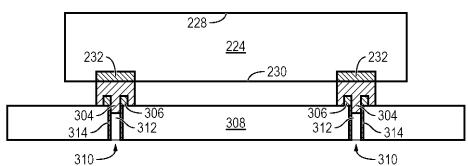


FIG. 21b

【図 2 2 a】

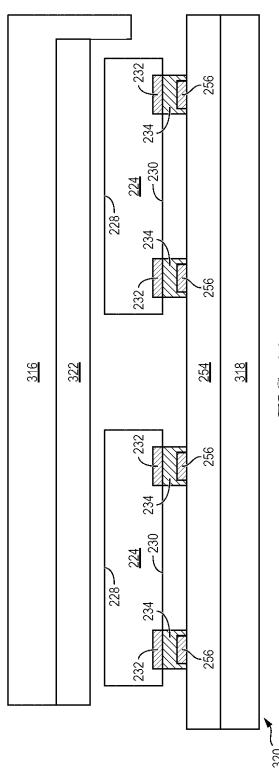


FIG. 22a

【図 2 2 b】

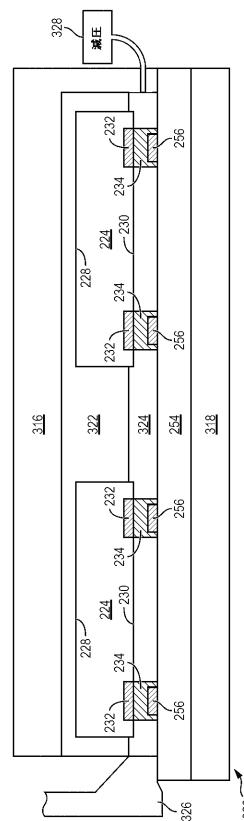


FIG. 22b

【図 2 2 c】

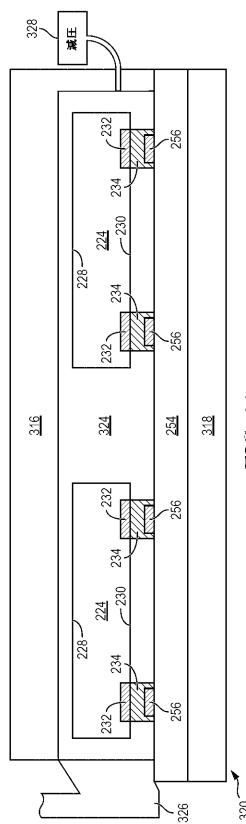


FIG. 22c

【図 2 3】

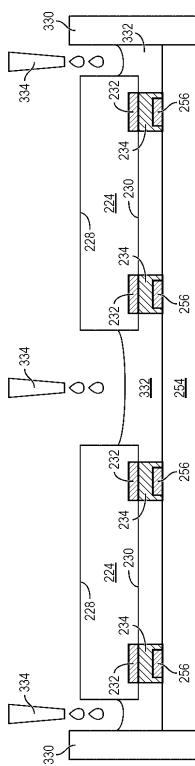


FIG. 23

【図 2 4】

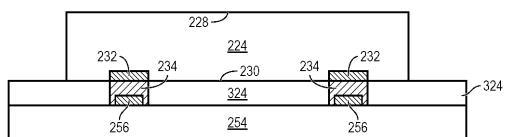


FIG. 24

【図 2 5 a】

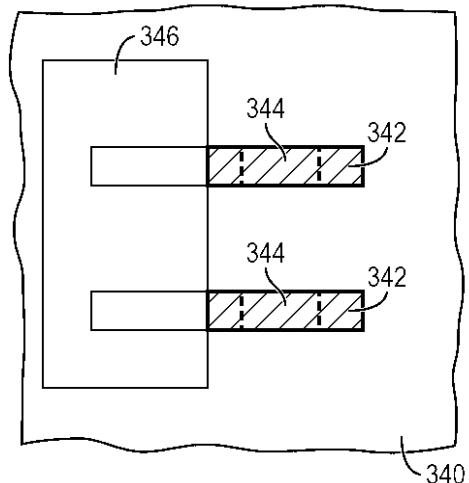


FIG. 25a

【図 2 5 b】

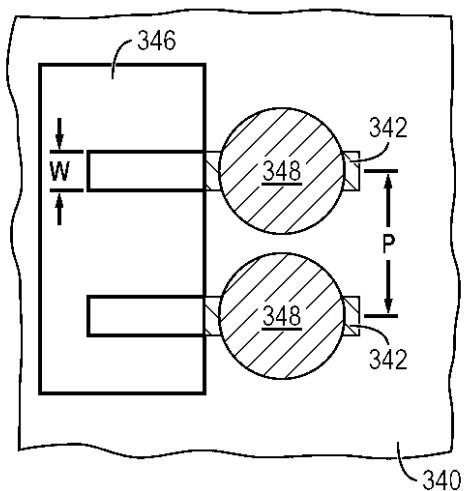


FIG. 25b

【図 2 5 c】

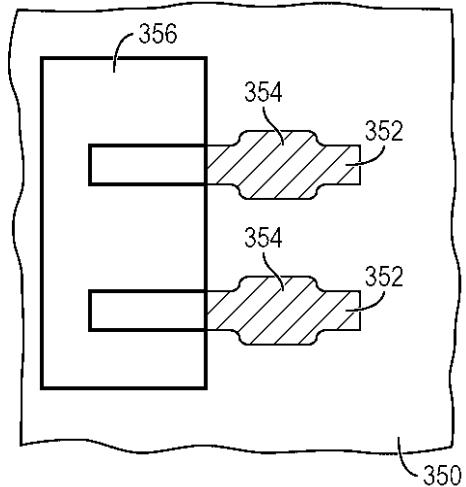


FIG. 25c

【図 2 5 d】

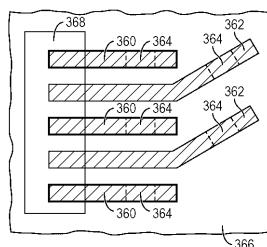


FIG. 25d

【図 2 5 e】

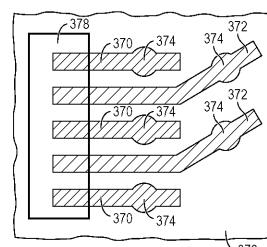


FIG. 25e

【図25f】

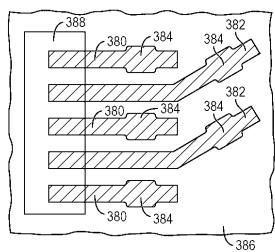


FIG. 25f

【 図 2 6 a 】

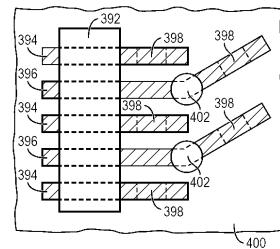


FIG. 26a

【図25g】

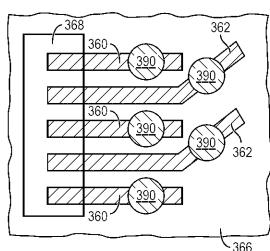


FIG. 25g

【図26b】

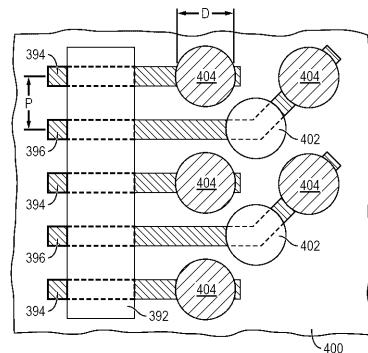


FIG. 26b

【図27】

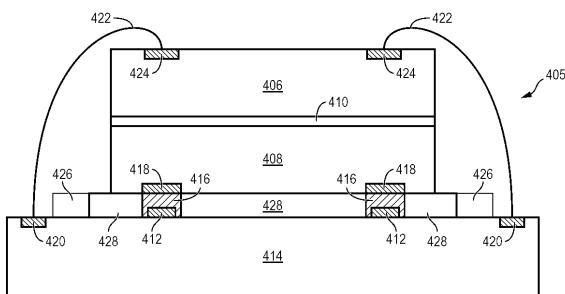


FIG. 27

フロントページの続き

(72)発明者 ラジエンドラ ディー . ペンズ

アメリカ合衆国 カリフォルニア 94555 , フレモント , ダイヤモンド コモン 524
5

F ターム(参考) 5F033 HH07 HH08 HH11 HH13 HH14 MM05 PP19 PP26 PP27 PP28

VV07

5F044 KK01 KK13 LL01 QQ03 RR18

【外國語明細書】

2012119649000001.pdf