(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第6245997号
(P6245997)

(45)発行日　平成29年12月13日(2017.12.13)　(24)登録日　平成29年11月24日(2017.11.24)

(51) Int.Cl.			F I	
H04N	*5/374*	*(2011.01)*	H04N	5/374
H04N	*5/378*	*(2011.01)*	H04N	5/378

請求項の数 11　(全 15 頁)

(21) 出願番号　特願2014-6145 (P2014-6145)
(22) 出願日　平成26年1月16日 (2014.1.16)
(65) 公開番号　特開2015-136016 (P2015-136016A)
(43) 公開日　平成27年7月27日 (2015.7.27)
審査請求日　平成28年12月27日 (2016.12.27)

(73) 特許権者　000001007
キヤノン株式会社
東京都大田区下丸子３丁目３０番２号
(74) 代理人　100090273
弁理士　國分　孝悦
(72) 発明者　小林　秀央
東京都大田区下丸子３丁目３０番２号　キヤノン株式会社内
(72) 発明者　中村　恒一
東京都大田区下丸子３丁目３０番２号　キヤノン株式会社内
(72) 発明者　板野　哲也
東京都大田区下丸子３丁目３０番２号　キヤノン株式会社内

最終頁に続く

(54) 【発明の名称】固体撮像装置及び撮像システム

(57)【特許請求の範囲】

【請求項１】

行列状に配置され、光電変換に基づく画素信号を生成する複数の画素と、

前記複数の画素の列に対応して設けられ、前記画素信号をｎビット（ｎは２以上の整数）のデジタル値に変換する複数のＡ／Ｄ変換部と、を有し、

前記複数のＡ／Ｄ変換部の各々は、

前記ｎビットのデジタル値を１ビット単位で保持する複数の第１の蓄積部と、

前記複数の第１の蓄積部に対応して設けられ、前記第１の蓄積部から転送されたデジタル値を保持する複数の第２の蓄積部とを有し、

前記複数の第１の蓄積部と前記複数の第２蓄積部は、少なくとも第１の対と第２の対を形成し、

前記第１の対と前記第２の対の各対は、同一ビットのデジタル値を保持する前記第１の蓄積部及び前記第２の蓄積部を有し、

前記第１の対と前記第２の対は互いに隣接して配列されており、

前記第１の対の前記第１の蓄積部と、前記第２の対の前記第１の蓄積部は、蓄積動作を制御する共通の制御線と接続されていることを特徴とする固体撮像装置。

【請求項２】

前記第１の対と前記第２の対の各対をなす前記第１の蓄積部及び前記第２の蓄積部は、前記画素の列に沿った方向に、互いに隣接して配列されていることを特徴とする請求項１記載の固体撮像装置。

【請求項３】
前記第１の対と前記第２の対の各対をなす前記第１の蓄積部及び前記第２の蓄積部は、前記画素の行に沿った方向に、互いに隣接して配列されていることを特徴とする請求項１記載の固体撮像装置。
【請求項４】
前記第１の蓄積部は、
前記画素の列に沿った方向に並ぶ複数のＮＭＯＳトランジスタと、
前記画素の列に沿った方向に並ぶ複数のＰＭＯＳトランジスタとを有し、
前記第２の蓄積部は、
前記画素の列に沿った方向に並ぶ複数のＮＭＯＳトランジスタと、
前記画素の列に沿った方向に並ぶ複数のＰＭＯＳトランジスタとを有することを特徴とする請求項１～３のいずれか１項に記載の固体撮像装置。
【請求項５】
前記第１の蓄積部は、
前記画素の行に沿った方向に並ぶ複数のＮＭＯＳトランジスタと、
前記画素の行に沿った方向に並ぶ複数のＰＭＯＳトランジスタとを有し、
前記第２の蓄積部は、
前記画素の行に沿った方向に並ぶ複数のＮＭＯＳトランジスタと、
前記画素の行に沿った方向に並ぶ複数のＰＭＯＳトランジスタとを有することを特徴とする請求項１～３のいずれか１項に記載の固体撮像装置。
【請求項６】
前記第１の対と前記第２の対は、線対称のレイアウトであることを特徴とする請求項１～５のいずれか１項に記載の固体撮像装置。
【請求項７】
前記複数のＡ／Ｄ変換部は、
ｎビットのデジタル値をカウントして出力するカウンタと、
前記複数の画素の列毎に設けられ、前記画素の画素信号と時間とともに変化する参照信号とを比較する複数の比較器と、を有し、
前記複数の第１の蓄積部は、前記複数の画素の列に対応してｎ個ずつ設けられ、各列の前記比較器の比較結果に応じて、前記カウンタより出力される前記ｎビットのデジタル値を１ビット単位で保持することを特徴とする請求項１～６のいずれか１項に記載の固体撮像装置。
【請求項８】
前記カウンタは、前後に隣接するカウント値間のハミング距離が１であるカウント値をカウントするグレイコードカウンタであることを特徴とする請求項７記載の固体撮像装置。
【請求項９】
前記複数の第１の蓄積部のうちの一部の第１の蓄積部は、リピートバッファを介して前記カウンタの出力値を入力し、
前記複数の第１の蓄積部のうちの他の一部の第１の蓄積部は、リピートバッファを介さずに前記カウンタの出力値を入力し、
前記一部の第１の蓄積部と前記カウンタとの間の距離は、前記他の一部の第１の蓄積部と前記カウンタとの間の距離より長いことを特徴とする請求項７又は８記載の固体撮像装置。
【請求項１０】
さらに、前記カウンタの同一ビットの出力値を増幅する第１及び第２のバッファを有し、
前記複数の第１の蓄積部のうちの一部の第１の蓄積部は、前記第１のバッファを介して前記カウンタの出力値を入力し、
前記複数の第１の蓄積部のうちの他の一部の第１の蓄積部は、前記第２のバッファを介

して前記カウンタの出力値を入力することを特徴とする請求項７～９のいずれか１項に記載の固体撮像装置。

【請求項１１】

請求項１～１０のいずれか１項に記載の固体撮像装置と、

前記複数の画素に像を形成する光学系と、

前記固体撮像装置から出力された信号を処理して画像データを生成する映像信号処理部と

を有することを特徴とする撮像システム。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、スキャナ、ビデオカメラ、デジタルスチルカメラ等に用いられる固体撮像装置及び撮像システムに関する。

【背景技術】

【０００２】

固体撮像装置において、アレイ状に配置された画素の列毎にＡ／Ｄ変換器を配置して、各画素からの信号をデジタルデータに変換する技術が知られている。特許文献１には、デジタルデータを第１の蓄積部に保持した後、第２の蓄積部に転送し、その後、順次出力する技術が開示されている。

【先行技術文献】

【特許文献】

【０００３】

【特許文献１】特開２００９－２９６４６６号公報

【発明の概要】

【発明が解決しようとする課題】

【０００４】

第１の蓄積部と第２の蓄積部の対を列方向に配置する場合よりも面積を低減することが望まれている。

【０００５】

本発明の目的は、面積を低減することができる固体撮像装置及び撮像システムを提供することである。

【課題を解決するための手段】

【０００６】

本発明の固体撮像装置は、行列状に配置され、光電変換に基づく画素信号を生成する複数の画素と、前記複数の画素の列に対応して設けられ、前記画素信号をｎビット（ｎは2以上の整数）のデジタル値に変換する複数のＡ／Ｄ変換部と、を有し、前記複数のＡ／Ｄ変換部の各々は、前記ｎビットのデジタル値を１ビット単位で保持する複数の第１の蓄積部と、前記複数の第１の蓄積部に対応して設けられ、前記第１の蓄積部から転送されたデジタル値を保持する複数の第２の蓄積部とを有し、前記複数の第１の蓄積部と前記複数の第２蓄積部は、少なくとも第１の対と第２の対を形成し、前記第１の対と前記第２の対の各対は、同一ビットのデジタル値を保持する前記第１の蓄積部及び前記第２の蓄積部を有し、前記第１の対と前記第２の対は互いに隣接して配列されており、前記第１の対の前記第１の蓄積部と、前記第２の対の前記第１の蓄積部は、蓄積動作を制御する共通の制御線と接続されていることを特徴とする。

【発明の効果】

【０００７】

本発明によれば、チップ面積を低減することができる。

【図面の簡単な説明】

【０００８】

【図１】本発明の第１の実施形態の構成例を示す全体図である。

【図２】本発明の第１の実施形態の構成例を示す回路ブロック図である。
【図３】本発明の第１の実施形態の構成例を示す回路図である。
【図４】本発明の第１の実施形態の構成例を示す回路図である。
【図５】本発明の第１の実施形態のレイアウト例を示すレイアウト図である。
【図６】本発明の第１の実施形態のレイアウト例を示すレイアウト図である。
【図７】レイアウト図である。
【図８】本発明の第１の実施形態のレイアウト例を示すレイアウト図である。
【図９】本発明の第１の実施形態のレイアウト例を示すレイアウト図である。
【図１０】レイアウト図である。
【図１１】本発明の第２の実施形態の構成例を示す回路ブロック図である。
【図１２】本発明の第１の実施形態の構成例を示す回路ブロック図である。
【図１３】本発明の第３の実施形態の構成例を示す回路ブロック図である。
【図１４】本発明の第３の実施形態に係るタイミング図である。
【図１５】本発明の第３の実施形態に係るタイミング図である。
【図１６】本発明の第４の実施形態の構成例を示す回路ブロック図である。
【図１７】本発明の第５の実施形態の構成例を示す回路ブロック図である。
【図１８】本発明の第６の実施形態の構成例を示す回路ブロック図である。
【発明を実施するための形態】
【０００９】
（第１の実施形態）
　図１は、本発明の第１の実施形態による固体撮像装置の構成例を示す図である。複数の画素１００は、２次元行列状に配置される。各画素１００は、例えばフォトダイオードを含み、光電変換に基づく画素信号を生成する。各画素１００は、フォトダイオードで発生した電荷に基づいて電圧信号を出力する増幅部を備えていても良い。垂直走査回路１１０は、行単位で画素１００を順に選択し、選択した画素１００で発生するアナログ信号を列方向の比較器１２０に読み出す。参照電圧発生器１３０は、各列の比較器１２０に参照電圧を出力する。複数の比較器１２０は、画素１００の列毎に設けられ、画素１００の画素信号と参照電圧とを比較する。カウンタ１４０は、画素１００の全列に共通に１個設けられ、ｎビットのデジタル値をカウントして出力する。ｎは、１以上の整数である。複数の第１の蓄積部１５０は、画素１００の列毎にｎ個ずつ設けられ、各列の比較器１２０の比較結果に応じて、カウンタ１４０により出力されるｎビットのデジタル値を１ビット単位で列毎に書き込んで保持する。複数の第２の蓄積部１６０は、複数の第１の蓄積部１５０に対応して設けられ、第１の蓄積部１５０から転送されたデジタル値を保持する。図１では、ｎが１である場合を模式的に示している。水平走査回路１７０は、各列の第２の蓄積部１６０に蓄積されたデータを順次、出力部１８０に出力する。
【００１０】
　より具体的には、例えば、参照電圧発生器１３０は、時間とともに変化する参照電圧（参照信号）を生成する。カウンタ１４０は、参照電圧発生器１３０が参照電圧の生成を開始すると、カウントを開始する。比較器１２０は、画素１００の出力信号と、参照電圧発生器１３０から出力される参照電圧とを比較する。画素１００の出力信号と参照電圧との大小関係が逆転すると、比較器１２０の出力が反転し、それをトリガにして、第１の蓄積部１５０は、カウンタ１４０の出力値を蓄積する。その結果、画素１００に基づく画素信号をアナログからデジタルに変換し、第１の蓄積部１５０にデジタル信号を蓄積させることができる。その後、第１の蓄積部１５０及び第２の蓄積部１６０間の転送制御により、第１の蓄積部１５０に蓄積された値を第２の蓄積部１６０に転送して蓄積する。これにより、画素１００の出力信号をアナログ信号からデジタル信号に変換して第１の蓄積部１５０に蓄積している間に、水平走査回路１７０は、１行前のデジタル信号を第２の蓄積部１６０からデジタル出力部１８０に出力させることができる。以上のように、Ａ／Ｄ（アナログ／デジタル）変換部は、比較器１２０、参照電圧発生器１３０、カウンタ１４０及び第１の蓄積部１５０を有し、複数の画素１００の列毎に設けられ、画素１００が出力する

アナログの画素信号をｎビットのデジタル値に変換する。

【００１１】

図１では、第１の蓄積部１５０及び第２の蓄積部１６０を簡略化し、各列に１ビット分の第１の蓄積部１５０と第２の蓄積部１６０とを備える例を示した。しかし、実際には、図２のように、列毎にＡ／Ｄ変換のビット数分（ｎ個）の第１の蓄積部１５０と第２の蓄積部１６０を有する。図２は、図１の領域Ａのより詳細な構成例を示す図である。画素１００の各列共通のカウンタ１４０が設けられる。カウンタ１４０からのデジタルデータは、データ線１９０を通って、ビット毎の第１の蓄積部１５０に保持される。データ線１９０は、カウンタ１４０及び第１の蓄積部１５０の間に接続される。なお、図２では、簡単のためにデータ線１９０を８ビット（ｎ＝８）で表現してあるが、実際には何ビットでも良い。第２の蓄積部１６０に保持されたデジタルデータは、出力線２００を通って出力される。第１の蓄積部１５０及び第２の蓄積部１６０の配置方法として、１ビットに対応する第１の蓄積部１５０と第２の蓄積部１６０を列に沿った方向に近接配置して対とした蓄積部対を、行に沿った方向に２個、列に沿った方向に４個配列している。すなわち、画素１００の各列について、同一ビットのデジタル値を保持する第１の蓄積部１５０及び第２の蓄積部１６０がｎ個の対をなし、そのｎ個の対が２次元行列状に配列されている。対をなす第１の蓄積部１５０及び第２の蓄積部１６０は、画素１００の列に沿った方向に隣接して配列されている。これにより、列方向の高さを低減し、チップ面積を低減することが可能となる。後に、第１の蓄積部１５０及び第２の蓄積部１６０のレイアウト例を、詳細に説明する。

【００１２】

図３は、第１の蓄積部１５０及び第２の蓄積部１６０の構成例を示す回路図である。第１の蓄積部１５０は、ＣＭＯＳスイッチ２１０、インバータ２２０、及びトライステートインバータ２３０を有する。インバータ２２０は、入力端子がトライステートインバータ２３０の出力端子に接続され、出力端子がトライステートインバータ２３０の入力端子に接続される。ＣＭＯＳスイッチ２１０の端子ＧＮはＮＭＯＳスイッチのゲート端子であり、端子ＧＰはＰＭＯＳスイッチのゲート端子である。また、トライステートインバータ２３０の回路図を図４に示す。トライステートインバータ２３０は、ＮＭＯＳトランジスタ２８０，２９０とＰＭＯＳトランジスタ３００，３１０を有する。端子ＧＰがハイレベル、端子ＧＮがローレベルの際には、トライステートインバータ２３０はハイインピーダンス出力状態となる。端子ＧＰがローレベル、端子ＧＮがハイレベルの際には、トライステートインバータ２３０はインバータと同様の動作を行う。ＣＭＯＳスイッチ２１０がオン状態、トライステートインバータ２３０がハイインピーダンス出力状態の場合、第１の蓄積部１５０は入力からの信号を書き込む状態となる。信号を書き込んだ後、ＣＭＯＳスイッチ２１０をオフ状態、トライステートインバータ２３０をインバータ動作の状態とすることで、第１の蓄積部１５０は信号の保持を行う。

【００１３】

また、第２の蓄積部１６０は、ＣＭＯＳスイッチ２４０、インバータ２５０、及びトライステートインバータ２６０，２７０を有する。第２の蓄積部１６０は、第１の蓄積部１５０に対して、トライステートインバータ２７０を追加したものである。第２の蓄積部１６０の信号の書き込み動作と保持動作は、第１の蓄積部１５０と同様である。信号の出力を行う際には、トライステートインバータ２７０をインバータ動作の状態として信号の出力を行う。図２に示したように、各列の同一ビットの第２の蓄積部１６０の出力同士は出力配線２００上でショートされている。よって、第２の蓄積部１６０は、出力素子としてトライステートインバータ２７０を用いて列毎に順次、出力を行うことによって貫通電流の発生を防いでいる。

【００１４】

図５は、第１の蓄積部１５０のレイアウト例を示す図である。なお、図５は、第２の蓄積部１６０のうちのトライステートインバータ２７０を除いた部分のレイアウト例でもある。３２０はＰウェル領域であり、３３０はＮ型アクティブ領域であり、３４０はＰ型ア

クティブ領域である。なお、Ｐウェル領域３２０の範囲外はＮウェル領域となっている。３５０，３６０，３７０，３８０，３９０はポリゲート電極であり、４００，４１０，４２０，４３０，４４０はメタル配線である。また、４５０の四角状の領域はコンタクト領域である。コンタクト領域４５０は、メタル配線４００～４４０と、メタル配線４００～４４０の下にあるN型アクティブ領域３３０、Ｐ型アクティブ３４０もしくはポリゲート電極３５０～３９０とを接続する。

【００１５】

Ｎ型アクティブ領域３３０及びポリゲート電極３５０を有するＮＭＯＳトランジスタと、Ｐ型アクティブ領域３４０及びポリゲート電極３６０を有するＰＭＯＳトランジスタは、図３のＣＭＯＳスイッチ２１０を構成している。メタル配線４００は、ＮＭＯＳトランジスタとＰＭＯＳトランジスタの一端同士を接続しており、ＣＭＯＳスイッチ２１０の入力端子となっている。メタル配線４１０は、ＮＭＯＳトランジスタとＰＭＯＳトランジスタのもう一端同士を接続しており、ＣＭＯＳスイッチ２１０の出力端子となっている。また、メタル配線４１０は、ポリゲート電極３９０にも接続されており、ポリゲート電極３９０は図３のインバータ２２０の入力端子となっている。メタル配線４４０は、インバータ２２０の出力端子となっており、また図示していないが、メタル配線４２０はグランド電位ノードに、メタル配線４３０は電源電位ノードに接続されている。なお、図５においては、簡単のため、１層分のメタル配線のみを図示している。メタル配線４４０は、ポリゲート電極３８０にも接続されており、これは図３のトライステートインバータ２３０の入力端子となっている。トライステートインバータ２３０の出力は、メタル配線４１０であり、前述のように、インバータ２２０の入力であるポリゲート電極３９０及びＣＭＯＳスイッチ２１０の出力端子に接続されている。なお、ポリゲート電極３６０は、図３のＣＭＯＳスイッチ２１０の端子ＧＰ及びトライステートインバータ２３０の端子ＧＮとなっている。すでに説明した書き込み動作と保持動作に従って、ポリゲート電極３６０は、書き込み動作の場合にはローレベル、保持動作の場合にはハイレベルになる。第１の蓄積部１５０及び第２の蓄積部１６０のＮ型アクティブ領域３３０では、それぞれ、画素１００の列に沿った方向に並ぶ複数のＮＭＯＳトランジスタが設けられる。また、第１の蓄積部１５０及び第２の蓄積部１６０のＰ型アクティブ領域３４０では、それぞれ、画素１００の列に沿った方向に並ぶ複数のＰＭＯＳトランジスタが設けられる。

【００１６】

また、図５中のＡはコンタクト領域４５０を含むアクティブ領域の長さ、Ｂはポリゲート長、Ｃはコンタクト領域４５０を含まないアクティブ領域の長さを示している。また、図５中のＤはアクティブ領域の幅、ＥはＰ型アクティブ領域３４０とＰウェル領域３２０の距離、ＦはＮ型アクティブ領域３３０とＮウェル領域の距離を示している。図５は、Ａ＝２．５Ｂ、Ｃ＝１．５Ｂ、Ｄ＝２．５Ｂ、Ｅ＝３Ｂ、Ｆ＝３Ｂのデザインルールに従った縮尺で記述している。これらの数字からアクティブ領域３３０，３４０の縦方向の長さを算出することが可能であり、４Ａ＋４Ｂ＋Ｃ＝１５．５Ｂである。また、Ｎ型アクティブ領域３３０の左端からＰ型アクティブ領域３４０の右端の距離は、２Ｄ＋Ｅ＋Ｆ＝１１Ｂである。

【００１７】

図６は、図２で示した１個の比較器１２０と、第１の蓄積部１５０と第２の蓄積部１６０の２対分のレイアウト例を示す図である。図５で示したレイアウトを２×２個分配置し、その下にトライステートインバータ２７０を配置している。つまり、列方向に第１の蓄積部１５０と第２の蓄積部１６０を配置した蓄積部対を行方向に２つ配置している。上述の計算からＮ型アクティブ領域３３１の高さは１５．５Ｂであるため、図中のＧの高さは、１５．５Ｂ×２＋２．５Ｂ＝３３．５Ｂである。また、Ｈの高さは１３．５Ｂであるため、ＧとＨのトータルは４７Ｂである。しかし、２対分を行方向に配置しているので、１対あたりの高さは２３．５Ｂとなる。このように、行方向に複数対並べて、１対あたりの高さを低減する手法に対して、図７のように１対をより横長の形状にし、高さを低減する手法も考えられる。これは、第１の蓄積部１５０と第２の蓄積部１６０を配置した蓄積部

対を行方向に１つのみ配置している。図７ではＮ型アクティブ領域３３０、Ｐ型アクティブ領域３４０の向きを９０°変更し、各ＭＯＳトランジスタの並びの方向を列方向から行方向に変更することで１対の高さの低減を行っている。上述の計算結果からＮ型アクティブ領域３３０の上端からＰ型アクティブ領域３４０の下端までの高さは１１Ｂであるため、図中のＩの高さは、１１Ｂ×２＋５Ｂ＝２７Ｂである。また、Ｊの高さはおよそ１７Ｂであるため、ＩとＪのトータルは４４．５Ｂである。よって、図７のレイアウトは、１対あたりの高さが２３．５Ｂである図６よりも面積を抑えることができない。ゆえに、本実施形態の図６のレイアウトは、蓄積部対を列方向に１次元に配置するよりも、２次元状に配置することにより、面積を低減することが可能となる。

【００１８】

図６では、第１の蓄積部１５０及び第２の蓄積部１６０の対が２個隣接しており、隣接する２個の対は、ラインＡ－Ａ’を中心として線対称のレイアウトになっている。これにより、同一極性のアクティブであるＰ型アクティブ領域３４０及び３４１を隣合わせることによって、行方向の幅を縮小することが可能となる。Ｐ型アクティブ領域３４０にＮ型アクティブ領域３３１を隣あわせる場合は、Ｐ型アクティブ領域３４０とＰウェル領域３２１の間にスペースをとる必要があるため、Ｐ型アクティブ領域３４０とＮ型アクティブ領域３３１の間の距離が大きくなってしまう。

【００１９】

図６においては、ポリゲート電極３７０が２つのＰ型アクティブ領域３４０及び３４１とオーバーラップしており、２つのＰＭＯＳトランジスタのゲート電極となっていることがわかる。これは、図３のトライステートインバータ２３０の端子ＧＰが２つの第１の蓄積部１５０の間でショートしていることを意味する。しかし、同一の比較器１２０の出力信号によって書き込み動作が制御される第１の蓄積部１５０同士は、同じ制御信号によって書き込み動作を行うため、トライステートインバータ２３０の端子ＧＰ同士がショートしていることは問題とならない。ポリゲート電極３７０に入力される制御信号は、メタル配線４００～４４０よりも上層のメタル配線で、比較器１２０から列方向に走る配線によって入力される（図示せず）。図６のように、ポリゲート電極３７０を２つのＭＯＳトランジスタで共通化することによって、上記の制御信号の配線を２本ではなく、１本に減らすことが可能となる。これにより、配線間ショートによる歩留まり低下を防止することが可能となる。また、縦方向の制御配線本数が多い場合は、配線本数で行方向の幅が大きくなる場合があるので、行方向の幅縮小にも寄与する。

【００２０】

図６及び図７よりも比較器１２０の行方向の幅が大きい場合は、図８及び図９のレイアウトを採用することが考えられる。図６では、第１の蓄積部１５０と第２の蓄積部１６０の蓄積部対を行方向に２対配置していたのに対して、図８では、第１の蓄積部１５０と第２の蓄積部１６０の蓄積部対を行方向に３対配置している。

【００２１】

図９では、図７の第１の蓄積部１５０と第２の蓄積部１６０の蓄積部対を行方向に２対配置している。第１の蓄積部１５０及び第２の蓄積部１６０のＮ型アクティブ領域３３０では、それぞれ、画素１００の行に沿った方向に並ぶ複数のＮＭＯＳトランジスタが設けられる。また、第１の蓄積部１５０及び第２の蓄積部１６０のＰ型アクティブ領域３４０では、それぞれ、画素１００の行に沿った方向に並ぶ複数のＰＭＯＳトランジスタが設けられる。

【００２２】

図８では、１つの蓄積部対あたりの高さは４７Ｂ÷３＝１５．７Ｂに対して、図９では、４４．５Ｂ÷２＝２２．２５Ｂであり、図８のレイアウトの方が図９のレイアウトよりも面積的に有利である。つまり、アクティブ領域（例えば、領域３３０など）を縦長にし、ＭＯＳトランジスタを列方向に並べる方が有利である。ただし、図９も、図１０よりも面積的に有利である。図１０では、Ｐ型アクティブ領域３４０をＮ型アクティブ領域３３０の横に配置することで高さの低減を行っている。しかし、ポリゲート電極３６０，３８

０，３９０のパターンが複雑になることで、蓄積部対の高さを図９の半分以下まで低減することができない。よって、やはり、図１０のように蓄積部対を行方向に１つのみ配置する（列方向に１次元に配置する）よりも、蓄積部対を２次元状に配置することにより、面積を低減することが可能となることがわかる。

【００２３】

（第２の実施形態）

図１１は、本発明の第２の実施形態による固体撮像装置の構成例を示す図である。但し、ここでは上述した第１の実施形態との相違点についてのみ説明する。図１１では、同一のビットに対応する第１の蓄積部１５０と第２の蓄積部１６０を行に沿った方向に近接配置して対とした蓄積部対を、行に沿った方向に２個、列に沿った方向に４個配列している。すなわち、対をなす第１の蓄積部１５０及び第２の蓄積部１６０は、画素１００の行に沿った方向に隣接して配列されている。ただし、図６で示しているように、第１の蓄積部１５０に対して第２の蓄積部１６０は面積が大きく、列方向の高さが大きい。よって、第１の蓄積部１５０と第２の蓄積部１６０を行に沿った方向に近接配置して対とした場合は、その対の高さは第２の蓄積部１６０の高さで決まる。ゆえに、第２の蓄積部１６０の高さ×４だけ面積が必要になる。これに対して、図２と同様に、同一のビットに対応する第１の蓄積部１５０と第２の蓄積部１６０を列に沿った方向に近接配置して対とした蓄積部対を２次元状に配置する場合は、図１２のようになる。蓄積部対は、行に沿った方向に４個、列に沿った方向に２個配列されている。この場合は、第１の蓄積部１５０の高さ×２＋第２の蓄積部１６０の高さ×２となり、面積を低減することが可能となる。よって、面積低減の観点からは、第１の蓄積部１５０と第２の蓄積部１６０を列に沿った方向に近接配置して対とする方、すなわち第１の実施形態の方が第２の実施形態よりも好ましい。

【００２４】

（第３の実施形態）

図１３は、本発明の第３の実施形態による固体撮像装置の構成例を示す図である。但し、ここでは上述した第１の実施形態との相違点についてのみ説明する。図１３では、グレイコードカウンタ５００をカウンタ１４０として用いている。グレイコードカウンタ５００がカウントするグレイコードのカウント値は、前後に隣接するカウント値間のハミング距離が１である。これにより、Ａ／Ｄ変換のリニアリティ特性の悪化を低減することが可能となる。データ線１９０は、８ビットのデータ線１９０－１～１９０－８を有する。第１の蓄積部１５０と第２の蓄積部１６０の蓄積部対を２次元状に配置した場合、同じ高さに複数の第１の蓄積部１５０が配されるため、例えば、データ線１９０－１とデータ線１９０－２のように近接して配されるものがでてくる。このような場合に、例えばバイナリカウンタを用いるとＡ／Ｄ変換の特性に悪影響を及ぼす。以下、この点について説明する。

【００２５】

図１４は、カウンタ１４０としてバイナリカウンタを用いた場合のデータ線１９０－１～１９０－４の信号の時間波形を示す図である。時刻ｔ０からｔ１がカウント値０、時刻ｔ１からｔ２がカウント値１というようにカウントが進んでいく。ここで、２本のデータ線１９０－１及び１９０－２の信号に着目すると、時刻ｔ１において、データ線１９０－１の信号がローレベルからハイレベルに遷移し、データ線１９０－２の信号は遷移しない。この時、図１３において、データ線１９０－１とデータ線１９０－２の間に発生するカップリング容量Ｃｃに充電を行うことで、データ線１９０－１の電位はハイレベルに遷移する。一方、時刻ｔ２においては、データ線１９０－１の信号がハイレベルからローレベルに遷移し、データ線１９０－２の信号がローレベルからハイレベルに遷移する。つまり、データ線１９０－１とデータ線１９０－２の信号は逆方向に変化するため、カップリング容量Ｃｃを充放電する電荷量は２倍となり、見掛け上、２×Ｃｃの容量値として寄与する。これにより、図１４において、時刻ｔ２のデータ線１９０－１とデータ線１９０－２の信号の変化が遅くなり、カウント値１の期間の時間幅が広くなり、カウント値２の期間の時間幅が狭くなってしまう。これは、Ａ／Ｄ変換のリニアリティが悪化することを意味

する。

【００２６】

　図１５は、カウンタ１４０としてグレイコードカウンタ５００を用いた場合のデータ線１９０－１～１９０－４の信号の時間波形を示す図である。時刻ｔ０からｔ１がカウント値０、時刻ｔ１からｔ２がカウント値１というようにカウントが進んでいく。グレイコードカウンタ５００においては、どのカウント値の切り替わりのタイミングにおいても、１本のデータ線の信号のみが遷移する。例えば、時刻ｔ１では、データ線１９０－１の信号のみが遷移し、時刻ｔ２では、データ線１９０－２の信号のみが遷移する。よって、図１３において、複数ビットのデータ線１９０間のカップリング容量は常に対地容量として働く。これにより、Ａ／Ｄ変換のリニアリティ特性の悪化を低減することが可能となる。

【００２７】

（第４の実施形態）

　図１６は、本発明の第４の実施形態による固体撮像装置の構成例を示す図である。但し、ここでは上述した第１の実施形態との相違点についてのみ説明する。図１６においては、複数ビットのデータ線１９０の各々にリピートバッファ５１０を設けている。リピートバッファ５１０は、左半分の第１の蓄積部１５０と右半分の第１の蓄積部１５０との間における各ビットのデータ線１９０に設けられ、データ線１９０の信号を増幅する。右半分（一部）の第１の蓄積部１５０は、リピートバッファ５１０を介してカウンタ１４０の出力値を入力する。左半分（他の一部）の第１の蓄積部１５０は、リピートバッファ５１０を介さずにカウンタ１４０の出力値を入力する。右半分の第１の蓄積部１５０とカウンタ１４０との間の距離は、左半分の第１の蓄積部１５０とカウンタ１４０との間の距離より長い。これにより、複数ビットのデータ線１９０同士の間で発生するカップリングにより、Ａ／Ｄ変換値に誤差が生じるのを防ぐことができる。

【００２８】

（第５の実施形態）

　図１７は、本発明の第５の実施形態による固体撮像装置の構成例を示す図である。但し、ここでは上述した第４の実施形態との相違点についてのみ説明する。図１７においては、複数ビットのデータ線１９０の各々にバッファ５２０及び５３０を設けている。バッファ５２０及び５３０は、カウンタ１４０のデータ線１９０の同一ビットの出力値を増幅する。左半分（一部）の第１の蓄積部１５０は、第１のバッファ５２０を介してカウンタ１４０の出力値を入力する。右半分（他の一部）の第１の蓄積部１５０は、第２のバッファ５３０を介してカウンタ１４０の出力値を入力する。これにより、第１の蓄積部１５０中のデータ線１９０同士の距離が近い領域において、データ線１９０間で発生するカップリングにより、Ａ／Ｄ変換値に誤差が生じるのを防ぐことができる。また、データ線１９０は、図１６では、多数の第１の蓄積部１５０を駆動しなければならないのに対して、図１７では、バッファ５２０及び５３０のみを駆動すればよく、かつデータ線１９０間距離を広くとることができる。これにより、データ線１９０の負荷を軽減し、データ線１９０上を伝送するカウント信号の遅延量を低減することができる。理想的にはすべての列でＡ／Ｄ変換値が一定となる場合にも、カウント信号が遅延すると、カウンタ１４０から遠い列ほど徐々にＡ／Ｄ変換値が大きくなり、シェーディングのノイズとなる。よって、図１７の構成により、シェーディングを低減することが可能となる。

【００２９】

　上記の第１の実施形態では、画素１００の各列にＡ／Ｄ変換部が１つずつ設けられ、画素ピッチ＝Ａ／Ｄ変換部のピッチの場合を例にとって説明したが、これに限られるものではない。画素ピッチ＞Ａ／Ｄ変換部のピッチでも、画素ピッチ＜Ａ／Ｄ変換部のピッチでもよい。

【００３０】

　また、第１～第５の実施形態では、Ａ／Ｄ変換精度が８ビットの場合を例にとって説明したが、これに限られるものではない。

【００３１】

　また、第１の実施形態では、第１の蓄積部１５０として、ＣＭＯＳスイッチ２１０とインバータ２２０とトライステートインバータ２３０を用いたものを例にとって説明したが、これに限られるものではない。また、第１の実施形態では、第２の蓄積部１６０として、ＣＭＯＳスイッチ２４０とインバータ２５０と２個のトライステートインバータ２６０，２７０を用いたものを例にとって説明したが、これに限られるものではない。

【００３２】

　また、第１～第５の実施形態では、１つの比較器１２０に対して行方向に並べる第１の蓄積部１５０及び第２の蓄積部１６０の数が２から４の場合を例にとって説明したが、これに限られるものではない。５以上の数でもよい。

【００３３】

（第６の実施形態）

　図１８は、本発明の第６の実施形態による撮像システムの構成例を示す図である。撮像システム８００は、例えば、光学部８１０、撮像素子８８０、映像信号処理部８３０、記録・通信部８４０、タイミング制御部８５０、システム制御部８６０、及び再生・表示部８７０を含む。撮像装置８２０は、撮像素子８８０及び映像信号処理部８３０を有する。撮像素子８８０は、先の実施形態で説明した固体撮像装置が用いられる。

【００３４】

　レンズ等の光学系である光学部８１０は、被写体からの光を撮像素子８８０の、複数の画素１００が２次元状に配列された画素部に結像させ、被写体の像を形成する。撮像素子８８０は、タイミング制御部８５０からの信号に基づくタイミングで、画素部に結像された光に応じた信号を出力する。撮像素子８８０から出力された信号は、映像信号処理部８３０に入力され、映像信号処理部８３０が、プログラム等によって定められた方法に従って信号処理を行う。映像信号処理部８３０での処理によって得られた信号は画像データとして記録・通信部８４０に送られる。記録・通信部８４０は、画像を形成するための信号を再生・表示部８７０に送り、再生・表示部８７０に動画や静止画像を再生・表示させる。記録・通信部８４０は、また、映像信号処理部８３０からの信号を受けて、システム制御部８６０と通信を行うほか、不図示の記録媒体に、画像を形成するための信号を記録する動作も行う。

【００３５】

　システム制御部８６０は、撮像システムの動作を統括的に制御するものであり、光学部８１０、タイミング制御部８５０、記録・通信部８４０、及び再生・表示部８７０の駆動を制御する。また、システム制御部８６０は、例えば記録媒体である不図示の記憶装置を備え、ここに撮像システムの動作を制御するのに必要なプログラム等が記録される。また、システム制御部８６０は、例えばユーザの操作に応じて駆動モードを切り替える信号を撮像システム内に供給する。具体的な例としては、読み出す行やリセットする行の変更、電子ズームに伴う画角の変更や、電子防振に伴う画角のずらし等である。タイミング制御部８５０は、システム制御部８６０による制御に基づいて撮像素子８８０及び映像信号処理部８３０の駆動タイミングを制御する。

【００３６】

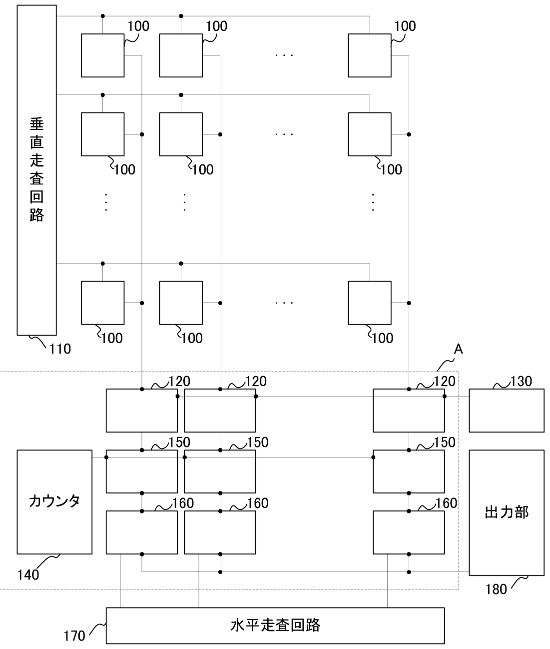
　なお、上記実施形態は、何れも本発明を実施するにあたっての具体化の例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその技術思想、又はその主要な特徴から逸脱することなく、様々な形で実施することができる。

【符号の説明】

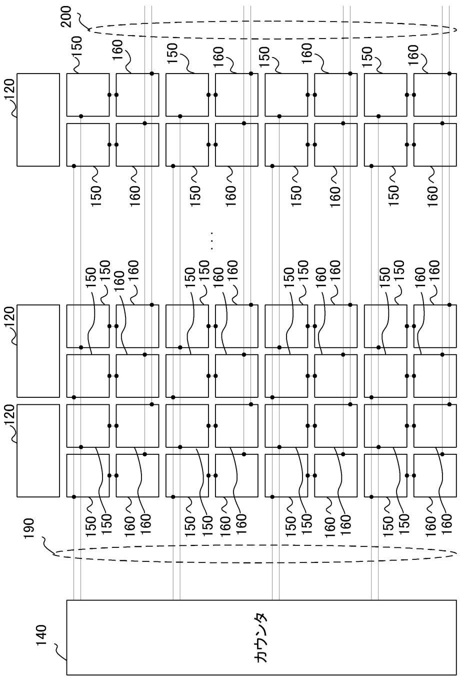
【００３７】

１００　画素、１１０　垂直走査回路、１２０　比較器、１３０　参照電圧発生器、１４０　カウンタ、１５０　第１の蓄積部、１６０　第２の蓄積部、１７０　水平走査回路、１８０　出力部、１９０　データ線、２００　出力線

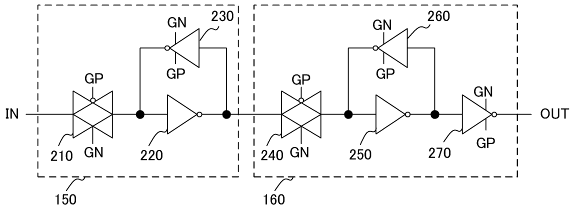
【図１】


垂直走査回路
100
110
A
120
130
150
160
カウンタ
140
出力部
180
170
水平走査回路

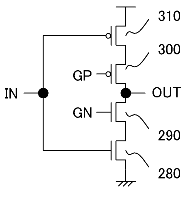
【図２】


200
120
150
160
190
140
カウンタ

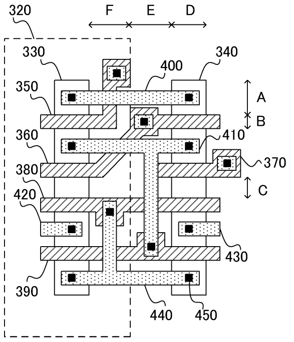
【図３】


IN
GP
GN
210
220
230
150
240
250
260
270
160
OUT

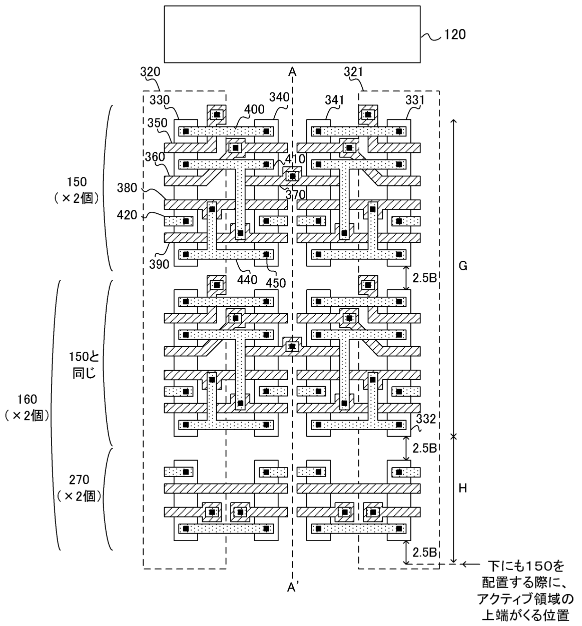
【図４】


310
300
GP
IN
OUT
GN
290
280

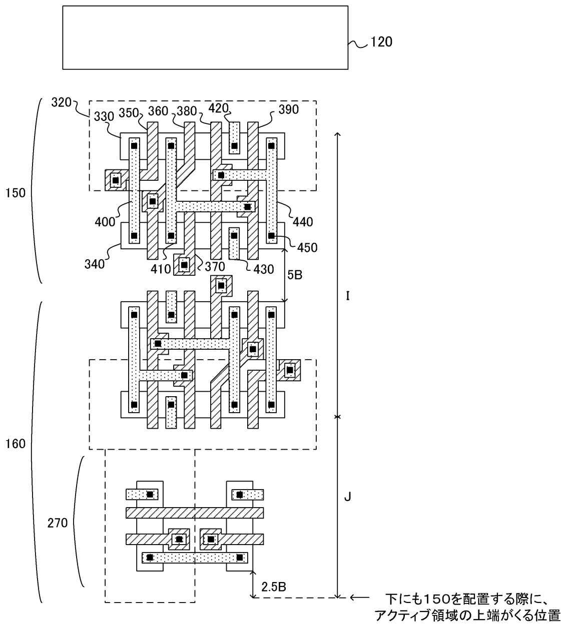
【図５】


320
F
E
D
330
340
400
350
A
B
360
410
370
380
C
420
430
390
440
450

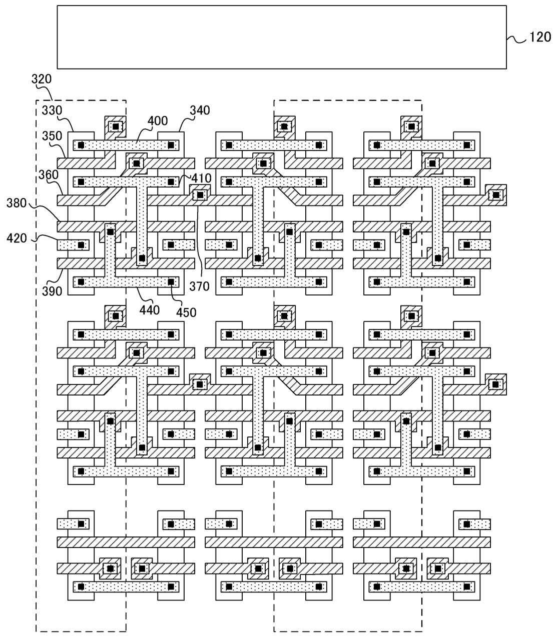
【図６】


120
320
321
A
330
340
400
341
331
350
360
410
370
150
（×２個）
380
420
390
440
450
2.5B
G
150と
同じ
160
（×２個）
332
2.5B
270
（×２個）
H
2.5B
A'
下にも150を
配置する際に、
アクティブ領域の
上端がくる位置

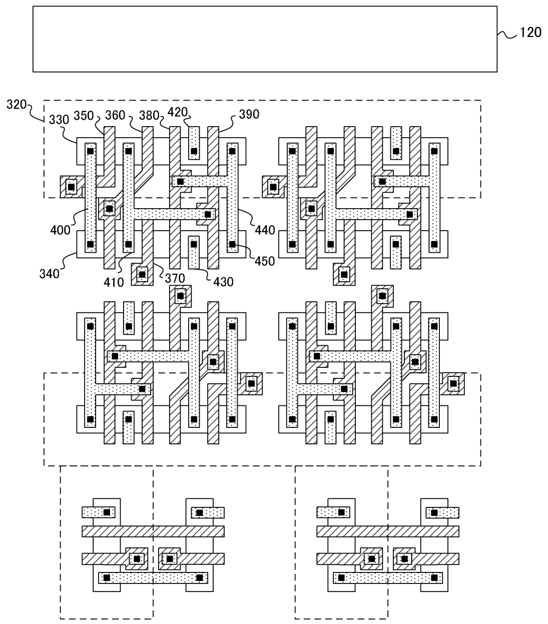
【図７】


120
320
330
350
360
380
420
390
150
400
440
450
340
410
370
430
5B
I
160
270
J
2.5B
下にも150を配置する際に、
アクティブ領域の上端がくる位置

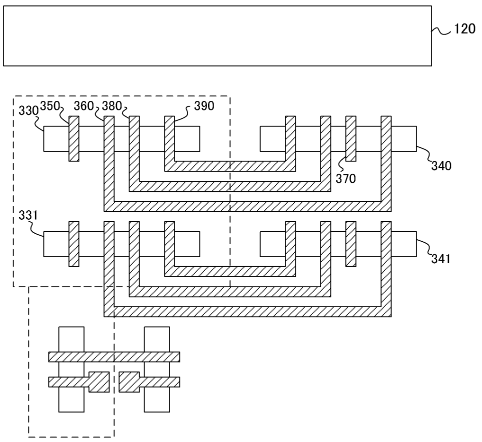
【図８】


120
320
330
400
340
350
360
410
380
420
370
390
440
450

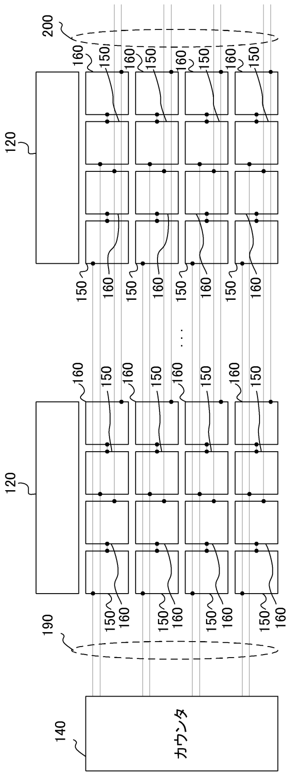
【図９】


120
320
330
350
360
380
420
390
400
440
450
340
410
370
430

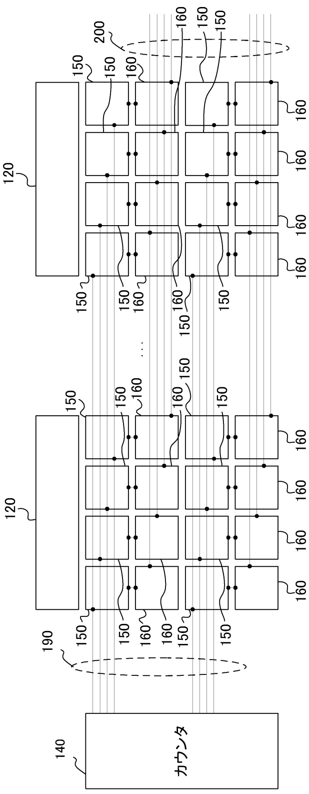
【図１０】



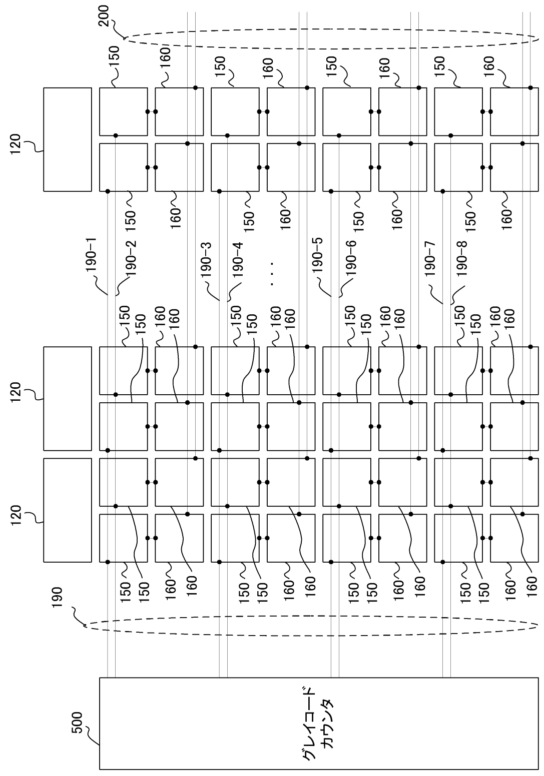
【図１１】



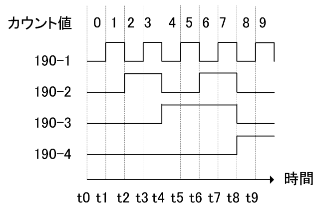
【図１２】



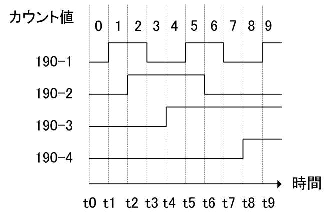
【図１３】



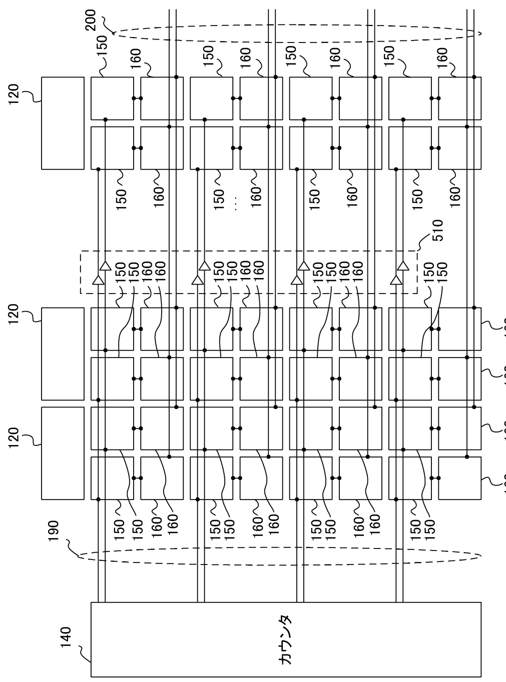
【図１４】



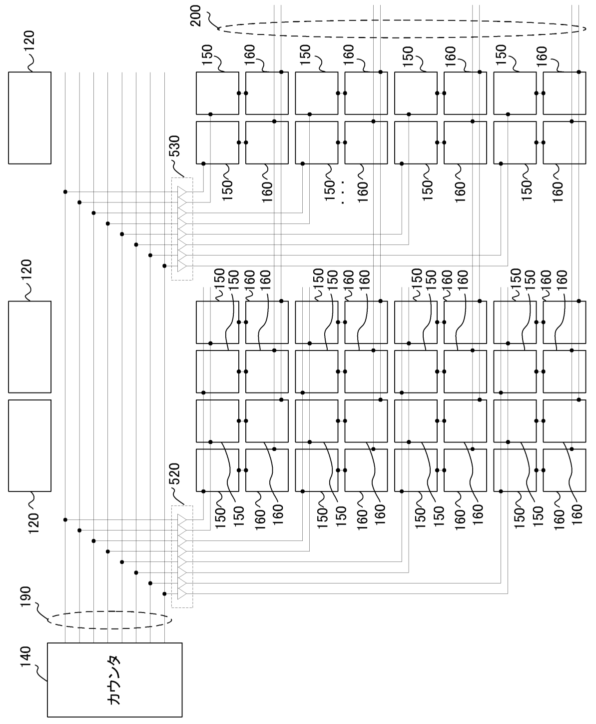
【図１５】



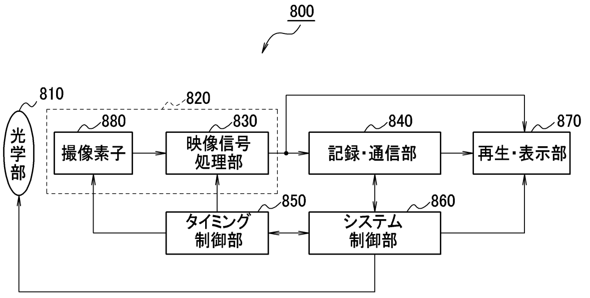
【図１６】



【図１７】



【図１８】



フロントページの続き

(72)発明者　松野　靖司
東京都大田区下丸子３丁目３０番２号　キヤノン株式会社内

審査官　松永　隆志

(56)参考文献　特開２０１０－２６８０８０（ＪＰ，Ａ）
特開２００９－２９６４６６（ＪＰ，Ａ）
特開２０１１－０１９１３６（ＪＰ，Ａ）
特開２０１２－０９５３４９（ＪＰ，Ａ）
特開２００９－０８９０５０（ＪＰ，Ａ）
特開２０１３－０１２９６６（ＪＰ，Ａ）
特開２００６－０２５１８９（ＪＰ，Ａ）
特開２０１１－２０５３９３（ＪＰ，Ａ）
特開２０１３－０２６６７５（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｈ０４Ｎ　５／２２５－５／３７８