

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成26年4月24日(2014.4.24)

【公開番号】特開2012-199336(P2012-199336A)

【公開日】平成24年10月18日(2012.10.18)

【年通号数】公開・登録公報2012-042

【出願番号】特願2011-61628(P2011-61628)

【国際特許分類】

H 01 L 27/105 (2006.01)

H 01 L 45/00 (2006.01)

H 01 L 49/00 (2006.01)

【F I】

H 01 L 27/10 4 4 8

H 01 L 45/00 Z

H 01 L 49/00 Z

【手続補正書】

【提出日】平成26年3月11日(2014.3.11)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1電極、記憶層および第2電極をこの順に有し、

前記記憶層は、

前記第1電極側に設けられた抵抗変化層と、

イオン源層と、

テルル(Te)、硫黄(S)およびセレン(Se)から選ばれる少なくとも1種のカルコゲン元素を含むと共に、前記抵抗変化層と前記イオン源層との間に設けられた中間層と、

前記イオン源層と前記抵抗変化層との間に設けられ、少なくとも1種の遷移金属を含むと共に、前記中間層に接するバリア層と

を備えた記憶素子。

【請求項2】

前記バリア層は、銅(Cu)、チタン(Ti)、ジルコニウム(Zr)、ハフニウム(Hf)、バナジウム(V)、ニオブ(Nb)、タンタル(Ta)、クロム(Cr)、モリブデン(Mo)、およびタンクスチタン(W)のうちの少なくとも1種類の遷移金属元素を含む、請求項1に記載の記憶素子。

【請求項3】

前記バリア層の膜厚は0.1nmよりも厚く1nmよりも薄い、請求項1または請求項2に記載の記憶素子。

【請求項4】

前記イオン源層は、アルミニウム(Al)、銅(Cu)、銀(Ag)および亜鉛(Zn)のうち少なくとも1種のイオン化可能な金属元素を含むと共に、酸素(O)、テルル(Te)、硫黄(S)およびセレン(Se)のうちの少なくとも1種類を含む、請求項1乃至請求項3のいずれか1つに記載の記憶素子。

【請求項5】

前記バリア層は、前記イオン源層に含まれる前記金属元素の前記第1電極側への移動を抑制する、請求項4に記載の記憶素子。

【請求項6】

前記中間層は前記イオン源層よりも抵抗が高く、前記金属元素の移動が可能な電解質層である、請求項4または請求項5に記載の記憶素子。

【請求項7】

前記中間層はTeおよびAlを含む、請求項1乃至請求項6のいずれか1つに記載の記憶素子。

【請求項8】

前記抵抗変化層は、前記イオン源層および前記中間層の少なくとも一方に含まれる金属元素の酸化物と、前記バリア層に含まれる遷移金属元素の酸化物とを含む、請求項1乃至請求項7のいずれか1つに記載の記憶素子。

【請求項9】

前記抵抗変化層は、前記イオン源層および中間層の少なくとも一方に含まれるAlの拡散により形成されたアルミニウム酸化物を含む層と、前記遷移金属の酸化物を含む層との積層構造、または、前記アルミニウム酸化物と前記遷移金属の酸化物とが混在した構造を有する、請求項1乃至請求項8のいずれか1つに記載の記憶素子。

【請求項10】

前記第1電極および前記第2電極への電圧印加によって前記抵抗変化層内に前記金属元素を含む低抵抗部が形成されることにより抵抗値が変化する、請求項1乃至請求項9のいずれか1つに記載の記憶素子。

【請求項11】

前記バリア層は、前記イオン源層と前記中間層との間に設けられている、請求項1乃至請求項10のいずれか1つに記載の記憶素子。

【請求項12】

前記バリア層は、前記中間層と前記抵抗変化層との間に設けられている、請求項1乃至請求項11のいずれか1つに記載の記憶素子。

【請求項13】

第1電極、記憶層および第2電極をこの順に有する複数の記憶素子と、前記複数の記憶素子に対して選択的に電圧または電流のパルスを印加するパルス印加手段とを備え、

前記記憶層は、

前記第1電極側に設けられた抵抗変化層と、

イオン源層と、

テルル(Te)、硫黄(S)およびセレン(Se)から選ばれる少なくとも1種のカルコゲン元素を含むと共に、前記抵抗変化層と前記イオン源層との間に設けられた中間層と、

前記イオン源層と前記抵抗変化層との間に設けられ、少なくとも1種の遷移金属を含むと共に、前記中間層に接するバリア層と

を有する記憶装置

【請求項14】

前記バリア層は、銅(Cu)、チタン(Ti)、ジルコニウム(Zr)、ハフニウム(Hf)、バナジウム(V)、ニオブ(Nb)、タンタル(Ta)、クロム(Cr)、モリブデン(Mo)、およびタンクステン(W)のうちの少なくとも1種類の遷移金属元素を含む、請求項13に記載の記憶装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正の内容】

【0008】

本発明の記憶素子は、第1電極、記憶層および第2電極をこの順に有し、記憶層は、第1電極側に設けられた抵抗変化層と、イオン源層と、テルル(Te)、硫黄(S)およびセレン(Se)から選ばれる少なくとも1種のカルコゲン元素を含むと共に、抵抗変化層とイオン源層との間に設けられた中間層と、イオン源層と抵抗変化層との間に設けられ、少なくとも1種の遷移金属を含むと共に、中間層に接するバリア層とを備えたものである。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】変更

【補正の内容】

【0011】

ここでは、イオン源層と中間層との間または中間層と抵抗変化層との間の少なくとも一方に遷移金属を含むバリア層を設けることにより、過剰な金属イオンの移動を抑制することが可能となる。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】変更

【補正の内容】

【0012】

本発明の記憶素子または記憶装置によれば、イオン源層と中間層との間または中間層と抵抗変化層との間の少なくとも一方に遷移金属を含むバリア層を設けるようにしたので、記憶層の形成後あるいは電圧印加時における過剰な可動イオンの移動が抑制され、必要以上の抵抗値の上昇を抑えることができる。即ち、書き込みおよび消去特性が向上する。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0019

【補正方法】変更

【補正の内容】

【0019】

このようなイオン源層21の具体的な材料としては、例えば、ZrTeAl, TiTeAl, CrTeAl, WTeAlおよびTaTeAlが挙げられる。また、例えば、ZrTeAlに対して、Cuを添加したCuZrTeAl, さらにGeを添加したCuZrTeAlGe, 更に、添加元素を加えたCuZrTeAlSiGeとしてもよい。あるいは、Alの他にMgを用いたZrTeMgとしてもよい。イオン源層21を構成する金属元素としては、Zrの代わりに、Mo, Mn, Hfなどの他の遷移金属元素を選択した場合でも同様な添加元素を用いることは可能であり、例えばCuMoTeAl, CuMnTeAlなどとすることも可能である。更に、イオン導電材料としては、Te以外にSやSe、あるいはヨウ素(I)を用いてもよく、具体的にはZrSAl, ZrSeAl, ZrIAl, CuGeTeAl等を用いてもよい。更に、TaあるいはW等を添加してもよい。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0021

【補正方法】変更

【補正の内容】

【0021】

バリア層22はイオン源層21と中間層23との間に設けられている。バリア層22は、イオン源層21から下部電極10側への可動イオン(金属イオン)の移動を制御するものであり、具体的には、イオン源層21から中間層23への可動イオンの過剰な移動およ

び下部電極10表面における酸化膜の形成を抑制するものである。このバリア層22を形成することにより、記憶素子1の抵抗値の上昇が抑えられる。バリア層22の膜厚は0.1nmよりも厚く1nmより薄くすることが好ましい。バリア層22の厚みが薄すぎると可動イオンの移動が十分に抑制されず、上述したように下部電極10に高抵抗な酸化膜が形成されるため記憶素子1の抵抗値が上昇する。また、バリア層22の厚みが厚すぎると記憶素子1の抵抗値が低抵抗化し、書き込みおよび消去時の抵抗分離幅が狭くなりデータ保持特性が低下する。バリア層22の材料としては、遷移金属あるいはその窒化物を少なくとも1種類用いることができる。具体的には、Cu, Ti, Zr, Hf, バナジウム(V), ニオブ(Nb), Ta, Cr, Mo, およびWが挙げられる。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0023

【補正方法】変更

【補正の内容】

【0023】

中間層23は、例えば、陰イオン成分として挙動するTeと、可動な陽イオン成分として挙動するAlとを主成分とする化合物から構成されている。このような化合物としては、例えばAlTeが挙げられる。また、可動な陽イオン成分として、Alの他にCu, Zn, Agを用いてもよく、その化合物としてCuTe, ZnTe, AgTeを含んでいてもよい。あるいはMgを含んでMgTeとしてもよい。このTeを含有する化合物の組成は、例えばAlTeではAlの含有量は20原子%以上60原子%以下であることが好ましい。また、陰イオン成分としては、Teの他に硫黄(S)あるいはセレン(Se)等のカルコゲン元素を含んでいてもよい。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0024

【補正方法】変更

【補正の内容】

【0024】

中間層23におけるカルコゲン元素含有量に対するアルミニウム含有量の比(アルミニウム濃度)は、イオン源層21におけるカルコゲン元素含有量に対するアルミニウム含有量の比(アルミニウム濃度)よりも小さいことが好ましい。中間層23中のアルミニウム(Al)はイオン源層21との濃度勾配による拡散によりもたらされると考えられるので、例えばAl₂Te₃の化学量論的組成よりも少なくなると考えられる。そのため、中間層23中のアルミニウム(Al)のほとんどはイオン状態で存在していると考えられる。また、中間層23は上述したようにイオン源層21よりも導電性が低く、イオン源層21よりも抵抗値が高い。このため、印加した電位が効果的にイオン駆動に用いられ、上述した保持特性の向上や低電流での不揮発メモリ動作に結びつくことが可能となる。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0039

【補正方法】変更

【補正の内容】

【0039】

以下、本実施の形態の記憶素子1の製造方法について説明する。

【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0058

【補正方法】変更

【補正の内容】

【0058】

【変形例】

図4は本発明の変形例に係る記憶素子2の断面構成を表したものである。上記実施の形態と同一構成部分については同一符号を付してその説明は省略する。記憶素子2は、下部電極10(第1電極)、記憶層60および上部電極30(第2電極)をこの順に有し、記憶層60が上部電極30側からイオン源層61、中間層63、バリア層62および抵抗変化層64の順に積層された点が上記実施の形態と異なる。

【手続補正11】

【補正対象書類名】明細書

【補正対象項目名】0060

【補正方法】変更

【補正の内容】

【0060】

また、中間層63および抵抗変化層64も同様に、上述した中間層23および抵抗変化層24と同様の構成を用いることができる。即ち、中間層62は、陰イオン成分と可動な陽イオン成分からなり、例えばAlTeの他に、CuTe, ZnTe, AgTe, MgTeや、また、陰イオン成分をTeの代わりに硫黄(S)あるいはセレン(Se)等のカルコゲン元素としてもよい。抵抗変化層64は、Ti, Zr, Hf, Ta, W等の遷移金属元素のうちの少なくとも1種を含む酸化物、酸窒化物、あるいは窒化物と、可動イオンであるAl, Cu, Ag, Znの酸化物からなり、その他にも高抵抗なGe, Mg, Si, 希土類元素の酸化物を含んでいてもよい。

【手続補正12】

【補正対象書類名】明細書

【補正対象項目名】0061

【補正方法】変更

【補正の内容】

【0061】

バリア層62は、イオン源層61から下部電極側への可動イオンの移動を制御するものであり、中間層63と抵抗変化層64との間に設けられている。バリア層62の材料としては、上述したバリア層22と同様に、遷移金属あるいはその窒化物を少なくとも1種類用いることができる。具体的には、Cu, Ti, Zr, Hf, V, Nb, Ta, Cr, Mo, およびWが挙げられる。また、バリア層62の膜厚は0.1nmよりも厚く1nmよりも薄くすることが好ましい。

【手続補正13】

【補正対象書類名】明細書

【補正対象項目名】0062

【補正方法】変更

【補正の内容】

【0062】

本変形例の記憶素子2では、バリア層62を中間層63と抵抗変化層64との間に設けることにより、上記実施の形態の記憶素子1と同様の効果を得ることができる。

【手続補正14】

【補正対象書類名】明細書

【補正対象項目名】0064

【補正方法】変更

【補正の内容】

【0064】

上記実施の形態と同様にして図1および図4に示した記憶素子1, 2を作製した。まず、下地にトランジスタを組み込んだTiNよりなる下部電極10をアルゴンプラズマによるクリーニングおよびプラズマ酸化をしたのち、下部電極10上にスパッタリング装置を

用いて記録層 20, 60 および上部電極 30 を形成した。電極径は 150 nm とした。また、合金からなる層は、構成元素のターゲットを用いて同時に成膜した。続いて、上部電極 30 の表面に対してエッチングを行い、中間電位 (Vdd/2) を与えるための外部回路接続用のコンタクト部分に接続されるように厚さ 200 nm の配線層 (A1 層) を形成した。そのうち、ポストアニール処理として真空熱処理炉において、2 時間、340 の加熱処理を施した。このようにして、図 2 および図 3 に示したメモリセルアレイとして組成および膜厚の異なる実験例 1 ~ 12 を作製した。なお、プラズマ酸化によって形成された抵抗変化層 24, 64 の膜厚は、XRR (X-ray Reflectometer: X 線反射法) や XPS (X-ray Photoelectron Spectroscopy: X 線光電子分光) によって分析したところ約 1 nm であった。

【手続補正 15】

【補正対象書類名】明細書

【補正対象項目名】0065

【補正方法】変更

【補正の内容】

【0065】

これら実験例 1 ~ 12において、上部電極 30 に接続された上部配線を Vdd/2 の中間電位に接地し、選択するメモリセルのゲート電極即ちワード線 WL に電圧を印加してオン状態とした。次に、トランジスタ Tr のソース / ドレイン 13 のうち、記憶素子 10 に接続されていない方に接続されている電極、即ちビット線 BL に、パルス幅 10 ns、書き込み時の電流を約 100 μA、印加電圧を 3.0 V を印加する「書き込み動作」を 4 kbitt のメモリセルアレイに対して行い、その後に抵抗値を読み出した。続いて、ゲート電極に電圧を印加してオン状態にし、パルス幅 10 ns、消去時の電流を約 100 μA、印加電圧を 2.0 V を印加する「消去動作」を行い、消去状態の抵抗値を読み出した。次いで、メモリセルアレイを 2 kbitt ずつ書き込み (低抵抗状態) および消去 (高抵抗状態) を行い、各状態の抵抗分布と 10 k 以下の抵抗値に書き込みができるビットの動作割合を調べた。

【手続補正 16】

【補正対象書類名】明細書

【補正対象項目名】0073

【補正方法】変更

【補正の内容】

【0073】

次に、中間層 63 と抵抗変化層 64 との間にバリア層 62 を設けた実験例 8 ~ 12 の膜厚とメジアン抵抗および抵抗分離幅との関係を説明する。図 9 (A), (B) は、図 6 (B) ~ (F) に示した結果をもとにバリア層 62 の膜厚とメジアン抵抗との関係 (図 9 (A)) およびバリア層 62 の膜厚と抵抗分離幅との関係 (図 9 (B)) を表したものである。メジアン抵抗は、図 9 (A) からわかるように、上記実験例 1, 4 ~ 7 と同様に、バリア層 62 の膜厚の増加に伴って小さくなる。具体的には、バリア層 64 を設けていない実験例 3 (87M) に対して実験例 8, 11 ではそれぞれ 4.5M および 71k と抵抗が小さくなっている。但し、バリア層の厚みを 1 nm とした実験例 12 は素子抵抗が低下し過ぎたことにより、図 6 (F) に示したように書き込み動作率が低下した。具体的には実験例 8 ~ 11 の書き込み動作率が 99.9% 以上であるのに対し、実験例 12 は 67.7% に低下した。また、図 9 (A), (B) から記憶素子 2 の低抵抗化および低電流動作特性を両立可能なバリア層 22 の膜厚は、上記実験例 1, 4 ~ 7 と同様に、少なくとも 0.1 nm よりも厚く 1 nm よりも薄いことが好ましいといえる。

【手続補正 17】

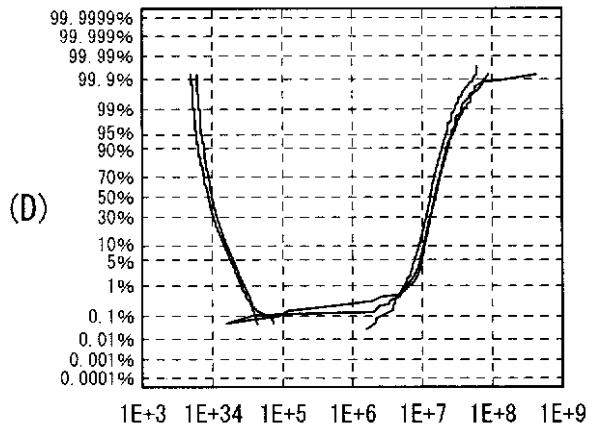
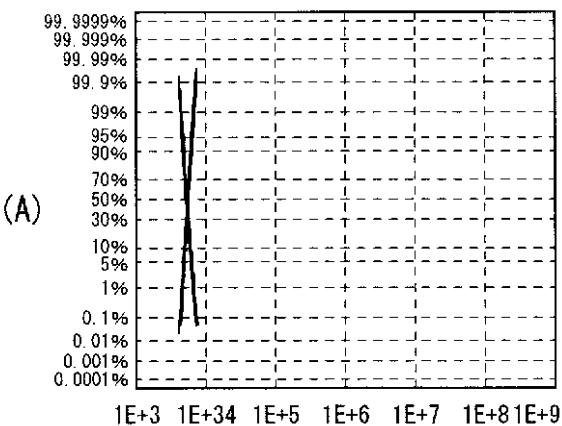
【補正対象書類名】図面

【補正対象項目名】図 6

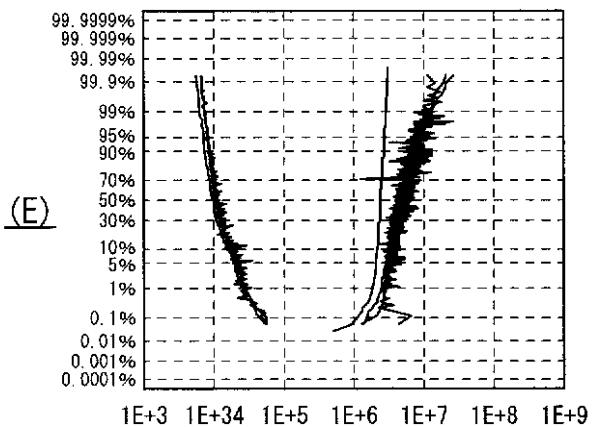
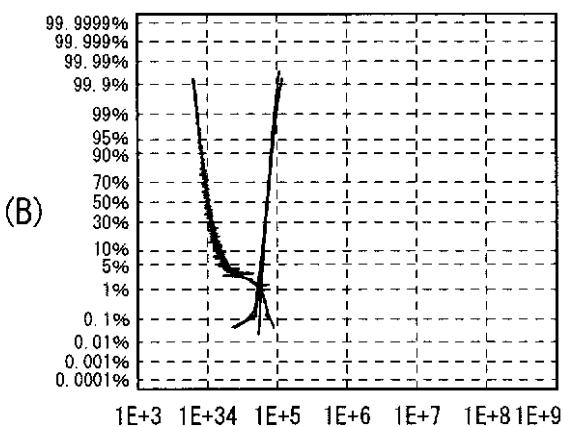
【補正方法】変更

【補正の内容】

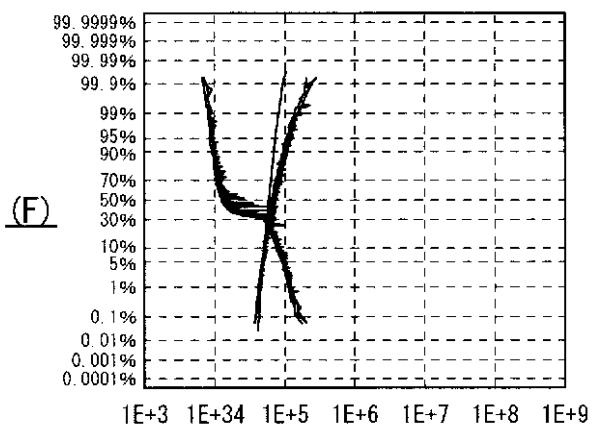
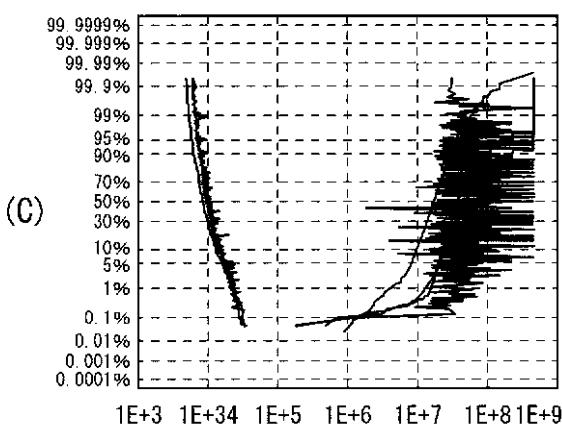
【図6】



実験例7

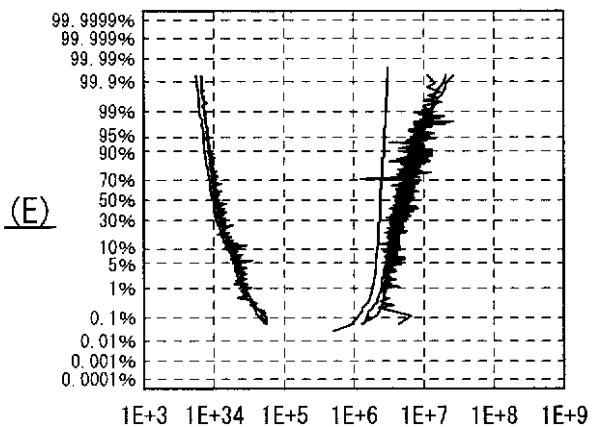


実験例8

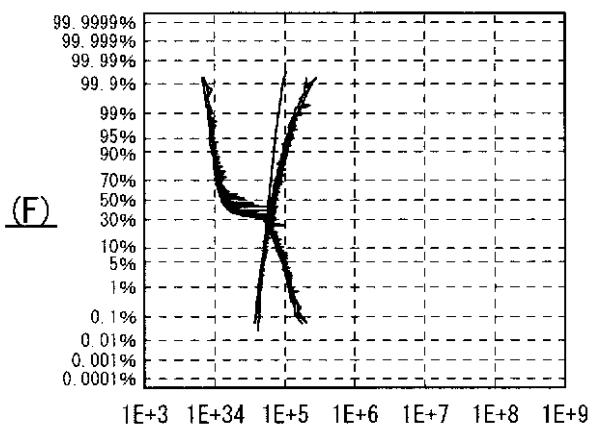


実験例9

実験例10



実験例11



実験例12