



(10) **DE 11 2011 100 840 T5** 2013.01.17

(12)

Veröffentlichung

der internationalen Anmeldung mit der
(87) Veröffentlichungs-Nr.: **WO 2011/111502**
in deutscher Übersetzung (Art. III § 8 Abs. 2 IntPatÜG)
(21) Deutsches Aktenzeichen: **11 2011 100 840.6**
(86) PCT-Aktenzeichen: **PCT/JP2011/053583**
(86) PCT-Anmeldetag: **14.02.2011**
(87) PCT-Veröffentlichungstag: **15.09.2011**
(43) Veröffentlichungstag der PCT Anmeldung
in deutscher Übersetzung: **17.01.2013**

(51) Int Cl.: **G09G 3/36 (2012.01)**
G02F 1/1368 (2012.01)
G09G 3/20 (2012.01)

(30) Unionspriorität:
2010-050869 08.03.2010 JP

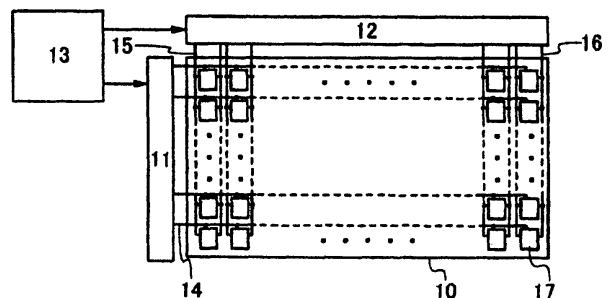
(74) Vertreter:
**Grünecker, Kinkeldey, Stockmair &
Schwanhäusser, 80802, München, DE**

(71) Anmelder:
**Semiconductor Energy Laboratory Co., Ltd.,
Atsugi-shi, Kanagawa-ken, JP**

(72) Erfinder:
**Koyama, Jun, Atsugi-shi, Kanagawa-ken, JP;
Yamazaki, Shunpei, Atsugi-shi, Kanagawa-ken, JP**

(54) Bezeichnung: **Anzeigevorrichtung**

(57) Zusammenfassung: Eine Steuereinrichtung gibt ein Reihen-
neuschreibungs-Steuersignal und ein Spaltenneuschrei-
bungs-Steuersignal sowie ein Datensignal aus. Das Reihen-
neuschreibungs-Steuersignal ist ein Signal, das wählt, ob
ein Auswahlsignal zu einer ersten Abtastleitung zugeführt
wird. Und das Spaltenneuschreibungs-Steuersignal ist ein
Signal, das wählt, ob ein Auswahlsignal und ein Datensignal
zu jeweils der zweiten Abtastleitung und der Signalleitung
zugeführt werden. Das Reihenneuschreibungs-Steuersignal
und das Spaltenneuschreibungs-Steuersignal werden von
der Steuereinrichtung ausgegeben, sodass gewählt werden
kann, ob ein Datensignal in jedem aus einer Vielzahl von
Bildpunkten in einer Matrix neu geschrieben wird. Wenn also
ein Bild mit einem spezifischen, sich häufig ändernden Be-
reich angezeigt wird, kann ein hochqualitatives Bild mit ei-
nem reduzierten Stromverbrauch angezeigt werden.



Beschreibung

Offenbarung der Erfindung

Technisches Gebiet

[0001] Die vorliegende Erfindung betrifft eine Anzeigevorrichtung. Insbesondere betrifft die vorliegende Erfindung eine Aktivmatrix-Anzeigevorrichtung.

Stand der Technik

[0002] Aktivmatrix-Anzeigevorrichtungen, bei denen eine Vielzahl von Bildpunkten in einer Matrix angeordnet sind, werden in weiter Verbreitung verwendet. Allgemein umfasst jeder Bildpunkt einen Transistor, eine Abtastleitung, die elektrisch mit einem Gate des Transistors verbunden ist, und eine Signalleitung, die elektrisch mit einer Source oder einem Drain des Transistors verbunden ist. Die Anzeigevorrichtung umfasst weiterhin eine Steuereinrichtung zum Steuern des Potentials der Abtastleitung und des Potentials der Signalleitung, wobei ein zu jedem Bildpunkt zugeführtes Datensignal durch die Steuereinrichtung gesteuert wird.

[0003] In den letzten Jahren hat man sich aus Umweltschutzgründen um die Entwicklung von Anzeigevorrichtungen mit einem geringen Stromverbrauch bemüht. Das Patentdokument 1 gibt eine Technik zum Reduzieren des Stromverbrauchs einer Anzeigevorrichtung durch das Reduzieren der Neuschreibungsfrequenz an. Der in dem Patentdokument 1 angegebene Aufbau der Anzeigevorrichtung wird im Folgenden näher erläutert.

[0004] In der Anzeigevorrichtung des Patentdokuments 1 sind eine Abtastperiode zum Abtasten eines Bildschirms und eine Pausenperiode, die auf die Abtastperiode folgt und länger als die Abtastperiode ist, festgesetzt. Gemäß der Technik des Patentdokuments 1 wird während der Pausenperiode das Potential einer Abtastleitung bei dem Potential eines nicht-Auswahlsignals fixiert, während (1) das Potential einer Signalleitung bei einem vorbestimmten Potential fixiert ist, (2) das Potential einer Signalleitung bei einem vorbestimmten Potential fixiert ist und dann zu einem Schwebezustand gebracht wird oder (3) ein Wechselstrom-Treibersignal mit einer Frequenz, die niedriger oder gleich derjenigen eines Datensignals ist, zu einer Signalleitung geführt wird. Dadurch kann der Stromverbrauch reduziert werden, wenn das Potential der Signalleitung während der Pausenperiode variiert.

[Referenz]

[0005]
[Patentdokument 1] Veröffentlichte japanische Patentanmeldung Nr. 2002-182619

[0006] In der Anzeigevorrichtung des Patentdokuments 1 wird ein Datensignal mit derselben Frequenz in allen aus der Vielzahl von in einer Matrix angeordneten Bildpunkten neu geschrieben. Deshalb ist die Anzeigevorrichtung des Patentdokuments 1 nicht für das Anzeigen eines Bilds geeignet, das einen spezifischen, sich häufig ändernden Bereich enthält. Um ein hochqualitatives Bild in dem sich häufig ändernden Bereich anzuzeigen, muss die oben genannte Pausenperiode verkürzt werden, sodass das Datensignal häufig neu geschrieben wird. In diesem Fall wird jedoch auch das Datensignal in dem anderen (sich nicht so häufig ändernden) Bereich häufig neu geschrieben. Dies vermindert den Vorteil der Anzeigevorrichtung des Patentdokuments 1 gegenüber herkömmlichen Anzeigevorrichtungen (die Reduktion des Stromverbrauchs).

[0007] Es ist deshalb eine Aufgabe der vorliegenden Erfindung, eine Anzeigevorrichtung anzugeben, die ein hochqualitatives Bild mit einem reduzierten Stromverbrauch auch dann anzeigen kann, wenn ein Bild mit einem spezifischen, sich häufig ändernden Bereich angezeigt wird.

[0008] Das vorstehend geschilderte Problem kann gelöst werden, indem die Neuschreibungsfrequenz eines Datensignals in jedem spezifischen Bereich (z. B. in jedem Bildpunkt) gesteuert wird.

[0009] Gemäß einer Ausführungsform der vorliegenden Erfindung wird eine Anzeigevorrichtung angegeben, die umfasst: eine Steuereinrichtung, die Datensignale für das Bilden von Bildern zweier aufeinanderfolgender Rahmen vergleicht, eine Differenz in jedem aus der Vielzahl von in einer Matrix angeordneten Bildpunkten erfasst und ein Reihenenschreibungs-Steuersignal ausgibt, das angibt, ob die Differenz in wenigstens einem ersten bis n-ten Bildpunkt (n ist eine natürliche Zahl von zwei oder mehr) in derselben Reihe erfasst wird, und weiterhin ein Spaltenneuschreibungs-Steuersignal ausgibt, das angibt, ob die Differenz in einem k-ten Bildpunkt (k ist eine natürliche Zahl größer oder gleich eins und kleiner oder gleich n) erfasst wird; eine erste Abtastleitung, die elektrisch mit den ersten bis n-ten Bildpunkten verbunden ist und zu der ein Auswahlsignal in Übereinstimmung mit dem Reihenenschreibungs-Steuersignal zugeführt wird; eine zweite Abtastleitung, die elektrisch mit allen aus der Vielzahl von Bildpunkten in derselben Spalte wie der k-te Bildpunkt verbunden ist und zu der ein Auswahlsignal in Übereinstimmung mit dem Spaltenneuschreibungs-Steuersignal zugeführt wird; und eine Signalleitung, die elektrisch mit allen aus der Vielzahl von Bildpunkten in derselben Spalte wie der k-te Bildpunkt verbunden ist und zu der das Datensignal in Übereinstimmung mit dem Spaltenneuschreibungs-Steuersignal zugeführt wird. Der

k-te Bildpunkt umfasst: einen ersten Transistor, dessen Gate elektrisch mit der ersten Abtastleitung verbunden ist und dessen Source oder Drain elektrisch mit der Signalleitung verbunden ist; und einen zweiten Transistor, dessen Gate elektrisch mit der zweiten Abtastleitung verbunden ist und dessen Source oder Drain elektrisch mit entsprechend dem Drain oder der Source des ersten Transistors verbunden ist.

[0010] Die Anzeigevorrichtung enthält gemäß einer Ausführungsform der vorliegenden Erfindung die Steuereinrichtung, die das Reihenbeschreibungs-Steuersignal, das Spaltenbeschreibungs-Steuersignal und das Datensignal ausgibt. Es ist zu beachten, dass das Reihenbeschreibungs-Steuersignal ein Signal ist, das wählt, ob ein Auswahlsignal zu der ersten Abtastleitung geführt wird, und dass das Spaltenbeschreibungs-Steuersignal ein Signal ist, das wählt, ob ein Auswahlsignal und ein Datensignal zu jeweils der zweiten Abtastleitung und der Signalleitung geführt werden. Das Reihenbeschreibungs-Steuersignal und das Spaltenbeschreibungs-Steuersignal werden also von der Steuereinrichtung ausgegeben, sodass gewählt werden kann, ob ein Datensignal in jedem aus der Vielzahl von in einer Matrix angeordneten Bildpunkten neu geschrieben wird. Folglich kann auch dann, wenn ein Bild mit einem spezifischen, sich häufig ändernden Bereich angezeigt wird, ein hochqualitatives Bild mit einem reduzierten Stromverbrauch angezeigt werden.

Kurzbeschreibung der Zeichnungen

[0011] In den folgenden Zeichnungen:

[0012] [Fig. 1A](#) ist eine schematische Ansicht, die ein Beispiel für eine Anzeigevorrichtung zeigt, und [Fig. 1B](#) ist ein Schaltungsdiagramm, das ein Beispiel für einen Bildpunkt zeigt.

[0013] [Fig. 2A](#) ist eine schematische Ansicht, die ein Beispiel für eine Erste-Abtastleitung-Treiberschaltung zeigt, und

[0014] [Fig. 2B](#) ist eine schematische Ansicht, die ein Beispiel für eine Signalleitung/Zweite-Abtastleitung-Treiberschaltung zeigt.

[0015] [Fig. 3](#) ist eine schematische Ansicht, die ein Beispiel für den Betrieb einer Erste-Abtastleitung-Treiberschaltung zeigt.

[0016] [Fig. 4](#) ist eine schematische Ansicht, die ein Beispiel für den Betrieb einer Signalleitung/Zweite-Abtastleitung-Treiberschaltung zeigt.

[0017] [Fig. 5](#) ist eine schematische Ansicht, die ein Beispiel für eine Steuereinrichtung zeigt.

[0018] [Fig. 6](#) ist eine schematische Ansicht, die ein Beispiel für den Betrieb einer Steuereinrichtung zeigt.

[0019] [Fig. 7A](#) ist eine schematische Ansicht, die ein Beispiel für eine Erste-Abtastleitung-Treiberschaltung zeigt, und

[0020] [Fig. 7B](#) ist eine schematische Ansicht, die ein Beispiel für eine Signalleitung/Zweite-Abtastleitung-Treiberschaltung zeigt.

[0021] [Fig. 8A](#) ist eine schematische Ansicht, die ein Beispiel für eine Anzeigevorrichtung zeigt, [Fig. 8B](#) ist eine schematische Ansicht, die ein Beispiel für eine Signalleitung-Treiberschaltung zeigt, und [Fig. 8C](#) ist ein Diagramm, das ein Beispiel für eine Zweite-Abtastleitung-Treiberschaltung zeigt.

[0022] [Fig. 9](#) ist eine Querschnittsansicht, die ein Beispiel für einen Transistor zeigt.

[0023] [Fig. 10](#) ist ein Kurvendiagramm, das die Eigenschaften eines Transistors wiedergibt.

[0024] [Fig. 11](#) ist eine schematische Ansicht einer Schaltung zum Bewerten der Eigenschaften eines Transistors.

[0025] [Fig. 12](#) ist ein Zeitdiagramm zum Bewerten der Eigenschaften eines Transistors.

[0026] [Fig. 13](#) ist ein Kurvendiagramm, das die Eigenschaften eines Transistors wiedergibt.

[0027] [Fig. 14](#) ist ein Kurvendiagramm, das die Eigenschaften eines Transistors wiedergibt.

[0028] [Fig. 15](#) ist ein Kurvendiagramm, das die Eigenschaften eines Transistors wiedergibt.

[0029] [Fig. 16A](#) bis [Fig. 16C](#) sind Querschnittsansichten, die jeweils ein Beispiel für einen Transistor zeigen.

[0030] [Fig. 17A](#) bis [Fig. 17D](#) sind Querschnittsansichten, die ein Beispiel für einen Herstellungsprozess für einen Transistor zeigen.

[0031] [Fig. 18A](#) bis [Fig. 18F](#) sind Ansichten, die jeweils ein Beispiel für eine elektronische Vorrichtung zeigen.

Bevorzugte Ausführungsform der Erfindung

[0032] Im Folgenden wird die vorliegende Erfindung im Detail mit Bezug auf die Zeichnungen beschrieben. Es ist zu beachten, dass die vorliegende Erfindung nicht auf die folgende Beschreibung beschränkt ist, wobei dem Fachmann deutlich sein sollte, dass die Modi und Details auf verschiedene Weise modi-

fiziert werden können, ohne dass deshalb der Erfindungsumfang verlassen wird. Die vorliegende Erfindung ist also nicht auf die hier beschriebenen Ausführungsformen beschränkt.

(Beispiel für eine Aktivmatrix-Anzeigevorrichtung)

[0033] Zuerst wird im Folgenden ein Beispiel für eine Aktivmatrix-Anzeigevorrichtung mit Bezug auf **Fig. 1A** und **Fig. 1B** beschrieben.

[0034] **Fig. 1A** ist eine schematische Ansicht, die ein Beispiel für die Konfiguration der Aktivmatrix-Anzeigevorrichtung zeigt. Die Anzeigevorrichtung von **Fig. 1A** umfasst: einen Bildpunktteil **10**; eine Erste-Abtastleitung-Treiberschaltung **11**; eine Signalleitung/Zweite-Abtastleitung-Treiberschaltung **12**; eine Steuereinrichtung **13**; eine Vielzahl von ersten Abtastleitungen **14**, die parallel oder im Wesentlichen parallel zueinander angeordnet sind und deren Potential durch die Erste-Abtastleitung-Treiberschaltung **11** gesteuert wird; eine Vielzahl von Signalleitungen **15**, die parallel oder im Wesentlichen parallel zueinander angeordnet sind und deren Potential durch die Signalleitung/Zweite-Abtastleitung-Treiberschaltung **12** gesteuert wird; und eine Vielzahl von zweiten Abtastleitungen **16**, die parallel oder im Wesentlichen parallel zueinander angeordnet sind und deren Potential durch die Signalleitung/Zweite-Abtastleitung-Treiberschaltung **12** gesteuert wird. Weiterhin umfasst der Bildpunktteil **10** eine Vielzahl von in einer Matrix angeordneten Bildpunkten **17**. Es ist zu beachten, dass jede aus der Vielzahl von ersten Abtastleitungen **14** elektrisch mit einer Vielzahl von in einer Reihe angeordneten Bildpunkten **17** aus der Vielzahl von in einer Matrix angeordneten Bildpunkten **17** verbunden ist. Jede aus der Vielzahl von Signalleitungen **15** und jede aus der Vielzahl von zweiten Abtastleitungen **16** ist elektrisch mit einer Vielzahl von in einer Spalte angeordneten Bildpunkten **17** aus der Vielzahl von in einer Matrix angeordneten Bildpunkten **17** verbunden. Von der Steuereinrichtung **13** werden Signale wie etwa ein Startsignal zum Treiben der ersten Abtastleitung, ein Taktsignal zum Treiben der ersten Abtastleitung und ein Reihenbeschreibungs-Steuersignal sowie weiterhin eine Treiberleistung wie etwa eine Hochpotential-Stromversorgung (V_{dd}) und eine Niederpotential-Stromversorgung (V_{ss}) in die Erste-Abtastleitung-Treiberschaltung **11** eingegeben. Weiterhin werden von der Steuereinrichtung **13** Signale wie etwa ein Startsignal zum Treiben der Signalleitung und der zweiten Abtastleitung, ein Taktsignal zum Treiben der Signalleitung und der zweiten Abtastleitung, ein Spaltenbeschreibungs-Steuersignal und ein Datensignal sowie weiterhin eine Treiberleistung wie etwa eine Hochpotential-Stromversorgung (V_{dd}) und eine Niederpotential-Stromversorgung (V_{ss}) in die Signalleitung/Zweite-Abtastleitung-Treiberschaltung **12** eingegeben.

[0035] **Fig. 1B** ist ein Schaltdiagramm, das ein Beispiel für den Bildpunkt **17** in der Anzeigevorrichtung von **Fig. 1A** zeigt. Der in **Fig. 1B** gezeigte Bildpunkt umfasst: einen Transistor **20**, dessen Gate elektrisch mit der ersten Abtastleitung **14** verbunden ist und dessen Source oder Drain elektrisch mit der Signalleitung **15** verbunden ist; einen Transistor **21**, dessen Gate elektrisch mit der zweiten Abtastleitung **16** verbunden ist und dessen Source oder Drain elektrisch mit entsprechend dem Drain oder der Source des Transistors **20** verbunden ist; einen Kondensator **22**, dessen eine Elektrode elektrisch mit entsprechend dem Drain oder der Source des Transistors **21** verbunden ist und dessen andere Elektrode elektrisch mit einer Verdrahtung verbunden ist, die ein gemeinsames Potential (V_{com}) zuführt (auch als gemeinsame Potentialleitung bezeichnet); und ein Flüssigkristallelement **23**, dessen eine Elektrode (auch als Bildpunktelektrode bezeichnet) elektrisch mit entsprechend dem Drain oder der Source des Transistors **21** und der einen Elektrode des Kondensators **22** verbunden ist und dessen andere Elektrode (auch als Gegenelektrode bezeichnet) elektrisch mit einer Verdrahtung verbunden ist, die ein Gegenpotential zuführt. Es ist zu beachten, dass der Transistor **20** und der Transistor **21** n-Kanal-Transistoren sind. Das gemeinsame Potential (V_{com}) und das Gegenpotential weisen dasselbe Potential auf.

(Beispiel für den Betrieb der Aktivmatrix-Anzeigevorrichtung)

[0036] Im Folgenden wird ein Beispiel für den Betrieb der oben beschriebenen Anzeigevorrichtung beschrieben.

[0037] Zuerst werden Datensignale zum Bilden eines Bilds an dem Bildpunktteil **10** aufeinander folgend in die Steuereinrichtung **13** eingegeben. Die Steuereinrichtung **13** vergleicht einige der eingegebenen Datensignale, die Bilder von zwei aufeinander folgenden Rahmen bilden, und erfasst eine Differenz in jedem aus der Vielzahl von in einer Matrix angeordneten Bildpunkten **17**. Weiterhin erzeugt die Steuereinrichtung **13** ein Reihenbeschreibungs-Steuersignal und ein Spaltenbeschreibungs-Steuersignal auf der Basis der erfassten Differenz.

[0038] Das Reihenbeschreibungs-Steuersignal ist ein Signal, das angibt, ob eine Differenz in wenigstens einem aus der Vielzahl von in derselben Reihe angeordneten Bildpunkten in dem Bildpunktteil **10** erfasst wird. Das Spaltenbeschreibungs-Steuersignal ist ein Signal, das angibt, ob eine Differenz in jedem der Bildpunkte **17** erfasst wird. Das Reihenbeschreibungs-Steuersignal und das Spaltenbeschreibungs-Steuersignal sind also jeweils ein Binärsignal. Die Frequenz des Spaltenbeschreibungs-Steuersignals ist höher als diejenige des Reihenbeschreibungs-Steuersignals. Insbesondere kann das Rei-

henneuschreibungs-Steuersignal in jeder horizontalen Abtastperiode (auch als Gate-Wahlperiode bezeichnet) gewechselt werden und kann das Spaltenneuschreibungs-Steuersignal in jeder Periode in der horizontalen Abtastperiode, während welcher die Signalleitung **15** gewählt wird (während welcher ein Datensignal in den Bildpunkt **17** eingegeben wird), gewechselt werden. Es ist zu beachten, dass in der folgenden Beschreibung der Einfachheit halber das Reihenneuschreibungs-Steuersignal für den Fall, dass „eine Differenz in wenigstens einem aus der Vielzahl von in derselben Reihe angeordneten Bildpunkten **17** erfasst wird“, als ein Signal mit einem hohen Pegel bezeichnet wird, und dass das Reihenneuschreibungs-Steuersignal für den Fall, dass „keine Differenz in wenigstens einem aus der Vielzahl von in derselben Reihe angeordneten Bildpunkten **17** erfasst wird“, als ein Signal mit einem niedrigen Pegel bezeichnet wird. Entsprechend wird das Spaltenneuschreibungs-Steuersignal für den Fall, dass „eine Differenz in jedem aus der Vielzahl von Bildpunkten **17** erfasst wird“ als ein Signal mit einem hohen Pegel bezeichnet, und wird das Spaltenneuschreibungs-Steuersignal für den Fall, dass „keine Differenz in jedem aus der Vielzahl von Bildpunkten **17** erfasst wird“ als ein Signal mit einem niedrigen Pegel bezeichnet.

[0039] Die Erste-Abtastleitung-Treiberschaltung **11** weist eine Funktion zum sequentiellen Zuführen von Auswahlsignalen zu der Vielzahl von ersten Abtastleitungen **14** auf. Es ist zu beachten, dass das Reihenneuschreibungs-Steuersignal in die Erste-Abtastleitung-Treiberschaltung **11** eingegeben wird. Das Reihenneuschreibungs-Steuersignal ist ein Signal, das wählt, ob ein Auswahlsignal zu den ersten Abtastleitungen **14** von der Erste-Abtastleitung-Treiberschaltung **11** zugeführt wird. Insbesondere wird in der Periode, während welcher die ersten Abtastleitungen **14** gewählt werden (einer horizontalen Abtastperiode), ein Auswahlsignal zu den ersten Abtastleitungen **14** zugeführt, wenn das Reihenneuschreibungs-Steuersignal ein Signal mit einem hohen Pegel ist, und wird ein nicht-Auswahlsignal zu der Vielzahl von ersten Abtastleitungen **14** zugeführt, wenn das Reihenneuschreibungs-Steuersignal ein Signal mit einem niedrigen Pegel ist. Dabei ist das Auswahlsignal ein Signal zum Einschalten des Transistors **20** und ist das nicht-Auswahlsignal ein Signal zum Ausschalten des Transistors **20**.

[0040] Die Signalleitung/Zweite-Abtastleitung-Treiberschaltung **12** weist eine Funktion zum sequentiellen Zuführen von Datensignalen zu der Vielzahl von Signalleitungen **15** und zum sequentiellen Zuführen von Auswahlsignalen zu der Vielzahl von zweiten Abtastleitungen **16** auf. Es ist zu beachten, dass das Spaltenneuschreibungs-Steuersignal in die Signalleitung/Zweite-Abtastleitung-Treiberschaltung **12** eingegeben wird. Das Spaltenneuschreibungs-Steuersignal ist ein Signal, das wählt, ob ein Datensig-

nal und ein Auswahlsignal jeweils in die Signalleitungen **15** und die zweiten Abtastleitungen **16** von der Signalleitung/Zweite-Abtastleitung-Treiberschaltung **12** eingegeben werden. Insbesondere wird in der Periode, während welcher die Signalleitungen **15** und die zweiten Abtastleitungen **16** gewählt werden, ein Datensignal zu den Signalleitungen **15** zugeführt und wird ein Auswahlsignal zu den zweiten Abtastleitungen **16** zugeführt, wenn das Spaltenneuschreibungs-Steuersignal ein Signal mit einem hohen Pegel ist. Wenn dagegen das Spaltenneuschreibungs-Steuersignal ein Signal mit einem niedrigen Pegel ist, wird kein Datensignal zu den Signalleitungen **15** zugeführt und wird ein nicht-Auswahlsignal zu den zweiten Abtastleitungen **16** zugeführt. Wenn hier gesagt wird, dass „kein Datensignal zu den Signalleitungen **15** zugeführt wird“, bedeutet dies, dass ein fixes Potential oder eine vorbestimmte Wechsellspannung zu den Signalleitungen **15** geführt wird oder dass die Signalleitungen **15** in einen Schwebezustand gebracht werden.

[0041] Wie oben beschrieben werden in der oben beschriebenen Anzeigevorrichtung das Reihenneuschreibungs-Steuersignal und das Spaltenneuschreibungs-Steuersignal von der Steuereinrichtung **13** ausgegeben, sodass gewählt werden kann, ob ein Datensignal in jedem aus der Vielzahl von in einer Matrix angeordneten Bildpunkten **17** neu geschrieben wird. Also auch dann, wenn ein Bild mit einem spezifischen, sich häufig ändernden Bereich angezeigt wird, kann ein hochqualitatives Bild mit einem reduzierten Stromverbrauch angezeigt werden.

(Beispiel für die Konfiguration der Erste-Abtastleitung-Treiberschaltung **11**)

[0042] Im Folgenden wird ein Beispiel für die Konfiguration der Erste-Abtastleitung-Treiberschaltung **11** in der oben genannten Anzeigevorrichtung mit Bezug auf [Fig. 2A](#) beschrieben. Die Erste-Abtastleitung-Treiberschaltung **11** von [Fig. 2A](#) umfasst: ein Schieberegister **110** mit einer Vielzahl von Ausgangsanschlüssen; einen Latch **111**, dessen Eingangsanschluss elektrisch mit einer Verdrahtung, die ein Reihenneuschreibungs-Steuersignal zuführt, verbunden ist; einen Latch **112**, dessen Eingangsanschluss elektrisch mit einem Ausgangsanschluss des Latches **111** verbunden ist; und einen Puffer **113**, dessen Eingangsanschluss elektrisch mit einem aus einer Vielzahl von Ausgangsanschlüssen des Schieberegisters **110** verbunden ist und dessen Ausgangsanschluss elektrisch mit einem aus der Vielzahl von ersten Abtastleitungen **14** verbunden ist.

[0043] Das Schieberegister **110** weist eine Funktion zum sequentiellen Zuführen von Auswahlsignalen von der Vielzahl von Ausgangsanschlüssen auf, wenn ein Startsignal zum Treiben der ersten Abtastleitung von außen eingegeben wird.

[0044] Der Latch **111** ist elektrisch mit einem aus der Vielzahl von Ausgangsanschlüssen des Schieberegisters **110** verbunden. Der Latch **111** weist eine Funktion zum Halten eines Reihenbeschreibungs-Steuersignals (eines Binärsignals: eines Signals mit einem hohen Pegel oder mit einem niedrigen Pegel) in einer Periode, während welcher ein Auswahlsignal von den Ausgangsanschlüssen zugeführt wird, und zum Ausgeben des Reihenbeschreibungs-Steuersignals auf.

[0045] Der Latch **112** ist elektrisch mit einer Verdrahtung, die ein Gate-Latchsignal zuführt, verbunden. Der Latch **112** weist eine Funktion zum Halten eines Ausgabesignals des Latches **111** (eines Binärsignals: eines Signals mit einem hohen Pegel oder einem niedrigen Pegel) in einer Periode, während welcher ein Transfersignal von dem Gate-Latchsignal zugeführt wird, und zum Ausgeben des Signals auf. Es ist zu beachten, dass das Gate-Latchsignal ein Signal ist, das angibt, ob das durch den Latch **111** gehaltene Signal zu dem Latch **112** transferiert wird. Das Gate-Latchsignal ist also ein Binärsignal (ein Transfersignal oder ein nicht-Transfersignal). Das Gate-Latchsignal gibt ein nicht-Transfersignal in einer Periode an, während welcher das Schieberegister **110** sequentiell Auswahlsignale zuführt (während einer Abtastperiode), und gibt ein Transfersignal in einer Periode zwischen zwei aufeinander folgenden Abtastperioden (während einer Vertikalrücksprungperiode) an.

[0046] Der Puffer **113** weist eine Funktion auf, mit der als das zu der ersten Abtastleitung **14** zugeführte Signal entweder das Ausgabesignal des Schieberegisters **110** oder ein nicht-Auswahlsignal gewählt werden kann. Insbesondere wird das Ausgabesignal des Schieberegisters **110** zu der ersten Abtastleitung **14** geführt, wenn das Ausgabesignal des Latches **112** ein Signal mit einem hohen Pegel ist, und wird ein nicht-Auswahlsignal zu der ersten Abtastleitung **14** geführt, wenn das Ausgabesignal des Latches **112** ein Signal mit einem niedrigen Pegel ist.

(Beispiel für den Betrieb der Ersten-Abtastleitung-Treiberschaltung **11**)

[0047] Im Folgenden wird ein Beispiel für den Betrieb der oben beschriebenen Ersten-Abtastleitung-Treiberschaltung **11** mit Bezug auf [Fig. 3](#) beschrieben.

[0048] Zuerst werden in einer Abtastperiode (T1) Auswahlsignale sequentiell von der Vielzahl von Ausgangsanschlüssen des Schieberegisters **110** ausgegeben. Der Latch **111**, der elektrisch mit dem Ausgangsanschluss verbunden ist, von dem das Auswahlsignal in einer Periode t1 ausgegeben wird, hält ein Reihenbeschreibungs-Steuersignal in der Periode t1 und gibt das Reihenbeschreibungs-Steuersignal aus.

Dabei ist das Reihenbeschreibungs-Steuersignal in der Periode t1 ein Signal mit einem hohen Pegel.

[0049] Im Folgenden wird in einer Vertikalrücksprungperiode (T2) ein Transfersignal in den Latch **112** eingegeben. Dann hält der Latch **112** das Ausgabesignal des Latches **111** (das Reihenbeschreibungs-Steuersignal in der Periode t1 = ein Signal mit einem hohen Pegel) und gibt das Signal aus. Weiterhin wird das Ausgabesignal des Latches **112** in den Puffer **113** eingegeben, sodass das Ausgabesignal des Puffers **113** gleich einem Ausgabesignal des Ausgangsanschlusses wird, von dem das Auswahlsignal in der Periode t1 ausgegeben wird.

[0050] Im Folgenden werden in einer Abtastperiode (T3) Auswahlsignale sequentiell von der Vielzahl von Ausgangsanschlüssen des Schieberegisters **110** wie in der Abtastperiode T1 ausgegeben. Dabei wird in einer Periode t2 das Auswahlsignal in den oben genannten Latch **111** eingegeben (in den Latch **111**, der elektrisch mit dem Ausgangsanschluss verbunden ist, von dem das Auswahlsignal in der Periode t1 ausgegeben wird). Dementsprechend hält der Latch **111** ein Reihenbeschreibungs-Steuersignal in der Periode t2 und gibt das Reihenbeschreibungs-Steuersignal aus. Dabei ist das Reihenbeschreibungs-Steuersignal in der Periode t2 ein Signal mit einem niedrigen Pegel. In der Abtastperiode (T3) hält der Latch **112** das Ausgabesignal in der Vertikalrücksprungperiode (T2), sodass das Ausgabesignal des Puffers **113** in der Abtastperiode (T3) gleich einem Ausgabesignal des Ausgangsanschlusses wird, von dem das Auswahlsignal in der Periode t1 und der Periode t2 ausgegeben wird. Der Puffer **113** führt das Auswahlsignal zu der ersten Abtastleitung **14** in der Periode t2.

[0051] Dann wird in einer Vertikalrücksprungperiode (T4) ein Transfersignal in den Latch **112** wie in der Vertikalrücksprungperiode (T2) eingegeben. Der Latch **112** hält also das Ausgabesignal des Latches **111** (das Reihenbeschreibungs-Steuersignal in der Periode t2 = ein Signal mit einem niedrigen Pegel) und gibt das Signal aus. Weiterhin wird das Ausgabesignal des Latches **112** in den Puffer **113** eingegeben, sodass das Ausgabesignal des Puffers **113** ein nicht-Auswahlsignal wird.

[0052] Dann werden in einer Abtastperiode (T5) Auswahlsignale sequentiell von der Vielzahl von Ausgangsanschlüssen des Schieberegisters **110** wie in der Abtastperiode (T1) und der Abtastperiode (T3) ausgegeben. Dabei wird in einer Periode t3 das Auswahlsignal in den oben genannten Latch **111** eingegeben (der Latch **111** ist elektrisch mit dem Ausgangsanschluss verbunden, von dem das Auswahlsignal in der Periode t1 und der Periode t2 ausgegeben wird). Dementsprechend hält der Latch **111**

ein Reihenanschreibungs-Steuersignal in der Periode t3 und gibt das Reihenanschreibungs-Steuersignal aus. Dabei ist das Reihenanschreibungs-Steuersignal in der Periode t3 ein Signal mit einem hohen Pegel. In der Abtastperiode (T5) hält der Latch **112** das Ausgabesignal in der Vertikalrücksprungperiode (T4), sodass das Ausgabesignal des Puffers **113** in der Abtastperiode (T5) zu einem nicht-Auswahlsignal wird. Das heißt, dass der Puffer **113** ein nicht-Auswahlsignal zu der ersten Abtastleitung **14** in der Abtastperiode (T5) zuführt.

[0053] Durch die vorstehend beschriebene Operation kann die Erste-Abtastleitung-Treiberschaltung **11** in Übereinstimmung mit einem Reihenanschreibungs-Steuersignal wählen, ob ein Auswahlsignal zu der ersten Abtastleitung **14** zugeführt wird. Es ist zu beachten, dass in dem oben beschriebenen Betrieb der Anzeigevorrichtung jede der Perioden t1, t2 und t3 eine horizontale Abtastperiode ist und dass die Vertikalrücksprungperiode und die folgende Abtastperiode eine Rahmenperiode ausmachen.

(Beispiel für die Konfiguration Signalleitung/
Zweite-Abtastleitung-Treiberschaltung **12**)

[0054] Im Folgenden wird ein Beispiel für die Konfiguration der Signalleitung/Zweite-Abtastleitung-Treiberschaltung **12** in der oben beschriebenen Anzeigevorrichtung mit Bezug auf [Fig. 2B](#) beschrieben. Die Signalleitung/Zweite-Abtastleitung-Treiberschaltung **12** von [Fig. 2B](#) umfasst: ein Schieberegister **120** mit einer Vielzahl von Ausgangsanschlüssen; einen Latch **121**, dessen Eingangsanschluss elektrisch mit einer Verdrahtung verbunden ist, die ein Spaltenneuschreibungs-Steuersignal zuführt; einen Latch **122**, dessen Eingangsanschluss elektrisch mit einem Ausgangsanschluss des Latches **121** verbunden ist und dessen Ausgangsanschluss elektrisch mit einer aus der Vielzahl von zweiten Abtastleitungen **16** verbunden ist; einen Latch **123**, dessen Eingangsanschluss elektrisch mit einer Verdrahtung verbunden ist, die ein Datensignal zuführt; einen Latch **124**, dessen Eingangsanschluss elektrisch mit einem Ausgangsanschluss des Latches **123** verbunden ist; eine Digital-zu-Analog-Wandlerschaltung (DAW) **125**, deren Eingangsanschluss elektrisch mit einem Ausgangsanschluss des Latches **124** verbunden ist; und einen analogen Puffer **126**, dessen Eingangsanschluss elektrisch mit einem Ausgangsanschluss der Digital-zu-Analog-Wandlerschaltung (DAW) **125** verbunden ist und dessen Ausgangsanschluss elektrisch mit einer aus der Vielzahl von Signalleitungen **15** verbunden ist.

[0055] Das Schieberegister **120** weist eine Funktion zum sequentiellen Zuführen von Auswahlsignalen von der Vielzahl von Ausgangsanschlüssen auf, wenn ein Startsignal zum Treiben der Signalleitung

und der zweiten Abtastleitung von außen eingegeben wird.

[0056] Der Latch **121** ist elektrisch mit einem aus der Vielzahl von Ausgangsanschlüssen des Schieberegisters **120** verbunden. Der Latch **121** weist eine Funktion zum Halten eines Spaltenneuschreibungs-Steuersignals (eines Binärsignals mit einem hohen Pegel oder mit einem niedrigen Pegel) in einer Periode, während welcher ein Auswahlsignal von den Ausgangsanschlüssen zugeführt wird, und zum Ausgeben des Spaltenneuschreibungs-Steuersignals auf.

[0057] Der Latch **122** ist elektrisch mit einer Verdrahtung verbunden, die ein Source-Latchsignal zuführt. Der Latch **122** weist eine Funktion zum Halten eines Ausgabesignals des Latches **121** (eines Binärsignals mit einem hohen Pegel oder einem niedrigen Pegel) in einer Periode, während welcher ein Transfersignal von dem Source-Latchsignal zugeführt wird, und zum Ausgeben des Signals auf. Es ist zu beachten, dass das Source-Latchsignal ein Signal ist, das angibt, ob das durch den Latch **121** gehaltene Signal zu dem Latch **122** transferiert wird. Das heißt, das Source-Latchsignal ist ein Binärsignal (ein Transfersignal oder ein nicht-Transfersignal). Dabei gibt das Source-Latchsignal ein nicht-Transfersignal in einer Periode an, während welcher das Schieberegister **120** sequentiell Auswahlsignale zuführt (Abtastperiode), und gibt das Source-Latchsignal ein Transfersignal in einer Periode zwischen zwei aufeinanderfolgenden Abtastperioden an (Horizontalrücksprungperiode). Ein Ausgabesignal des Latches **122** wird zu dem Gate des Transistors **21** in dem Bildpunkt **17** über eine aus der Vielzahl von zweiten Abtastleitungen **16** zugeführt, sodass der Latch **122** ein Signal zum Einschalten des Transistors **21** (ein Auswahlsignal) ausgeben muss, wenn ein Signal mit einem hohen Pegel von dem Latch **121** in einer Horizontalrücksprungperiode eingegeben wird, und ein Signal zum Ausschalten des Transistors **21** (ein nicht-Auswahlsignal) ausgeben muss, wenn ein Signal mit einem niedrigen Pegel von dem Latch **121** in einer Horizontalrücksprungperiode eingegeben wird.

[0058] Der Latch **123** ist elektrisch mit einem aus der Vielzahl von Ausgangsanschlüssen des Schieberegisters **120** verbunden. Der Latch **123** weist eine Funktion zum Halten eines Datensignals in einer Periode, während welcher ein Auswahlsignal von dem Ausgabeanschluss zugeführt wird, und zum Ausgeben des Datensignals auf. Es ist zu beachten, dass das Datensignal ein Mehr-Bit-Digitalsignal ist.

[0059] Der Latch **124** ist elektrisch mit einer Verdrahtung verbunden, die ein Source-Latchsignal zuführt. Der Latch **124** weist eine Funktion zum Halten eines Ausgabesignals des Latches **123** (eines Mehr-Bit-Signals) in einer Periode, während welcher ein Trans-

fersignal von dem Source-Latchsignal zugeführt wird, und zum Ausgeben des Signals auf.

[0060] Die Digital-zu-Analog-Wandlerschaltung (DAW) **125** weist eine Funktion zum Wandeln eines von dem Latch **124** eingegebenen digitalen Datensignals zu einem analogen Signal und zum Ausgeben des analogen Signals auf.

[0061] Der analoge Puffer **126** weist eine Funktion zum Wählen, ob ein Datensignal (ein analoges Datensignal) zu der Signalleitung **15** zugeführt wird, in Übereinstimmung mit dem Ausgabesignal des Latches **122** (eines Binärsignals mit einem hohen Pegel oder einem niedrigen Pegel) auf. Insbesondere führt der analoge Puffer **126** ein Datensignal (ein analoges Datensignal) zu der Signalleitung **15** zu, wenn das Ausgabesignal des Latches **122** ein Signal mit einem hohen Pegel ist, und führt kein Datensignal (analoges Datensignal) zu der Signalleitung **15** zu, wenn das Ausgabesignal des Latches **122** ein Signal mit einem niedrigen Pegel ist.

(Beispiel für den Betrieb der Signalleitung/
Zweite-Abtastleitung-Treiberschaltung **12**)

[0062] Ein Beispiel für den Betrieb der oben beschriebenen Signalleitung/Zweite-Abtastleitung-Treiberschaltung **12** wird im Folgenden mit Bezug auf [Fig. 4](#) beschrieben.

[0063] Zuerst werden in einer Abtastperiode (T_a) Auswahlssignale sequentiell von der Vielzahl von Ausgangsanschlüssen des Schieberegisters **120** ausgegeben. Der Latch **121**, der elektrisch mit dem Ausgangsanschluss verbunden ist, von dem das Auswahlssignal in einer Periode t_a ausgegeben wird, erhält ein Spaltenneuschreibungs-Steuersignal in der Periode t_a aufrecht und gibt das Spaltenneuschreibungs-Steuersignal aus. Dabei ist das Spaltenneuschreibungs-Steuersignal in der Periode t_a ein Signal mit einem hohen Pegel. Der Latch **123**, der elektrisch mit dem Ausgangsanschluss verbunden ist, von dem das Auswahlssignal in der Periode t_a ausgegeben wird, hält ein spezifisches Datensignal ($\text{data}(D)-1$) in der Periode t_a in einem Mehr-Bit-Datensignal ($\text{DATA}(D)-1$) aufrecht und gibt das Datensignal ($\text{data}(D)-1$) aus.

[0064] Dann wird in einer Horizontalrücksprungperiode (T_b) ein Transfersignal zu dem Latch **122** und dem Latch **124** eingegeben. Dann hält der Latch **122** das Ausgabesignal des Latches **121** (das Spaltenneuschreibungs-Steuersignal in der Periode t_a = ein Signal mit einem hohen Pegel) aufrecht und gibt das Signal aus. Das Ausgabesignal des Latches **122** wird zu dem Gate des Transistors **21** in dem Bildpunkt **17** über eine aus der Vielzahl von zweiten Abtastleitungen **16** zugeführt, sodass der Transistor **21** eingeschaltet wird. Der Latch **124** hält das Ausgabesi-

gnal des Latches **123** (das Datensignal ($\text{data}(D)-1$) in der Periode t_a) und gibt das Signal aus. Das Ausgabesignal des Latches **124** wird in die Digital-zu-Analog-Wandlerschaltung (DAW) **125** eingegeben, sodass die Digital-zu-Analog-Wandlerschaltung (DAW) **125** ein analoges Datensignal ($\text{data}(A)-1$) ausgibt. Das Ausgabesignal der Digital-zu-Analog-Wandlerschaltung (DAW) **125** wird in den analogen Puffer **126** eingegeben. Weiterhin wird das Ausgabesignal des Latches **122** (das Spaltenneuschreibungs-Steuersignal in der Periode t_a = ein Signal mit einem hohen Pegel) in den analogen Puffer **126** eingegeben. So wird das Ausgabesignal des analogen Puffers **126** zu einem analogen Datensignal ($\text{data}(A)-1$).

[0065] Dann werden in einer Abtastperiode (T_c) Auswahlssignale sequentiell von der Vielzahl von Ausgangsanschlüssen des Schieberegisters **120** wie in der Abtastperiode (T_a) ausgegeben. Dabei hält der oben genannte Latch **121** (der Latch **121**, der elektrisch mit dem Ausgangsanschluss verbunden ist, von dem das Auswahlssignal in der Periode t_a ausgegeben wird) ein Spaltenneuschreibungs-Steuersignal in der Periode t_b und gibt das Spaltenneuschreibungs-Steuersignal aus. Dabei ist das Spaltenneuschreibungs-Steuersignal in der Periode t_b ein Signal mit einem niedrigen Pegel. Weiterhin hält in der Abtastperiode (T_c) der oben genannte Latch **123** (der Latch **123**, der elektrisch mit dem Ausgangsanschluss verbunden ist, von dem das Auswahlssignal in der Periode t_a ausgegeben wird), ein Datensignal ($\text{data}(D)-2$) in der Periode t_b in einem Mehr-Bit-Datensignal ($\text{DATA}(D)-2$) und gibt das Datensignal ($\text{data}(D)-2$) aus. In der Abtastperiode (T_c) halten der Latch **122** und der Latch **124** das Ausgabesignal in einer Horizontalrücksprungperiode (T_b), sodass der oben genannte Transistor **21** (der Transistor **21**, zu dessen Gate das Ausgabesignal des Latches **122** geführt wird) in einem Ein-Zustand in der Abtastperiode (T_c) gehalten wird, während das analoge Datensignal ($\text{data}(A)-1$) als das Ausgabesignal des analogen Puffers **126** gehalten wird. Mit anderen Worten führt der analoge Puffer **126** das analoge Datensignal ($\text{data}(A)-1$) in der Abtastperiode (T_c) zu.

[0066] Dann wird in einer Horizontalrücksprungperiode (T_d) ein Transfersignal in den Latch **122** und den Latch **124** wie in der Horizontalrücksprungperiode (T_b) eingegeben. Dann hält der Latch **122** das Ausgabesignal des Latches **121** (das Spaltenneuschreibungs-Steuersignal in der Periode t_b = ein Signal mit einem niedrigen Pegel) und gibt das Signal aus. Das Ausgabesignal des Latches **122** wird zu dem Gate des Transistors **21** in dem Bildpunkt **17** über eine aus der Vielzahl von zweiten Abtastleitungen **16** zugeführt, sodass der Transistor **21** ausgeschaltet wird. Der Latch **124** hält das Ausgabesignal des Latches **123** (das Datensignal ($\text{data}(D)-2$) in der Periode t_b) und gibt das Signal aus. Das Ausgabesignal des Latches **124** wird in die Digital-zu-Analog-Wandlerschaltung

(DAW) **125** eingegeben, sodass die Digital-zu-Analog-Wandlerschaltung (DAW) **125** ein analoges Datensignal (data(A)-2) ausgibt. Das Ausgangssignal der Digital-zu-Analog-Wandlerschaltung (DAW) **125** wird in den analogen Puffer **126** eingegeben. Es ist zu beachten, dass das Ausgangssignal des Latches **122** (das Spaltenneuschreibungs-Steuersignal in der Periode t_a = ein Signal mit einem niedrigen Pegel) in den analogen Puffer **126** eingegeben wird. Das analoge Datensignal (data(A)-2) wird also nicht zu der Signalleitung **15** geführt.

[0067] Dann werden in einer Abtastperiode (T_e) Auswahlssignale sequentiell von der Vielzahl von Ausgabeanschlüssen des Schieberegisters **120** wie in den Abtastperioden (T_a) und (T_c) ausgegeben. Dabei wird in einer Periode t_c das Auswahlssignal in den oben genannten Latch **121** (den Latch **121**, der elektrisch mit dem Ausgangsanschluss verbunden ist, von dem das Auswahlssignal in der Periode t_a und t_b ausgegeben wird) eingegeben. Dementsprechend hält der Latch **121** ein Spaltenneuschreibungs-Steuersignal in der Periode t_c und gibt das Spaltenneuschreibungs-Steuersignal in der Periode t_c ein Signal mit einem hohen Pegel. Weiterhin hält in der Abtastperiode (T_e) der oben genannte Latch **123** (der Latch **123**, der elektrisch mit dem Ausgangsanschluss verbunden ist, von dem das Auswahlssignal in den Perioden t_a und t_b ausgegeben wird) ein Datensignal (data(D)-3) in der Periode t_c in einem Mehr-Bit-Datensignal (DATA(D)-3) und gibt das Datensignal (data(D)-3) aus. In der Abtastperiode (T_e) halten der Latch **122** und der Latch **124** das Ausgangssignal in der Horizontalrücksprungperiode (T_d), sodass der oben genannte Transistor **21** (der Transistor **21**, zu dessen Gate das Ausgangssignal des Latches **122** geführt wird) in einem Aus-Zustand in der Abtastperiode (T_e) gehalten wird und das analoge Datensignal (data(A)-2) nicht zu der Signalleitung **15** geführt wird.

[0068] Durch den oben genannten Betrieb kann die Signalleitung/Zweite-Abtastleitung-Treiberschaltung **12** in Übereinstimmung mit einem Spaltenneuschreibungs-Steuersignal wählen, ob ein Datensignal zu der Signalleitung **15** geführt wird und ob ein Auswahlssignal zu der zweiten Abtastleitung **16** geführt wird. Es ist zu beachten, dass in dem oben genannten Betrieb der Anzeigevorrichtung eine Horizontalrücksprungperiode und die folgende Abtastperiode eine horizontale Abtastperiode ausmachen.

(Beispiel für die Konfiguration der Steuereinrichtung **13**)

[0069] Im Folgenden wird ein Beispiel für die Konfiguration der Steuereinrichtung **13** in der oben genannten Anzeigevorrichtung mit Bezug auf [Fig. 5](#) beschrieben. Die in [Fig. 5](#) gezeigte Steuereinrichtung **13** umfasst: einen Rahmenspeicher **131**, der Daten-

signale speichert, die von außen eingegeben werden und Bilder einer Vielzahl von Rahmen bilden; eine Vergleicherschaltung **132**, die die Datensignale vergleicht, die in dem Rahmenspeicher **131** gespeichert sind und Bilder von zwei aufeinanderfolgenden Rahmen bilden, und eine Differenz erfasst; einen Koordinatenspeicher **133**, der die Koordinaten eines Bildpunkts speichert, in dem eine Differenz durch die Vergleicherschaltung **132** erfasst wurde; eine Datensignal-Leseschaltung **134**, die ein Datensignal aus dem Rahmenspeicher **131** liest und das Datensignal zu der Signalleitung/Zweite-Abtastleitung-Treiberschaltung **12** ausgibt; und eine Neuschreibungs-Signal-Erzeugungsschaltung **135**, die ein Spaltenneuschreibungs-Steuersignal und ein Reihen-neuschreibungs-Steuersignal auf der Basis der in dem Koordinatenspeicher **133** gespeicherten Koordinatendaten erzeugt und das Spaltenneuschreibungs-Steuersignal und das Reihen-neuschreibungs-Steuersignal jeweils zu der Signalleitung/Zweite-Abtastleitung-Treiberschaltung **12** und der Erste-Abtastleitung-Treiberschaltung **11** ausgibt.

(Beispiel für den Betrieb der Steuereinrichtung **13**)

[0070] Im Folgenden wird ein Beispiel für den Betrieb der oben genannten Steuereinrichtung **13** mit Bezug auf [Fig. 6](#) beschrieben.

[0071] In einer ersten Rahmenperiode, während welcher ein Datensignal zum Bilden eines Bilds eines ersten Rahmens von außen in die Steuereinrichtung **13** eingegeben wird, speichert der Rahmenspeicher **131** das Datensignal zum Bilden des Bilds des ersten Rahmens.

[0072] In einer zweiten Rahmenperiode, während welcher ein Datensignal zum Bilden eines Bilds eines zweiten Rahmens von außen in die Steuereinrichtung **13** eingegeben wird, speichert der Rahmenspeicher **131** das Datensignal zum Bilden des Bilds des zweiten Rahmens.

[0073] In einer dritten Rahmenperiode, während welcher ein Datensignal zum Bilden eines Bilds eines dritten Rahmens von außen in die Steuereinrichtung **13** eingegeben wird, speichert der Rahmenspeicher **131** das Datensignal zum Bilden des Bilds des dritten Rahmens. Die Vergleicherschaltung **132** vergleicht die in dem Rahmenspeicher **131** gespeicherten Datensignale, die das Bild des ersten Rahmens und das Bild des zweiten Rahmens bilden, und erfasst eine Differenz. Weiterhin speichert der Koordinatenspeicher **133** die Koordinaten eines Bildpunkts, in dem eine Differenz zwischen dem Datensignal zum Bilden des Bilds des ersten Rahmens und dem Datensignal zum Bilden des Bilds des zweiten Rahmens erfasst wurde.

[0074] Dann speichert in einer vierten Rahmenperiode, während welcher ein Datensignal zum Bilden eines Bilds eines vierten Rahmens von außen in die Steuereinrichtung **13** eingegeben wird, der Rahmenspeicher **131** das Datensignal zum Bilden des Bilds des vierten Rahmens. Die Vergleicherschaltung **132** vergleicht die in dem Rahmenspeicher **131** gespeicherten Datensignale, die das Bild des zweiten Rahmens und das Bild des dritten Rahmens bilden, und erfasst eine Differenz. Weiterhin speichert der Koordinatenspeicher **133** die Koordinaten eines Bildpunkts, in dem eine Differenz zwischen dem Datensignal zum Bilden des Bilds des zweiten Rahmens und dem Datensignal zum Bilden des Bilds des dritten Rahmens erfasst wurde. Die Datensignal-Leseinheit **134** liest das in dem Rahmenspeicher **131** gespeicherte Datensignal, das das Bild des ersten Rahmens bildet, und gibt dann das Datensignal zum Bilden des Bilds des ersten Rahmens zu der Signalleitung/Zweite-Abtastleitung-Treiberschaltung **12** aus. Weiterhin erzeugt die Neuschreibungssignal-Erzeugungsschaltung **135** auf der Basis der in dem Koordinatenspeicher **133** gespeicherten Koordinatendaten ein Reihenbeschreibungs-Steuersignal zum Neuschreiben des Bilds des ersten Rahmens und des Bilds des zweiten Rahmens. Dann gibt die Neuschreibungssignal-Erzeugungsschaltung **135** das Reihenbeschreibungs-Steuersignal zu der Erste-Abtastleitung-Treiberschaltung **11** aus. Es ist zu beachten, dass in dieser Periode das Bild des ersten Rahmens auf dem Bildpunktteil **10** angezeigt wird.

[0075] Dann speichert in einer fünften Rahmenperiode, während welcher ein Datensignal zum Bilden eines Bilds eines fünften Rahmens von außen in die Steuereinrichtung **13** eingegeben wird, der Rahmenspeicher **131** das Datensignal zum Bilden des Bilds des fünften Rahmens. Die Vergleicherschaltung **132** vergleicht die in dem Rahmenspeicher **131** gespeicherten Datensignale, die das Bild des dritten Rahmens und das Bild des vierten Rahmens bilden, und erfasst eine Differenz. Weiterhin speichert der Koordinatenspeicher **133** die Koordinaten eines Bildpunkts, in dem eine Differenz zwischen dem Datensignal zum Bilden des Bilds des dritten Rahmens und dem Datensignal zum Bilden des Bilds des vierten Rahmens erfasst wurde. Die Datensignal-Leseschaltung **134** liest das in dem Rahmenspeicher **131** gespeicherte Datensignal, das das Bild des zweiten Rahmens bildet, und gibt dann das Datensignal zum Bilden des Bilds des zweiten Rahmens zu der Signalleitung/Zweite-Abtastleitung-Treiberschaltung **12** aus. Weiterhin erzeugt die Neuschreibungssignal-Erzeugungsschaltung **135** auf der Basis der in dem Koordinatenspeicher **133** gespeicherten Koordinatendaten ein Reihenbeschreibungs-Steuersignal zum Neuschreiben des Bilds des zweiten Rahmens und des Bilds des dritten Rahmens und ein Spaltenbeschreibungs-Steuersignal zum Neuschreiben des Bilds des ersten Rahmens und des Bilds des zweiten

Rahmens. Dann gibt die Neuschreibungssignal-Erzeugungsschaltung **135** das Reihenbeschreibungs-Steuersignal und das Spaltenbeschreibungs-Steuersignal jeweils zu der Erste-Abtastleitung-Treiberschaltung **11** und zu der Signalleitung/Zweite-Abtastleitung-Treiberschaltung **12** aus. Es ist zu beachten, dass in dieser Periode das Bild des zweiten Rahmens auf dem Bildpunktteil **10** angezeigt wird.

[0076] Danach wird der vorstehend beschriebene Betrieb sequentiell durchgeführt, sodass Bilder in einer Sequenz auf dem Bildpunktteil **10** angezeigt werden können.

[0077] Wie oben beschrieben werden in der oben genannten Anzeigevorrichtung das Reihenbeschreibungs-Steuersignal und das Spaltenbeschreibungs-Steuersignal aus der Steuereinrichtung **13** ausgegeben, sodass gewählt werden kann, ob ein Datensignal in jedem aus der Vielzahl von in einer Matrix angeordneten Bildpunkten **17** neu geschrieben wird. Also auch wenn ein Bild mit einem spezifischen, sich häufig ändernden Bereich angezeigt wird, kann ein hochqualitatives Bild mit einem reduzierten Stromverbrauch angezeigt werden.

(Modifiziertes Beispiel für eine Aktivmatrix-Anzeigevorrichtung)

[0078] Die Anzeigevorrichtung mit der oben beschriebenen Konfiguration stellt eine Ausführungsform der vorliegenden Erfindung dar, wobei die Erfindung aber auch Anzeigevorrichtungen mit einigen Unterschieden zu der oben beschriebenen Anzeigevorrichtung umfasst.

[0079] Während zum Beispiel die oben genannte Anzeigevorrichtung eine Konfiguration aufweist, in welcher die Erste-Abtastleitung-Treiberschaltung **11** das Schieberegister **110**, den Latch **111**, den Latch **112** und den Puffer **113** umfasst (siehe [Fig. 2A](#)), kann auch eine andere Konfiguration verwendet werden in der die Erste-Abtastleitung-Treiberschaltung **11** das Schieberegister **110** und ein UND-Gatter **115** umfasst, dessen erster Eingangsanschluss elektrisch mit einem aus der Vielzahl von Ausgangsanschlüssen des Schieberegisters **110** verbunden ist, dessen zweiter Eingangsanschluss elektrisch mit einer Verdrahtung verbunden ist, die ein Reihenbeschreibungs-Steuersignal zuführt, und dessen Ausgangsanschluss elektrisch mit einem aus der Vielzahl von ersten Abtastleitungen **14** verbunden ist (siehe [Fig. 7A](#)). In der Erste-Abtastleitung-Treiberschaltung **11** von [Fig. 7A](#) kann gewählt werden ob ein Auswahl-signal zu der ersten Abtastleitung **14** zugeführt wird, indem der Zeitablauf des Ausgabesignals des Schieberegisters **110** mit dem Zeitablauf des Reihenbeschreibungs-Steuersignals synchronisiert wird. Es ist zu beachten, dass in der Anzeigevorrichtung mit der Erste-Abtastleitung-Treiberschaltung **11** von [Fig. 7A](#)

der Zeitablauf der Bildanzeige an dem Bildpunktteil **10** eine Rahmenperiode früher erfolgen muss als der in **Fig. 6** gezeigte Zeitablauf oder der Zeitablauf der Eingabe eines Reihenbeschreibungs-Steuersignals in die Erste-Abtastleitung-Treiberschaltung **11** eine Rahmenperiode später erfolgen muss als der in **Fig. 6** gezeigte Zeitablauf. Damit in dem ersten Fall der Zeitablauf der Anzeige auf dem Bildpunktteil **10** eine Rahmenperiode früher erfolgt, müssen auch der Zeitablauf der Ausgabe eines Datensignals aus der Datensignal-Leseschaltung **134** und der Zeitablauf der Ausgabe eines Spaltenbeschreibungs-Steuersignals aus der Neuschreibungssignal-Erzeugungsschaltung **135** eine Rahmenperiode früher erfolgen. Der spezifische Betrieb in dem ersten Fall ist wie folgt. Das Datensignal des ersten Rahmens von **Fig. 6** muss in die Signalleitung/Zweite-Abtastleitung-Treiberschaltung **12** in der dritten Rahmenperiode eingegeben werden, und das Spaltenbeschreibungs-Steuersignal zum Neuschreiben des Bilds auf der Basis des Datensignals des ersten Rahmens und des Bilds auf der Basis des Datensignals des zweiten Rahmens müssen in die Signalleitung/Zweite-Abtastleitung-Treiberschaltung **12** in der vierten Rahmenperiode eingegeben werden. Entsprechend ist der spezifische Betrieb in dem zweiten Fall wie folgt. Das Reihenbeschreibungs-Steuersignal zum Neuschreiben des Bilds auf der Basis des Datensignals des ersten Rahmens und des Bilds auf der Basis des Datensignals des zweiten Rahmens von **Fig. 6** muss in die Erste-Abtastleitung-Treiberschaltung **11** in der fünften Rahmenperiode eingegeben werden.

[0080] Die oben genannte Anzeigevorrichtung weist eine Konfiguration auf, in der die Signalleitung/Zweite-Abtastleitung-Treiberschaltung **12** das Schieberegister **120**, die Latches **121**, **122**, **123** und **124**, die Digital-zu-Analog-Wandlerschaltung (DAW) **125** und den analogen Puffer **126** umfasst (siehe **Fig. 2B**). Es kann aber auch eine andere Konfiguration verwendet werden, in der die Signalleitung/Zweite-Abtastleitung-Treiberschaltung **12** umfasst: das Schieberegister **120**; ein UND-Gatter **127**, dessen erster Eingangsanschluss elektrisch mit einem aus der Vielzahl von Ausgangsanschlüssen des Schieberegisters **120** verbunden ist, dessen zweiter Eingangsanschluss elektrisch mit einer Verdrahtung verbunden ist, die ein Spaltenbeschreibungs-Steuersignal zuführt, und dessen Ausgangsanschluss elektrisch mit einer aus der Vielzahl von zweiten Abtastleitungen **16** verbunden ist; einen Latch **128**, dessen Eingangsanschluss elektrisch mit einer Verdrahtung verbunden ist, die ein Datensignal zuführt; eine Digital-zu-Analog-Wandlerschaltung (DAW) **129**, deren Eingangsanschluss elektrisch mit einem Ausgangsanschluss des Latches **128** verbunden ist; und einen analogen Puffer **130**, dessen Eingangsanschluss elektrisch mit einem Ausgangsanschluss der Digital-zu-Analog-Wandlerschaltung (DAW) **129** verbunden ist und dessen Ausgangsanschluss elektrisch mit ei-

ner aus der Vielzahl von Signalleitungen **15** verbunden ist (siehe **Fig. 7B**). Es ist zu beachten, dass in der Signalleitung/Zweite-Abtastleitung-Treiberschaltung **12** von **Fig. 7B** der Latch **128** elektrisch mit einem aus der Vielzahl von Ausgangsanschlüssen des Schieberegisters **120** verbunden ist. Der Latch **128** weist eine Funktion zum Halten eines Datensignals in einer Periode, während welcher ein Auswahl-signal von dem Ausgangsanschluss zugeführt wird, und zum Ausgeben des Datensignals auf. Die Digital-zu-Analog-Wandlerschaltung (DAW) **129** weist eine Funktion zum Wandeln eines aus dem Latch **128** eingegebenen digitalen Datensignals zu einem analogen Signal und zum Ausgeben des analogen Signals auf. Der analoge Puffer **130** weist eine Funktion zum Wählen, ob ein Datensignal (ein analoges Datensignal) zu der Signalleitung **15** zugeführt wird, in Übereinstimmung mit dem Ausgabesignal des UND-Gatters **127** (einem Binärsignal mit einem hohen Pegel oder einem niedrigen Pegel) auf. Insbesondere führt der analoge Puffer **130** ein Datensignal (ein analoges Datensignal) zu der Signalleitung **15** zu, wenn das Ausgabesignal des UND-Gatters **127** ein Signal mit einem hohen Pegel ist, und führt kein Datensignal (analoges Datensignal) zu der Signalleitung **15** zu, wenn das Ausgabesignal des UND-Gatters **127** ein Signal mit einem niedrigen Pegel ist.

[0081] Während die oben genannte Anzeigevorrichtung eine Konfiguration aufweist, in der die Vielzahl von Signalleitungen **15** und die Vielzahl von zweiten Abtastleitungen **16** durch die Signalleitung/Zweite-Abtastleitung-Treiberschaltung **12** getrieben werden (siehe **Fig. 1A** und **Fig. 2B**), kann auch eine andere Konfiguration verwendet werden, in der die Vielzahl von Signalleitungen **15** und die Vielzahl von zweiten Abtastleitungen **16** durch verschiedene Treiberschaltungen getrieben werden (siehe **Fig. 8A**). In der Anzeigevorrichtung von **Fig. 8A** werden eine Signalleitung-Treiberschaltung **18** und eine Zweite-Abtastleitung-Treiberschaltung **19** anstelle der Signalleitung/Zweite-Abtastleitung-Treiberschaltung **12** der Anzeigevorrichtung von **Fig. 1A** verwendet. Zum Beispiel kann die in **Fig. 8A** gezeigte Signalleitung-Treiberschaltung **18** den Latch **123**, den Latch **124**, die Digital-zu-Analog-Wandlerschaltung (DAW) **125**, den analogen Puffer **126** und ein Schieberegister zum Treiben der Signalleitung **180** mit einer Vielzahl von Ausgangsanschlüssen umfassen (siehe **Fig. 8B**). Die Zweite-Abtastleitung-Treiberschaltung **19** kann den Latch **121** und den Latch **122** sowie ein Schieberegister zum Treiben der zweiten Abtastleitung **190** mit einer Vielzahl von Ausgangsanschlüssen umfassen (siehe **Fig. 8C**). Es ist zu beachten, dass das Schieberegister zum Treiben der Signalleitung **180** eine Funktion zum sequentiellen Zuführen von Auswahl-signalen von der Vielzahl von Ausgangsanschlüssen bei Eingabe eines Startsignals zum Treiben der Signalleitung von außen aufweist. Das Schieberegister zum Treiben der zweiten Abtastleitung **190** weist eine

Funktion zum sequentiellen Zuführen von Auswahl-signalen von der Vielzahl von Ausgangsanschlüssen bei der Eingabe eines Startsignals zum Treiben der zweiten Abtastleitung von außen auf.

(Beispiel für die Transistoren **20** und **21** in dem Bildpunkt **17**)

[0082] Im Folgenden wird ein Beispiel für die Transistoren **20** und **21** in jedem Bildpunkt der oben genannten Anzeigevorrichtung mit Bezug auf **Fig. 9** beschrieben. Insbesondere wird ein Transistor mit einer Oxidhalbleiterschicht beschrieben. Die Oxidhalbleiterschicht des Transistors ist stark gereinigt, sodass der Aus-Strom des Transistors extrem reduziert werden kann (dies wird weiter unten detailliert beschrieben). Deshalb wird ein derartiger Transistor vorzugsweise für die Transistoren **20** und **21** in jedem Bildpunkt der Anzeigevorrichtung der vorliegenden Erfindung verwendet, bei dem unter Umständen für eine lange Zeitdauer kein Datensignal in einen spezifischen Bildpunkt eingegeben wird.

[0083] Der Transistor **211** von **Fig. 9** enthält eine Gate-Schicht **221**, die über einem Substrat **220** mit einer isolierenden Fläche vorgesehen ist, eine Gate-Isolationsschicht **222**, die über der Gate-Schicht **221** vorgesehen ist, eine Oxidhalbleiterschicht **223**, die über der Gate-Isolationsschicht **222** vorgesehen ist, und eine Source-Schicht **224a** und eine Drain-Schicht **224b**, die über der Oxidhalbleiterschicht **223** vorgesehen sind. Weiterhin ist in dem Transistor **211** von **Fig. 9** eine den Transistor **211** bedeckende Isolationsschicht **225** in Kontakt mit der Oxidhalbleiterschicht **223** ausgebildet und ist eine schützende, Isolationsschicht **226** über der Isolationsschicht **225** ausgebildet.

[0084] Wie oben beschrieben, enthält der Transistor **211** von **Fig. 9** die Oxidhalbleiterschicht **223** als eine Halbleiterschicht. Als Oxidhalbleiter für die Oxidhalbleiterschicht **223** kann Folgendes verwendet werden: ein In-Sn-Ga-Zn-O-basierter Oxidhalbleiter, der ein Vier-Komponenten-Metalloxid ist; ein In-Ga-Zn-O-basierter Oxidhalbleiter, ein In-Sn-Zn-O-basierter Oxidhalbleiter, ein In-Al-Zn-O-basierter Oxidhalbleiter, ein Sn-Ga-Zn-O-basierter Oxidhalbleiter, ein Al-Ga-Zn-O-basierter Oxidhalbleiter und ein Sn-Al-Zn-O-basierter Oxidhalbleiter, die Drei-Komponenten-Metalloxide sind; ein In-Zn-O-basierter Oxidhalbleiter, ein Sn-Zn-O-basierter Oxidhalbleiter, ein Al-Zn-O-basierter Oxidhalbleiter, ein Zn-Mg-O-basierter Oxidhalbleiter, ein Sn-Mg-O-basierter Oxidhalbleiter und ein In-Mg-O-basierter Oxidhalbleiter, die Zwei-Komponenten-Metalloxide sind; und ein In-O-basierter Oxidhalbleiter, ein Sn-O-basierter Oxidhalbleiter und ein Zn-O-basierter Oxidhalbleiter, die Ein-Komponenten-Metalloxide sind. Weiterhin kann SiO_2 in dem oben genannten Oxidhalbleiter enthalten sein. Zum Beispiel ist der In-Ga-Zn-O-basierte Oxidhalb-

leiter ein Oxid, das wenigstens In, Ga und Zn enthält, wobei das Zusammensetzungsverhältnis der Elemente nicht näher eingeschränkt ist. Der In-Ga-Zn-O-basierte Oxidhalbleiter kann auch ein anderes Element als In, Ga und Zn enthalten.

[0085] Für die Oxidhalbleiterschicht **223** kann ein durch die chemische Formel $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) wiedergegebener Dünnschichtfilm verwendet werden. Dabei gibt M ein oder mehrere Metallelemente an, die aus Ga, Al, Mn und Co gewählt werden. Zum Beispiel kann M jeweils Ga, Ga und Al, Ga und Mn oder Ga und Co sein.

[0086] Um eine Variation in den elektrischen Eigenschaften des oben genannten Oxidhalbleiters zu verhindern, kann eine die Variation verursachende Verunreinigung wie etwa Wasserstoff, Feuchtigkeit, eine Hydroxylgruppe oder ein Hydrid (auch als Wasserstoffverbindung bezeichnet) absichtlich entfernt werden, sodass ein stark gereinigter, elektrisch intrinsischer (i-Typ) Oxidhalbleiter Typs erhalten werden kann.

[0087] Deshalb enthält der Oxidhalbleiter vorzugsweise so wenig Wasserstoff wie möglich. Weiterhin weist der stark gereinigte Oxidhalbleiter sehr wenige (beinahe null) Träger auf, die aus Wasserstoff, Sauerstoffmangel und ähnlichem abgeleitet werden, wobei die Trägerdichte weniger als $1 \times 10^{12}/\text{cm}^3$ und vorzugsweise weniger als $1 \times 10^{11}/\text{cm}^3$ beträgt. Mit anderen Worten wird die Dichte der aus Wasserstoff, Sauerstoffmangel und ähnlichem abgeleiteten Träger in der Oxidhalbleiterschicht so weit wie möglich bei Null gehalten.

[0088] Weil die Oxidhalbleiterschicht sehr wenige aus Wasserstoff, Sauerstoffmangel und ähnlichem abgeleitete Träger aufweist, kann die Größe des Leckstroms bei ausgeschaltetem Transistor (Aus-Strom) reduziert werden. Außerdem gestattet ein aus Wasserstoff, Sauerstoffmangel und ähnlichem abgeleiteter niedriger Verunreinigungsgrad eine Reduktion der Variation und Verschlechterung von elektrischen Eigenschaften aufgrund einer einwirkenden Lichteinstrahlung, Temperaturänderung, Vorspannung oder ähnlichem. Vorzugsweise sollte der Aus-Strom so klein wie möglich sein. Ein Transistor, der den oben genannten Oxidhalbleiter als Halbleiterschicht verwendet, weist einen Stromwert pro Mikrometer der Kanalbreite (W) von 100 zA (Zeptoampere) oder weniger, vorzugsweise von 10 zA oder weniger und noch besser von 1 zA oder weniger auf. Und weil kein pn-Übergang und keine Heisträgerdegradation vorhanden sind, werden die elektrischen Eigenschaften des Transistors nicht negativ beeinträchtigt.

[0089] Wenn ein Kanalbildungsbereich eines Transistors einen derartigen Oxidhalbleiter verwendet, der stark gereinigt ist, indem in der Oxidhalbleiter-

schicht enthaltener Wasserstoff weitgehend entfernt wird, kann der Aus-Strom des Transistors extrem reduziert werden. Mit anderen Worten kann die Schaltung derart entworfen werden, dass die Oxidhalbleiterschicht als ein Isolator betrachtet wird, wenn sich der Transistor in einem nicht leitenden Zustand befindet. Wenn sich der Transistor dagegen in einem leitenden Zustand befindet, ist zu erwarten, dass die Stromzufuhrfähigkeit der Oxidhalbleiterschicht höher ist als diejenige einer Halbleiterschicht aus amorphem Silicium.

[0090] Es sind keine besonderen Beschränkungen für das Substrat vorgegeben, das als das Substrat **220** mit einer isolierenden Fläche verwendet wird. Zum Beispiel kann ein Glassubstrat aus Bariumborsilikatglas oder Aluminiumborsilikatglas verwendet werden.

[0091] In dem Transistor **211** kann ein als Basisfilm dienender Isolationsfilm zwischen dem Substrat **220** und der Gate-Schicht **221** vorgesehen sein. Der Basisfilm weist eine Funktion zum Verhindern einer Diffusion eines Verunreinigungselements von dem Substrat auf und kann derart ausgebildet sein, dass er einen einschichtigen oder mehrschichtigen Aufbau mit einem Siliciumnitridfilm, einem Siliciumoxidfilm, einem Siliciumnitridoxidfilm und/oder einem Siliciumoxynitridfilm aufweist.

[0092] Die Gate-Schicht **221** kann als eine einzelne Schicht oder ein Schichtstapel mit einem Metallmaterial wie etwa Molybdän, Titan, Chrom, Tantal, Wolfram, Aluminium, Kupfer, Neodym oder Scandium oder mit einem Legierungsmaterial, das eines dieser Materialien als Hauptkomponente enthält, ausgebildet sein.

[0093] Die Gate-Isolationsschicht **222** kann durch Plasma-CVD, Zerstäubung oder ähnliches als eine einzelne Schicht oder ein Schichtstapel mit einer Siliciumoxidschicht, einer Siliciumnitridschicht, einer Siliciumoxynitridschicht, einer Siliciumnitridoxidschicht, einer Aluminiumoxidschicht, einer Aluminiumnitridschicht, einer Aluminiumoxynitridschicht, einer Aluminiumnitridoxidschicht oder einer Hafniumoxidschicht ausgebildet werden. Zum Beispiel wird eine Siliciumnitridschicht (SiN_y ($y > 0$)) mit einer Dicke von 50 nm bis 200 nm durch Plasma-CVD als eine erste Gate-Isolationsschicht ausgebildet und wird eine Siliciumoxidschicht (SiO_x ($x > 40$)) mit einer Dicke von 5 nm bis 300 nm als eine zweite Gate-Isolationsschicht über der ersten Gate-Isolationsschicht ausgebildet.

[0094] Ein leitender Film für die Source-Schicht **224a** und die Drain-Schicht **224b** kann unter Verwendung eines Elements aus Al, Cr, Cu, Ta, Ti, Mo und W, einer Legierung, die ein beliebiges dieser Elemente als eine Komponente enthält, eines Legierungs-

films, der eine Kombination beliebiger dieser Elemente enthält, oder ähnlichem ausgebildet werden. Der leitende Film kann einen Aufbau aufweisen, in dem eine Schicht aus einem Metall mit einer hohen Schmelztemperatur wie etwa Ti, Mo, W oder ähnliches über und/oder unter einer Metallschicht aus Al, Cu oder ähnlichem gestapelt ist. Die Wärmebeständigkeit kann unter Verwendung eines Al-Materials erhöht werden, zu dem ein Element (z. B. Si, Nd oder Sc), das die Erzeugung von Buckeln oder Fäden in einem Al-Film verhindert, zugesetzt ist.

[0095] Alternativ hierzu können der leitende Film, der für die Source-Schicht **224a** und die Drain-Schicht **224b** verwendet wird (einschließlich einer Verdrahtungsschicht, die unter Verwendung derselben Schicht wie die Source-Schicht **224a** und die Drain-Schicht **224b** gebildet wird) aus einem leitenden Metalloxid ausgebildet werden. Als leitendes Metalloxid kann Indiumoxid (In_2O_3), Zinnoxid (SnO_2), Zinkoxid (ZnO), eine Indiumoxid-Zinnoxid-Legierung ($\text{In}_2\text{O}_3\text{-SnO}_2$: abgekürzt als ITO), eine Indiumoxid-Zinkoxid-Legierung ($\text{In}_2\text{O}_3\text{-ZnO}$) oder eines dieser Metalloxidmaterialien mit einem darin enthaltenen Siliciumoxid verwendet werden.

[0096] Für die Isolationschicht **225** kann gewöhnlich ein anorganischer Isolationsfilm wie etwa ein Siliciumoxidfilm, ein Siliciumoxynitridfilm, ein Aluminiumoxidfilm oder ein Aluminiumoxynitridfilm verwendet werden.

[0097] Für die schützende Isolationschicht **226** kann ein anorganischer Isolationsfilm wie etwa ein Siliciumnitridfilm, ein Aluminiumnitridfilm, ein Siliciumnitridoxidfilm oder ein Aluminiumnitridoxidfilm verwendet werden.

[0098] Ein Planarisierungs-Isolationsfilm kann über der schützenden Isolationschicht **226** ausgebildet werden, um die durch den Transistor verursachte Oberflächenrauheit zu reduzieren. Der Planarisierungs-Isolationsfilm kann aus einem organischen Material wie etwa Polyimid, Acryl oder Benzocyclobuten ausgebildet werden. Neben derartigen organischen Materialien kann auch ein Material mit einer kleinen dielektrischen Konstante oder ähnliches verwendet werden. Es ist zu beachten, dass der Planarisierungs-Isolationsfilm durch das Stapeln einer Vielzahl von aus diesen Materialien ausgebildeten Isolationsfilmen gebildet werden kann.

(Aus-Strom des Transistors)

[0099] Im Folgenden werden die Ergebnisse beschrieben, die durch Messungen des Aus-Stroms eines Transistors mit einer stark gereinigten Oxidhalbleiterschicht erhaltenen werden.

[0100] Zuerst wurde unter Berücksichtigung der Tatsache, dass der Aus-Strom eines Transistors mit einer stark gereinigten Oxidhalbleiterschicht extrem klein ist, ein Transistor mit einer Kanalbreite W von 1 μm vorbereitet, wobei dann der Aus-Strom gemessen wurde. **Fig. 10** zeigt die Ergebnisse der Messungen des Aus-Stroms des Transistors mit einer Kanalbreite W von 1 μm . In **Fig. 10** gibt die horizontale Achse eine Gate-Spannung V_G wieder und gibt die vertikale Achse einen Drain-Strom I_D wieder. Wenn die Drain-Spannung V_D bei +1 V oder +10 V liegt und die Gate-Spannung V_G im Bereich zwischen -5 V und -20 V liegt, war der Aus-Strom des Transistors kleiner oder gleich 1×10^{-12} A und lag damit bei der Bestimmungsgrenze. Es hat sich herausgestellt, dass der Aus-Strom des Transistors (pro Mikrometer der Kanalbreite) kleiner oder gleich $1 \text{ aA}/\mu\text{m}$ ($1 \times 10^{-18} \text{ A}/\mu\text{m}$) ist.

[0101] Im Folgenden werden die Ergebnisse beschrieben, die durch eine genauere Messung des Aus-Stroms des Transistors mit einer stark gereinigten Oxidhalbleiterschicht erhalten werden. Wie oben genannt, wurde ein Aus-Strom des Transistors mit einer stark gereinigten Oxidhalbleiterschicht von kleiner oder gleich 1×10^{-12} A festgestellt, was der Bestimmungsgrenze der Messeinrichtungen entspricht. Deshalb wurde ein Element für eine Kennlinienmessung hergestellt, um einen genaueren Aus-Stromwert (einen Wert kleiner oder gleich der Bestimmungsgrenze der Messeinrichtungen in der vorstehend beschriebenen Messung) zu messen. Die dadurch erhaltenen Ergebnisse werden im Folgenden genannt.

[0102] Zuerst wird das Element für eine Kennlinienmessung, das in einem Verfahren zum Messen des Stroms verwendet wurde, mit Bezug auf **Fig. 11** beschrieben.

[0103] In dem Element für eine Kennlinienmessung von **Fig. 11** sind drei Messsysteme **800** parallel miteinander verbunden. Das Messsystem **800** umfasst einen Kondensator **802**, einen Transistor **804**, einen Transistor **805**, einen Transistor **806** und einen Transistor **808**. Die Transistoren **804** und **808** enthalten eine stark gereinigte Oxidhalbleiterschicht.

[0104] In dem Messsystem **800** sind die Source oder der Drain des Transistors **804**, ein Anschluss des Kondensators **802** und die Source oder der Drain des Transistors **805** mit einer Stromquelle (einer Stromquelle zum Zuführen von V_2) verbunden.

[0105] Weiterhin sind entsprechend der Drain oder die Source des Transistors **804**, die Source oder der Drain des Transistors **808**, der andere Anschluss des Kondensators **802** und das Gate des Transistors **805** elektrisch miteinander verbunden. Weiterhin sind entsprechend der Drain oder die Source des Transis-

tors **808**, die Source oder der Drain des Transistors **806** und das Gate des Transistors **806** elektrisch mit einer Stromquelle (einer Stromquelle zum Zuführen von V_1) verbunden. Weiterhin sind entsprechend der Drain oder die Source des Transistors **805** und der Drain oder die Source des Transistors **806** elektrisch mit einem Ausgangsanschluss verbunden.

[0106] Ein Potential $V_{\text{ext_b2}}$ zum Steuern eines Ein-Zustands und eines Aus-Zustands des Transistors **804** wird zu einem Gate des Transistors **804** zugeführt, und ein Potential $V_{\text{ext_b1}}$ zum Steuern eines Ein-Zustands und eines Aus-Zustands des Transistors **808** wird zu einem Gate des Transistors **808** zugeführt. Ein Potential V_{out} wird von dem Ausgangsanschluss ausgegeben.

[0107] Im Folgenden wird ein Verfahren zum Messen des Stroms unter Verwendung des vorstehend beschriebenen Elements für eine Kennlinienmessung beschrieben.

[0108] Zuerst wird eine Einleitungsperiode, in der eine Potentialdifferenz zum Messen des Aus-Stroms angelegt wird, kurz beschrieben. In der Einleitungsperiode wird das Potential $V_{\text{ext_b1}}$ zum Einschalten des Transistors **808** in das Gate des Transistors **808** eingegeben und wird ein Potential V_1 an einem Knoten A angelegt, der ein elektrisch mit entsprechend dem Drain oder der Source des Transistors **804** verbundener Knoten ist (d. h. der Knoten, der elektrisch mit der Source oder dem Drain des Transistors **808**, dem anderen Anschluss des Kondensators **802** und dem Gate des Transistors **805** verbunden ist). Dabei ist das Potential V_1 zum Beispiel ein hohes Potential und ist der Transistor **804** aus.

[0109] Danach wird das Potential $V_{\text{ext_b1}}$ zum Ausschalten des Transistors **808** in das Gate des Transistors **808** eingegeben, sodass der Transistor **808** ausgeschaltet wird. Nachdem der Transistor **808** ausgeschaltet wurde, wird das Potential V_1 auf ein niedriges Potential gesetzt. Der Transistor **804** ist zu dieser Zeit weiterhin aus. Das Potential V_2 ist gleich dem Potential V_1 . Dadurch wird die Einleitungsperiode abgeschlossen. Wenn die Einleitungsperiode abgeschlossen ist, wird eine Potentialdifferenz zwischen dem Knoten A und der Source oder dem Drain des Transistors **804** erzeugt. Eine Potentialdifferenz wird auch zwischen dem Knoten A und entsprechend dem Drain oder der Source des Transistors **808** erzeugt. Dementsprechend fließt eine kleine Menge elektrischer Ladung durch den Transistor **804** und den Transistor **808**. Es wird also der Aus-Strom erzeugt.

[0110] Im Folgenden wird eine Messperiode des Aus-Stroms kurz beschrieben. In der Messperiode werden das Potential der Source und des Drains des Transistors **804** (V_2) und das Potential entsprechend

des Drains oder der Source des Transistors **808** (V1) jeweils auf ein niedriges Potential fixiert. Dagegen wird das Potential des Knotens A in der Messperiode nicht fixiert (zu einem Schwebezustand versetzt). Folglich fließt elektrische Ladung durch die Transistoren **804** und **808**, wobei die an dem Knoten A gehaltene Ladungsmenge sich mit der Zeit ändert. Das Potential des Knotens A ändert sich in Abhängigkeit von einer Änderung in der an dem Knoten A gehaltenen Ladungsmenge. Das heißt, dass auch das Ausgangspotential Vout des Ausgangsanschlusses variiert.

[0111] **Fig. 12** zeigt Details (Zeitdiagramm) zu der Beziehung zwischen den Potentialen in der Einleitungsperiode, in welcher die Potentialdifferenz angelegt wird, und in der folgenden Messperiode.

[0112] In der Einleitungsperiode wird zuerst das Potential Vext_b2 auf ein Potential gesetzt, bei dem der Transistor **804** eingeschaltet wird (hohes Potential). Dadurch geht das Potential des Knotens A zu V2 und damit zu einem niedrigen Potential (VSS). Es ist zu beachten, dass nicht notwendigerweise ein niedriges Potential (VSS) an dem Knoten A angelegt wird. Danach wird das Potential Vext_b2 auf ein Potential gesetzt, bei dem der Transistor **804** ausgeschaltet wird (niedriges Potential), sodass der Transistor **804** ausgeschaltet wird. Dann wird das Potential Vext_b1 auf ein Potential gesetzt, bei dem der Transistor **808** eingeschaltet wird (hohes Potential). Dadurch geht das Potential des Knotens A zu V1 und damit zu einem hohen Potential (VDD). Danach wird das Potential Vext_b1 auf ein Potential gesetzt, bei dem der Transistor **808** ausgeschaltet wird. Folglich wird der Knoten A zu einem Schwebezustand versetzt und wird die Einleitungsperiode abgeschlossen.

[0113] In der folgenden Messperiode werden das Potential V1 und das Potential V2 auf ein Potential gesetzt, bei dem die Ladung zu oder von dem Knoten A fließt. Dabei werden das Potential V1 und das Potential V2 auf ein niedriges Potential (VSS) gesetzt. Es ist zu beachten, dass während des Messens des Ausgangspotentials Vout eine Ausgabeschaltung betrieben werden muss, sodass das Potential V1 in einigen Fällen vorübergehend auf ein hohes Potential (VDD) gesetzt werden muss. Die Periode, während der das Potential V1 auf ein hohes Potential (VDD) gesetzt wird, wird ausreichend kurz vorgesehen, um die Messung nicht zu beeinflussen.

[0114] Wenn die Potentialdifferenz wie oben beschrieben erzeugt wird und die Messperiode gestartet wird, ändert sich die an dem Knoten A gehaltene Ladungsmenge mit der Zeit, wobei sich das Potential des Knotens A entsprechend ändert. Das bedeutet, dass das Potential des Gates des Transistors **805** variiert, sodass auch das Ausgangspotential Vout des Ausgangsanschlusses mit der Zeit variiert.

[0115] Im Folgenden wird ein Verfahren zum Berechnen des Aus-Stroms auf der Basis des erhaltenen Ausgangspotentials Vout beschrieben.

[0116] Die Beziehung zwischen dem Potential VA des Knotens A und dem Ausgangspotential Vout wird erhalten, bevor der Aus-Strom berechnet wird. Auf diese Weise kann das Potential VA des Knotens A aus dem Ausgangspotential Vout erhalten werden. In Übereinstimmung mit der oben genannten Beziehung kann das Potential VA des Knotens A durch die folgende Gleichung als eine Funktion des Ausgangspotentials Vout ausgedrückt werden.

[Formel 1]

$$V_A = F(V_{out})$$

[0117] Die elektrische Ladung QA des Knotens A kann durch die folgende Gleichung unter Verwendung des Potentials VA des Knotens A, die mit dem Knoten A verbundene Kapazität CA und eine Konstante (const) ausgedrückt werden. Dabei ist die mit dem Knoten A verbundene Kapazität CA die Summe aus der Kapazität des Kondensators **802** und einer anderen Kapazität.

[Formel 2]

$$Q_A = C_A V_A + \text{const}$$

[0118] Weil ein Strom IA des Knotens A erhalten wird, indem die zu dem Knoten A fließende elektrische Ladung (oder eine von dem Knoten A fließende elektrische Ladung) in Bezug auf die Zeit differenziert wird, wird der Strom IA des Knotens A durch die folgende Gleichung ausgedrückt:

[Formel 3]

$$I_A = \frac{\Delta Q_A}{\Delta t} = \frac{C_A \cdot \Delta F(V_{out})}{\Delta t}$$

[0119] Auf diese Weise kann der Strom IA des Knotens A aus der mit dem Knoten A verbundenen Kapazität CA und dem Ausgangspotential Vout des Ausgangsanschlusses erhalten werden.

[0120] Durch das oben beschriebene Verfahren kann der Leckstrom (der Aus-Strom), der zwischen einer Source und einem Drain eines Transistors in einem Aus-Zustand fließt, gemessen werden.

[0121] Es wurden hier der Transistor **804** und der Transistor **808** hergestellt, die jeweils eine Kanallänge L von 10 µm und eine Kanalbreite W von 50 µm aufweisen und eine stark gereinigte Oxidhalbleiterschicht enthalten. In den parallel angeordneten

Messsystemen **800** betragen die Kapazitätswerte der Kondensatoren **802** jeweils 100 fF, 1 pF und 3 pF.

[0122] Es ist zu beachten, dass in der vorstehenden Messung VDD bei 5 V lag und Vss bei 0 V lag. In der Messperiode wurde das Potential V1 grundsätzlich auf VSS gesetzt und nur in einer Periode von 100 ms nach jeweils 10 s bis 300 s auf VDD gesetzt, wobei Vout gemessen wurde. Das für die Berechnung des durch das Element fließenden Stroms I verwendete Δt betrug ungefähr 30000 s.

[0123] [Fig. 13](#) zeigt die Beziehung zwischen der abgelaufenen Zeit und dem Ausgangspotential Vout in der oben beschriebenen Strommessung. [Fig. 13](#) zeigt, dass das Potential mit der Zeit variiert.

[0124] [Fig. 14](#) zeigt den Aus-Strom bei Raumtemperatur (25°C), der auf der Basis der oben beschriebenen Strommessung berechnet wird. Es ist zu beachten, dass [Fig. 14](#) die Beziehung zwischen einer Source-Drain-Spannung V und einem Aus-Strom I des Transistors **804** oder des Transistors **808** zeigt. [Fig. 14](#) zeigt, dass der Aus-Strom ungefähr 40 zA/ μm betrug, wenn die Source-Drain-Spannung bei 4 V lag. Wenn die Source-Drain-Spannung bei 3,1 V lag, war der Aus-Strom kleiner oder gleich 10 zA/ μm . Es ist zu beachten, dass 1 zA gleich 10^{-21} A ist.

[0125] Weiterhin zeigt [Fig. 15](#) den Aus-Strom in einer Temperaturumgebung von 85°C, was in der oben beschriebenen Strommessung berechnet wurde. [Fig. 15](#) zeigt die Beziehung zwischen einer Source-Drain-Spannung V und einem Aus-Strom I des Transistors **804** oder des Transistors **808** in einer Temperaturumgebung von 85°C. [Fig. 15](#) zeigt, dass der Aus-Strom kleiner oder gleich 100 zA/ μm betrug, wenn die Source-Drain-Spannung bei 3,1 V lag.

[0126] Wie oben beschrieben, konnte bestätigt werden, dass ein Transistor mit einer stark gereinigten Oxidhalbleiterschicht einen ausreichend kleinen Aus-Strom aufwies.

(Modifiziertes Beispiel der Transistoren **20** und **21** in dem Bildpunkt **17**)

[0127] In der oben genannten Anzeigevorrichtung wird ein als kanalgätzter Transistor bezeichnete Bottom-Gate-Transistor **211** für die Transistoren **20** und **21** in jedem Bildpunkt verwendet (siehe [Fig. 9](#)), wobei der Aufbau der Transistoren **20** und **21** jedoch nicht hierauf beschränkt ist. Zum Beispiel können auch die in [Fig. 16A](#) bis [Fig. 16C](#) gezeigten Transistoren verwendet werden.

[0128] Der in [Fig. 16A](#) gezeigte Transistor **510** ist ein als Kanalschutztyp-Transistor (oder Kanalstopptyp-Transistor) bezeichneter Bottom-Gate-Transistor.

[0129] Der Transistor **510** umfasst über dem mit einer Isolationsfläche versehenen Substrat **220** die Gate-Schicht **221**, die Gate-Isolationsschicht **222**, die Oxidhalbleiterschicht **223**, eine Isolationsschicht **511**, die als eine Kanalschutzschicht dient, die einen Kanalbildungsbereich der Oxidhalbleiterschicht **223** bedeckt, die Source-Schicht **224a** und die Drain-Schicht **224b**. Weiterhin ist die Schutzisolationsschicht **226** ausgebildet, um die Source-Schicht **224a**, die Drain-Schicht **224b** und die Isolationsschicht **511** zu bedecken.

[0130] Ein in [Fig. 16B](#) gezeigter Transistor **520** ist ein Bottom-Gate-Transistor. Der Transistor **520** umfasst über dem mit einer Isolationsfläche versehenen Substrat **220** die Gate-Schicht **221**, die Gate-Isolationsschicht **222**, die Source-Schicht **224a**, die Drain-Schicht **224b** und die Oxidhalbleiterschicht **223**. Weiterhin ist die Isolationsschicht **225**, die die Source-Schicht **224a** und die Drain-Schicht **224b** bedeckt, in Kontakt mit der Oxidhalbleiterschicht **223** vorgesehen. Die Schutzisolationsschicht **226** ist weiterhin über der Isolationsschicht **225** vorgesehen.

[0131] In dem Transistor **520** ist die Gate-Isolationsschicht **222** auf und in Kontakt mit dem Substrat **220** und der Gate-Schicht **221** vorgesehen und sind die Source-Schicht **224a** und die Drain-Schicht **224b** auf und in Kontakt mit der Gate-Isolationsschicht **222** vorgesehen. Die Oxidhalbleiterschicht **223** ist über der Gate-Isolationsschicht **222**, der Source-Schicht **224a** und der Drain-Schicht **224b** vorgesehen.

[0132] Der in [Fig. 16C](#) gezeigte Transistor **530** ist ein Top-Gate-Transistor. Der Transistor **530** umfasst über dem mit einer Isolationsfläche versehenen Substrat **220** eine Isolationsschicht **531**, die Oxidhalbleiterschicht **223**, die Source-Schicht **224a**, die Drain-Schicht **224b**, die Gate-Isolationsschicht **222** und die Gate-Schicht **221**. Eine Verdrahtungsschicht **532a** und eine Verdrahtungsschicht **532b** sind in Kontakt und elektrisch verbunden mit jeweils der Source-Schicht **224a** und der Drain-Schicht **224b** vorgesehen.

[0133] Für die Isolationsschichten **511** und **531** kann gewöhnlich ein anorganischer Isolationsfilm wie etwa ein Siliciumoxidfilm, ein Siliciumoxynitridfilm, ein Aluminiumoxidfilm oder ein Aluminiumoxynitridfilm verwendet werden. Als ein für die Verdrahtungsschicht **532a** und die Verdrahtungsschicht **532b** verwendeter leitender Film kann ein Element, das aus Al, Cr, Cu, Ta, Ti, Mo und W gewählt ist, eine Legierung, das eines dieser Elemente als eine Komponente enthält, ein Legierungsfilm der eine Kombination aus beliebigen dieser Elemente enthält, oder ähnliches verwendet werden. Der leitende Film kann einen Aufbau aufweisen, in dem eine Metallschicht mit einer hohen Schmelztemperatur aus Ti, Mo, W oder ähnlichem über und/oder unter einer Metallschicht aus Al,

Cu oder ähnlichem gestapelt ist. Die Wärmebeständigkeit kann unter Verwendung eines Al-Materials erhöht werden, zu der ein Element (z. B. Si, Nd oder Sc), das die Erzeugung von Buckeln und Fäden in einem Al-Film verhindert, zugesetzt ist.

(Beispiel für den Herstellungsprozess der Transistoren **20** und **21** in dem Bildpunkt **17**)

[0134] Im Folgenden wird ein Beispiel für den Herstellungsprozess der Transistoren **20** und **21** in jedem Bildpunkt der Anzeigevorrichtung gemäß der Erfindung beschrieben. Insbesondere wird ein Herstellungsprozess für einen kanalgeätzten Transistor **410** als einem Typ von Bottom-Gate-Transistor mit Bezug auf **Fig. 17A** bis **Fig. 17D** beschrieben. In **Fig. 17D** ist ein Single-Gate-Transistor gezeigt, wobei aber auch ein Multi-Gate-Transistor mit einer Vielzahl von Kanalbildungsbereichen verwendet werden könnte.

[0135] Im Folgenden wird ein Prozess zum Herstellen des Transistors **410** über einem Substrat **400** mit Bezug auf **Fig. 17A** bis **Fig. 17D** beschrieben.

[0136] Zuerst wird ein leitender Film über dem mit einer Isolationsfläche versehenen Substrat **400** ausgebildet, wobei dann eine Gate-Schicht **411** in einem ersten Fotolithographieschritt ausgebildet wird. Es ist zu beachten, dass eine in diesem Schritt verwendete Resistmaske durch ein Tintenstrahlverfahren ausgebildet werden kann. Indem eine Resistmaske durch ein Tintenstrahlverfahren ausgebildet wird, können die Herstellungskosten reduziert werden, weil keine Fotomaske verwendet wird.

[0137] Es sind keine besonderen Beschränkungen für das Substrat vorgegeben, das als das mit einer Isolationsfläche versehene Substrat **400** verwendet wird, wobei das Substrat jedoch eine ausreichende Wärmebeständigkeit aufweisen muss, damit es später einer Wärmebehandlung unterzogen werden kann. Zum Beispiel kann ein Glassubstrat aus Bariumborsilikatglas oder Aluminiumborsilikatglas verwendet werden. Wenn die spätere Wärmebehandlung mit einer hohen Temperatur durchgeführt wird, wird vorzugsweise ein Glassubstrat mit einem Kühlpunkt von 730°C oder höher verwendet.

[0138] Eine als Basisschicht funktionierende Isolationsschicht kann zwischen dem Substrat **400** und der Gate-Schicht **411** vorgesehen werden. Die Basisschicht weist die Funktion auf, eine Diffusion eines Verunreinigungselements von dem Substrat **400** zu verhindern, und kann mit einem einschichtigen oder mehrschichtigen Aufbau unter Verwendung eines Siliciumnitridfilms, eines Siliciumoxidfilms, eines Siliciumnitridoxidfilms und/oder eines Siliciumoxynitridfilms ausgebildet werden.

[0139] Die Gate-Schicht **411** kann als eine einfache Schicht oder als ein Schichtstapel unter Verwendung eines Metallmaterials wie etwa Molybdän, Titan, Chrom, Tantal, Wolfram, Aluminium, Kupfer, Neodym oder Scandium oder eines Legierungsmaterials, das eines dieser Materialien als Hauptkomponente enthält, ausgebildet werden.

[0140] Als ein zweischichtiger Aufbau der Gate-Schicht **411** wird vorzugsweise zum Beispiel einer der folgenden zweischichtigen Aufbauten verwendet: ein Aufbau, in dem eine Molybdänschicht über eine Aluminiumschicht gelagert ist; ein Aufbau, in dem eine Molybdänschicht über eine Kupferschicht gelagert ist; ein Aufbau, in dem eine Titannitridschicht oder eine Tantalnitridschicht über eine Kupferschicht gelagert ist; und ein Aufbau, in dem eine Titannitridschicht und eine Molybdänschicht übereinander gelagert sind. Als dreischichtiger Aufbau können vorzugsweise eine Wolframschicht oder eine Wolframnitridschicht, eine Schicht aus einer Legierung aus Aluminium und Silicium oder einer Legierung aus Aluminium und Titan sowie eine Titannitridschicht oder eine Titanschicht übereinander gestapelt werden.

[0141] Dann wird eine Gate-Isolationsschicht **402** über der Gate-Schicht **411** ausgebildet.

[0142] Die Gate-Isolationsschicht **402** kann durch Plasma-CVD, Zerstäubung oder ähnliches als eine einfache Schicht oder ein Schichtstapel unter Verwendung einer Siliciumoxidschicht, einer Siliciumnitridschicht, einer Siliciumoxynitridschicht, einer Siliciumnitridoxidschicht oder einer Aluminiumoxidschicht ausgebildet werden. Zum Beispiel kann eine Siliciumoxynitridschicht durch Plasma-CVD unter Verwendung eines Beschichtungsgases einschließlich von Silan (SiH₄), Sauerstoff und Stickstoff ausgebildet werden. Weiterhin kann ein Material mit einer großen dielektrischen Konstante wie etwa Hafniumoxid (HfO_x) oder Tantaloxid (TaO_x) für die Gate-Isolationsschicht **402** verwendet werden. Die Gate-Isolationsschicht **402** weist eine Dicke von 100 nm bis 500 nm auf. Wenn die Gate-Isolationsschicht **402** einen mehrschichtigen Aufbau aufweist, werden zum Beispiel eine erste Gate-Isolationsschicht mit einer Dicke von 50 nm bis 200 nm und eine zweite Gate-Isolationsschicht mit einer Dicke von 5 nm bis 300 nm übereinander gestapelt.

[0143] Dabei wird eine Siliciumoxynitridschicht mit einer Dicke von 100 nm oder weniger als Gate-Isolationsschicht **402** durch Plasma-CVD ausgebildet.

[0144] Als die Gate-Isolationsschicht **402** kann eine Siliciumoxynitridschicht durch eine Hochdichteplasma-Vorrichtung mit einer hohen Dichte ausgebildet werden. Unter einer Hochdichteplasma-Vorrichtung ist eine Vorrichtung zu verstehen, die eine Plasmadichte von $1 \times 10^{11}/\text{cm}^3$ oder mehr realisieren kann.

Zum Beispiel wird ein Plasma durch die Anlegung einer Mikrowellenleistung von 3 kW bis 6 kW erzeugt und wird eine Isolationsschicht ausgebildet.

[0145] Ein Silangas (SiH_4), Stickstoffoxid (N_2O) und ein Edelgas werden als ein Quellgas in eine Kammer eingeführt, um ein Hochdichteplasma mit einem Druck von 10 Pa bis 30 Pa zu erzeugen, wobei die Isolationsschicht über dem mit einer Isolationsfläche versehenen Substrat wie etwa einem Glassubstrat ausgebildet wird. Danach wird die Zufuhr von Silan (SiH_4) gestoppt und kann eine Plasmabehandlung auf einer Fläche der Isolationsschicht durchgeführt werden, indem Stickstoffoxid (N_2O) und ein Edelgas eingeführt werden und keine Aussetzung an die Luft stattfindet. Die auf der Fläche der Isolationsschicht durch die Einführung von wenigstens Stickstoffoxid (N_2O) und eines Edelgases durchgeführte Plasmabehandlung wird vorgenommen, nachdem die Isolationsschicht ausgebildet wurde. Die durch den oben beschriebenen Prozess ausgebildete Isolationsschicht weist eine kleine Dicke auf, wobei es sich um eine Isolationsschicht handelt, deren Zuverlässigkeit auch dann sichergestellt werden kann, wenn sie eine Dicke von weniger als 100 nm aufweist.

[0146] Beim Ausbilden der Gate-Isolationsschicht **402** liegt das Flussratenverhältnis zwischen dem Silan (SiH_4) und dem Stickstoffoxid (N_2O), die in die Kammer eingeführt werden, im Bereich von 1:10 bis 1:200. Als das in die Kammer eingeführte Edelgas kann Helium, Argon, Krypton, Xenon oder ähnliches verwendet werden. Insbesondere wird vorzugsweise das kostengünstige Argon verwendet.

[0147] Und weil die unter Verwendung der Hochdichteplasma-Vorrichtung ausgebildete Isolationsschicht eine gleichmäßige Dicke aufweisen kann, weist die Isolationsschicht eine hervorragende Stufendeckung auf. Weiterhin kann unter Verwendung der Hochdichteplasma-Vorrichtung die Dicke einer dünnen Isolationsschicht präzise gesteuert werden.

[0148] Die durch den oben beschriebenen Prozess ausgebildete Isolationsschicht unterscheidet sich stark von einer unter Verwendung einer herkömmlichen Parallelplattenplasma-CVD-Vorrichtung ausgebildeten Isolationsschicht. Die Ätzrate der durch den oben beschriebenen Prozess ausgebildeten Isolationsschicht ist um 10% oder bis mehr oder auch 20% oder mehr niedriger als diejenige der durch die herkömmliche Parallelplattenplasma-CVD-Vorrichtung ausgebildeten Isolationsschicht, wenn Ätzraten mit demselben Ätzmittel miteinander verglichen werden. Es kann also gesagt werden, dass die unter Verwendung der Hochdichteplasma-Vorrichtung ausgebildete Isolationsschicht ein dichter Film ist.

[0149] Es ist zu beachten, dass der Oxidhalbleiter, der in einem späteren Schritt zu einem Oxid-

halbleiter des i-Typs oder im Wesentlichen des i-Typs wird (stark gereinigter Oxidhalbleiter), extrem empfindlich in Bezug auf die Zustandsdichte oder die elektrische Ladung an der Grenzfläche ist, so dass die Grenzfläche mit der Gate-Isolationsschicht wichtig ist. Aus diesem Grund muss die Gate-Isolationsschicht, die in Kontakt mit dem stark gereinigten Oxidhalbleiter kommt, eine hohe Qualität aufweisen. Es wird vorzugsweise eine mit Mikrowellen (2,45 GHz) arbeitende Hochdichteplasma-CVD-Vorrichtung verwendet, weil ein dichter und hochqualitativer Isolationsfilm mit einer großen Spannungsfestigkeit ausgebildet werden kann. Wenn der stark gereinigte Oxidhalbleiter und die hochqualitative Gate-Isolationsschicht in einem engen Kontakt miteinander sind, kann die Grenzflächenzustandsdichte reduziert werden und können vorteilhafte Grenzflächeneigenschaften erhalten werden. Es ist wichtig, dass die Gate-Isolationsschicht nicht nur eine vorteilhafte Filmqualität als Gate-Isolationsschicht aufweist, sondern auch eine niedrigere Grenzflächen-Zustandsdichte mit einem Oxidhalbleiter, um eine vorteilhafte Grenzfläche zu bilden.

[0150] Dann wird ein Oxidhalbleiterfilm **430** mit einer Dicke von 2 nm bis 200 nm über der Gate-Isolationsschicht **402** ausgebildet. Es ist zu beachten, dass vor dem Ausbilden des Oxidhalbleiterfilms **430** durch eine Zerstäubung pulverförmige Substanzen (auch als Partikeln oder Staub bezeichnet), die an einer Fläche der Gate-Isolationsschicht **402** haften, vorzugsweise durch ein umgekehrtes Zerstäuben entfernt werden, bei dem ein Argongas eingeführt und ein Plasma erzeugt wird. Das umgekehrte Zerstäuben stellt ein Verfahren dar, bei dem ohne Anlegung einer Spannung an einer Targetseite eine Hochfrequenz-Stromquelle für das Anlegen einer Spannung an einer Substratseite in einer Argonatmosphäre verwendet wird, um ein Plasma in der Nachbarschaft zu dem Substrat für ein Modifizieren einer Fläche zu erzeugen. Es ist zu beachten, dass anstelle eine Argon-Atmosphäre auch eine Stickstoff-Atmosphäre, eine Helium-Atmosphäre, eine Sauerstoff-Atmosphäre oder ähnliches verwendet werden kann.

[0151] Als Oxidhalbleiterfilm **430** wird ein In-Ga-Zn-O-basierter Oxidhalbleiterfilm, ein In-Sn-O-basierter Oxidhalbleiterfilm, ein In-Sn-Zn-O-basierter Oxidhalbleiterfilm, ein In-Al-Zn-O-basierter Oxidhalbleiterfilm, ein Sn-Ga-Zn-O-basierter Oxidhalbleiterfilm, ein Al-Ga-Zn-O-basierter Oxidhalbleiterfilm, ein Sn-Al-Zn-O-basierter Oxidhalbleiterfilm, ein In-Zn-O-basierter Oxidhalbleiterfilm, ein Sn-Zn-O-basierter Oxidhalbleiterfilm, ein Al-Zn-O-basierter Oxidhalbleiterfilm, ein In-O-basierter Oxidhalbleiterfilm, ein Sn-O-basierter Oxidhalbleiterfilm oder ein Zn-O-basierter Oxidhalbleiterfilm verwendet. Dabei wird der Oxidhalbleiterfilm **430** durch Zerstäubung unter Verwendung eines In-Ga-Zn-O-basierten Metalloxidtargets ausgebildet. Eine Querschnittansicht dieses Schritt-

tes ist in [Fig. 17A](#) gezeigt. Alternativ hierzu kann der Oxidhalbleiterfilm **430** durch Zerstäuben in einer Edelgasatmosphäre (gewöhnlich Argon), einer Sauerstoffatmosphäre oder einer gemischten Atmosphäre, die ein Edelgas (gewöhnlich Argon) und Sauerstoff enthält, ausgebildet werden. Es ist zu beachten, dass bei der Verwendung eines Zerstäubungsverfahrens eine Deposition unter Verwendung eines Targets durchgeführt werden kann, das SiO_2 mit zwischen 2 Gewichtsprozent und 10 Gewichtsprozent durchgeführt werden kann, sodass SiO_x ($x > 0$), das eine Kristallisation verhindert, in dem Oxidhalbleiterfilm **430** enthalten ist, wodurch eine Kristallisation in einem späteren Schritt der Wärmebehandlung für eine Dehydrierung verhindert werden kann.

[0152] Wenn ein In-Zn-O-basiertes Material als Oxidhalbleiter verwendet wird, weist ein verwendetes Target ein Zusammensetzungsverhältnis von In:Zn = 50:1 bis 1:2 in einem atomaren Verhältnis (In_2O_3 :ZnO = 25:1 bis 1:4 in einem molaren Verhältnis), von vorzugsweise In:Zn = 20:1 bis 1:1 in einem atomaren Verhältnis (In_2O_3 :ZnO = 10:1 bis 1:2 in einem molaren Verhältnis) und von noch besser In:Zn = 15:1 bis 1, 5:1 (In_2O_3 :ZnO = 15:2 bis 3:4 in einem molaren Verhältnis) auf. Zum Beispiel wird in einem Target, das für die Ausbildung eines In-Zn-O-basierten Oxidhalbleiters, der ein atomares Verhältnis von In:Zn:O = X:Y:Z aufweist, die Beziehung $Z > 1,5X + Y$ erfüllt.

[0153] Dabei wird eine Deposition unter Verwendung eines Metalloxidtargets durchgeführt, das In, Ga und Zn (In_2O_3 : Ga_2O_3 :ZnO = 1:1:1 [mol] und In:Ga:Zn = 1:1:0,5 [atom]) enthält. Die Depositionsbedingungen sind wie folgt: die Distanz zwischen dem Substrat und dem Target beträgt 100 mm; der Druck beträgt 0,2 Pa; die Gleichstromleistung beträgt 0,5 kW; und die Atmosphäre enthält Argon und Sauerstoff (Argon:Sauerstoff = 30 sccm:20 sccm, wobei das Flussratenverhältnis von Sauerstoff 40% beträgt). Es ist zu beachten, dass vorzugsweise eine gepulste Gleichstromleistung verwendet wird, weil die während der Deposition erzeugten Pulversubstanzen reduziert werden können und die Filmdicke gleichmäßig vorgesehen werden kann. Als Oxidhalbleiterfilm wird hier ein 20 nm dicker In-Ga-Zn-O-basierter Film durch Zerstäuben unter Verwendung eines In-Ga-Zn-O-basierten Metalloxidtargets ausgebildet. Als Metalloxidtarget, das In, Ga und Zn enthält, kann auch ein Metalloxidtarget mit einem Zusammensetzungsverhältnis von In:Ga:Zn = 1:1:1 [atom] oder In:Ga:Zn = 1:1:2 [atom] verwendet werden.

[0154] Beispiele für ein Zerstäubungsverfahren sind eine Hochfrequenz-Zerstäubung, in der eine Hochfrequenzenergie als Zerstäubungsstromquelle verwendet wird, eine Gleichstrom-Zerstäubung und eine gepulste Gleichstrom-Zerstäubung, in der eine Vorspannung gepulst angelegt wird. Die HF-Zerstäubung wird vor allem zum Ausbilden eines Isolations-

films verwendet, während die DC-Zerstäubung vor allem zum Ausbilden eines Metallfilms verwendet wird.

[0155] Es gibt auch eine Mehr-Quellen-Zerstäubungsvorrichtung, in der eine Vielzahl von Targets aus verschiedenen Materialien vorgesehen werden kann. Bei der Mehr-Quellen-Zerstäubungsvorrichtung können Filme aus verschiedenen Materialien in derselben Kammer gestapelt werden oder kann ein Film aus verschiedenen Materialien durch eine elektrische Entladung gleichzeitig in derselben Kammer ausgebildet werden.

[0156] Außerdem gibt es eine Zerstäubungsvorrichtung, die mit einem Magnetsystem in der Kammer versehen ist und für eine Magnetron-Zerstäubung verwendet wird, und eine Zerstäubungsvorrichtung für eine ECR-Zerstäubung, in der ein unter Verwendung von Mikrowellen erzeugtes Plasma ohne Glühentladung verwendet wird.

[0157] Weiterhin können als Depositionsverfahren mit einer Zerstäubung ein reaktives Zerstäuben, in dem eine Targets substanz und eine Zerstäubungsgaskomponente während der Deposition chemisch miteinander reagieren, um eine Dünnschichtkomponente zu bilden, und ein Vorspannungs-Zerstäuben, in dem während der Deposition weiterhin eine Spannung an einem Substrat angelegt wird, verwendet werden.

[0158] Dann wird der Oxidhalbleiterfilm **430** in einem zweiten Fotolithographieschritt zu einer inselförmigen Oxidhalbleiterschicht verarbeitet. Eine in diesem Schritt verwendete Resistmaske kann durch ein Tintenstrahlverfahren ausgebildet werden. Indem die Resistmaske durch ein Tintenstrahlverfahren ausgebildet wird, können die Herstellungskosten reduziert werden, weil keine Fotomaske verwendet wird.

[0159] Es ist zu beachten, dass das Ätzen des Oxidhalbleiterfilms **430** nicht auf ein Nassätzen beschränkt ist und auch ein Trockenätzen verwendet werden kann.

[0160] Als Ätzgas für das Trockenätzen wird vorzugsweise ein Chlor enthaltendes Gas (ein Chlor-basiertes Gas wie etwa Chlor (Cl_2), Bortrichlorid (BCl_3), Siliciumtetrachlorid (SiCl_4) oder Carbontetrachlorid (CCl_4)) verwendet.

[0161] Alternativ hierzu kann ein Fluor enthaltendes Gas (ein Fluor-basiertes Gas wie etwa Carbontetrafluorid (CF_4), ein Schwefelhexafluorid (SF_6), Stickstofftrifluorid (NF_3) oder Trifluormethan (CHF_3)); Wasserstoffbromid (HBr); Sauerstoff (O_2); eines dieser Gase, zu dem ein Edelgas wie etwa Helium (He) oder Argon (Ar) zugesetzt ist; oder ähnliches verwendet werden.

[0162] Für das Trockenätzen kann ein Parallelplatten-RIE (reaktives Ionenätzen) oder ICP (induktiv gekoppeltes Plasma)-Ätzen verwendet werden. Um den Film zu einer gewünschten Form zu ätzen, werden die Ätzbedingungen (die Größe der an einer spiralförmigen Elektrode angelegten elektrischen Leistung, die Größe der an einer Elektrode auf einer Substratseite angelegten Leistung, die Temperatur der Elektrode auf der Substratseite oder ähnliches) entsprechend eingestellt.

[0163] Nach dem Nassätzen wird das Ätzmittel zusammen mit den geätzten Materialien durch eine Reinigung entfernt. Die Abfallflüssigkeit einschließlich des Ätzmittels und der geätzten Materialien kann gereinigt werden, sodass die Materialien wiederverwendet werden können. Wenn ein Material wie etwa ein in der Oxidhalbleiterschicht enthaltenes Indium nach dem Ätzen aus der Abfallflüssigkeit gesammelt und wiederverwendet wird, können die Ressourcen effizient genutzt werden und können dementsprechend die Kosten reduziert werden.

[0164] Die Ätzbedingungen (wie etwa das Ätzmittel, die Ätzzeit und die Temperatur) werden entsprechend in Abhängigkeit von dem Material eingestellt, sodass ein Film zu einer gewünschten Form geätzt werden kann.

[0165] Dann wird eine Dehydrierung der Oxidhalbleiterschicht durchgeführt. Die Temperatur der ersten Wärmebehandlung für eine Dehydrierung ist höher oder gleich 400°C und niedriger oder gleich 750°C, vorzugsweise höher oder gleich 400°C und niedriger als der Kühlpunkt des Substrats. Dabei wird das Substrat in einen elektrischen Ofen eingeführt, der eine Art von Wärmebehandlungsvorrichtung ist, wird eine Wärmebehandlung auf der Oxidhalbleiterschicht in einer Stickstoffatmosphäre bei 450°C für eine Stunde durchgeführt und wird die Oxidhalbleiterschicht dann nicht der Luft ausgesetzt, sodass ein Eindringen von Wasser und Stickstoff in die Oxidhalbleiterschicht verhindert wird. Auf diese Weise wird eine Oxidhalbleiterschicht **431** erhalten (siehe [Fig. 17B](#)).

[0166] Es ist zu beachten, dass die Wärmebehandlungsvorrichtung nicht auf einen elektrischen Ofen beschränkt ist, sondern eine beliebige Vorrichtung zum Heizen eines zu verarbeitenden Objekts mittels von einem Heizelement wie etwa einem Widerstandsheizelement ausgehenden einer Wärmeleitung oder Wärmestrahlung sein kann. Zum Beispiel kann eine RTA(Thermofixierungs)-Vorrichtung wie etwa eine GRTA(Gas-Thermofixierungs)-Vorrichtung oder eine LRTA(Lampen-Thermofixierungs)-Vorrichtung verwendet werden. Die LRTA-Vorrichtung ist eine Vorrichtung zum Heizen eines zu verarbeitenden Objekts durch Lichtstrahlen (einer elektromagnetischen Welle), die von einer Lampe wie etwa einer Halogenlampe, einer Metallhalogenlampe, ei-

ner Xenonbogenlampe, einer Kohlebogenlampe, einer Hochdrucksodiumlampe oder einer Hochdruckquecksilberlampe emittiert werden. Die GRTA-Vorrichtung ist eine Vorrichtung für eine Wärmebehandlung, die ein Gas mit einer hohen Temperatur verwendet. Als Gas kann ein Edelgas, das nicht mit einem durch die Wärmebehandlung zu verarbeitenden Objekt reagiert, wie etwa Stickstoff oder Argon verwendet werden.

[0167] Zum Beispiel kann als erste Wärmebehandlung eine GRTA durchgeführt werden, bei der das Substrat in ein Edelgas bewegt wird, das auf eine Temperatur von 650°C bis 700°C erhitzt ist, dort für mehrere Minuten erhitzt wird und dann aus dem auf die hohe Temperatur erhitzten Edelgas herausbewegt wird. Eine GRTA ermöglicht eine Wärmebehandlung mit einer hohen Temperatur und einer kurzen Zeitdauer.

[0168] Es ist zu beachten, dass in der ersten Wärmebehandlung vorzugsweise kein Wasser, Wasserstoff und ähnliches in der Stickstoffatmosphäre oder in dem Edelgas wie etwa Helium, Neon oder Argon enthalten sind. Vorzugsweise ist die Reinheit des Stickstoffs oder des Edelgases wie etwa Helium, Neon oder Argon, der bzw. das in die Wärmebehandlungsvorrichtung eingeführt wird, auf 6 N (99,9999%) oder höher oder noch besser auf 7 N (99,99999%) oder höher gesetzt (das heißt, die Verunreinigungskonzentration ist niedriger oder gleich 1 ppm bzw. niedriger oder gleich 0,1 ppm).

[0169] Die erste Wärmebehandlung der Oxidhalbleiterschicht kann auf dem Oxidhalbleiterfilm **430** durchgeführt werden, bevor dieser zu der inselförmigen Oxidhalbleiterschicht verarbeitet wird. In diesem Fall wird das Substrat nach der ersten Wärmebehandlung aus der Wärmebehandlungsvorrichtung entnommen, wobei dann der zweite Fotolithographie-schritt durchgeführt wird.

[0170] Die Wärmebehandlung für eine Dehydrierung der Oxidhalbleiterschicht kann zu einem der folgenden Zeitpunkte durchgeführt werden: nachdem die Oxidhalbleiterschicht ausgebildet wurde; nachdem eine Source-Elektrodenschicht und eine Drain-Elektrodenschicht über der Oxidhalbleiterschicht ausgebildet wurden; und nachdem ein Schutzisolationsschicht über der Source-Elektrodenschicht und der Drain-Elektrodenschicht ausgebildet wurden.

[0171] Wenn ein Öffnungsteil in der Gate-Isolationsschicht **402** ausgebildet wird, kann der Schritt zum Ausbilden des Öffnungsteils durchgeführt werden, bevor oder nachdem der Oxidhalbleiterfilm **430** der Dehydrierungsbehandlung unterworfen wurde.

[0172] Dann wird ein Metallleitungsfilm über der Gate-Isolationsschicht **402** und der Oxidhalbleiter-

schicht **431** ausgebildet. Der Metallleitungsfilm kann durch eine Zerstäubung oder eine Vakuumverdampfung ausgebildet werden. Der Metallleitungsfilm kann ausgebildet werden: aus einem Element, das aus Aluminium (Al), Chrom (Cr), Kupfer (Cu), Tantal (Ta), Titan (Ti), Molybdän (Mo) und Wolfram (W) gewählt ist; aus einer Legierung, die eines dieser Elemente als eine Komponente enthält; aus einer Legierung, die eine Kombination aus beliebigen dieser Elemente enthält; und aus ähnlichem. Alternativ hierzu können ein oder mehrere Materialien verwendet werden, die aus Mangan (Mn), Magnesium (Mg), Zirkonium (Zr), Beryllium (Be) oder Yttrium (Y) gewählt werden. Der Metallleitungsfilm kann einen einschichtigen Aufbau oder einen mehrschichtigen Aufbau aus zwei oder mehr Schichten aufweisen. Zum Beispiel können die folgenden Aufbauten vorgesehen werden: ein einschichtiger Aufbau aus einem Aluminiumfilm, der Silicium enthält; ein einschichtiger Aufbau aus einem Kupferfilm oder einem Film, der Kupfer als Hauptkomponente enthält; ein zweischichtiger Film, in dem ein Titanfilm über einem Aluminiumfilm gelagert ist; ein zweischichtiger Aufbau, in dem ein Kupferfilm über einem Tantalnitridfilm oder einem Kupfernitridfilm gelagert ist; und ein dreischichtiger Aufbau, in dem ein Aluminiumfilm über einem Titanfilm gelagert ist, und ein weiterer Titanfilm über dem Aluminiumfilm gelagert ist. Es kann auch ein Film, ein Legierungsfilm oder ein Nitridfilm verwendet werden, der Aluminium (Al) und ein oder mehrere Elemente enthält, die aus Titan (Ti), Tantal (Ta), Wolfram (W), Molybdän (Mo), Chrom (Cr), Neodym (Nd) und Scandium (Sc) gewählt sind.

[0173] Wenn eine Wärmebehandlung nach der Ausbildung des Metallleitungsfilms durchgeführt wird, weist der Metallleitungsfilm vorzugsweise eine ausreichende Wärmebeständigkeit auf, um der Wärmebehandlung standzuhalten.

[0174] Eine Resistmaske wird durch einen dritten Lithographieschritt über dem Metallleitungsfilm ausgebildet und es wird ein selektives Ätzen durchgeführt, wodurch eine Source-Schicht **415a** und eine Drain-Schicht **415b** ausgebildet werden. Dann wird die Resistmaske entfernt (siehe [Fig. 17C](#)).

[0175] Es ist zu beachten, dass die Materialien und Ätzbedingungen entsprechend eingestellt werden, sodass die Oxidhalbleiterschicht **431** nicht während des Ätzens des Metallleitungsfilms entfernt wird.

[0176] Dabei wird ein Titanfilm für den Metallleitungsfilm verwendet. Weil ein In-Ga-Zn-O-basiertes Oxid für die Oxidhalbleiterschicht **431** verwendet wird, wird eine Ammoniakwasserstoffperoxid-Mischung (eine Mischlösung aus Ammoniak, Wasser und Wasserstoffperoxid) als Ätzmittel verwendet, um die Ätzselektivität der Oxidhalbleiterschicht **431** und des Metallleitungsfilms zu berücksichtigen.

[0177] Es ist zu beachten, dass in dem dritten Fotolithographieschritt in einigen Fällen ein Teil der Oxidhalbleiterschicht **431** geätzt wird, wodurch eine Rille (ein vertiefter Teil) in der Oxidhalbleiterschicht ausgebildet wird. Die in diesem Schritt verwendete Resistmaske kann durch ein Tintenstrahlverfahren ausgebildet werden. Indem die Resistmaske durch ein Tintenstrahlverfahren ausgebildet wird, können die Herstellungskosten reduziert werden, weil keine Fotomaske verwendet wird.

[0178] Um die Anzahl der in einem Fotolithographieprozess verwendeten Fotomasken und die Anzahl der Fotolithographieschritte zu reduzieren, kann ein Ätzschritt unter Verwendung einer Mehrtonmaske durchgeführt werden, die eine Belichtungsmaske ist, durch die Licht mit einer Vielzahl von Intensitäten durchgelassen wird. Weil eine unter Verwendung einer Mehrtonmaske ausgebildete Resistmaske eine Vielzahl von Dicken aufweist und durch eine Veraschung weiter in ihrer Form verändert werden kann, kann die Resistmaske in einer Vielzahl von Ätzschritten verwendet werden, um verschiedene Muster vorzusehen. Folglich kann eine Resistmaske in Entsprechung zu zwei oder mehr verschiedenen Arten von Mustern mittels einer Mehrtonmaske ausgebildet werden. Dadurch kann die Anzahl der Belichtungsmasken und der entsprechenden Fotolithographieschritte reduziert werden, wodurch der Prozess vereinfacht wird.

[0179] Dann wird eine Plasmabehandlung unter Verwendung eines Gases wie etwa Stickstoffoxid (N_2O), Stickstoff (N_2) oder Argon (Ar) durchgeführt. Diese Plasmabehandlung entfernt absorbiertes Wasser und ähnliches, die an einer freiliegenden Fläche der Oxidhalbleiterschicht haften. Die Plasmabehandlung kann unter Verwendung eines Mischgases aus Sauerstoff und Argon durchgeführt werden.

[0180] Nach der Plasmabehandlung wird eine Oxidisationsschicht **416**, die als ein Schutzisolationsschutzfilm dient und in Kontakt mit einem Teil der Oxidhalbleiterschicht ist, ohne Aussetzung an die Luft ausgebildet.

[0181] Die Oxidisationsschicht **416**, die eine Dicke von wenigstens 1 nm oder mehr aufweist, kann entsprechend unter Verwendung eines Verfahrens wie etwa einer Zerstäubung ausgebildet werden, bei dem keine Verunreinigungen wie etwa Wasser und Wasserstoff in die Oxidisationsschicht **416** gemischt werden. Wenn Wasserstoff in der Oxidisationsschicht **416** enthalten ist, tritt der Wasserstoff in die Oxidhalbleiterschicht ein, sodass ein Rückkanal der Oxidhalbleiterschicht **431** einen niedrigeren Widerstand (n-Typ) aufweist und somit unter Umständen ein parasitärer Kanal ausgebildet wird. Deshalb ist es wichtig, dass die Oxidisationsschicht **416** durch ein Verfahren ausgebildet wird, das keinen Wasser-

stoff verwendet, damit die Oxidisationsschicht **416** so wenig Wasserstoff wie möglich enthält.

[0182] Dabei wird ein 200 nm dicker Siliciumoxidfilm als Oxidisationsschicht **416** durch eine Zerstäubung ausgebildet. Die Substrattemperatur bei der Deposition kann höher oder gleich der Raumtemperatur und niedriger oder gleich 300°C sein, wobei sie in dieser Ausführungsform bei 100°C liegt. Der Siliciumoxidfilm kann durch eine Zerstäubung in einer Edelgasatmosphäre (gewöhnlich Argon), einer Sauerstoffatmosphäre oder einer Atmosphäre aus einem Edelgas (gewöhnlich Argon) und Sauerstoff ausgebildet werden. Als Target kann ein Siliciumoxidtarget oder ein Siliciumtarget verwendet werden. Zum Beispiel kann der Siliciumoxidfilm durch eine Zerstäubung unter Verwendung eines Siliciumtargets in einer Atmosphäre aus Sauerstoff und Stickstoff ausgebildet werden.

[0183] Dann wird eine zweite Wärmebehandlung (vorzugsweise bei 200°C bis 400°C, z. B. bei 250°C bis 350°C) in einer Edelgasatmosphäre oder einer Sauerstoffgasatmosphäre durchgeführt. Zum Beispiel wird die zweite Wärmebehandlung in einer Stickstoffatmosphäre bei 250°C für eine Stunde durchgeführt. Durch die zweite Wärmebehandlung wird ein Teil der Oxidhalbleiterschicht (ein Kanalbildungsbereich) erhitzt, während er in Kontakt mit der Oxidisationsschicht **416** ist. Dann wird Sauerstoff zu dem Teil der Oxidhalbleiterschicht (dem Kanalbildungsbereich) zugeführt.

[0184] Durch die oben genannten Schritte können ein Bereich mit einem extrem großen Widerstand und ein Bereich mit einem relativ kleinen Widerstand in der Oxidhalbleiterschicht selbstausrichtend ausgebildet werden. Wenn die Wärmebehandlung (die erste Wärmebehandlung) für eine Dehydrierung auf der Oxidhalbleiterschicht wie oben beschrieben durchgeführt wird, wird ein Sauerstoffmangel verursacht, der die Leitfähigkeit der Oxidhalbleiterschicht erhöht. Danach werden die Source-Schicht **415a** und die Drain-Schicht **415b** ausgebildet und wird weiterhin die Oxidisationsschicht **416** ausgebildet. Dann wird die zweite Wärmebehandlung durchgeführt, wodurch Sauerstoff zu dem Teil der Oxidhalbleiterschicht zugeführt wird, der in Kontakt mit der Oxidationsschicht **416** (einem Kanalbildungsbereich **413**) ist, sodass der Sauerstoffmangel entfernt wird und eine Oxidhalbleiterschicht eines i-Typs oder im Wesentlichen eines i-Typs erhalten wird. Außerdem wird kein Sauerstoff zu den anderen Teilen der Oxidhalbleiterschicht zugeführt, die in Kontakt mit der Source-Schicht **415a** und der Drain-Schicht **415b** ist, sodass der Sauerstoffmangel nicht entfernt wird und ein relativ kleiner Widerstand aufrechterhalten wird. Diese Teile der Oxidhalbleiterschicht dienen als ein Source-Bereich und ein Drain-Bereich in dem Transistor. Es werden also ein mit der Source-Schicht

415a überlappender Source-Bereich **414a** und ein mit der Drain-Schicht **415b** überlappender Drain-Bereich **414b** selbstausrichtend ausgebildet. Durch die vorstehend beschriebenen Schritte wird der Transistor **410** ausgebildet.

[0185] Wenn in einem Gate-Vorspannung-Temperatur-Belastungstest (BT-Test) bei 85°C mit 2×10^6 V/cm für 12 Stunden eine Verunreinigung (wie etwa Wasserstoff) in einem Oxidhalbleiter vorgesehen wurde, wird die Bindung zwischen der Verunreinigung und der Hauptkomponente des Oxidhalbleiters durch ein hohes elektrisches Feld (B: Vorspannung) und die hohe Temperatur (T: Temperatur) gebrochen, sodass eine dadurch erzeugte hängende Bindung eine Verschiebung in der Schwellwertspannung (V_{th}) verursacht. Andererseits werden Verunreinigungen in einem Oxidhalbleiter, insbesondere Wasserstoff oder Wasser, möglichst weitgehend entfernt, sodass ein dichter und hochqualitativer Isolationsfilm mit einer hohen Spannungsfestigkeit und guten Grenzflächeneigenschaften mit einem Oxidhalbleiter durch die Hochdichteplasma-CVD-Vorrichtung wie oben beschrieben ausgebildet wird. Dann kann ein Transistor erhalten werden, der auch in dem BT-Test stabil ist.

[0186] Weiterhin kann eine Wärmebehandlung in der Luft bei 100°C bis 200°C für eine Stunde bis 30 Stunden durchgeführt werden. Hier wird eine Wärmebehandlung bei 150°C für 10 Stunden durchgeführt. Diese Wärmebehandlung kann mit einer fixierten Heiztemperatur durchgeführt werden. Alternativ hierzu kann die folgende Änderung in der Heiztemperatur wiederholt vorgenommen werden: die Heiztemperatur wird von der Raumtemperatur zu einer Temperatur von 100°C bis 200°C erhöht und dann auf die Raumtemperatur vermindert. Diese Wärmebehandlung kann unter einem reduzierten Druck durchgeführt werden, bevor der Oxidationsfilm ausgebildet wird. Die Wärmebehandlungszeit kann unter dem reduzierten Druck verkürzt werden. Durch diese Wärmebehandlung kann Wasserstoff in der Oxidationsschicht aus der Oxidhalbleiterschicht entnommen werden.

[0187] Es ist zu beachten, dass die Zuverlässigkeit des Transistors verbessert werden kann, indem der Drain-Bereich **414b** in dem Teil der Oxidhalbleiterschicht ausgebildet wird, der mit der Drain-Schicht **415b** überlappt. Insbesondere indem der Drain-Bereich **414b** ausgebildet wird, kann die Leitfähigkeit allmählich von der Drain-Schicht **415b**, dem Drain-Bereich **414b** und zu dem Kanalbildungsbereich **413** geändert werden.

[0188] Der Source-Bereich oder der Drain-Bereich in der Oxidhalbleiterschicht wird in der gesamten Dickenrichtung ausgebildet, wenn die Dicke der Oxidhalbleiterschicht nur 15 nm oder weniger beträgt.

Wenn die Dicke der Oxidhalbleiterschicht 30 nm bis 50 nm beträgt, wird der Widerstand in einem Teil der Oxidhalbleiterschicht reduziert, nämlich in dem Bereich der Oxidhalbleiterschicht, der in Kontakt mit der Source-Schicht oder der Drain-Schicht ist, sowie in der Nachbarschaft dazu, wobei der Source-Bereich oder der Drain-Bereich ausgebildet wird, während ein anderer Bereich in der Oxidhalbleiterschicht in der Nähe der Gate-Isolationsschicht als i-Typ vorgesehen werden kann.

[0189] Eine Schutzisolationsschicht kann weiterhin über der Oxidisolationsschicht **416** ausgebildet werden. Zum Beispiel wird ein Siliciumnitridfilm durch eine HF-Zerstäubung ausgebildet. Die HF-Zerstäubung wird vorzugsweise für das Ausbilden der Schutzisolationsschicht verwendet, weil dadurch eine hohe Produktivität erzielt wird. Die Schutzisolationsschicht wird unter Verwendung eines anorganischen Isolationsfilms ausgebildet, der keine Verunreinigungen wie etwa Feuchtigkeit, Wasserstoffionen oder OH⁻ enthält, und blockiert das Eindringen dieser Verunreinigungen von außen. Zum Beispiel wird ein Siliciumnitridfilm, ein Aluminiumnitridfilm, ein Siliciumnitridoxidfilm oder ein Aluminiumoxynitridfilm verwendet. Dabei wird als Schutzisolationsschicht eine Schutzisolationsschicht **403** unter Verwendung eines Siliciumnitridfilms ausgebildet (siehe [Fig. 17D](#)).

(Verschiedene elektronische Geräte
mit einer Anzeigevorrichtung)

[0190] Beispiele für elektronische Geräte, die die Anzeigevorrichtung gemäß der Erfindung enthalten, werden im Folgenden mit Bezug auf [Fig. 18A](#) bis [Fig. 18F](#) beschrieben.

[0191] [Fig. 18A](#) zeigt einen Laptop-Computer, der einen Hauptkörper **2201**, ein Gehäuse **2202**, einen Anzeigeteil **2203**, eine Tastatur **2204** und ähnliches enthält.

[0192] [Fig. 18B](#) zeigt einen PDA, der einen Hauptkörper **2211** mit einem Anzeigeteil **2213**, einer externen Schnittstelle **2215**, einer Betätigungstaste **2214** und ähnlichem umfasst. Ein Eingabestift **2212** ist als Zubehör für den Betrieb vorgesehen.

[0193] [Fig. 18C](#) zeigt einen E-Book-Reader **2220** als ein Beispiel für ein elektronisches Papier. Der E-Book-Reader **2220** umfasst zwei Gehäuse, nämlich ein Gehäuse **2221** und ein Gehäuse **2223**. Die Gehäuse **2221** und **2223** sind durch einen Achsenteil **2237** miteinander verbunden, entlang dessen der E-Book-Reader **2220** geöffnet und geschlossen werden kann. Mit diesem Aufbau kann der E-Book-Reader **2220** wie ein Papierbuch verwendet werden.

[0194] Ein Anzeigeteil **2225** ist in dem Gehäuse **2221** integriert, und ein Anzeigeteil **2227** ist in dem

Gehäuse **2223** integriert. Der Anzeigeteil **2225** und der Anzeigeteil **2227** können das gleiche Bild oder verschiedene Bilder anzeigen. Wenn der E-Book-Reader **2220** einen Aufbau aufweist, in dem jeweils verschiedene Bilder auf den Anzeigeteilen angezeigt werden, kann zum Beispiel ein Text auf dem rechten Anzeigeteil (dem Anzeigeteil **2225** in [Fig. 18C](#)) angezeigt werden und können Bilder auf dem linken Anzeigeteil (dem Anzeigeteil **2227** in [Fig. 18C](#)) angezeigt werden.

[0195] Weiterhin ist das Gehäuse **2221** wie in [Fig. 18C](#) gezeigt mit einem Betätigungsteil oder ähnlichem versehen. Zum Beispiel enthält das Gehäuse **2221** eine Ein/Aus-Taste **2231**, eine Betätigungstaste **2233** und einen Lautsprecher **2235**. Unter Verwendung der Betätigungstaste **2233** kann geblättert werden. Es ist zu beachten, dass eine Zeigeeinrichtung oder ähnliches an der Oberfläche des Gehäuses, an welcher der Anzeigeteil vorgesehen ist, vorgesehen sein kann. Weiterhin können ein externer Verbindungsanschluss (ein Kopfhöreranschluss, ein USB-Anschluss, ein Anschluss für die Verbindung mit verschiedenen Kabeln wie etwa einem Netzgerätekabel, einem USB-Kabel oder ähnlichem), ein Aufzeichnungsmedium-Einsteckteil oder ähnliches an der Rückfläche oder Seitenfläche des Gehäuses vorgesehen sein. Der E-Book-Reader **2220** kann auch eine Funktion für ein elektronisches Wörterbuch aufweisen.

[0196] Der E-Book-Reader **2220** kann konfiguriert sein, um Daten drahtlos zu senden und zu empfangen. Über die drahtlose Kommunikation können gewünschte Buchdaten oder ähnliches erworben und von einem E-Book-Server heruntergeladen werden.

[0197] Es ist zu beachten, dass das elektronische Papier auf verschiedene Informationsanzeigegeräte angewendet werden kann. Zum Beispiel kann das elektronische Papier nicht nur auf E-Book-Reader, sondern auch für Poster, Werbung in Fahrzeugen wie etwa Zügen und für die Anzeige an verschiedenen Karten wie etwa Kreditkarten verwendet werden.

[0198] [Fig. 18D](#) zeigt ein Mobiltelefon, das zwei Gehäuse umfasst: ein Gehäuse **2240** und ein Gehäuse **2241**. Das Gehäuse **2241** ist mit einem Anzeigepaneel **2242**, einem Lautsprecher **2243**, einem Mikrofon **2244**, einer Zeigeeinrichtung **2246**, einer Kameranlinse **2247**, einem externen Verbindungsanschluss **2248** und ähnlichem versehen. Das Gehäuse **2240** ist mit einer Solarzelle **2249**, die das Mobiltelefon auflädt, einem externen Speicherschlitz **2250** und ähnlichem versehen. Eine Antenne ist in dem Gehäuse **2241** integriert.

[0199] Das Anzeigepaneel **2242** weist eine Berührungspaneelfunktion auf. Eine Vielzahl von Betätigungstasten **2245**, die als Bilder angezeigt werden,

ist durch die Strichlinien von [Fig. 18D](#) wiedergegeben. Es ist zu beachten, dass das Mobiltelefon eine Verstärkerschaltung zum Erhöhen der Spannungsausgabe aus der Solarzelle **2249** zu einer für die Schaltungen erforderlichen Spannung enthält. Das Mobiltelefon kann auch einen kontaktlosen IC-Chip, eine kleine Aufzeichnungseinrichtung oder ähnliches zusätzlich zu dem oben genannten Aufbau enthalten.

[0200] Die Anzeigerausrichtung des Anzeigepaneels **2242** ändert sich entsprechend in Übereinstimmung mit dem Anwendungsmodus. Weiterhin ist die Kameralinse **2247** auf derselben Fläche vorgesehen wie das Anzeigepaneel **2242**, sodass das Mobiltelefon als Videotelefon verwendet werden kann. Der Lautsprecher **2243** und das Mikrofon **2224** können für Videotelefonanrufe, für eine Aufzeichnung, für die Wiedergabe von Klängen und für Sprachanrufe verwendet werden. Weiterhin können die wie in [Fig. 18D](#) gezeigt ausgebildeten Gehäuse **2240** und **2241** verschoben werden, sodass die Gehäuse einander überlappen, wodurch die Größe des Mobiltelefons reduziert wird, sodass es besser getragen werden kann.

[0201] Der externe Verbindungsanschluss **2248** kann mit einem Netzgerät oder verschiedenen Kabeln wie etwa einem USB-Kabel verbunden werden, um ein Aufladen des Mobiltelefons und eine Datenkommunikation zu ermöglichen. Wenn ein Aufzeichnungsmedium in den externen Speicherschlitz **2250** eingesteckt wird, kann eine größere Datenmenge gespeichert und verschoben werden. Zusätzlich zu den vorstehend genannten Funktionen können eine Infrarotkommunikationsfunktion, eine Fernsehempfängsfunktion oder ähnliches vorgesehen sein.

[0202] [Fig. 18E](#) zeigt eine digitale Kamera, die einen Hauptkörper **2261**, einen Anzeigeteil (A) **2267**, ein Okular **2263**, einen Betätigungsschalter **2264**, einen Anzeigeteil (B) **2265**, eine Batterie **2266** und ähnliches umfasst.

[0203] [Fig. 18F](#) zeigt ein Fernsehgerät **2270**, in dem ein Anzeigeteil **2273** in einem Gehäuse **2271** integriert ist. Bilder können auf dem Anzeigeteil **2273** angezeigt werden. Dabei wird das Gehäuse **2271** durch einen Ständer **2275** gehalten.

[0204] Das Fernsehgerät **2270** kann über einen Betätigungsschalter an dem Gehäuse **2271** oder eine separate Fernbedienung **2280** bedient werden. Die Fernsender und die Lautstärke können durch eine Betätigungstaste **2279** der Fernbedienung **2280** gesteuert werden, sodass ein auf dem Anzeigeteil **2273** angezeigtes Bild gesteuert werden kann. Die Fernbedienung **2280** kann einen Anzeigeteil **2227** aufweisen, auf dem die aus der Fernbedienung **2280** ausgegebenen Informationen angezeigt werden können.

[0205] Es ist zu beachten, dass das Fernsehgerät **2270** vorzugsweise mit einem Empfänger, einem Modem und ähnlichem ausgestattet ist. Mit dem Empfänger kann ein Fernsehsignal empfangen werden. Weiterhin ist das Fernsehgerät drahtgebunden oder drahtlos über das Modem mit einem Kommunikationsnetzwerk verbunden, sodass eine unidirektionale (von einem Sender zu einem Empfänger) oder eine bidirektionale (zwischen einem Sender und einem Empfänger oder zwischen Empfängern) Datenkommunikation durchgeführt werden kann.

[0206] Die vorliegende Anmeldung beruht auf der japanischen Patentanmeldung mit der Seriennummer 2010-050869, die am 8. März 2010 am japanischen Patentamt eingereicht wurde und deren vollständiger Inhalt hier unter Bezugnahme eingeschlossen ist.

Liste der Bezugszeichen

10: Bildpunktteil; **11:** Erste-Abtastleitung-Treiberschaltung; **12:** Signalleitung/Zweite-Abtastleitung-Treiberschaltung; **13:** Steuereinrichtung; **14:** erste Abtastleitung; **15:** Signalleitung; **16:** zweite Abtastleitung; **17:** Bildpunkt; **18:** Signalleitung-Treiberschaltung; **19:** Zweite-Abtastleitung-Treiberschaltung; **20:** Transistor; **21:** Transistor; **22:** Kondensator; **23:** Flüssigkristallelement; **110:** Schieberegister; **111:** Latch; **112:** Latch; **113:** Puffer; **115:** UND-Gatter; **120:** Schieberegister; **121:** Latch; **122:** Latch; **123:** Latch; **124:** Latch; **125:** Digital-zu-Analog-Wandlerschaltung (DAW); **126:** analoger Puffer; **127:** UND-Gatter; **128:** Latch; **129:** Digital-zu-Analog-Wandlerschaltung (DAW); **130:** analoger Puffer; **131:** Rahmenspeicher; **132:** Vergleicherschaltung; **133:** Koordinatenspeicher; **134:** Datensignal-Leseschaltung; **135:** Neuschreibungssignal-Erzeugungsschaltung; **180:** Schieberegister zum Treiben der Signalleitung; **190:** Schieberegister zum Treiben der zweiten Abtastleitung; **211:** Transistor; **220:** Substrat; **221:** Gate-Schicht; **222:** Gate-Isolationsschicht; **223:** Oxidhalbleiterschicht; **224a:** Source-Schicht; **224b:** Drain-Schicht; **225:** Isolationsschicht; **226:** Schutzisolationsschicht; **400:** Substrat; **402:** Gate-Isolationsschicht; **403:** Schutzisolationsschicht; **410:** Transistor; **411:** Gate-Schicht; **413:** Kanalbildungsbereich; **414a:** Source-Bereich; **414b:** Drain-Bereich; **415a:** Source-Schicht; **415b:** Drain-Schicht; **416:** Oxidisolationsschicht; **430:** Oxidhalbleiterfilm; **431:** Oxidhalbleiterschicht; **510:** Transistor; **511:** Isolationsschicht; **520:** Transistor; **530:** Transistor; **531:** Isolationsschicht; **532a:** Verdrahtungsschicht; **532b:** Verdrahtungsschicht; **800:** Messsystem; **802:** Kondensator; **804:** Transistor; **805:** Transistor; **806:** Transistor; **808:** Transistor; **2201:** Hauptkörper; **2202:** Gehäuse; **2203:** Anzeigeteil; **2204:** Tastatur; **2211:** Hauptkörper; **2212:** Eingabestift; **2213:** Anzeigeteil; **2214:** Betätigungstaste; **2215:** externe Grenzfläche; **2220:** E-Book-Re-

ader; **2221**: Gehäuse; **2223**: Gehäuse; **2225**: Anzeigeteil; **2227**: Anzeigeteil; **2231**: Ein/Aus-Taste; **2233**: Betätigungstaste; **2235**: Lautsprecher; **2237**: Achsenteil; **2240**: Gehäuse; **2241**: Gehäuse; **2242**: Anzeigepaneel; **2243**: Lautsprecher; **2244**: Mikrofon; **2245**: Betätigungstaste; **2246**: Zeigeeinrichtung; **2247**: Kameralinse; **2248**: externer Verbindungsanschluss; **2249**: Solarzelle; **2250**: externer Speicherschlitz; **2261**: Hauptkörper; **2263**: Okular; **2264**: Betätigungsschalter; **2265**: Anzeigeteil (B); **2266**: Batterie; **2267**: Anzeigeteil (A); **2270**: Fernsehgerät; **2271**: Gehäuse; **2273**: Anzeigeteil; **2275**: Ständer; **2277**: Anzeigeteil; **2279**: Betätigungstaste; **2280**: Fernbedienung

ZITATE ENTHALTEN IN DER BESCHREIBUNG

Diese Liste der vom Anmelder aufgeführten Dokumente wurde automatisiert erzeugt und ist ausschließlich zur besseren Information des Lesers aufgenommen. Die Liste ist nicht Bestandteil der deutschen Patent- bzw. Gebrauchsmusteranmeldung. Das DPMA übernimmt keinerlei Haftung für etwaige Fehler oder Auslassungen.

Zitierte Patentliteratur

- JP 2010-050869 [[0206](#)]

Patentansprüche

1. Anzeigevorrichtung, die umfasst:

eine Steuereinrichtung, die konfiguriert ist, um ein Reihenbeschreibungs-Steuersignal, das angibt, ob eine Differenz zwischen zwei aufeinanderfolgenden Rahmen in wenigstens einem ersten bis n-ten Bildpunkt (n ist eine natürliche Zahl von zwei oder mehr) in derselben Reihe vorhanden ist, und ein Spaltenbeschreibungs-Steuersignal, das angibt, ob eine Differenz zwischen den zwei aufeinanderfolgenden Rahmen in einem k-ten Bildpunkt (k ist eine natürliche Zahl größer oder gleich ein und kleiner oder gleich n) vorhanden ist, auszugeben,
 eine erste Abtastleitung, die elektrisch mit den ersten bis n-ten Bildpunkten verbunden ist, wobei die erste Abtastleitung operativ mit der Steuereinrichtung verbunden ist,
 eine zweite Abtastleitung, die elektrisch mit Bildpunkten in derselben Spalte wie der k-te Bildpunkt verbunden ist, wobei die zweite Abtastleitung operativ mit der Steuereinrichtung verbunden ist, und
 eine Signalleitung, die elektrisch mit den Bildpunkten in derselben Spalte wie der k-te Bildpunkt verbunden ist, wobei die Signalleitung operativ mit der Steuereinrichtung verbunden ist,
 wobei der k-te Bildpunkt umfasst:
 einen ersten Transistor, dessen Gate elektrisch mit der ersten Abtastleitung verbunden ist und dessen Source oder Drain elektrisch mit der Signalleitung verbunden ist, und
 einen zweiten Transistor, dessen Gate elektrisch mit der zweiten Abtastleitung verbunden ist und dessen Source oder Drain elektrisch mit entsprechend dem Drain oder der Source des ersten Transistors verbunden ist.

2. Anzeigevorrichtung nach Anspruch 1, die weiterhin umfasst:

ein Schieberegister zum Treiben der ersten Abtastleitung, das konfiguriert ist, um sequentiell Auswahl-signale von Ausgangsanschlüssen in einer ersten Abtastperiode zum Treiben der ersten Abtastleitung auszugeben,
 einen ersten Latch zum Treiben der ersten Abtastleitung, der konfiguriert ist, um das zugeführte Reihenbeschreibungs-Steuersignal aufrechtzuerhalten, wenn ein Auswahl-signal eingegeben wird, und das Reihenbeschreibungs-Steuersignal in einer Vertikalrücksprungperiode, die auf die erste Abtastperiode zum Treiben der ersten Abtastleitung folgt, auszugeben,
 einen zweiten Latch zum Treiben der ersten Abtastleitung, der konfiguriert ist, um das von dem ersten Latch zum Treiben der ersten Abtastleitung eingegebene Reihenbeschreibungs-Steuersignal aufrechtzuerhalten und das Reihenbeschreibungs-Steuersignal in der Vertikalrücksprungperiode und einer zweiten Abtastperiode zum Treiben der ersten Abtastlei-

tung, die auf die Vertikalrücksprungperiode folgt, auszugeben, und

einen Puffer, der konfiguriert ist, um in Übereinstimmung mit dem von dem zweiten Latch zum Treiben der ersten Abtastleitung eingegebenen Reihenbeschreibungs-Steuersignal zu wählen, ob ein Auswahl-signal zu der ersten Abtastleitung in einer horizontalen Abtastperiode, die in der zweiten Abtastperiode zum Treiben der ersten Abtastleitung enthalten ist, zugeführt wird.

3. Anzeigevorrichtung nach Anspruch 1, die weiterhin umfasst:

ein Schieberegister zum Treiben der ersten Abtastleitung, das konfiguriert ist, um sequentiell Auswahl-signale von Ausgangsanschlüssen auszugeben, und ein UND-Gatter, dessen erster Eingangsanschluss elektrisch mit einem der Ausgangsanschlüsse des Schieberegisters zum Treiben der ersten Abtastleitung verbunden ist, dessen zweiter Eingangsanschluss elektrisch mit einer Verdrahtung verbunden ist, die das Reihenbeschreibungs-Steuersignal zugeführt, und dessen Ausgangsanschluss elektrisch mit der ersten Abtastleitung verbunden ist.

4. Anzeigevorrichtung nach Anspruch 1, die weiterhin umfasst:

ein Schieberegister zum Treiben der Signalleitung und der zweiten Abtastleitung, das konfiguriert ist, um sequentiell Auswahl-signale von Ausgangsanschlüssen in einer ersten Abtastperiode zum Treiben der Signalleitung und der zweiten Abtastleitung auszugeben,
 einen ersten Latch zum Treiben der Signalleitung und der zweiten Abtastleitung, der konfiguriert ist, um das zugeführte Spaltenbeschreibungs-Steuersignal aufrechtzuerhalten, wenn ein Auswahl-signal eingegeben wird, und das Spaltenbeschreibungs-Steuersignal in einer Horizontalrücksprungperiode, die auf die erste Abtastperiode zum Treiben der Signalleitung und der zweiten Abtastleitung folgt, auszugeben,
 einen zweiten Latch zum Treiben der Signalleitung und der zweiten Abtastleitung, der konfiguriert ist, um das aus dem ersten Latch zum Treiben der Signalleitung und der zweiten Abtastleitung ausgegebene Spaltenbeschreibungs-Steuersignal aufrechtzuerhalten und das Spaltenbeschreibungs-Steuersignal zu der zweiten Abtastleitung in einer horizontalen Abtastperiode einschließlich der Horizontalrücksprungperiode und einer zweiten Abtastperiode zum Treiben der Signalleitung und der zweiten Abtastleitung, die auf die Horizontalrücksprungperiode folgt, auszugeben,
 einen dritten Latch zum Treiben der Signalleitung und der zweiten Abtastleitung, der konfiguriert ist, um ein zugeführtes Datensignal aufrechtzuerhalten, wenn ein Auswahl-signal eingegeben wird, und das Datensignal in der Horizontalrücksprungperiode auszugeben,

einen vierten Latch zum Treiben der Signalleitung und der zweiten Abtastleitung, der konfiguriert ist, um das aus dem dritten Latch zum Treiben der Signalleitung und der zweiten Abtastleitung ausgegebene Datensignal aufrechtzuerhalten und das Datensignal in der horizontalen Abtastperiode auszugeben, eine Digital-zu-Analog-Wandlerschaltung, die konfiguriert ist, um das aus dem vierten Latch zum Treiben der Signalleitung und der zweiten Abtastleitung ausgegebene Datensignal zu einem analogen Datensignal zu wandeln, und einen analogen Puffer, der konfiguriert ist, um in Übereinstimmung mit dem Spaltenneuschreibungs-Steuersignal zu wählen, ob das analoge Datensignal zu der Signalleitung in der horizontalen Abtastperiode zugeführt wird.

5. Anzeigevorrichtung nach Anspruch 1, die weiterhin umfasst:

ein Schieberegister zum Treiben der Signalleitung und der zweiten Abtastleitung, das konfiguriert ist, um sequentiell Auswahlssignale von Ausgangsanschlüssen auszugeben,

ein UND-Gatter, dessen erster Eingangsanschluss elektrisch mit einem der Ausgangsanschlüsse des Schieberegisters zum Treiben der Signalleitung und der zweiten Abtastleitung verbunden ist, dessen zweiter Eingangsanschluss elektrisch mit einer Verdrahtung verbunden ist, die das Spaltenneuschreibungs-Steuersignal zuführt und dessen Ausgangsanschluss elektrisch mit der zweiten Abtastleitung verbunden ist,

einen Latch zum Treiben der Signalleitung und der zweiten Abtastleitung, der konfiguriert ist, um ein zugeführtes Datensignal aufrechtzuerhalten, wenn ein Auswahlssignal eingegeben wird, und das Datensignal auszugeben,

eine Digital-zu-Analog-Wandlerschaltung, die konfiguriert ist, um das aus dem Latch zum Treiben der Signalleitung und der zweiten Abtastleitung ausgegebene Datensignal zu einem analogen Datensignal zu wandeln, und

einen analogen Puffer, der konfiguriert ist, um in Übereinstimmung mit einem Ausgabesignal des UND-Gatters zu wählen, ob das von der Digital-zu-Analog-Wandlerschaltung eingegebene analoge Datensignal zu der Signalleitung zugeführt wird.

6. Anzeigevorrichtung nach Anspruch 1, wobei die Steuereinrichtung umfasst:

einen Rahmenspeicher, der konfiguriert ist, um Datensignale zum Bilden von Bildern einer Vielzahl von Rahmen zu speichern,

eine Vergleicherschaltung, die konfiguriert ist, um die Datensignale, die in dem Rahmenspeicher gespeichert sind und Bilder von zwei aufeinanderfolgenden Rahmen bilden, zu vergleichen und eine Differenz zu erfassen,

einen Koordinatenspeicher, der konfiguriert ist, um Koordinatendaten eines Bildpunkts, in dem eine Dif-

ferenz durch die Vergleicherschaltung erfasst wurde, zu speichern,

eine Datensignal-Leseschaltung, die konfiguriert ist, um ein Datensignal aus dem Rahmenspeicher zu lesen, und das Datensignal zu einer Signalleitung/Zweite-Abtastleitung-Treiberschaltung auszugeben, und

eine Neuschreibungssignal-Erzeugungsschaltung, die konfiguriert ist, um das Spaltenneuschreibungs-Steuersignal und das Reihenneuschreibungs-Steuersignal auf der Basis der in dem Koordinatenspeicher gespeicherten Koordinatendaten zu erzeugen und das Spaltenneuschreibungs-Steuersignal und das Reihenneuschreibungs-Steuersignal jeweils zu der Signalleitung/Zweite-Abtastleitung-Treiberschaltung und einer Erste-Abtastleitung-Treiberschaltung auszugeben.

7. Anzeigevorrichtung nach Anspruch 1, wobei der erste Transistor und der zweite Transistor jeweils eine Oxidhalbleiterschicht umfassen.

8. Anzeigevorrichtung, die umfasst:

eine Steuereinrichtung, die konfiguriert ist, um eine Differenz in jeder aus einer Vielzahl von Bildpunkten in einer Matrix durch das Vergleichen von Datensignalen zum Bilden von Bildern von zwei aufeinanderfolgenden Rahmen zu erfassen und ein Reihenneuschreibungs-Steuersignal, das angibt, ob eine Differenz in wenigstens einem ersten bis n-ten Bildpunkt (n ist eine natürliche Zahl von zwei oder mehr) in derselben Reihe erfasst wird, und ein Spaltenneuschreibungs-Steuersignal, das angibt, ob eine Differenz in einem k-ten Bildpunkt (k ist eine natürliche Anzahl größer oder gleich eins und kleiner oder gleich n) erfasst wird, auszugeben,

eine erste Abtastleitung, die elektrisch mit dem ersten bis n-ten Bildpunkten verbunden ist und zu der ein Auswahlssignal in Übereinstimmung mit dem Reihenneuschreibungs-Steuersignal zugeführt wird, eine zweite Abtastleitung, die elektrisch mit Bildpunkten in derselben Spalte wie der k-te Bildpunkt verbunden ist und zu der ein Auswahlssignal in Übereinstimmung mit dem Spaltenneuschreibungs-Steuersignal zugeführt wird, und

eine Signalleitung, die elektrisch mit den Bildpunkten in derselben Spalte wie der k-te Bildpunkt verbunden ist und zu der Datensignale in Übereinstimmung mit dem Spaltenneuschreibungs-Steuersignal zugeführt werden,

wobei der k-te Bildpunkt umfasst:

einen ersten Transistor, dessen Gate elektrisch mit der ersten Abtastleitung verbunden ist und dessen Source oder Drain elektrisch mit der Signalleitung verbunden ist, und

einen zweiten Transistor, dessen Gate elektrisch mit der zweiten Abtastleitung verbunden ist und dessen Source oder Drain elektrisch mit entsprechend dem Drain oder der Source des ersten Transistors verbunden ist.

9. Anzeigevorrichtung nach Anspruch 8, die weiterhin umfasst:

ein Schieberegister zum Treiben der ersten Abtastleitung, das konfiguriert ist, um sequentiell Auswahl-signale von Ausgangsanschlüssen in einer ersten Abtastperiode zum Treiben der ersten Abtastleitung auszugeben,

einen ersten Latch zum Treiben der ersten Abtastleitung, der konfiguriert ist, um das zugeführte Reihen-neuschreibungs-Steuersignal aufrecht-zuerhalten, wenn ein Auswahl-signal eingegeben wird, und das Reihen-neuschreibungs-Steuersignal in einer Vertikal-rücksprungperiode, die auf die erste Abtastperiode zum Treiben der ersten Abtastleitung folgt, auszugeben,

einen zweiten Latch zum Treiben der ersten Abtastleitung, der konfiguriert ist, um das von dem ersten Latch zum Treiben der ersten Abtastleitung eingegebene Reihen-neuschreibungs-Steuersignal aufrecht-zuerhalten und das Reihen-neuschreibungs-Steuersignal in der Vertikal-rücksprungperiode und einer zweiten Abtastperiode zum Treiben der ersten Abtastleitung, die auf die Vertikal-rücksprungperiode folgt, auszugeben, und

einen Puffer, der konfiguriert ist, um in Übereinstimmung mit dem von dem zweiten Latch zum Treiben der ersten Abtastleitung eingegebenen Reihen-neuschreibungs-Steuersignal zu wählen, ob ein Auswahl-signal zu der ersten Abtastleitung in einer horizontalen Abtastperiode, die in der zweiten Abtastperiode zum Treiben der ersten Abtastleitung enthalten ist, zugeführt wird.

10. Anzeigevorrichtung nach Anspruch 8, die weiterhin umfasst:

ein Schieberegister zum Treiben der ersten Abtastleitung, das konfiguriert ist, um sequentiell Auswahl-signale von Ausgangsanschlüssen auszugeben, und ein UND-Gatter, dessen erster Eingangsanschluss elektrisch mit einem der Ausgangsanschlüsse des Schieberegisters zum Treiben der ersten Abtastleitung verbunden ist, dessen zweiter Eingangsanschluss elektrisch mit einer Verdrahtung, die das Reihen-neuschreibungs-Steuersignal zuführt, verbunden ist, und dessen Ausgangsanschluss elektrisch mit der ersten Abtastleitung verbunden ist.

11. Anzeigevorrichtung nach Anspruch 8, die weiterhin umfasst:

ein Schieberegister zum Treiben der Signalleitung und der zweiten Abtastleitung, das konfiguriert ist, um sequentiell Auswahl-signale von Ausgangsanschlüssen in einer ersten Abtastperiode zum Treiben der Signalleitung und der zweiten Abtastleitung auszugeben,

einen ersten Latch zum Treiben der Signalleitung und der zweiten Abtastleitung, der konfiguriert ist, um das zugeführte Spalten-neuschreibungs-Steuersignal aufrecht-zuerhalten, wenn ein Auswahl-signal eingegeben wird, und das Spalten-neuschreibungs-Steuersi-

gnal in einer Horizontal-rücksprungperiode, die auf die erste Abtastperiode zum Treiben der Signalleitung und der zweiten Abtastleitung folgt, auszugeben, einen zweiten Latch zum Treiben der Signalleitung und der zweiten Abtastleitung, der konfiguriert ist, um das aus dem ersten Latch zum Treiben der Signalleitung und der zweiten Abtastleitung ausgegebene Spalten-neuschreibungs-Steuersignal aufrecht-zuerhalten und das Spalten-neuschreibungs-Steuersignal zu der zweiten Abtastleitung in einer horizontalen Abtastperiode einschließlich der Horizontal-rücksprungperiode und einer zweiten Abtastperiode zum Treiben der Signalleitung und der zweiten Abtastleitung, die auf die Horizontal-rücksprungperiode folgt, auszugeben,

einen dritten Latch zum Treiben der Signalleitung und der zweiten Abtastleitung, der konfiguriert ist, um ein zugeführtes Datensignal aufrecht-zuerhalten, wenn ein Auswahl-signal eingegeben wird, und das Datensignal in der Horizontal-rücksprungperiode auszugeben,

einen vierten Latch zum Treiben der Signalleitung und der zweiten Abtastleitung, der konfiguriert ist, um das aus dem dritten Latch zum Treiben der Signalleitung und der zweiten Abtastleitung ausgegebene Datensignal aufrecht-zuerhalten und das Datensignal in der horizontalen Abtastperiode auszugeben,

eine Digital-zu-Analog-Wandlerschaltung, die konfiguriert ist, um das aus dem vierten Latch zum Treiben der Signalleitung und der zweiten Abtastleitung ausgegebene Datensignal zu einem analogen Datensignal zu wandeln, und

einen analogen Puffer, der konfiguriert ist, um in Übereinstimmung mit dem Spalten-neuschreibungs-Steuersignal zu wählen, ob das analoge Datensignal zu der Signalleitung in der horizontalen Abtastperiode zugeführt wird.

12. Anzeigevorrichtung nach Anspruch 8, die weiterhin umfasst:

ein Schieberegister zum Treiben der Signalleitung und der zweiten Abtastleitung, das konfiguriert ist, um sequentiell Auswahl-signale von Ausgangsanschlüssen auszugeben,

ein UND-Gatter, dessen erster Eingangsanschluss elektrisch mit einem der Ausgangsanschlüsse des Schieberegisters zum Treiben der Signalleitung und der zweiten Abtastleitung verbunden ist, dessen zweiter Eingangsanschluss elektrisch mit einer Verdrahtung verbunden ist, die das Spalten-neuschreibungs-Steuersignal zuführt und dessen Ausgangsanschluss elektrisch mit der zweiten Abtastleitung verbunden ist,

einen Latch zum Treiben der Signalleitung und der zweiten Abtastleitung, der konfiguriert ist, um ein zugeführtes Datensignal aufrecht-zuerhalten, wenn ein Auswahl-signal eingegeben wird, und das Datensignal auszugeben,

eine Digital-zu-Analog-Wandlerschaltung, die konfiguriert ist, um das aus dem Latch zum Treiben der

Signalleitung und der zweiten Abtastleitung ausgegebene Datensignal zu einem analogen Datensignal zu wandeln, und

einen analogen Puffer, der konfiguriert ist, um in Übereinstimmung mit einem Ausgabesignal des UND-Gatters zu wählen, ob das von der Digital-zu-Analog-Wandlerschaltung eingegebene analoge Datensignal zu der Signalleitung zugeführt wird.

13. Anzeigevorrichtung nach Anspruch 8, wobei die Steuereinrichtung umfasst:
 einen Rahmenspeicher, der konfiguriert ist, um Datensignale zum Bilden von Bildern einer Vielzahl von Rahmen zu speichern,
 eine Vergleicherschaltung, die konfiguriert ist, um die Datensignale, die in dem Rahmenspeicher gespeichert sind und Bilder von zwei aufeinanderfolgenden Rahmen bilden, zu vergleichen und eine Differenz zu erfassen,
 einen Koordinatenspeicher, der konfiguriert ist, um Koordinatendaten eines Bildpunkts, in dem eine Differenz durch die Vergleicherschaltung erfasst wurde, zu speichern,
 eine Datensignal-Leseschaltung, die konfiguriert ist, um ein Datensignal aus dem Rahmenspeicher zu lesen, und das Datensignal zu einer Signalleitung/Zweite-Abtastleitung-Treiberschaltung auszugeben, und
 eine Neuschreibungssignal-Erzeugungsschaltung, die konfiguriert ist, um das Spaltenneuschreibungs-Steuersignal und das Reihenneuschreibungs-Steuersignal auf der Basis der in dem Koordinatenspeicher gespeicherten Koordinatendaten zu erzeugen und das Spaltenneuschreibungs-Steuersignal und das Reihenneuschreibungs-Steuersignal jeweils zu der Signalleitung/Zweite-Abtastleitung-Treiberschaltung und einer Erste-Abtastleitung-Treiberschaltung auszugeben.

14. Anzeigevorrichtung nach Anspruch 8, wobei der erste Transistor und der zweite Transistor jeweils eine Oxidhalbleiterschicht umfassen.

15. Anzeigevorrichtung, die umfasst:
 eine Steuereinrichtung, die konfiguriert ist, um eine Differenz in jeder aus einer Vielzahl von Bildpunkten in einer Matrix durch das Vergleichen von Datensignalen zum Bilden von Bildern von zwei aufeinanderfolgenden Rahmen zu erfassen und ein Reihenneuschreibungs-Steuersignal, das angibt, ob eine Differenz in wenigstens einem ersten bis n-ten Bildpunkt (n ist eine natürliche Zahl von zwei oder mehr) in derselben Reihe erfasst wird, und ein Spaltenneuschreibungs-Steuersignal, das angibt, ob eine Differenz in einem k-ten Bildpunkt (k ist eine natürliche Anzahl größer oder gleich eins und kleiner oder gleich n) erfasst wird, auszugeben,
 eine erste Abtastleitung, die elektrisch mit dem ersten bis n-ten Bildpunkten verbunden ist und zu der ein

Auswahlsignal in Übereinstimmung mit dem Reihenneuschreibungs-Steuersignal zugeführt wird,
 eine zweite Abtastleitung, die elektrisch mit Bildpunkten in derselben Spalte wie der k-te Bildpunkt verbunden ist und zu der ein Auswahlsignal in Übereinstimmung mit dem Spaltenneuschreibungs-Steuersignal zugeführt wird, und

eine Signalleitung, die elektrisch mit den Bildpunkten in derselben Spalte wie der k-te Bildpunkt verbunden ist und zu der Datensignale in Übereinstimmung mit dem Spaltenneuschreibungs-Steuersignal zugeführt werden,

wobei der k-te Bildpunkt umfasst:

einen ersten Transistor, dessen Gate elektrisch mit der ersten Abtastleitung verbunden ist und dessen Source oder Drain elektrisch mit der Signalleitung verbunden ist, und

einen zweiten Transistor, dessen Gate elektrisch mit der zweiten Abtastleitung verbunden ist und dessen Source oder Drain elektrisch mit entsprechend dem Drain oder der Source des ersten Transistors verbunden ist, und

ein Anzeigeelement, das elektrisch mit entsprechend dem Drain oder der Source des zweiten Transistors verbunden ist.

16. Anzeigevorrichtung nach Anspruch 15, die weiterhin umfasst:

ein Schieberegister zum Treiben der ersten Abtastleitung, das konfiguriert ist, um sequentiell Auswahlsignale von Ausgangsanschlüssen in einer ersten Abtastperiode zum Treiben der ersten Abtastleitung auszugeben,

einen ersten Latch zum Treiben der ersten Abtastleitung, der konfiguriert ist, um das zugeführte Reihenneuschreibungs-Steuersignal aufrechtzuerhalten, wenn ein Auswahlsignal eingegeben wird, und das Reihenneuschreibungs-Steuersignal in einer Vertikalrücksprungperiode, die auf die erste Abtastperiode zum Treiben der ersten Abtastleitung folgt, auszugeben,

einen zweiten Latch zum Treiben der ersten Abtastleitung, der konfiguriert ist, um das von dem ersten Latch zum Treiben der ersten Abtastleitung eingegebene Reihenneuschreibungs-Steuersignal aufrechtzuerhalten und das Reihenneuschreibungs-Steuersignal in der Vertikalrücksprungperiode und einer zweiten Abtastperiode zum Treiben der ersten Abtastleitung, die auf die Vertikalrücksprungperiode folgt, auszugeben, und

einen Puffer, der konfiguriert ist, um in Übereinstimmung mit dem von dem zweiten Latch zum Treiben der ersten Abtastleitung eingegebenen Reihenneuschreibungs-Steuersignal zu wählen, ob ein Auswahlsignal zu der ersten Abtastleitung in einer horizontalen Abtastperiode, die in der zweiten Abtastperiode zum Treiben der ersten Abtastleitung enthalten ist, zugeführt wird.

17. Anzeigevorrichtung nach Anspruch 15, die weiterhin umfasst:

ein Schieberegister zum Treiben der ersten Abtastleitung, das konfiguriert ist, um sequentiell Auswahl-signale von Ausgangsanschlüssen auszugeben, und ein UND-Gatter, dessen erster Eingangsanschluss elektrisch mit einem der Ausgangsanschlüsse des Schieberegisters zum Treiben der ersten Abtastleitung verbunden ist, dessen zweiter Eingangsanschluss elektrisch mit einer Verdrahtung, die das Reihen-neuschreibungs-Steuersignal zuführt, verbunden ist, und dessen Ausgangsanschluss elektrisch mit der ersten Abtastleitung verbunden ist.

18. Anzeigevorrichtung nach Anspruch 15, die weiterhin umfasst:

ein Schieberegister zum Treiben der Signalleitung und der zweiten Abtastleitung, das konfiguriert ist, um sequentiell Auswahl-signale von Ausgangsanschlüssen in einer ersten Abtastperiode zum Treiben der Signalleitung und der zweiten Abtastleitung auszugeben,

einen ersten Latch zum Treiben der Signalleitung und der zweiten Abtastleitung, der konfiguriert ist, um das zugeführte Spaltenneuschreibungs-Steuersignal aufrechtzuerhalten, wenn ein Auswahl-signal eingegeben wird, und das Spaltenneuschreibungs-Steuersignal in einer Horizontalrück-sprungperiode, die auf die erste Abtastperiode zum Treiben der Signalleitung und der zweiten Abtastleitung folgt, auszugeben,

einen zweiten Latch zum Treiben der Signalleitung und der zweiten Abtastleitung, der konfiguriert ist, um das aus dem ersten Latch zum Treiben der Signalleitung und der zweiten Abtastleitung ausgegebene Spaltenneuschreibungs-Steuersignal aufrechtzuerhalten und das Spaltenneuschreibungs-Steuersignal zu der zweiten Abtastleitung in einer horizontalen Abtastperiode einschließlich der Horizontalrück-sprungperiode und einer zweiten Abtastperiode zum Treiben der Signalleitung und der zweiten Abtastleitung, die auf die Horizontalrück-sprungperiode folgt, auszugeben,

einen dritten Latch zum Treiben der Signalleitung und der zweiten Abtastleitung, der konfiguriert ist, um ein zugeführtes Datensignal aufrechtzuerhalten, wenn ein Auswahl-signal eingegeben wird, und das Datensignal in der Horizontalrück-sprungperiode auszugeben,

einen vierten Latch zum Treiben der Signalleitung und der zweiten Abtastleitung, der konfiguriert ist, um das aus dem dritten Latch zum Treiben der Signalleitung und der zweiten Abtastleitung ausgegebene Datensignal aufrechtzuerhalten und das Datensignal in der horizontalen Abtastperiode auszugeben,

eine Digital-zu-Analog-Wandlerschaltung, die konfiguriert ist, um das aus dem vierten Latch zum Treiben der Signalleitung und der zweiten Abtastleitung ausgegebene Datensignal zu einem analogen Datensignal zu wandeln, und

einen analogen Puffer, der konfiguriert ist, um in Übereinstimmung mit dem Spaltenneuschreibungs-Steuersignal zu wählen, ob das analoge Datensignal zu der Signalleitung in der horizontalen Abtastperiode zugeführt wird.

19. Anzeigevorrichtung nach Anspruch 15, die weiterhin umfasst:

ein Schieberegister zum Treiben der Signalleitung und der zweiten Abtastleitung, das konfiguriert ist, um sequentiell Auswahl-signale von Ausgangsanschlüssen auszugeben,

ein UND-Gatter, dessen erster Eingangsanschluss elektrisch mit einem der Ausgangsanschlüsse des Schieberegisters zum Treiben der Signalleitung und der zweiten Abtastleitung verbunden ist, dessen zweiter Eingangsanschluss elektrisch mit einer Verdrahtung verbunden ist, die das Spaltenneuschreibungs-Steuersignal zuführt und dessen Ausgangsanschluss elektrisch mit der zweiten Abtastleitung verbunden ist,

einen Latch zum Treiben der Signalleitung und der zweiten Abtastleitung, der konfiguriert ist, um ein zugeführtes Datensignal aufrechtzuerhalten, wenn ein Auswahl-signal eingegeben wird, und das Datensignal auszugeben,

eine Digital-zu-Analog-Wandlerschaltung, die konfiguriert ist, um das aus dem Latch zum Treiben der Signalleitung und der zweiten Abtastleitung ausgegebene Datensignal zu einem analogen Datensignal zu wandeln, und

einen analogen Puffer, der konfiguriert ist, um in Übereinstimmung mit einem Ausgabesignal des UND-Gatters zu wählen, ob das von der Digital-zu-Analog-Wandlerschaltung eingegebene analoge Datensignal zu der Signalleitung zugeführt wird.

20. Anzeigevorrichtung nach Anspruch 15, wobei die Steuereinrichtung umfasst:

einen Rahmenspeicher, der konfiguriert ist, um Datensignale zum Bilden von Bildern einer Vielzahl von Rahmen zu speichern,

eine Vergleicherschaltung, die konfiguriert ist, um die Datensignale, die in dem Rahmenspeicher gespeichert sind und Bilder von zwei aufeinanderfolgenden Rahmen bilden, zu vergleichen und eine Differenz zu erfassen,

einen Koordinatenspeicher, der konfiguriert ist, um Koordinatendaten eines Bildpunkts, in dem eine Differenz durch die Vergleicherschaltung erfasst wurde, zu speichern,

eine Datensignal-Leseschaltung, die konfiguriert ist, um ein Datensignal aus dem Rahmenspeicher zu lesen, und das Datensignal zu einer Signalleitung/Zweite-Abtastleitung-Treiberschaltung auszugeben, und

eine Neuschreibungssignal-Erzeugungsschaltung, die konfiguriert ist, um das Spaltenneuschreibungs-Steuersignal und das Reihen-neuschreibungs-Steuersignal auf der Basis der in dem Koordinatenspei-

cher gespeicherten Koordinatendaten zu erzeugen und das Spaltenneuschreibungs-Steuersignal und das Reihenneuschreibungs-Steuersignal jeweils zu der Signalleitung/Zweite-Abtastleitung-Treiberschaltung und einer Erste-Abtastleitung-Treiberschaltung auszugeben.

21. Anzeigevorrichtung nach Anspruch 15, wobei der erste Transistor und der zweite Transistor jeweils eine Oxidhalbleiterschicht umfassen.

22. Anzeigevorrichtung nach Anspruch 15, wobei der k-te Bildpunkt weiterhin einen Kondensator umfasst, der elektrisch mit entsprechend dem Drain oder der Source des zweiten Transistors verbunden ist.

Es folgen 18 Blatt Zeichnungen

Anhängende Zeichnungen

FIG. 1A

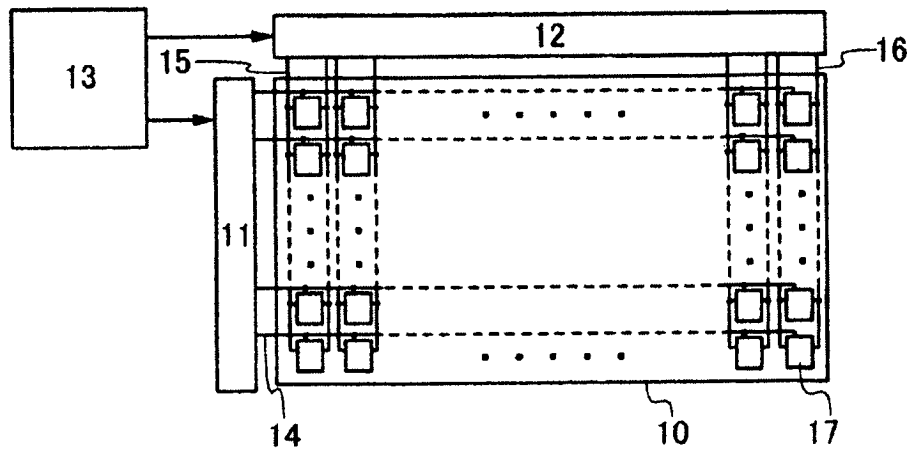


FIG. 1B

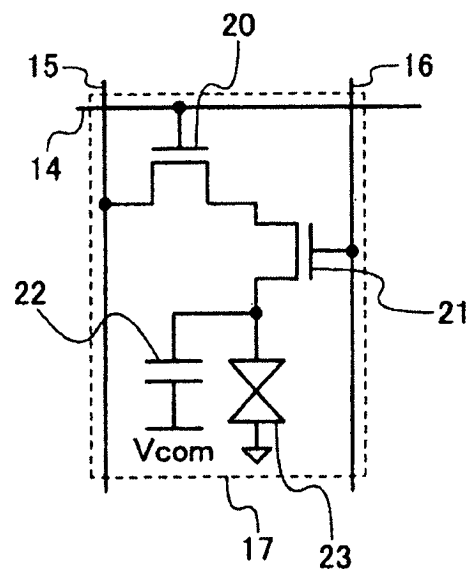


FIG. 2A

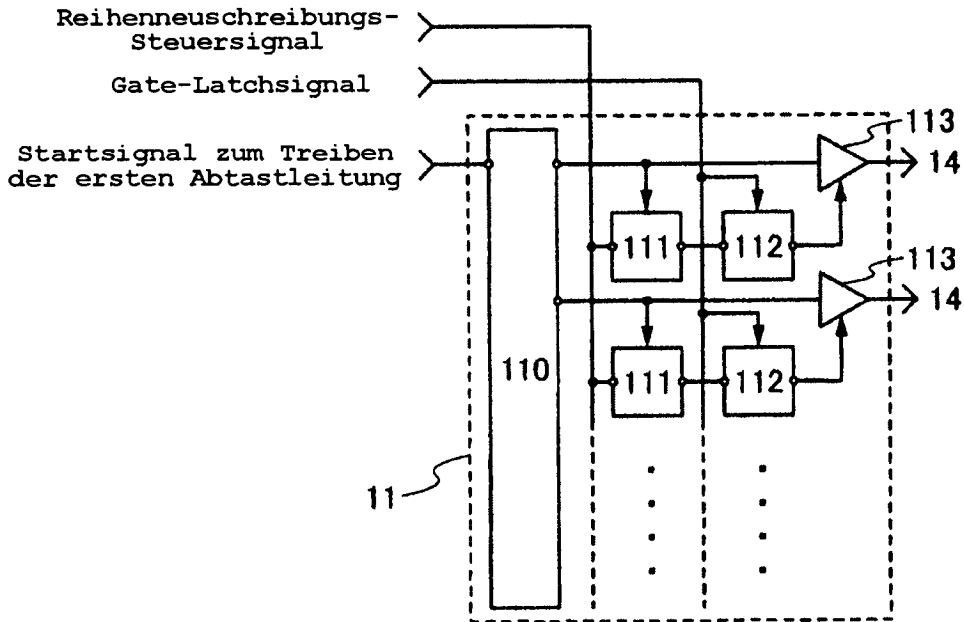


FIG. 2B

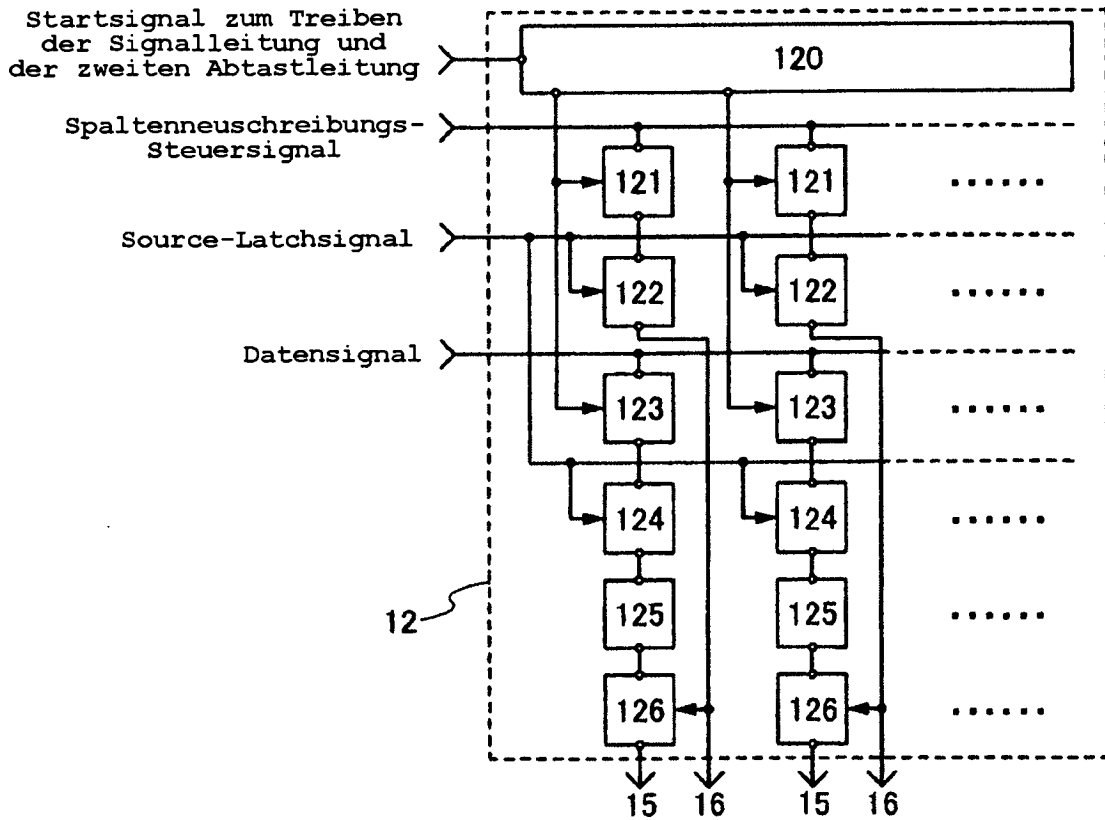


FIG. 3

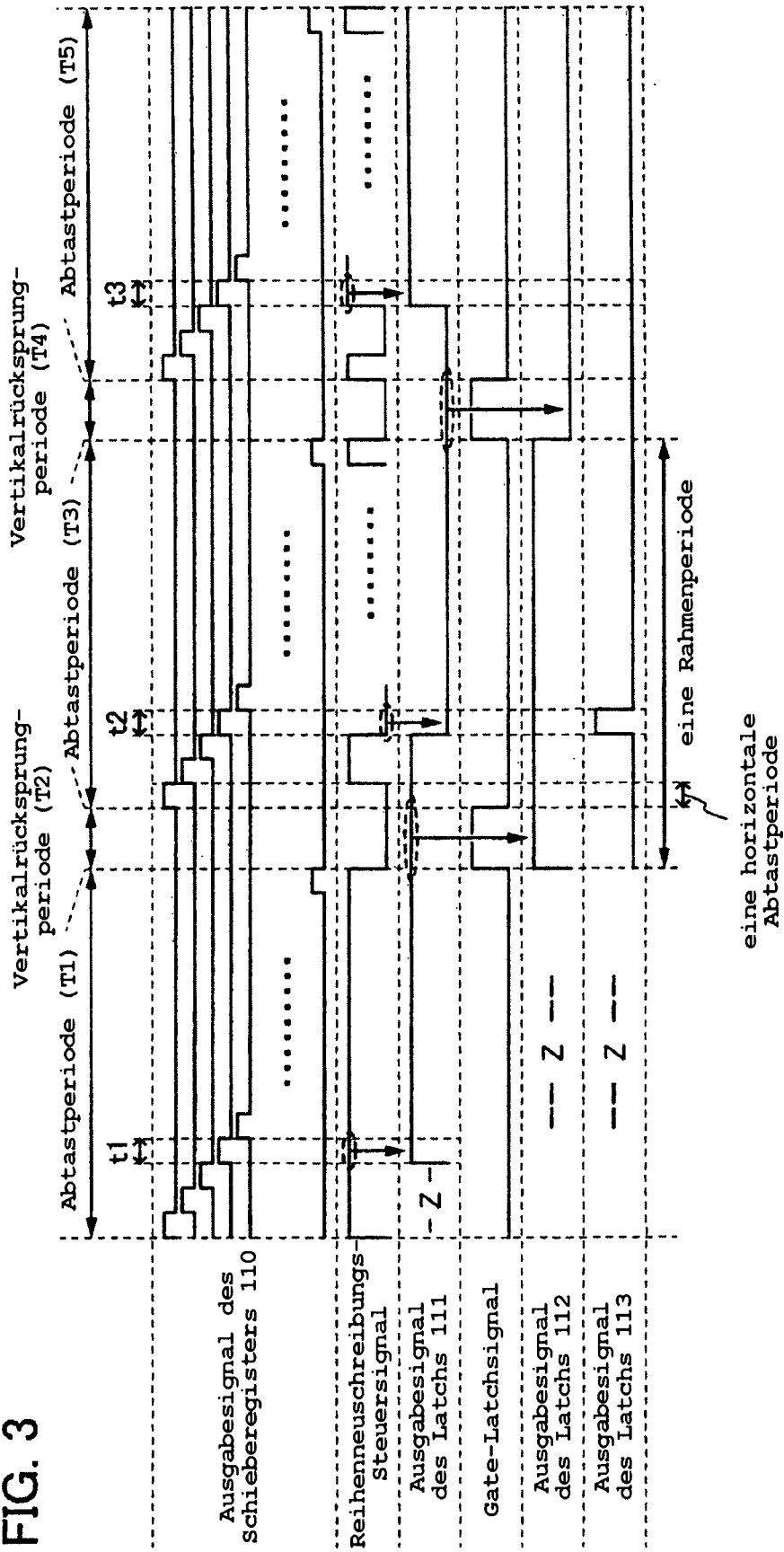


FIG. 4

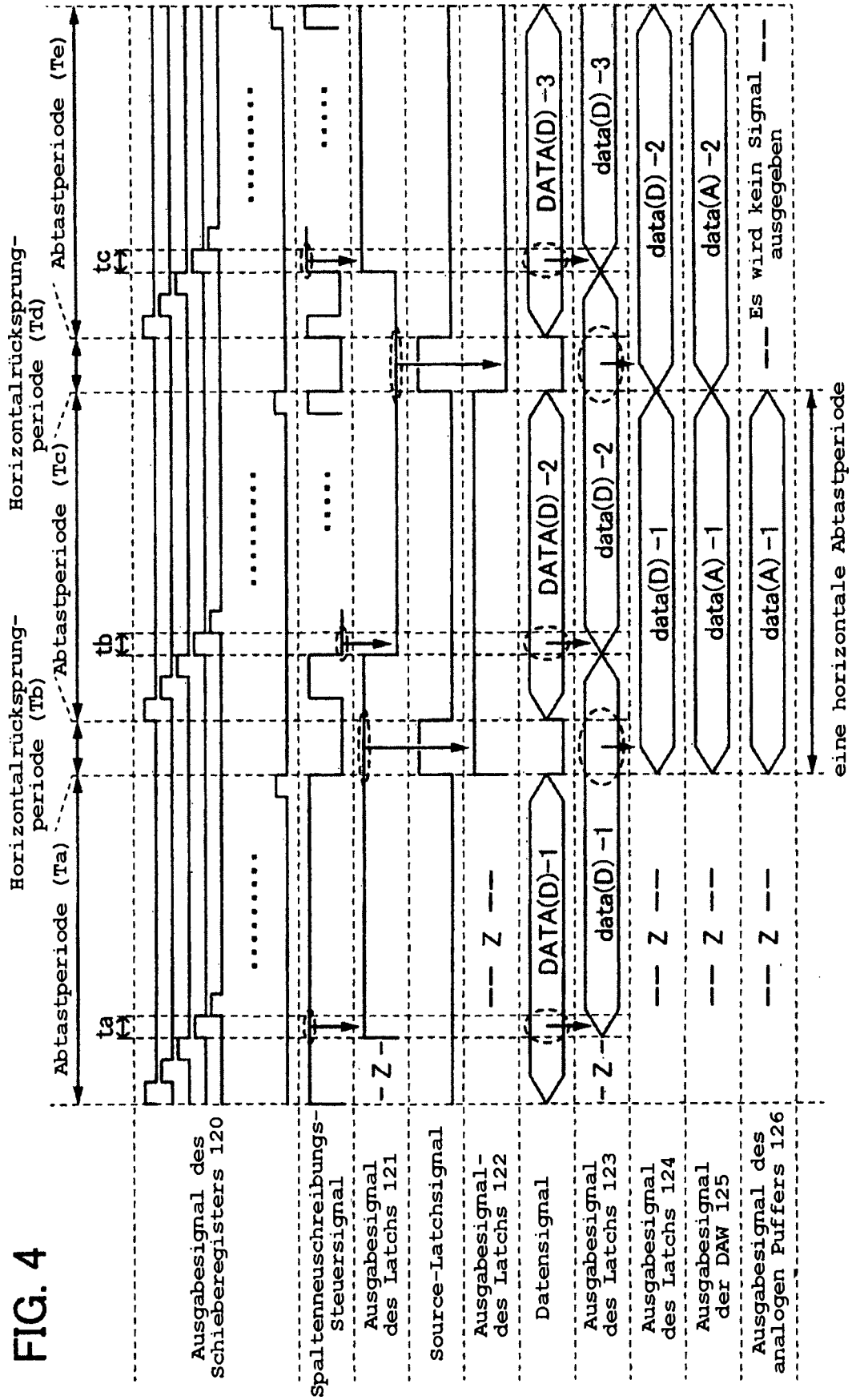


FIG. 5

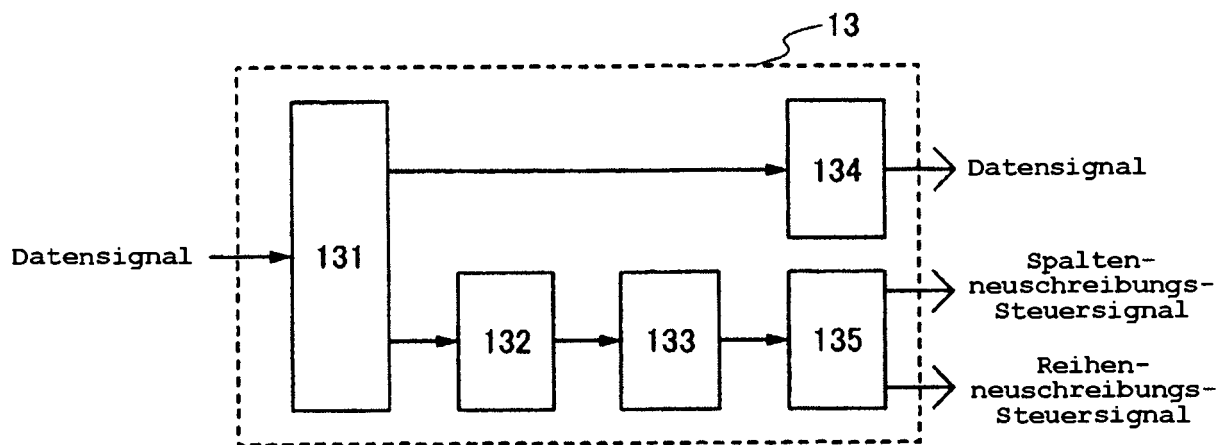


FIG. 6

Zeit →	erste Rahmenperiode	zweite Rahmenperiode	dritte Rahmenperiode	vierte Rahmenperiode	fünfte Rahmenperiode	sechste Rahmenperiode
Rahmen-speicher 131	Speichern des Datensignals des ersten Rahmens	Speichern des Datensignals des zweiten Rahmens	Speichern des Datensignals des dritten Rahmens	Speichern des Datensignals des vierten Rahmens	Speichern des Datensignals des fünften Rahmens	Speichern des Datensignals des sechsten Rahmens
Vergleicher-schaltung 132			Vergleichen der Datensignale des ersten und zweiten Rahmens	Vergleichen der Datensignale des zweiten und dritten Rahmens	Vergleichen der Datensignale des dritten und vierten Rahmens	Vergleichen der Datensignale des vierten und fünften Rahmens
Koordinaten-speicher 133			Speichern der Koordinaten von Bildpunkten, bei denen eine Differenz zwischen dem ersten und dem zweiten Rahmen erfasst wurde	Speichern der Koordinaten von Bildpunkten, bei denen eine Differenz zwischen dem zweiten und dem dritten Rahmen erfasst wurde	Speichern der Koordinaten von Bildpunkten, bei denen eine Differenz zwischen dem dritten und dem vierten Rahmen erfasst wurde	Speichern der Koordinaten von Bildpunkten, bei denen eine Differenz zwischen dem vierten und dem fünften Rahmen erfasst wurde
Datensignal-Lese-schaltung 134				Ausgeben des Datensignals des ersten Rahmens	Ausgeben des Datensignals des zweiten Rahmens	Ausgeben des Datensignals des dritten Rahmens
Neu-schreibungs-signal-Erzeugung-schaltung 135				Ausgeben des Reihennewschr. signals beim Neuschreiben des ersten und zweiten Rahmens	Ausgeben des Reihennewschr. signals beim Neuschreiben des zweiten und dritten Rahmens	Ausgeben des Reihennewschr. signals beim Neuschreiben des dritten und vierten Rahmens
Anzeige auf dem Bildpunkt-teil 10				Bild des ersten Rahmens	Bild des zweiten Rahmens	Bild des dritten Rahmens

FIG. 7A

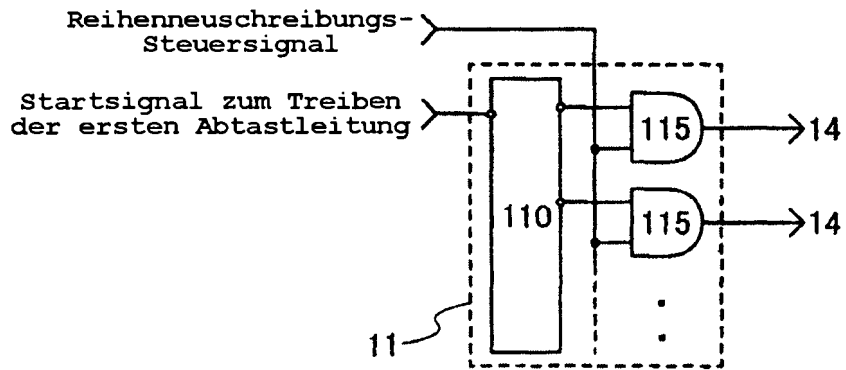


FIG. 7B

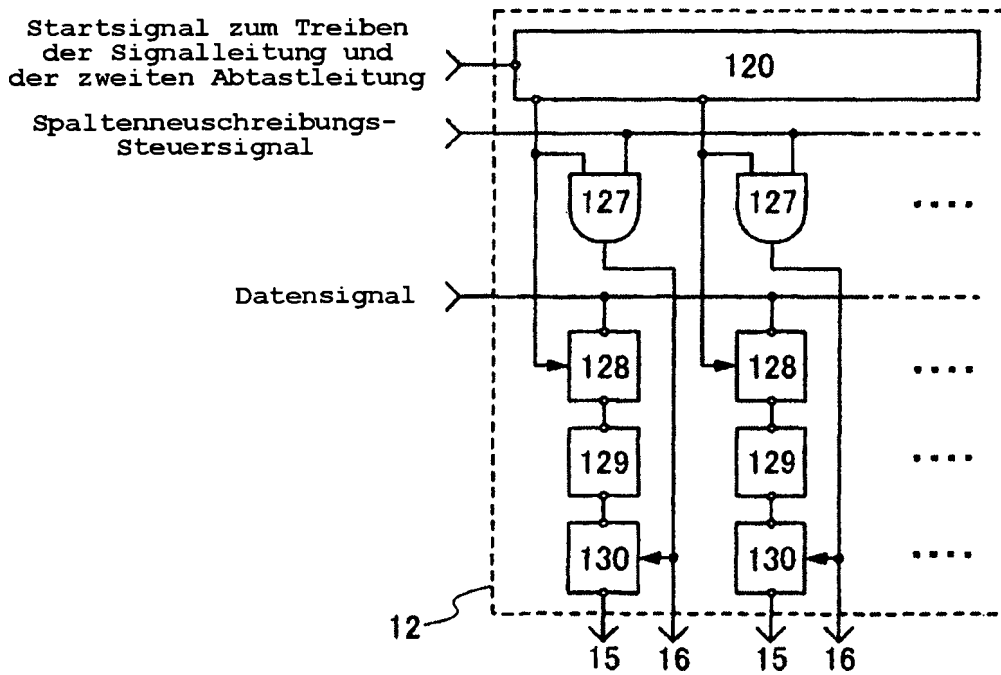


FIG. 8A

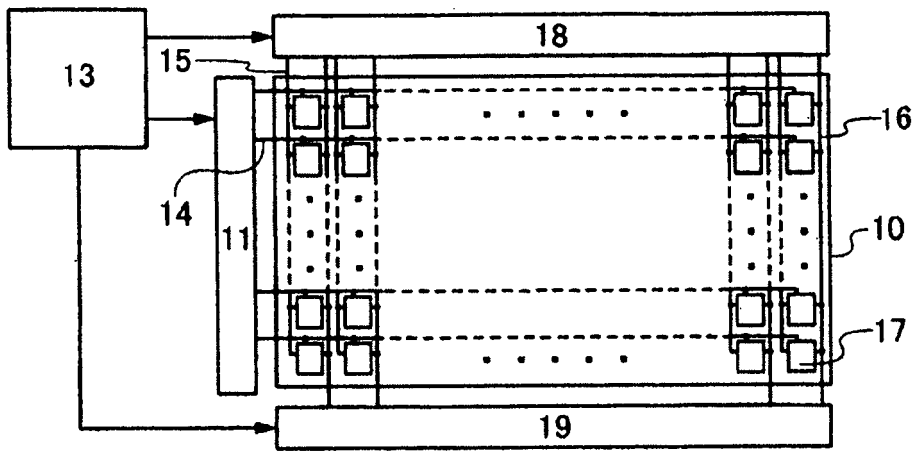


FIG. 8B

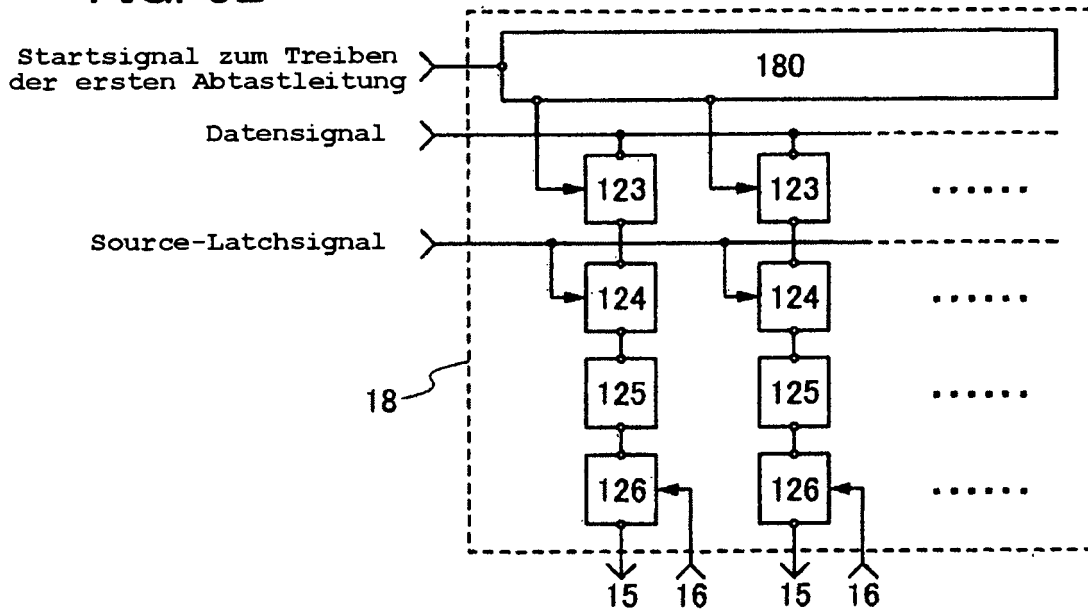


FIG. 8C

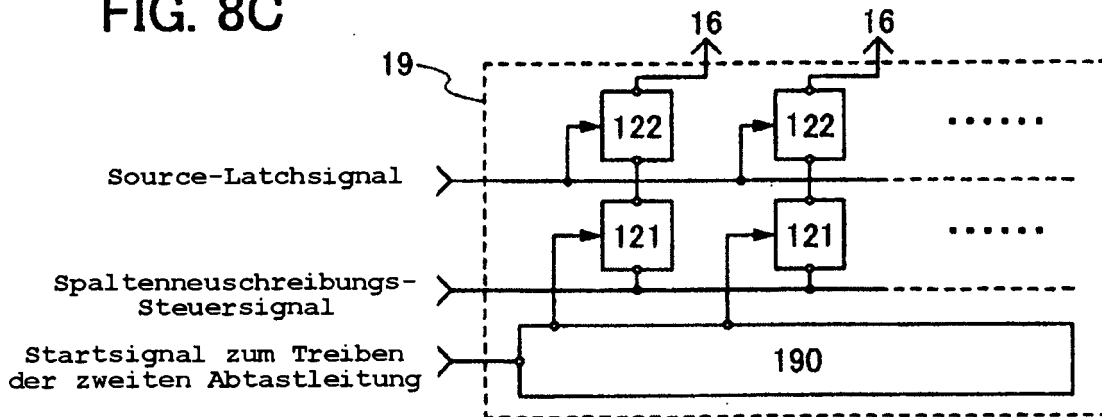


FIG. 9

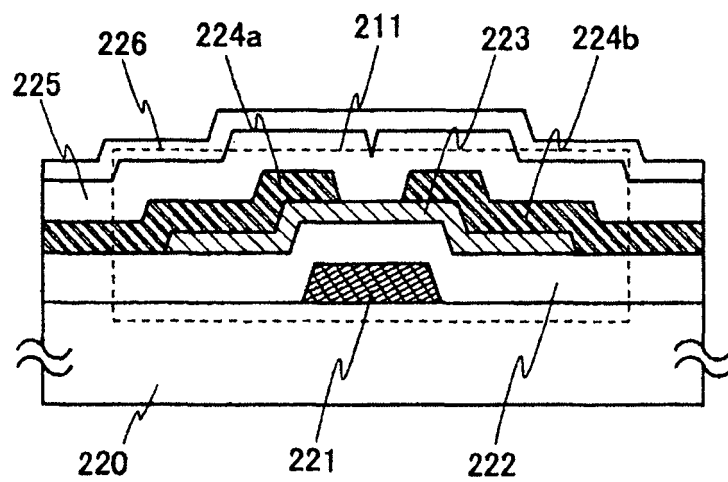


FIG. 10

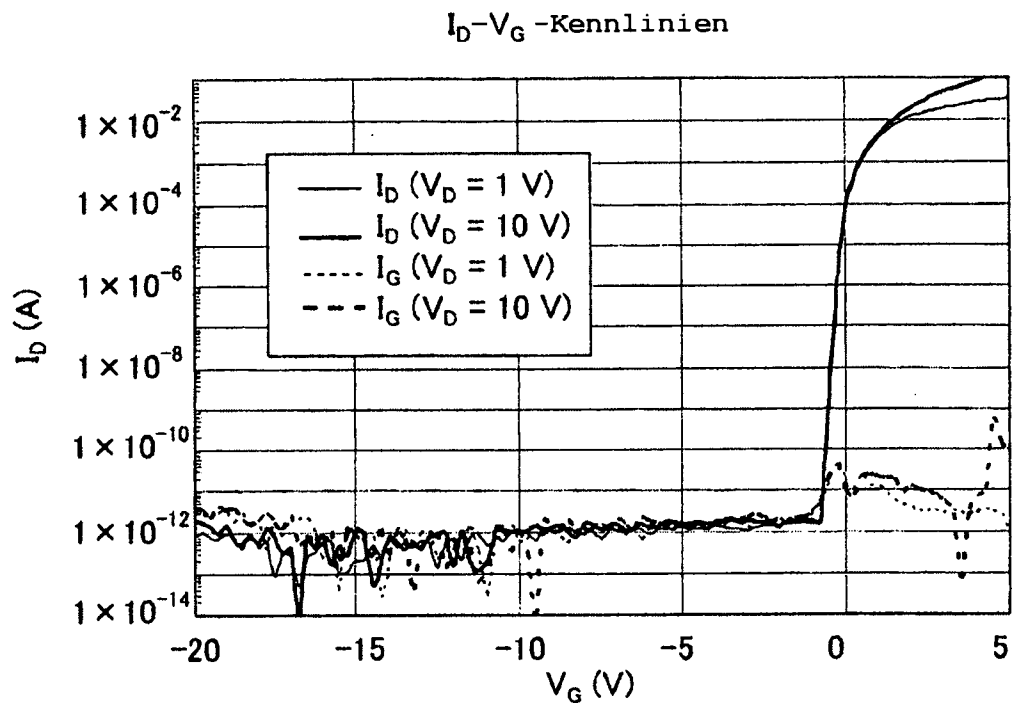


FIG. 11

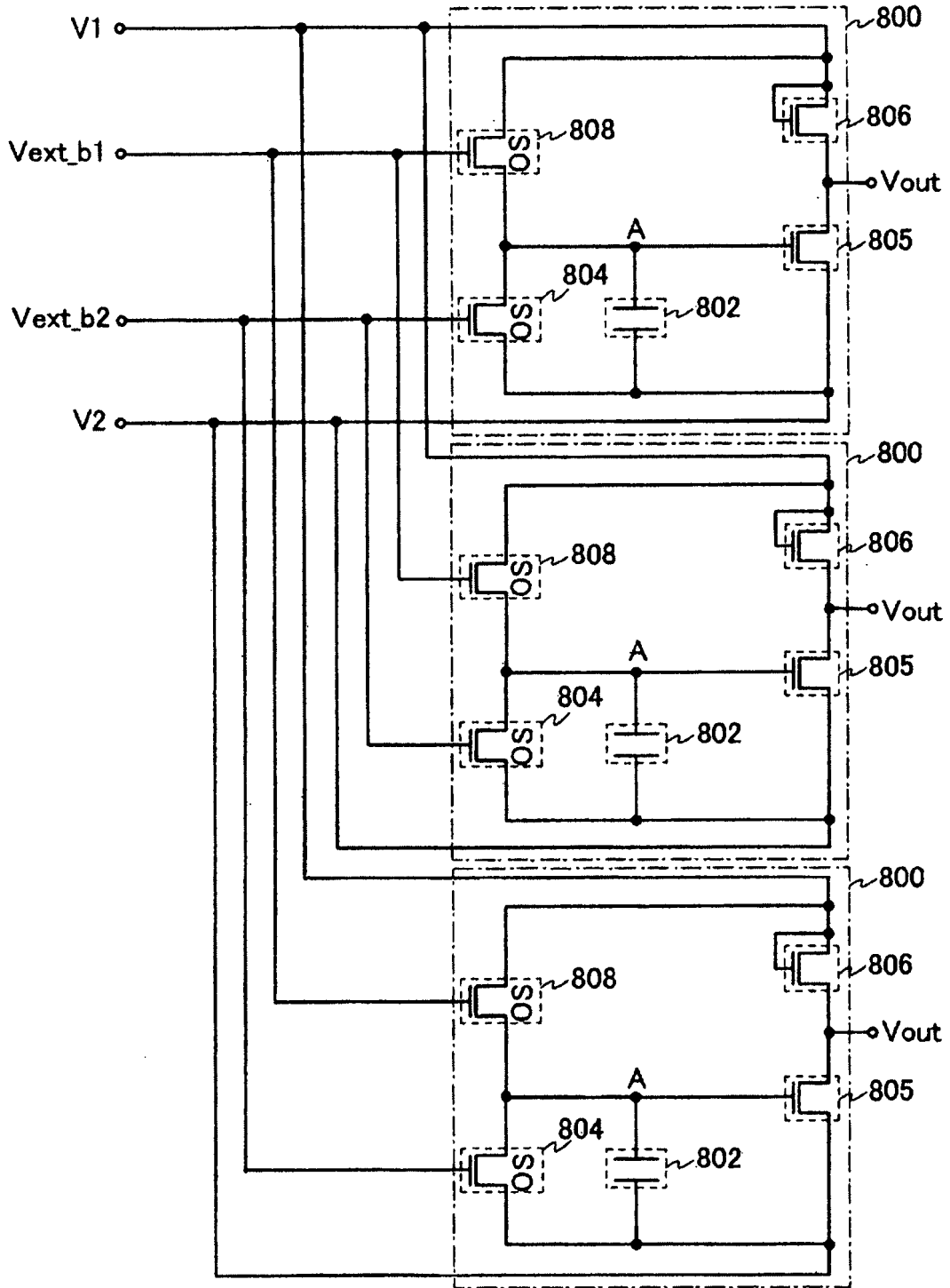


FIG. 12

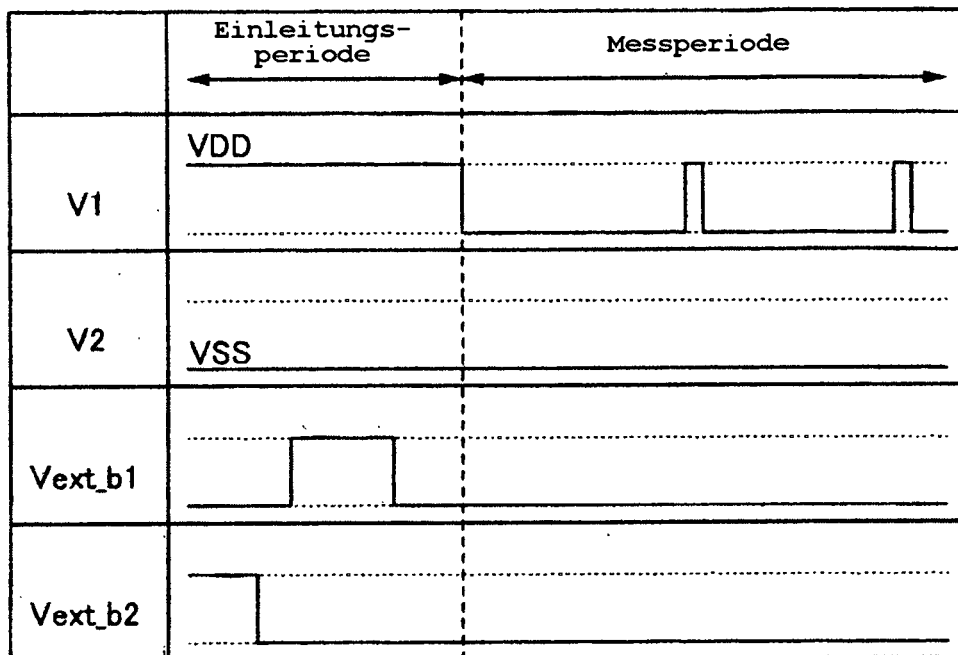


FIG. 13

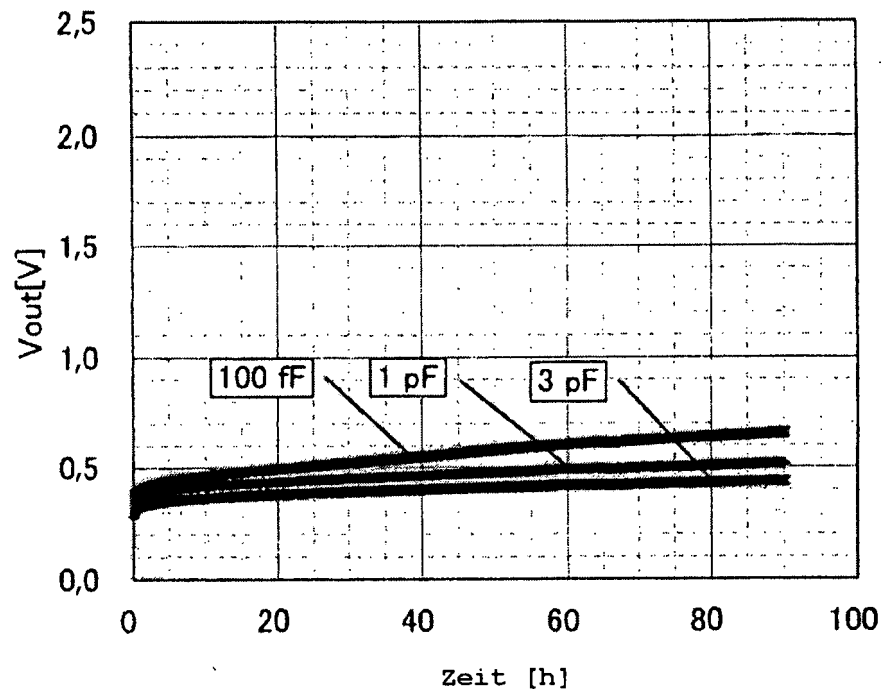


FIG. 14

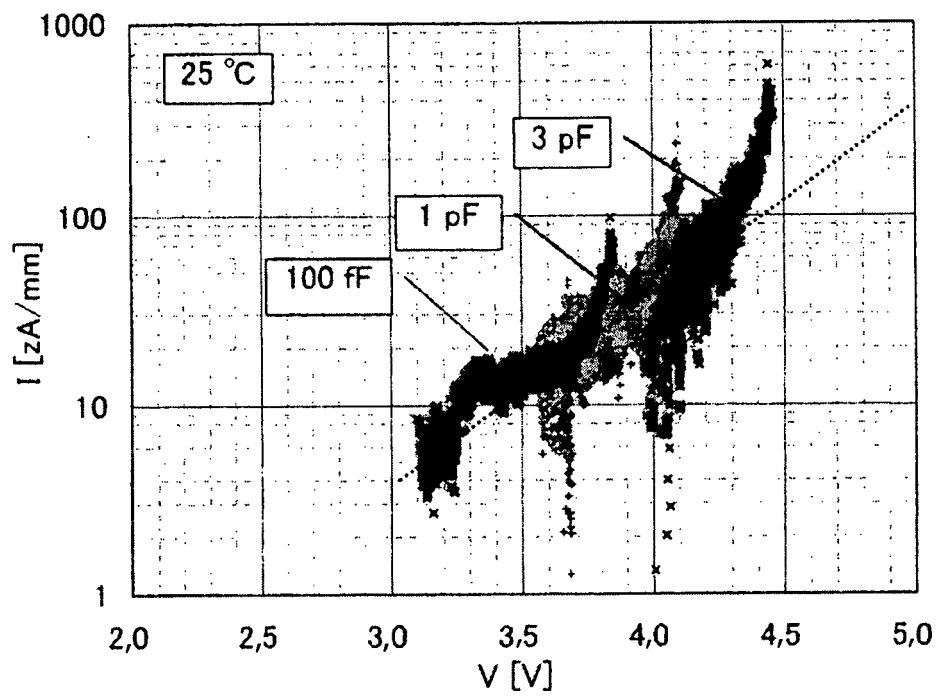


FIG. 15

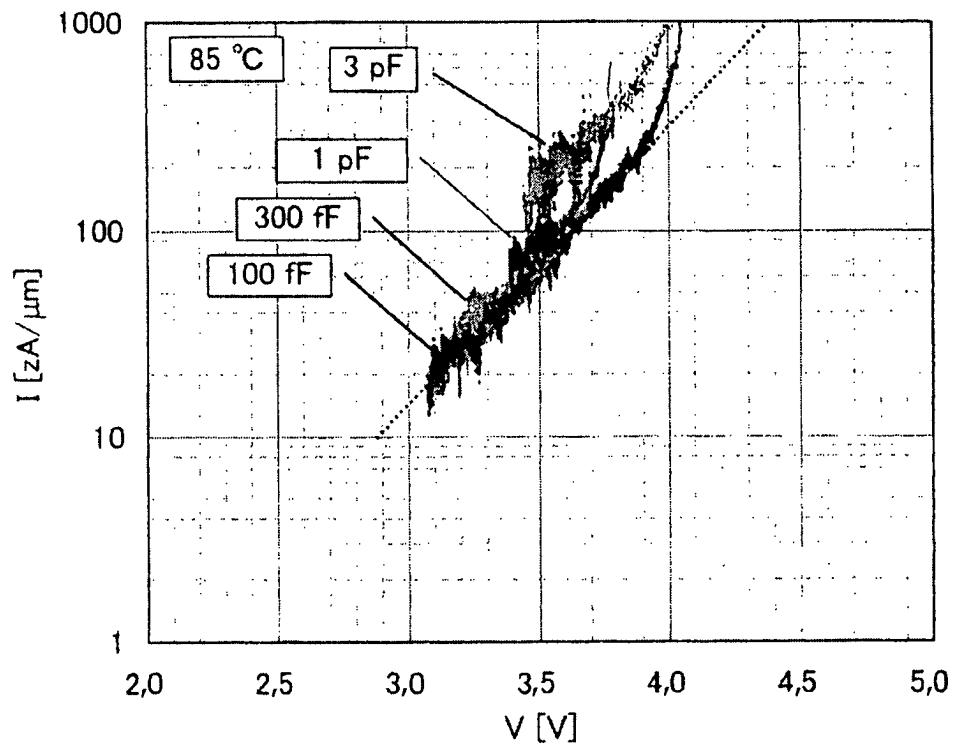


FIG. 16A

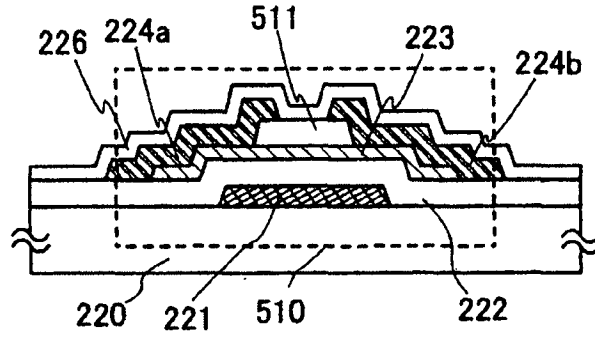


FIG. 16B

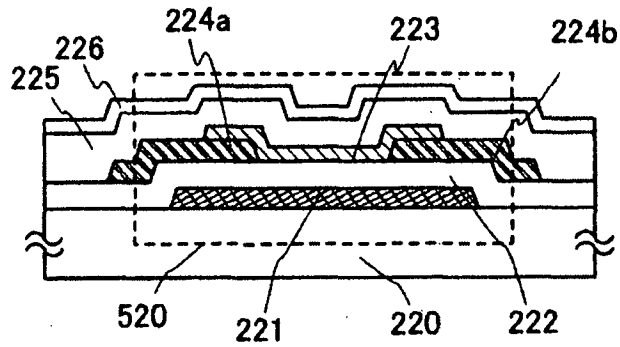


FIG. 16C

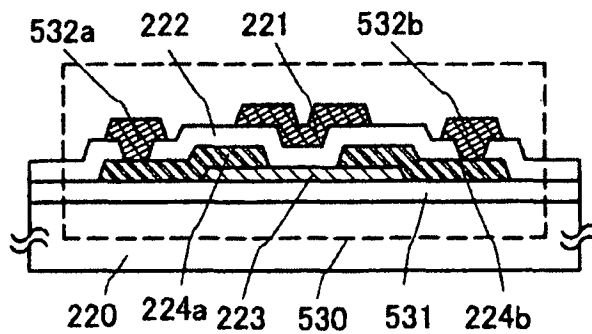


FIG. 17A

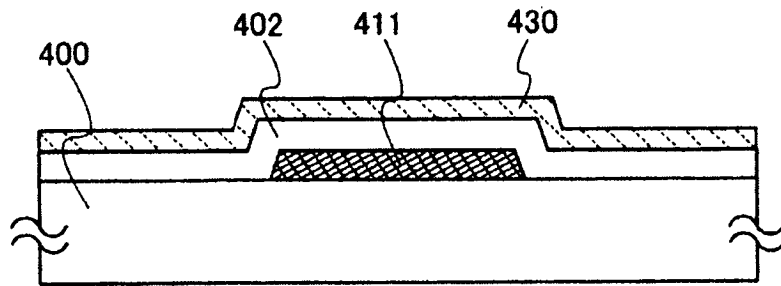


FIG. 17B

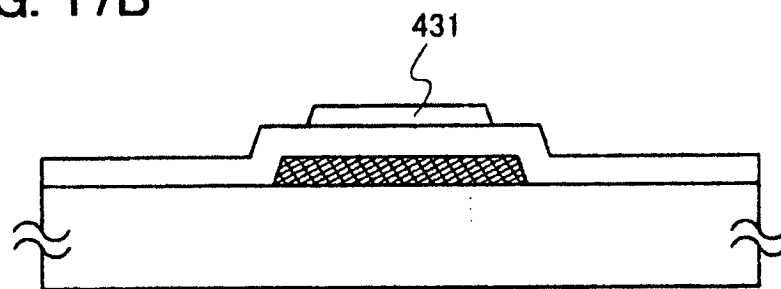


FIG. 17C

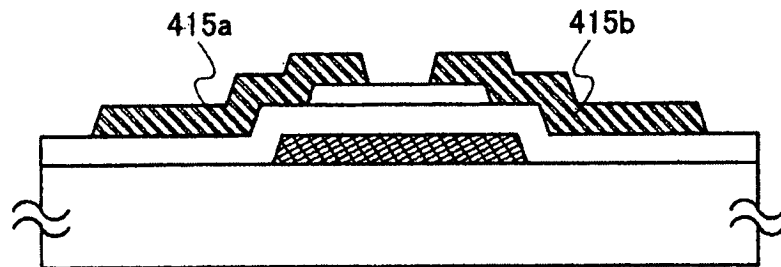


FIG. 17D

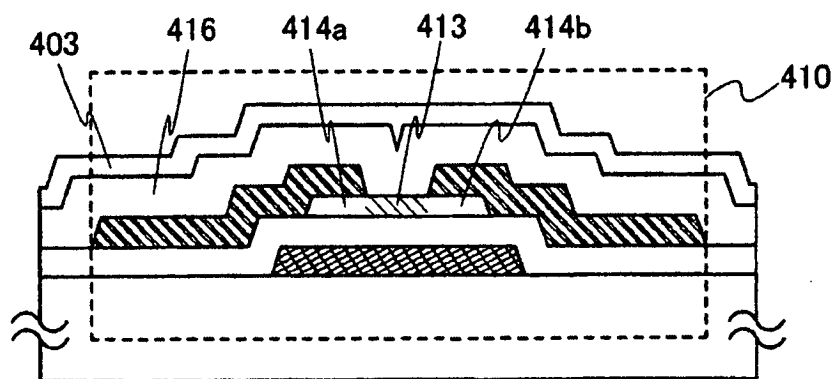


FIG. 18A

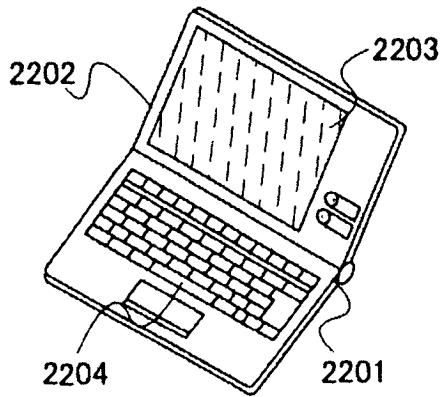


FIG. 18B

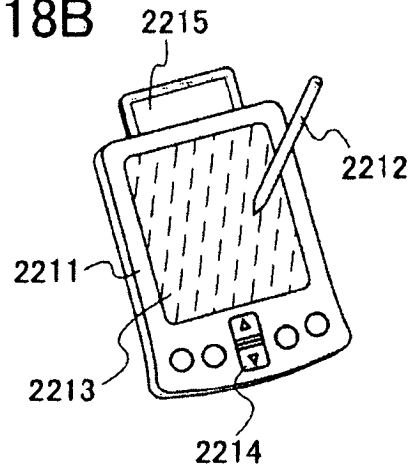


FIG. 18C

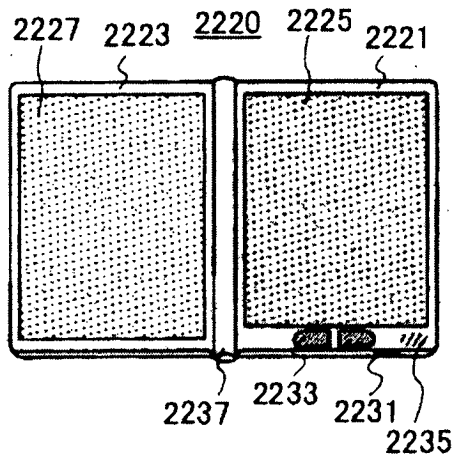


FIG. 18D

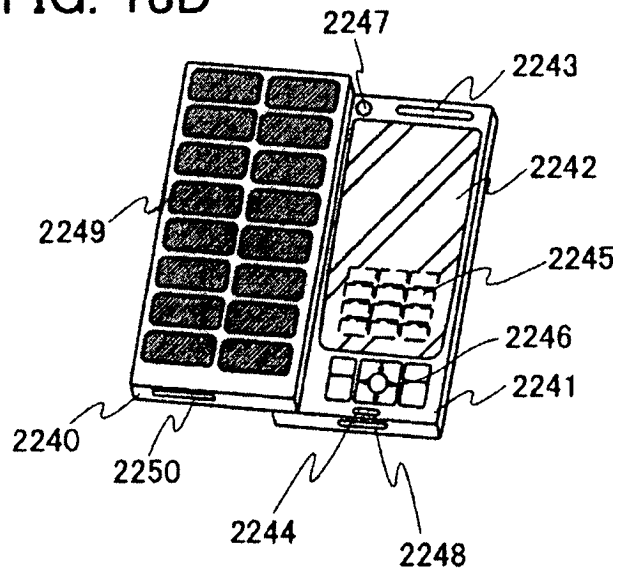


FIG. 18E

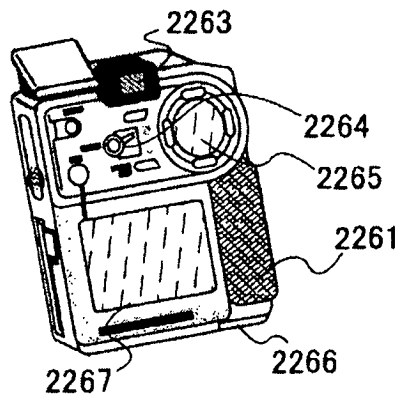


FIG. 18F

